



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ

ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ

**Σχεδίαση και Προσομοίωση Στατικής Μνήμης Τυχαίας
Προσπέλασης. Υλοποίηση Συστήματος Διόρθωσης Μνήμης
με Προσθήκη Μικρής Μνήμης Τύπου Cache**

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Παναγιώτης Β. Τσολάκος

Επιβλέπων : Κιαμάλ Πεκμεστζή

Καθηγητής Ε.Μ.Π.

Αθήνα, Ιούλιος 2009



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ

ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ

**Σχεδίαση και Προσομοίωση Στατικής Μνήμης Τυχαίας
Προσπέλασης. Υλοποίηση Συστήματος Διόρθωσης Μνήμης
με Προσθήκη Μικρής Μνήμης Τύπου Cache**

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Παναγιώτης Β. Τσολάκος

Επιβλέπων : Κιαμάλ Πεκμεστζή

Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή.

.....

Κ. Πεκμεστζή

Καθηγητής Ε.Μ.Π.

.....

Δ. Σούντρης

Επ. Καθηγητής Ε.Μ.Π.

.....

Γ. Οικονομάκος

Λέκτορας Ε.Μ.Π.

Αθήνα, Ιούλιος 2009

.....

Παναγιώτης Β. Τσολάκος

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Παναγιώτης Β. Τσολάκος, 2009
Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Στους γονείς μου, Βασίλη και Ευτυχία

Ευχαριστίες

Κατ' αρχάς, θα ήθελα να ευχαριστήσω τον Καθηγητή κ. Κιαμάλ Πεκμεστζή, για την ανάθεση και επίβλεψη της παρούσας διπλωματικής εργασίας.

Επίσης, θα ήθελα να ευχαριστήσω θερμά τον μεταδιδακτορικό ερευνητή Νίκο Αξελό, για τις επιστημονικές συμβουλές που μου έδωσε καθ' όλη την διάρκεια εκπόνησης της εργασίας.

Τέλος, θα ήθελα να ευχαριστήσω τον αδερφό μου Γιώργο, γιατί είναι πάντα στο πλευρό μου όποτε τον χρειάζομαι, την φίλη μου Ευαγγελία για την αμέριστη συμπαράσταση και κατανόηση της και όλους τους φίλους που στάθηκαν δίπλα μου και με βοήθησαν.

Περίληψη

Η παρούσα διπλωματική εργασία ασχολείται με τη σχεδίαση και την προσομοίωση μιας στατικής μνήμης τυχαίας προσπέλασης, με στόχο να ερευνηθεί τα όρια λειτουργίας και την αποδοτικότητα της τεχνικής διόρθωσης μνημών που έχει προτείνει το Εργαστήριο Μικροϋπολογιστών και Ψηφιακών Συστημάτων του Εθνικού Μετσόβιου Πολυτεχνείου, η οποία βασίζεται στην χρήση μικρών μνημών τύπου Cache.

Αρχικά, παρουσιάζεται η βασική αρχιτεκτονική και τα δομικά στοιχεία των στατικών μνημών. Στην συνέχεια, παρουσιάζεται ο τρόπος, με τον οποίο σχεδιάστηκε η μνήμη και οι τεχνικές που χρησιμοποιήθηκαν, ώστε να είναι γρήγορη, αξιόπιστη και ταυτόχρονα αποδοτική. Για να επιβεβαιωθούν αυτά τα χαρακτηριστικά έγιναν προσομοιώσεις σε όλα τα δομικά στοιχεία της μνήμης, αλλά και σε ολόκληρη τη μνήμη και λήφθηκαν μετρήσεις οι οποίες παρουσιάζονται και αξιολογούνται. Επίσης, υλοποιήθηκε και προσομοιώθηκε ένα μοντέλο της διορθωτικής τεχνικής και δοκιμάστηκαν τεχνικές, που μειώνουν την επιβάρυνση σε κατανάλωση ενέργειας, που προσθέτει η τεχνική. Στο τέλος της εργασίας, παρουσιάζονται τα σχηματικά διαγράμματα και τα φυσικά σχέδια που κατασκευάστηκαν.

Λέξεις Κλειδιά : Στατική μνήμη τυχαίας προσπέλασης, Τεχνική διόρθωσης μνήμης, Σχεδίαση μνήμης, Κατανάλωση ισχύος μνήμης, Κύτταρο μνήμης ,Φυσικό Σχέδιο

Abstract

The present diploma thesis deals with the design and simulation of a Static Random Access Memory, in order to search the limits of operation and the efficiency of the memory correction technique that has been proposed by the Microprocessors and Digital Systems Laboratory of the National Technical University of Athens, which is based on the use of small Cache-like memories.

Initially, the basic architecture and the structural elements of static memories are presented. Then the way that the memory was designed is presented and the techniques that were used, so that the memory is fast, reliable and simultaneously efficient. In order to confirm these characteristics, all structural elements of the memory, but also the entire memory were simulated. The measurements of the simulations are presented and evaluated. Furthermore a model of the correction technique was designed and simulated and low-power consumptions techniques were tested to that model. In the end the schematic diagrams and the layouts of the circuits that were designed are presented.

Keywords: Static random access memory, Memory correction technique, Memory design, Memory power consumption, Memory cell, Layout design

ΠΕΡΙΕΧΟΜΕΝΑ

| | |
|--|----|
| ΚΑΤΑΛΟΓΟΣ ΕΙΚΟΝΩΝ..... | 12 |
| ΚΑΤΑΛΟΓΟΣ ΣΧΗΜΑΤΩΝ..... | 13 |
| ΚΑΤΑΛΟΓΟΣ ΠΙΝΑΚΩΝ..... | 14 |
| 1 ΕΙΣΑΓΩΓΗ..... | 17 |
| 1.1 ΤΕΧΝΙΚΕΣ ΔΙΟΡΘΩΣΗΣ ΜΝΗΜΗΣ..... | 17 |
| 1.2 ΜΙΑ ΕΝΑΛΛΑΚΤΙΚΗ ΤΕΧΝΙΚΗ ΔΙΟΡΘΩΣΗΣ | 18 |
| 1.3 ΣΚΟΠΟΣ ΤΗΣ ΠΑΡΟΥΣΑΣ ΕΡΓΑΣΙΑΣ | 20 |
| 2 ΣΤΑΤΙΚΗ ΜΝΗΜΗ ΤΥΧΑΙΑΣ ΠΡΟΣΠΕΛΑΣΗΣ..... | 21 |
| 2.1 ΕΙΣΑΓΩΓΗ | 21 |
| 2.2 ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΤΗΣ SRAM | 22 |
| 2.3 ΚΥΤΤΑΡΟ ΜΝΗΜΗΣ ΤΗΣ SRAM..... | 23 |
| 2.3.1 ΚΥΤΤΑΡΟ ΜΝΗΜΗΣ ΤΩΝ ΕΞΙ ΤΡΑΝΖΙΣΤΟΡ | 23 |
| 2.3.2 ΛΕΙΤΟΥΡΓΙΕΣ ΑΝΑΓΝΩΣΗΣ ΚΑΙ ΕΓΓΡΑΦΗΣ..... | 24 |
| 2.4 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ ΓΡΑΜΜΗΣ..... | 26 |
| 2.5 ΚΥΚΛΩΜΑΤΑ ΣΤΗΛΗΣ..... | 28 |
| 2.5.1 ΚΥΚΛΩΜΑ ΠΡΟΦΟΡΤΙΣΗΣ | 28 |
| 2.5.2 ΟΔΗΓΟΣ ΕΓΓΡΑΦΗΣ..... | 29 |
| 2.5.3 ΕΝΙΣΧΥΤΗΣ ΑΙΣΘΗΣΗΣ | 30 |
| 2.5.4 ΠΟΛΥΠΛΕΚΤΗΣ ΣΤΗΛΗΣ | 31 |
| 3 ΣΧΕΔΙΑΣΗ..... | 33 |
| 3.1 ΠΡΟΔΙΑΓΡΑΦΕΣ | 33 |
| 3.2 ΣΧΕΔΙΑΣΗ ΤΟΥ ΚΥΤΤΑΡΟΥ ΜΝΗΜΗΣ..... | 34 |
| 3.2.1 ΔΙΑΣΤΑΣΕΙΣ ΤΩΝ ΤΡΑΝΖΙΣΤΟΡ..... | 35 |
| 3.2.2 ΑΝΑΛΥΣΗ ΣΤΑΤΙΚΟΥ ΠΕΡΙΘΩΡΙΟΥ ΘΟΡΥΒΟΥ ΤΟΥ ΚΥΤΤΑΡΟΥ | 35 |

| | | |
|-------|--|----|
| 3.2.3 | ΣΤΑΘΕΡΟΤΗΤΑ ΣΤΙΣ ΕΝΑΛΛΑΓΕΣ ΤΗΣ ΤΑΣΗΣ ΤΡΟΦΟΔΟΣΙΑΣ | 41 |
| 3.2.4 | ΤΑΣΗ ΑΛΛΑΓΗΣ ΚΑΤΑΣΤΑΣΗΣ | 43 |
| 3.2.5 | ΤΑΧΥΤΗΤΑ ΠΡΟΣΒΑΣΗΣ | 45 |
| 3.2.6 | ΦΥΣΙΚΟ ΣΧΕΔΙΟ ΚΥΤΤΑΡΟΥ ΜΝΗΜΗΣ | 47 |
| 3.3 | ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ LYON – SCHEDIWY..... | 49 |
| 3.3.1 | ΑΞΙΟΛΟΓΗΣΗ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗ..... | 50 |
| 3.4 | ΚΥΚΛΩΜΑ ΧΡΟΝΙΣΜΟΥ | 53 |
| 3.5 | ΚΥΚΛΩΜΑ ΣΥΓΚΡΙΣΗΣ ΙΣΟΤΗΤΑΣ..... | 55 |
| 4 | ΠΡΟΣΟΜΟΙΩΣΕΙΣ ΚΑΙ ΜΕΤΡΗΣΕΙΣ..... | 57 |
| 4.1 | ΕΙΣΑΓΩΓΗ | 57 |
| 4.2 | ΜΟΝΤΕΛΟΠΟΙΗΣΗ ΔΙΑΣΥΝΔΕΣΕΩΝ | 58 |
| 4.2.1 | ΕΚΤΙΜΗΣΗ ΑΝΤΙΣΤΑΣΗΣ..... | 59 |
| 4.2.2 | ΕΚΤΙΜΗΣΗ ΧΩΡΗΤΙΚΟΤΗΤΑΣ..... | 59 |
| 4.3 | ΜΕΤΡΗΣΕΙΣ ΚΑΤΑΝΑΛΩΣΗΣ ΙΣΧΥΩΣ | 61 |
| 4.4 | ΠΡΟΣΟΜΟΙΩΣΗ ΟΛΗΣ ΤΗΣ ΜΝΗΜΗΣ | 65 |
| 5 | ΠΡΟΣΟΜΟΙΩΣΗ ΤΗΣ ΤΕΧΝΙΚΗΣ ΔΙΟΡΘΩΣΗΣ..... | 73 |
| 5.1 | ΠΑΡΟΥΣΙΑΣΗ ΤΟΥ ΜΟΝΤΕΛΟΥ | 73 |
| 5.2 | ΑΠΟΤΕΛΕΣΜΑΤΑ..... | 74 |
| 5.3 | ΒΕΛΤΙΩΜΕΝΟ ΜΟΝΤΕΛΟ ΓΙΑ ΜΕΙΩΣΗ ΤΗΣ ΚΑΤΑΝΑΛΩΣΗΣ..... | 77 |
| 6 | ΕΠΙΛΟΓΟΣ | 81 |
| 6.1 | ΣΥΝΟΨΗ ΚΑΙ ΣΥΜΠΕΡΑΣΜΑΤΑ | 81 |
| 6.2 | ΜΕΛΛΟΝΤΙΚΕΣ ΕΠΕΚΤΑΣΕΙΣ | 82 |
| | ΠΑΡΑΡΤΗΜΑ..... | 83 |
| | ΒΙΒΛΙΟΓΡΑΦΙΑ | 89 |

ΚΑΤΑΛΟΓΟΣ ΕΙΚΟΝΩΝ

| | |
|---|----|
| Εικόνα 2.1 Οι κυματομορφές των τάσεων κατά την ανάγνωση ενός κυττάρου μνήμης 6T..... | 25 |
| Εικόνα 2.2 Οι κυματομορφές των τάσεων κατά την εγγραφή ενός κυττάρου 6T | 26 |
| Εικόνα 3.1 Διάγραμμα "πεταλούδα" για τον υπολογισμό του SNM | 36 |
| Εικόνα 3.2 Υπολογισμός του SNM με βάση τα 'μέγιστα τετράγωνα' με τη βοήθεια ενός άλλου συστήματος συντεταγμένων..... | 38 |
| Εικόνα 3.3 Μήκος της διαγωνίου των τετραγώνων του 'διαγράμματος πεταλούδα' του κυττάρου μνήμης που σχεδιάστηκε..... | 40 |
| Εικόνα 3.4 στατικό περιθώριο θορύβου του κυττάρου μνήμης που σχεδιάστηκε συναρτήσει της τάσης τροφοδοσίας..... | 40 |
| Εικόνα 3.5 Καμπύλες της δοκιμής ράμπας που δείχνουν την σταθερότητα του κυττάρου που σχεδιάστηκε στις εναλλαγές της τάσης τροφοδοσίας σε ακραίες και τυπικές συνθήκες | 42 |
| Εικόνα 3.6 Παράδειγμα των καμπυλών της δοκιμής ράμπας που δείχνουν την αστάθεια ενός κυττάρου στις εναλλαγές της τάσης τροφοδοσίας | 43 |
| Εικόνα 3.7 Διαγράμματα της τάσης αλλαγής κατάστασης, σε ακραίες και τυπικές συνθήκες, του κυττάρου 6T που σχεδιάστηκε | 44 |
| Εικόνα 3.8 Παράδειγμα διαγραμμάτων ενός κυττάρου που αποτυγχάνει να αλλάξει την κατάστασή του | 45 |
| Εικόνα 3.9 Μέγιστο ρεύμα ανάγνωσης σε γρήγορες, τυπικές και αργές συνθήκες..... | 46 |
| Εικόνα 3.10 Φυσικό σχέδιο (layout) του κυττάρου που σχεδιάστηκε | 47 |
| Εικόνα 3.11 Φυσικό σχέδιο πίνακα τεσσάρων κυττάρων | 48 |
| Εικόνα 3.12 Σύγκριση καθυστέρησης αποκωδικοποιητών Lyon Schediwy – NAND..... | 52 |
| Εικόνα 3.13 Σύγκριση κατανάλωσης αποκωδικοποιητών Lyon Schediwy – NAND..... | 52 |
| Εικόνα 4.1 Γεωμετρία των αγωγών..... | 58 |
| Εικόνα 4.2 Μοντέλο χωρητικότητας | 60 |
| Εικόνα 4.3 Δυναμική κατανάλωση κυττάρου σε σχέση με τον αριθμό των γραμμών | 61 |
| Εικόνα 4.4 Δυναμική κατανάλωση αποκωδικοποιητών | 62 |
| Εικόνα 4.5 Δυναμική κατανάλωση των word buffers..... | 62 |
| Εικόνα 4.6 Δυναμική κατανάλωση κυκλωμάτων χρονισμού | 63 |
| Εικόνα 4.7 Δυναμική κατανάλωση κυκλώματος προφόρτισης | 64 |
| Εικόνα 4.8 Συνολική κατανάλωση ισχύος μνημών συναρτήσει του αριθμού των στηλών και γραμμών τους με 32 bit στην έξοδο | 65 |

| | |
|---|----|
| Εικόνα 4.9 Σχηματικό διάγραμμα μνήμης | 66 |
| Εικόνα 4.10 Προσομοίωση ανάγνωσης σε τυπικές συνθήκες στα 2GHz..... | 67 |
| Εικόνα 4.11 Μετρήσεις του χρόνου απόκρισης της μνήμης σε ακραίες και τυπικές συνθήκες | 67 |
| Εικόνα 4.12 Προσομοίωση εγγραφής σε τυπικές συνθήκες στα 2GHz | 68 |
| Εικόνα 4.13 Στιγμιαία συνολική κατανάλωση ισχύος της μνήμης κατά την διάρκεια δυο αναγνώσεων | 69 |
| Εικόνα 4.14 Συνολικό φυσικό σχέδιο (layout) της μνήμης..... | 70 |
| Εικόνα 5.1 Σχηματικό διάγραμμα του μοντέλου της διορθωτικής τεχνικής που αποτελείται από την μεγάλη μνήμη υπό διόρθωση και την μικρή διορθωτική | 74 |
| Εικόνα 5.2 Σύγκριση της διεύθυνσης με την ετικέτα της μικρής Cache και έλεγχος του Valid Bit | 75 |
| Εικόνα 5.3 Επιλογή των δεδομένων από την διορθωτική μνήμη όταν εντοπιστεί σφάλμα στην βασική μνήμη..... | 76 |
| Εικόνα 5.4 Σύγκριση της διεύθυνσης με την ετικέτα της μικρής Cache και έλεγχος του Valid Bit μόνο όταν είναι απαραίτητο έτσι ώστε να μειωθεί η κατανάλωση ισχύος. | 78 |
| Εικόνα 5.5 Επιλογή των δεδομένων από την διορθωτική μνήμη όταν εντοπιστεί σφάλμα στην βασική μνήμη. Προσομοίωση κατά την οποία εφαρμόστηκαν οι τεχνικές για την μείωση της κατανάλωσης .. | 79 |
| Εικόνα 5.6 Στιγμιαία συνολική κατανάλωση ισχύος με και χωρίς την εφαρμογή των τεχνικών για μείωση της κατανάλωσης | 79 |

ΚΑΤΑΛΟΓΟΣ ΣΧΗΜΑΤΩΝ

| | |
|--|----|
| Σχήμα 1.1 Παράδειγμα της BISR διορθωτικής τεχνικής του MicroLAB | 19 |
| Σχήμα 2.1 Γενική μορφή της αρχιτεκτονικής ενός ολοκληρωμένου κυκλώματος μνήμης | 22 |
| Σχήμα 2.2 Κύκλωμα του κυττάρου μνήμης με έξι τρανζίστορ | 24 |
| Σχήμα 2.3 Απλοποιημένο μοντέλο του κυττάρου μνήμης 6T κατά την ανάγνωση | 25 |
| Σχήμα 2.4 Αποκωδικοποιητές υλοποιημένοι με πύλες AND και NAND | 27 |
| Σχήμα 2.5 Αποκωδικοποιητής τύπου δέντρου | 27 |
| Σχήμα 2.6 Αποκωδικοποιητής που χρησιμοποιεί πύλες προαποκωδικοποίησης..... | 28 |
| Σχήμα 2.7 Κύκλωμα προφόρτισης των γραμμών bit..... | 29 |
| Σχήμα 2.8 Κύκλωμα οδηγού εγγραφής..... | 29 |
| Σχήμα 2.9 Απλός διαφορικός ενισχυτής αίσθησης..... | 30 |
| Σχήμα 2.10 Ενισχυτής αίσθησης τύπου μανδαλωτή με τρανζίστορ απομόνωσης..... | 31 |

| | |
|---|----|
| Σχήμα 2.11 Πολυπλέκτης στήλης τύπου δέντρου | 31 |
| Σχήμα 2.12 Πολυπλέκτης στήλης με αποκωδικοποιητή | 32 |
| Σχήμα 3.1 Αναπαράσταση κυττάρου με πηγές θορύβου στους κόμβους..... | 36 |
| Σχήμα 3.2 Το κύτταρο με πηγές θορύβου κατά την ανάγνωση και η κατάσταση λειτουργίας των τρανζίστορ | 37 |
| Σχήμα 3.3 Κυκλώματα για τον υπολογισμό των διαγωνίων των ‘μέγιστων τετραγώνων’..... | 39 |
| Σχήμα 3.4 Κύκλωμα δοκιμής για την εξέταση της σταθερότητας του κυττάρου στις εναλλαγές της τάσης τροφοδοσίας..... | 41 |
| Σχήμα 3.5 Κύκλωμα δοκιμής για την μέτρηση της τάσης αλλαγής κατάστασης | 43 |
| Σχήμα 3.6 Κύκλωμα δοκιμής για την μέτρηση του ρεύματος ανάγνωσης..... | 46 |
| Σχήμα 3.7 Αποκωδικοποιητής Lyon – Schediwy τριών εισόδων – οκτώ εξόδων | 49 |
| Σχήμα 3.8 Γενική μορφή του κυκλώματος χρονισμού και οι παλμοί που αυτό παράγει | 54 |
| Σχήμα 3.9 Κύκλωμα σύγκρισης ισότητας με πύλη AND..... | 55 |
| Σχήμα 3.10 Το κύκλωμα σύγκρισης με wired-or που χρησιμοποιήθηκε | 56 |
| Σχήμα 4.1 Κύκλωμα RC τύπου L που χρησιμοποιήθηκε για την μοντελοποίηση των διασυνδέσεων .. | 58 |
| Σχήμα 4.2 Κατανομή της ισχύος ανά κύκλωμα..... | 70 |
| Σχήμα 4.3 Κατανομή της επιφάνειας ανά κύκλωμα | 71 |

ΚΑΤΑΛΟΓΟΣ ΠΙΝΑΚΩΝ

| | |
|--|----|
| Πίνακας 3.1 Τα μεγέθη των τρανζίστορ που επιλέχθηκαν για το κύτταρο 6T που σχεδιάστηκε | 35 |
| Πίνακας 3.2 Τα μεγέθη των τρανζίστορ που δημιουργούν το χειρότερο σενάριο για την δοκιμή στις εναλλαγές τις τάσης τροφοδοσίας | 41 |
| Πίνακας 3.3 Τα μεγέθη των τρανζίστορ που δημιουργούν το χειρότερο σενάριο για την μέτρηση της τάσης αλλαγής κατάστασης | 44 |
| Πίνακας 3.4 Τιμές των τάσεων αλλαγής κατάστασης του κυττάρου που υλοποιήθηκε για διάφορες τιμές θερμοκρασίας και τάσεως τροφοδοσίας..... | 45 |
| Πίνακας 3.5 Μετρήσεις μέγιστου ρεύματος ανάγνωσης..... | 46 |
| Πίνακας 3.6 Θεωρητική διερεύνηση για την εύρεση της ταχύτερης τοπολογίας του αποκωδικοποιητή | 51 |
| Πίνακας 4.1 Τιμές των αντιστάσεων φύλλου των μετάλλων της τεχνολογίας που χρησιμοποιήθηκε ... | 59 |

| | |
|--|----|
| Πίνακας 4.2 Πίνακας Χωρητικότητων σε fF/μm για την τεχνολογία των 90nm με υπόστρωμα από κάτω και τίποτα από πάνω | 60 |
| Πίνακας 4.3 Δυναμική και η στατική κατανάλωση ισχύος των κυκλωμάτων, των οποίων η κατανάλωση δεν εξαρτάται από τον αριθμό των γραμμών ή στηλών. | 64 |
| Πίνακας 4.4 Μετρήσεις του χρόνου απόκρισης της μνήμης σε ακραίες και τυπικές συνθήκες | 67 |
| Πίνακας 4.5 Μέση κατανάλωση της μνήμης στις λειτουργίες ανάγνωσης και εγγραφής σε τυπικές συνθήκες σε συχνότητα λειτουργίας των 2GHz..... | 69 |
| Πίνακας 5.1 Μέση κατανάλωση χωρίς διόρθωση και με διόρθωση στην λειτουργία ανάγνωσης σε τυπικές συνθήκες σε συχνότητα λειτουργίας 2GHz | 76 |
| Πίνακας 5.2 Επιβάρυνση της διορθωτικής τεχνικής σε κατανάλωση στην περίπτωση που εφαρμόζονται ή όχι οι τεχνικές για μείωση της κατανάλωσης..... | 80 |

1 ΕΙΣΑΓΩΓΗ

1.1 ΤΕΧΝΙΚΕΣ ΔΙΟΡΘΩΣΗΣ ΜΝΗΜΗΣ

Οι συνεχείς εξελίξεις στην τεχνολογία των ολοκληρωμένων κυκλωμάτων έχουν επιτρέψει έναν υψηλό βαθμό ολοκλήρωσης της μνήμης. Ήδη συστήματα SOCs (Systems On Chip), τα οποία έχουν ενσωματωμένη μνήμη, που καταλαμβάνει το 50% της επιφάνειας του πυριτίου είναι στην παραγωγή [1]. Αυτή η τάση δεν σταματάει εδώ, καθώς σύμφωνα με τον διεθνή οργανισμό ημιαγωγών ITRS (International Technology Roadmap for Semiconductors) το ποσοστό αυτό θα φτάσει το 90% στα τέλη του 2010.

Στην προσπάθειά τους να πετύχουν όσο γίνεται μεγαλύτερη ολοκλήρωση, οι σχεδιαστές χρησιμοποιούν πιο επιθετικούς τρόπους σχεδίασης, φέρνοντας την τεχνολογία στα όρια της. Το γεγονός αυτό αυξάνει την πυκνότητα των σφαλμάτων, ανά ολοκληρωμένο μνήμης. Όμως, στις σημερινές τεχνολογίες, όπου το πλάτος της πύλης του τρανζίστορ είναι μικρότερο από 90nm, η αξιοπιστία των VLSI κυκλωμάτων είναι πιο σημαντική από ποτέ. Φαινόμενα όπως τα ρεύματα διαρροής και η ακεραιότητα του σήματος, που στις παλαιότερες τεχνολογίες θεωρούνταν αμελητέα, μπορούν σήμερα να απειλήσουν τη σωστή λειτουργία του ολοκληρωμένου. Η χρήση νέων υλικών ή ακόμα εξολοκλήρου νέων τεχνολογιών, όπως τα 3D-CMOS [2], ίσως βοηθήσουν στην επίλυση των παραπάνω προβλημάτων. Δεν μπορούμε, όμως, να γνωρίζουμε την επίδραση των νέων τεχνολογιών, στην απόδοση του υλικού εάν αυτές δεν εφαρμοστούν σε ευρεία κλίμακα.

Σύμφωνα με τον ITRS , για να διατηρηθεί η απόδοση του υλικού σε λογικά επίπεδα, είναι αναγκαία η χρήση τεχνικών διόρθωσης σφαλμάτων στο ολοκληρωμένο μνήμης. Αυτή η διαπίστωση έχει στρέψει το ερευνητικό ενδιαφέρον της πανεπιστημιακής κοινότητας και της βιομηχανίας, στην εύρεση αποτελεσματικών και αποδοτικών διορθωτικών τεχνικών.

Μια κλασική τεχνική διόρθωσης δεσμεύει μια περιοχή του ολοκληρωμένου, για την κατασκευή εφεδρικών κυκλωμάτων. Όταν κάποιο κύκλωμα διαπιστωθεί ότι είναι ελαττωματικό, αντικαθίσταται από ένα εφεδρικό. Αυτή η τεχνική έχει αρχίσει να ερευνάται από την δεκαετία του '70 [3]. Η διαδικασία διόρθωσης χρησιμοποιεί έναν ειδικό εξωτερικό εξοπλισμό, ο οποίος αρχικά εντοπίζει το σφάλμα εντός του ολοκληρωμένου. Στην συνέχεια, κατευθύνει μια ακτίνα λέιζερ, η οποία αποσυνδέει το ελαττωματικό κύκλωμα και στη θέση του συνδέει ένα εφεδρικό. Η χρήση, όμως, αυτής της τεχνικής στις μεγάλες μνήμες των μοντέρνων SOC's είναι πολύ αργή και δαπανηρή. Η συνεισφορά του εξωτερικού εξοπλισμού, στο συνολικό κόστος κατασκευής, έχει υπολογιστεί ότι είναι περίπου 40% [4].

Για την μείωση του κόστους και του χρόνου διόρθωσης έχουν προταθεί τεχνικές, οι οποίες μεταφέρουν την διαδικασία διόρθωσης μέσα στο ίδιο το ολοκληρωμένο. Τον ρόλο, δηλαδή, του εξωτερικού εξοπλισμού διόρθωσης, αναλαμβάνουν ειδικά κυκλώματα ελέγχου, τα οποία είναι υπεύθυνα για τον εντοπισμό των ελαττωματικών στοιχείων και για την αντικατάστασή τους, από λειτουργικά. Αυτού του είδους οι τεχνικές είναι γνωστές, στην βιβλιογραφία, ως BISR (Built In Self Repair) [5].

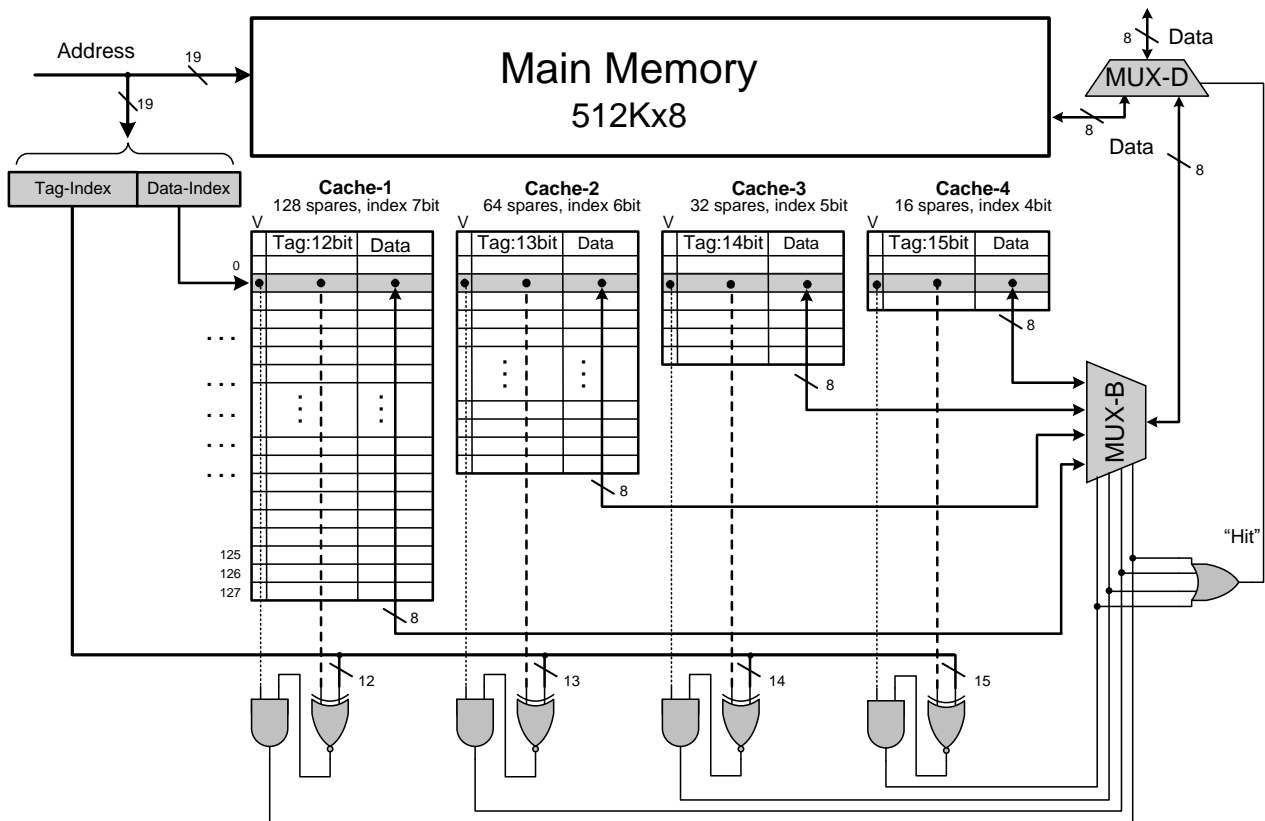
Κατά την σχεδίαση και αξιολόγηση των τεχνικών BISR, κύριο ρόλο παίζουν δύο παράγοντες. Ο πρώτος είναι η πολυπλοκότητα του κυκλώματος ελέγχου και ο δεύτερος η σωστή αξιοποίηση των εφεδρικών πηγών. Για παράδειγμα, για να απαλλαγούμε από ένα ελαττωματικό στοιχείο, μπορούμε να αντικαταστήσουμε ολόκληρο το κύκλωμα, στο οποίο ανήκει, με ένα λειτουργικό κύκλωμα. Αυτό απλοποιεί το κύκλωμα ελέγχου, αλλά δεν αξιοποιεί αποδοτικά τις εφεδρικές πηγές. Αντίθετα, αν αντικαταστήσουμε το ελαττωματικό στοιχείο με ένα αντίστοιχο λειτουργικό, θα αξιοποιούμε πολύ αποδοτικά τις εφεδρικές πηγές, αλλά θα χρειαστούμε ένα πολύπλοκο κύκλωμα ελέγχου. Ο συμβιβασμός μεταξύ των δύο αυτών παραγόντων γίνεται από τον σχεδιαστή, ανάλογα με τις πηγές που διαθέτει και τις απαιτήσεις του κάθε συστήματος.

1.2 ΜΙΑ ΕΝΑΛΛΑΚΤΙΚΗ ΤΕΧΝΙΚΗ ΔΙΟΡΘΩΣΗΣ

Το Εργαστήριο Μικροϋπολογιστών και Ψηφιακών Συστημάτων MicroLAB, της Σχολής Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών του Εθνικού Μετσόβιου Πολυτεχνείου, έχει προτείνει μια αποτελεσματική και ταυτόχρονα αποδοτική τεχνική διόρθωσης BISR [6]. Η αρχιτεκτονική αυτής της τεχνικής βασίζεται στην χρήση πολλαπλών μικρών μνημών τύπου cache (κρυφές μνήμες). Η βασική ιδέα είναι ότι μια ελαττωματική λέξη, της υπό διόρθωση μνήμης, μπορεί να αντικατασταθεί από μια λέξη, μιας μικρής

cache. Η χρήση πολλαπλών cache δικαιολογείται στην περίπτωση, όπου μια δεύτερη ελαττωματική λέξη απεικονίζεται στο ίδιο σημείο της πρώτης cache, όπου απεικονιζόταν η πρώτη ελαττωματική λέξη. Σε αυτή την περίπτωση, χρησιμοποιείται η δεύτερη cache.

Στο Σχήμα 1.1 παρουσιάζεται ένα παράδειγμα αυτής της BISR αρχιτεκτονικής. Σε αυτό το παράδειγμα, η υπό διόρθωση μνήμη, έχει μέγεθος 4Mbit και για την διόρθωσή της χρησιμοποιούνται τέσσερις μικρές cache των 128, 64, 32, και 16 λέξεων. Πριν ξεκινήσει να λειτουργεί, η τεχνική προϋποθέτει την ύπαρξη ενός λειτουργικού κύκλωματος ελέγχου, το οποίο θα εντοπίζει τις ελαττωματικές λέξεις της κύριας μνήμης και θα αποθηκεύει την ετικέτα (tag), της ελαττωματικής διεύθυνσης, στο σημείο της πρώτης cache, όπου απεικονίζεται, ελέγχοντας παράλληλα ότι το έγκυρο bit (valid bit) είναι ανενεργό. Στην περίπτωση όπου αυτό είναι ενεργό, η παραπάνω διαδικασία επαναλαμβάνεται στην επόμενη cache.



Σχήμα 1.1 Παράδειγμα της BISR διορθωτικής τεχνικής του MicroLAB

Η υλοποίηση της τεχνικής απαιτεί και κάποια επιπλέον κυκλώματα διασύνδεσης. Κατά την κανονική λειτουργία της κύριας μνήμης, μια εντολή ανάγνωσης ή εγγραφής θα φέρει στην είσοδό της μια διεύθυνση. Κάθε φορά, ένα κύκλωμα σύγκρισης αναλαμβάνει να συγκρίνει τη διεύθυνση, με τις κατάλληλες ετικέτες όλων των cache και να ελέγξει τα έγκυρα

bit. Στην περίπτωση, όπου η σύγκριση είναι επιτυχής, θα προσπελαστεί μια ελαττωματική λέξη. Συνεπώς, τα δεδομένα δεν λαμβάνονται από την κύρια μνήμη, αλλά δεδομένα από την κατάλληλη cache οδηγούνται στην έξοδο, μέσω πολυπλεκτών.

Το κρίσιμο σημείο, το οποίο καθορίζει την αποτελεσματικότητα και την αποδοτικότητα της τεχνικής είναι ο αριθμός των μικρών μνημών, που θα χρησιμοποιηθούν και το μέγεθός τους. Αυτό καθορίζεται από την επιλογή δύο λόγων, του πρωτεύοντος και του δευτερεύοντος, όπως αναφέρεται στην δημοσίευση του MicroLAB. Ο πρωτεύων λόγος ισούται με την χωρητικότητα της πρώτης διορθωτικής μνήμης, προς τον συνολικό αριθμό σφαλμάτων του ολοκληρωμένου της κύριας μνήμης. Ο δευτερεύων, ισούται με την χωρητικότητα οποιασδήποτε διορθωτικής μνήμης, προς την χωρητικότητα της προγενέστερης. Για παράδειγμα, ο δευτερεύων λόγος στην αρχιτεκτονική του Σχήματος 1.1 είναι $\frac{1}{2}$. Ύστερα από εκτεταμένη στατιστική ανάλυση, που παρουσιάζεται στην ίδια δημοσίευση, προκύπτουν τα εξής αποτελέσματα:

1. Μια αρχιτεκτονική, με πρωτεύον λόγο 1 και δευτερεύον $\frac{1}{2}$ επιτυγχάνει ποσοστό διόρθωσης 90%.
2. Μια αρχιτεκτονική με πρωτεύον λόγο 2 και δευτερεύον $\frac{1}{2}$ επιτυγχάνει ποσοστό διόρθωσης 100%.

Στην πρώτη περίπτωση, η επιβάρυνση σε επιφάνεια και κατανάλωση είναι η μισή από ότι στην δεύτερη. Παρόλα αυτά, επιτυγχάνεται ένα πολύ υψηλό ποσοστό διόρθωσης. Μια περαιτέρω αύξηση των λόγων είναι άσκοπη, ενώ μια μείωση του δευτερεύοντος λόγου θα οδηγήσει σε μη ικανοποιητικό ποσοστό διόρθωσης.

1.3 ΣΚΟΠΟΣ ΤΗΣ ΠΑΡΟΥΣΑΣ ΕΡΓΑΣΙΑΣ

Σκοπός αυτής της εργασίας είναι η μελέτη, σχεδίαση και προσομοίωση μιας μικρής, σε μέγεθος μνήμης τύπου cache, κατάλληλη να χρησιμοποιηθεί στην τεχνική διόρθωσης μνήμης του MicroLab, η οποία αναλύθηκε στην προηγούμενη ενότητα. Τα δομικά στοιχεία της μνήμης θα μελετηθούν διεξοδικά, ώστε να έχουν τα επιθυμητά χαρακτηριστικά από πλευράς ταχύτητας, κατανάλωσης ισχύος και κυκλωματικής επιφάνειας.

Επίσης, θα υλοποιηθεί ένα σύστημα διόρθωσης μνήμης και θα αναλυθεί η λειτουργία και η απόδοσή του. Με αυτό τον τρόπο, θα ερευνηθούν τα όρια λειτουργίας της τεχνικής, δηλαδή μέχρι ποιά συχνότητα λειτουργίας μπορεί να είναι εφαρμόσιμη. Ακόμα, θα μελετηθεί η επιβάρυνση σε κατανάλωση και σε επιφάνεια που προσθέτει η εφαρμογή της στο συνολικό κύκλωμα της μνήμης.

2 *ΣΤΑΤΙΚΗ ΜΝΗΜΗ ΤΥΧΑΙΑΣ ΠΡΟΣΠΕΛΑΣΗΣ*

2.1 ΕΙΣΑΓΩΓΗ

Ο λόγος για τον οποίο επιλέχθηκε το είδος της Στατικής Μνήμης Τυχαίας Προσπέλασης (Static Random Access Memory - SRAM) για την υλοποίηση της διορθωτικής μνήμης είναι ότι σήμερα οι SRAM είναι οι πιο γρήγορες μνήμες που μπορούν να κατασκευαστούν σε τεχνολογίες CMOS. Η κύρια χρήση των μνήμων SRAM είναι να λειτουργούν ως κρυφές μνήμες ενός επεξεργαστή με στόχο να βελτιώσουν σημαντικά την απόδοσή του.

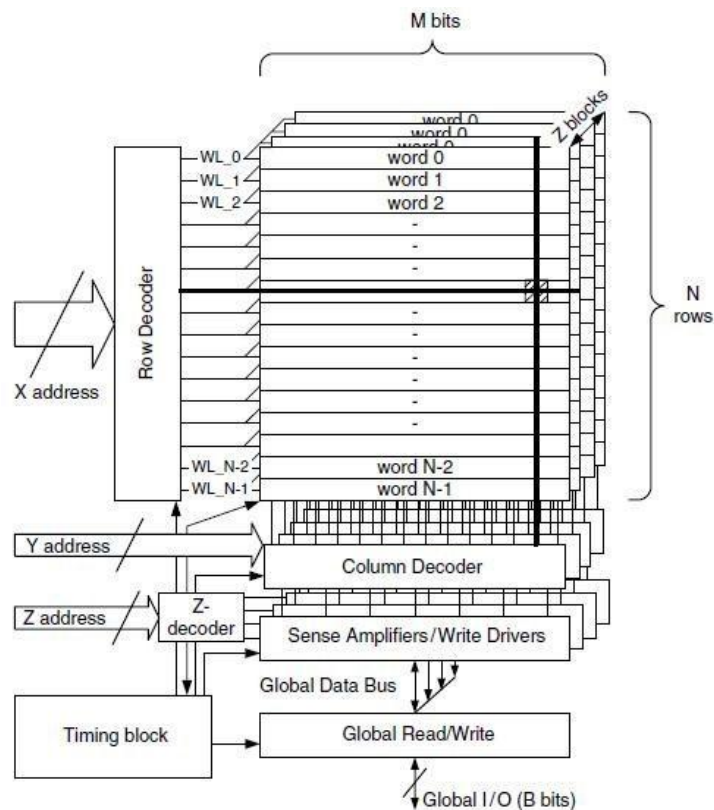
Ο όρος ‘Στατική’ υποδηλώνει ότι η SRAM διατηρεί τα δεδομένα της για όσο χρονικό διάστημα τροφοδοτείται. Ο όρος ‘Τυχαίας Προσπέλασης’ σημαίνει ότι η ταχύτητα πρόσβασης στην μνήμη είναι ανεξάρτητος από την διεύθυνση και την θέση των δεδομένων μέσα στην μνήμη. Οι SRAM υποστηρίζουν λειτουργίες εγγραφής και ανάγνωσης.

Αυτό το κεφάλαιο αναφέρεται στην βασική αρχιτεκτονική των μνημών SRAM και στα δομικά στοιχεία που την απαρτίζουν. Επίσης γίνεται μια ανάλυση των λειτουργιών της ανάγνωσης και εγγραφής. Ο αναγνώστης ο οποίος είναι εξοικειωμένος με τις μνήμες SRAM μπορεί να παραλείψει αυτό το κεφάλαιο και να προχωρήσει απευθείας στην ανάγνωση του επόμενου κεφαλαίου.

2.2 ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΤΗΣ SRAM

Το Σχήμα 2.1 δείχνει την βασική αρχιτεκτονική μιας μνήμης SRAM. Ο αποκωδικοποιητής γραμμής (Row Decoder) έχει ως είσοδο την διεύθυνση X και επιλέγει μια από τις γραμμές WL₀ – WL_{N-1}. Ο πυρήνας της μνήμης αποτελείται από ένα αριθμό πινάκων διάστασης N×M, όπου N ο αριθμός των γραμμών και M ο αριθμός των bit. Όπως φαίνεται και στο Σχήμα 2.1, οι πίνακες είναι οργανωμένοι σαν μια στοιβία από σελίδες. Έτσι είναι απαραίτητος και ένας ακόμα αποκωδικοποιητής (Z-decoder), ο οποίος επιλέγει την σελίδα που θα προσπελαστεί. Σε αυτό το παράδειγμα η μνήμη αποτελείται από τέσσερις σελίδες που η κάθε μια περιέχει έναν M×N πίνακα και τα κυκλώματα εισόδου – εξόδου.

Μια SRAM μπορεί να είναι bit-oriented ή word-oriented. Στις bit-oriented μνήμες κάθε διεύθυνση αντιστοιχεί σε ένα bit, ενώ στις word-oriented κάθε διεύθυνση αντιστοιχεί σε μια λέξη των n bits. Κάθε γραμμή του πίνακα μπορεί να περιέχει παραπάνω από μια λέξεις. Ο αποκωδικοποιητής στήλης (Column Decoder) επιλέγει σύμφωνα με τη διεύθυνση Y πια από τις λέξεις θα οδηγηθεί στην έξοδο. Τα κυκλώματα αίσθησης (Sense Amplifiers) και εγγραφής (Write Drivers) χρησιμεύουν για τις λειτουργίες ανάγνωσης και εγγραφής αντίστοιχα. Το κύκλωμα χρονισμού (Timing block) είναι υπεύθυνο για τα σήματα που ενεργοποιούν τα επιμέρους δομικά στοιχεία της μνήμης ώστε όλα μαζί να λειτουργούν αρμονικά.



Σχήμα 2.1 Γενική μορφή της αρχιτεκτονικής ενός ολοκληρωμένου κυκλώματος μνήμης

➤ **Γιατί οργανώνονται οι μνήμες με αυτόν τον τρόπο;**

Οι μνήμες οργανώνονται με αυτόν τον τρόπο για να αυξηθεί η χωρητικότητα τους χωρίς παράλληλα να μειωθεί σημαντικά η ταχύτητα. Ένας τεράστιος πίνακας θα μπορούσε να λύσει το πρόβλημα της χωρητικότητας αλλά θα έκανε την μνήμη πολύ αργή.

Για παράδειγμα ένας πίνακας με μεγάλο αριθμό γραμμών θα απαιτούσε έναν ανάλογα μεγάλο αποκωδικοποιητή γραμμών, του οποίου η καθυστέρηση αυξάνεται όσο αυξάνεται το μέγεθος του. Ένας πίνακας με μεγάλο αριθμό στηλών θα αύξανε το φορτίο το οποίο πρέπει να οδηγήσει ο αποκωδικοποιητής γραμμών, πράγμα που αυξάνει την καθυστέρηση. Επίσης, εάν κατασκευαζόταν ένας πολύ μεγάλος πίνακας θα υπήρχαν μέσα στο ολοκληρωμένο μεγάλο μήκους παράλληλοι αγωγίμοι δρόμοι. Αυτό σημαίνει ότι θα έχουν μεγάλη χωρητικότητα πράγμα που αυξάνει την καθυστέρηση και είναι ακόμα πιθανό να εμφανιστούν φαινόμενα cross talk που να απειλούν τη σωστή λειτουργία της μνήμης.

Αν είναι απαραίτητο να αυξηθεί και άλλο η χωρητικότητα, και η αύξηση του μεγέθους του πίνακα ή του αριθμού των σελίδων οδηγεί σε μείωση της απόδοσης, προσθέτουμε μια ακόμα βαθμίδα κωδικοποίησης χρησιμοποιώντας πολλά SRAM chips για τη δημιουργία μιας μεγάλης μνήμης (multi-SRAM chip αρχιτεκτονικές).

2.3 ΚΥΤΤΑΡΟ ΜΝΗΜΗΣ ΤΗΣ SRAM

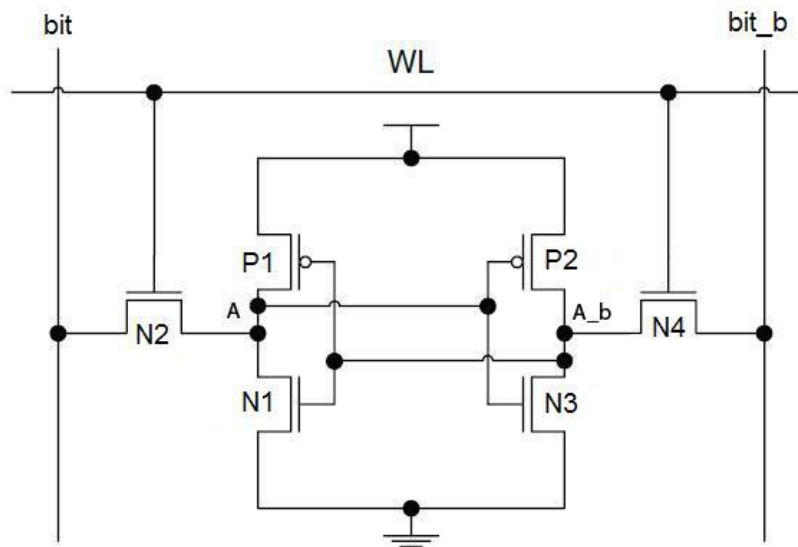
Το κύτταρο μνήμης είναι το βασικό συστατικό της SRAM όπου αποθηκεύεται η δυαδική πληροφορία. Ένα χαρακτηριστικό κύτταρο SRAM χρησιμοποιεί τρανζίστορ πρόσβασης και δύο αναστροφείς διασταυρωμένης σύζευξης που σχηματίζουν έναν μανδαλωτή.

Τα τρανζίστορ πρόσβασης επιτρέπουν την πρόσβαση στο κύτταρο κατά την λειτουργία της ανάγνωσης και εγγραφής και απομονώνουν το κύτταρο όταν δεν χρειάζεται να γίνει πρόσβαση σε αυτό. Ένα κύτταρο SRAM σχεδιάζεται έτσι ώστε να μπορεί να αναγνωσθεί χωρίς να μεταβάλει την κατάστασή του, αλλά και να μπορεί να εγγραφθεί μεταβάλλοντάς τη. Ακόμα πρέπει να αποθηκεύει την πληροφορία του για όσο χρονικό διάστημα τροφοδοτείται.

2.3.1 ΚΥΤΤΑΡΟ ΜΝΗΜΗΣ ΤΩΝ ΕΞΙ ΤΡΑΝΖΙΣΤΟΡ

Το κύκλωμα του κυττάρου μνήμης των έξι τρανζίστορ (6T), το οποίο φαίνεται στο Σχήμα 2.2, είναι παρόμοιο με αυτό ενός μανδαλωτή SR. Τέσσερα τρανζίστορ (P1-N1, P2-N3)

δημιουργούν δύο αναστροφείς διασταυρωμένης ζεύξης (cross coupled inverters) και δύο nMOS τρανζίστορ (N2, N4) επιτρέπουν την πρόσβαση στο κύτταρο. Για την πρόσβαση στο κύτταρο πρέπει να ενεργοποιηθεί η γραμμή λέξης (Word Line) που είναι συνδεδεμένη με τις πύλες των τρανζίστορ πρόσβασης. Επίσης τα τρανζίστορ πρόσβασης συνδέουν τους δύο εσωτερικούς κόμβους του κυττάρου (A, A_b) με το περιβάλλον μέσω της γραμμής bit και την συμπληρωματική της bit_b.



Σχήμα 2.2 Κύκλωμα του κυττάρου μνήμης με έξι τρανζίστορ

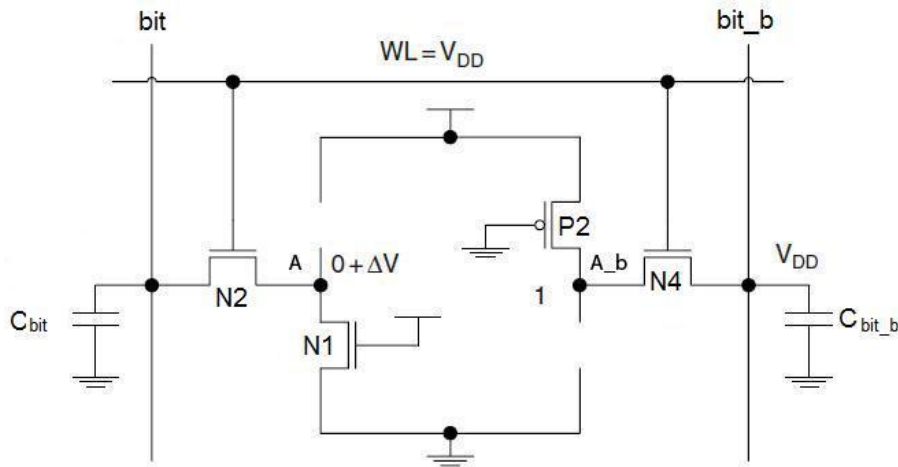
Παλιότερα χρησιμοποιούταν ένα κύτταρο που αποτελούταν από τέσσερα τρανζίστορ. Στη θέση των P1 και P2 είχε δύο αντιστάσεις φτιαγμένες από πολυπυρίτιο. Όμως στις νέες τεχνολογίες κάτω από τα 180nm η σχεδίαση αυτή εγκαταλείφτηκε διότι δεν ήταν δυνατή η κατασκευή αυτών των αντιστάσεων. Σήμερα το κύτταρο που χρησιμοποιείται περισσότερο στη σχεδίαση των μνημών SRAM είναι το κύτταρο 6T, λόγω της ευρωστίας, της σταθερότητας, της χαμηλής κατανάλωσης και τις ικανότητας του να λειτουργεί σε χαμηλές τάσεις τροφοδοσίας.

Η επιλογή του μεγέθους των τρανζίστορ είναι καθοριστικής σημασίας για τη σωστή λειτουργία, την απόδοση και την επιφάνεια του κυττάρου. Ο σχεδιαστής πρέπει οπωσδήποτε να εξασφαλίσει ότι κατά την ανάγνωση δεν αλλάζουν τα δεδομένα και ότι κατά την εγγραφή αλλάζουν επιτυχώς.

2.3.2 ΛΕΙΤΟΥΡΓΙΕΣ ΑΝΑΓΝΩΣΗΣ ΚΑΙ ΕΓΓΡΑΦΗΣ

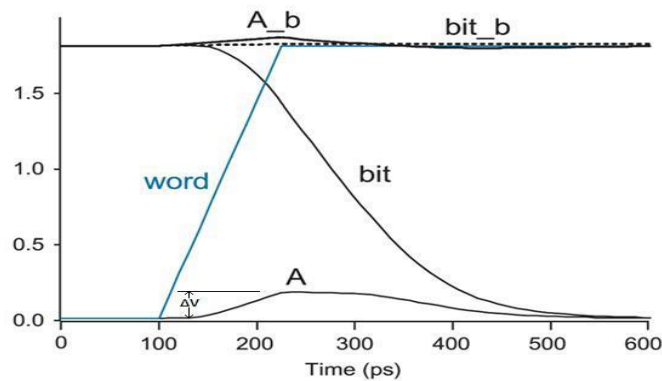
Στο Σχήμα 2.3 φαίνεται ένα κύτταρο μνήμης το οποίο διαβάζεται. Ας υποθέσουμε χωρίς βλάβη της γενικότητας ότι ο κόμβος A είναι αρχικά '0' και ο A_b είναι '1'. Αρχικά οι γραμμές bit και bit_b (bit lines) φορτίζονται στην τάση τροφοδοσίας και στην συνέχεια

αποσυνδέονται από αυτήν. Στην συνέχεια ενεργοποιείται η word line και ανοίγουν τα τρανζίστορ πρόσβασης.



Σχήμα 2.3 Απλοποιημένο μοντέλο του κυττάρου μνήμης 6T κατά την ανάγνωση

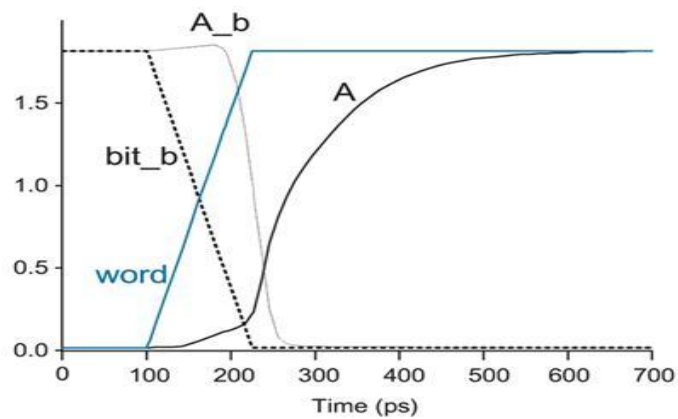
Όπως φαίνεται και στην Εικόνα 2.1 η γραμμή bit μέσω τον τρανζίστορ N1 και N2 οδηγείται στην γη ενώ η γραμμή bit_b παραμένει στο Vdd. Καθώς συμβαίνει αυτό ο κόμβος A αυξάνει το δυναμικό του λόγω της διαφοράς δυναμικού ΔV που αναπτύσσεται στα άκρα του N1. Σε αυτό το σημείο υπάρχει κίνδυνος αλλαγής της κατάστασης του κυττάρου, εάν η διαφορά δυναμικού ΔV είναι μεγαλύτερη από το κατώφλι μεταγωγής του αντιστροφέα P2 – N3. Για να μην συμβεί αυτό πρέπει το τρανζίστορ N1 να είναι πιο ‘δυνατό’ από το N2. Αυτός είναι ένας περιορισμός έτσι ώστε να μην ανατραπεί η πληροφορία του κυττάρου κατά την ανάγνωση.



Εικόνα 2.1 Οι κυματομορφές των τάσεων κατά την ανάγνωση ενός κυττάρου μνήμης 6T

Στην Εικόνα 2.2 φαίνονται η τάσεις των κόμβων A και A_b κατά την διάρκεια μιας εγγραφής. Υποθέτουμε πάλι χωρίς βλάβη της γενικότητας ότι αρχικά ο κόμβος A είναι στο ‘0’ και ο A_b στο ‘1’. Πάλι προφορτίζονται οι bit lines στο Vdd και στη συνέχεια αποσυνδέονται και μετά ενεργοποιείται η word line. Από τους περιορισμούς για την

λειτουργία της ανάγνωσης γνωρίζουμε ότι ο κόμβος A δεν μπορεί να οδηγηθεί από το '0' στο '1' μέσω του N2. Για να γίνει η εγγραφή οδηγούμε τον κόμβο A_b από το '1' στο '0' τραβώντας την bit_b κάτω. Σε αυτό αντιτίθεται το P2. Γι αυτό πρέπει το P2 να είναι πιο 'αδύναμο' σε σχέση με το N4. Αυτός ο περιορισμός λέγεται περιορισμός εγγραψιμότητας. Όταν τελικά ο A_b πέσει στο '0', κλείνει το N1 και ανοίγει το P1 τραβώντας τον κόμβο A στο Vdd ολοκληρώνοντας έτσι την διαδικασία της εγγραφής.

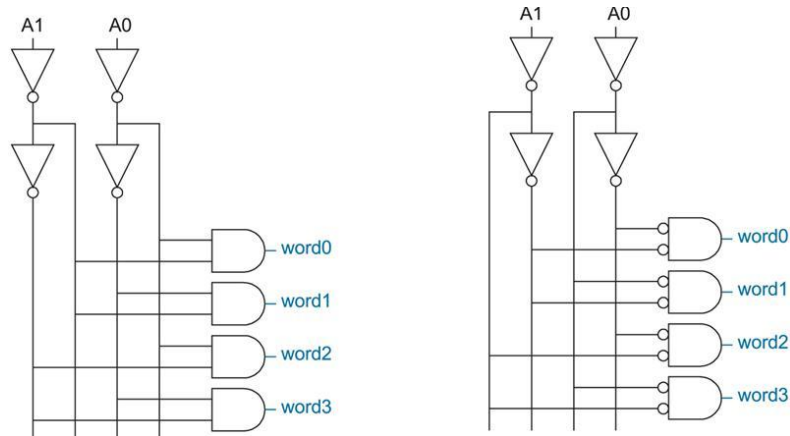


Εικόνα 2.2 Οι κυματομορφές των τάσεων κατά την εγγραφή ενός κυττάρου 6T

Όπως φάνηκε από την παραπάνω ανάλυση των λειτουργιών ανάγνωσης και εγγραφής, τα nMOS τρανζίστορ των αντιστροφών διασταυρωμένης ζεύξης πρέπει να είναι τα 'δυνατότερα', ενώ τα pMOS πρέπει να είναι τα πιο 'αδύναμα'.

2.4 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΕΣ ΓΡΑΜΜΗΣ

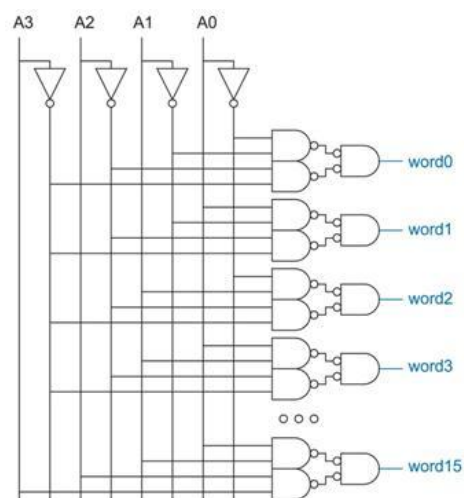
Ο ρόλος του αποκωδικοποιητή γραμμής είναι να δέχεται στην είσοδό του την διεύθυνση που θα προσπελασθεί και να ενεργοποιεί την κατάλληλη word line της μνήμης. Η απόκριση του παίζει καθοριστικό ρόλο στην συνολική απόκριση της μνήμης. Υπάρχουν πολλοί τρόποι σχεδίασης ενός αποκωδικοποιητή. Ο πιο απλός αποκωδικοποιητής είναι μια σειρά από πύλες AND ή NAND. Δυο βασικές υλοποιήσεις παρουσιάζονται στο Σχήμα 2.4.



Σχήμα 2.4 Αποκωδικοποιητές υλοποιημένοι με πύλες AND και NAND

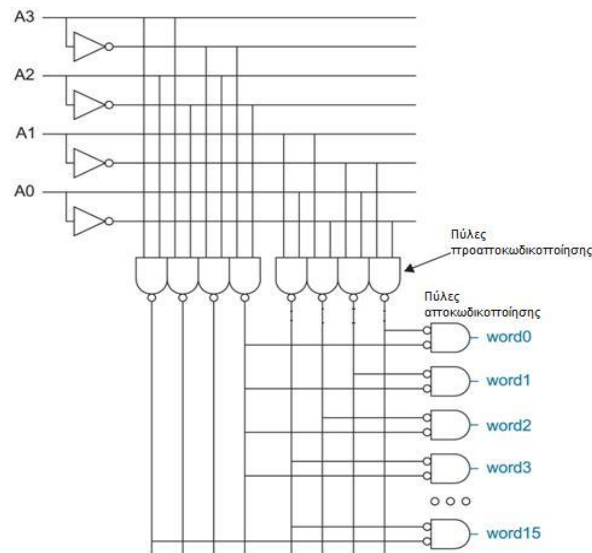
Οι παραπάνω δομές είναι χρήσιμες για λίγες εισόδους. Για περισσότερες εισόδους θα χρειαζόμασταν μεγάλες πύλες AND ή NAND πολλών εισόδων που έχουν μεγάλη καθυστέρηση. Μια λύση στο παραπάνω πρόβλημα είναι η διάσπαση των μεγάλων πυλών σε μικρότερες και η κατασκευή ενός αποκωδικοποιητή τύπου δέντρου όπως φαίνεται στο Σχήμα 2.5. Αυτός ο αποκωδικοποιητής χρειάζεται μια περαιτέρω ανάλυση για να βρεθεί ο βέλτιστος αριθμός των βαθμίδων του δέντρου αλλά και το βέλτιστο μέγεθος των τρανζίστορ της κάθε βαθμίδας ώστε να επιτευχθεί η ελάχιστη καθυστέρηση.

Επίσης η εκλογή του αποκωδικοποιητή εξαρτάται από την επιφάνεια του κυττάρου μνήμης. Στο φυσικό σχέδιο (layout) η απόσταση ανάμεσα σε δυο διαδοχικές γραμμές του αποκωδικοποιητή πρέπει να είναι ίση με το ύψος του κυττάρου μνήμης. Ένας μεγάλος αποκωδικοποιητής με απλές NAND είναι δύσκολο να ικανοποιήσει αυτή τη συνθήκη, καθώς η μεγάλες NAND απαιτούν μεγαλύτερη επιφάνεια.



Σχήμα 2.5 Αποκωδικοποιητής τύπου δέντρου

Η εναλλακτική λύση είναι ένα σχήμα προαποκωδικοποίησης που φαίνεται στο Σχήμα 2.6. Σε αυτή την περίπτωση, οι γραμμές διεύθυνσης χωρίζονται σε ένα πεδίο προαποκωδικοποίησης και σε ένα άμεσης αποκωδικοποίησης. Το πεδίο αποκωδικοποίησης απαιτεί μια πύλη ανά γραμμή και έτσι είναι εύκολο να ταιριάζει στο ύψος του κυττάρου. Αύτη η τοπολογία δεν βελτιώνει την ταχύτητα αλλά έχει πλεονέκτημα ως προς τη κατασκευή του φυσικού σχεδίου.



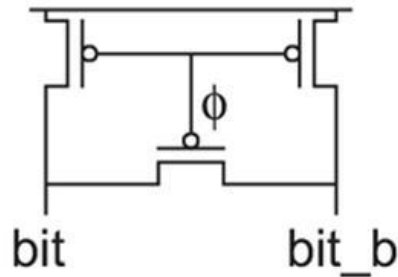
Σχήμα 2.6 Αποκωδικοποιητής που χρησιμοποιεί πύλες προαποκωδικοποίησης

2.5 ΚΥΚΛΩΜΑΤΑ ΣΤΗΛΗΣ

Στην επόμενη ενότητα αναλύονται τα επιπρόσθετα κυκλώματα που περιέχει μια στήλη της μνήμης τα οποία είναι απαραίτητα για την λειτουργία της. Αυτά είναι το κύκλωμα προφόρτισης, ο οδηγός εγγραφής, ο ενισχυτής αίσθησης και ο πολυπλέκτης στήλης.

2.5.1 ΚΥΚΛΩΜΑ ΠΡΟΦΟΡΤΙΣΗΣ

Πριν από τις λειτουργίες εγγραφής και ανάγνωσης είναι απαραίτητη η φόρτιση των bit lines στο Vdd. Όλη η μνήμη είναι σχεδιασμένη για να οδηγεί την έξοδο της γρήγορα από το '1' στο '0' και όχι από το '0' στο '1'. Όταν ο κόμβος A του κυττάρου (Σχήμα 2.2) είναι στο '1' η bit line δεν μεταβάλλει το δυναμικό αφού έχουμε φροντίσει από πριν να το φέρουμε στο Vdd, ενώ όταν ο κόμβος A είναι στο '0' το nMOS transistor N1 αναλαμβάνει να οδηγήσει την bit line στο '0'. Αυτή η φιλοσοφία σχεδίασης προκύπτει από το γεγονός ότι τα nMOS τρανζίστορ είναι πιο γρήγορα από τα pMOS. Αυτή η διαδικασία εκτελείται από ένα απλό κύκλωμα που αποτελείται από τρία pMOS τρανζίστορ, όπως φαίνεται στο Σχήμα 2.7.

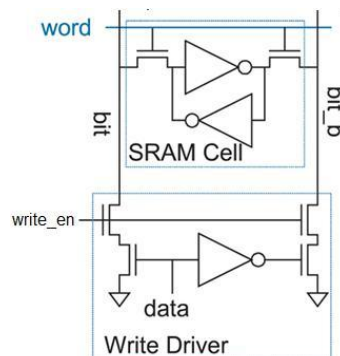


Σχήμα 2.7 Κύκλωμα προφόρτισης των γραμμών bit

Κατά τον αρνητικό παλμό του σήματος ϕ τα τρανζίστορ άγουν και οι bit lines φορτίζονται στο Vdd. Το μεσαίο τρανζίστορ βοηθά στην μείωση του χρόνου προφόρτισης διατηρώντας την διαφορά τάσης ανάμεσα στις bit lines σε μικρά επίπεδα ακόμα και αν δεν έχουν πλήρως προλάβει να φτάσουν το επίπεδο του Vdd. Αυτό είναι σημαντικό, γιατί όπως θα δούμε και στην συνέχεια, η ανάγνωση της μνήμης εξαρτάται από την διαφορά τάσης μεταξύ των bit lines. Κατά τον θετικό παλμό τα τρανζίστορ κλείνουν και η μνήμη είναι έτοιμη για εγγραφή ή ανάγνωση. Το μέγεθος των τρανζίστορ του κυκλώματος προφόρτισης επηρεάζει σημαντικά την ταχύτητα της μνήμης. Όσο πιο μεγάλα είναι αυτά τα τρανζίστορ, μπορούν να άγουν περισσότερο ρεύμα για να φορτιστούν γρηγορότερα οι γραμμές, αυξάνοντας βέβαια την κατανάλωση ενέργειας. Όσο πιο γρήγορα φορτίζονται οι γραμμές, τόσο πιο γρήγορα μπορεί να γίνει μια νέα εγγραφή ή ανάγνωση.

2.5.2 ΟΔΗΓΟΣ ΕΓΓΡΑΦΗΣ

Όπως είδαμε στην λειτουργία της εγγραφής, για να αλλάξει κατάσταση του κυττάρου μνήμης πρέπει ένας από τους δύο κόμβους του κυττάρου να τραβηχτεί στη γη. Αυτή ακριβώς είναι η ευθύνη του κυκλώματος του οδηγού εγγραφής, το οποίο φαίνεται στο Σχήμα 2.8. Ο οδηγός εγγραφής αποτελείται από δύο nMOS τρανζίστορ τα οποία επιτρέπουν την εγγραφή μόνο όταν το σήμα write_en είναι '1'. Το υπόλοιπο κύκλωμα συνδέει μια από τις δύο bit lines με τη γη, ανάλογα με την είσοδο των δεδομένων data.



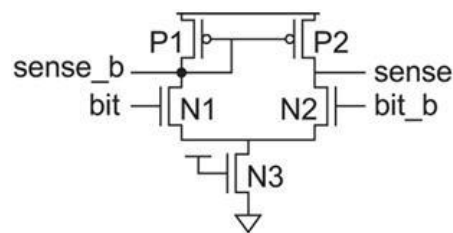
Σχήμα 2.8 Κύκλωμα οδηγού εγγραφής

2.5.3 ΕΝΙΣΧΥΤΗΣ ΑΙΣΘΗΣΗΣ

Όπως είδαμε στην λειτουργία της ανάγνωσης, για να διαβαστεί ένα κύτταρο μνήμης ενεργοποιείται η γραμμή λέξης και το κύτταρο αποφορτίζει μια από τις δυο γραμμές bit ανάλογα με την πληροφορία που περιέχει. Αυτή η διαδικασία μπορεί να επιταχυνθεί με τη χρήση ενός ενισχυτή αίσθησης [7].

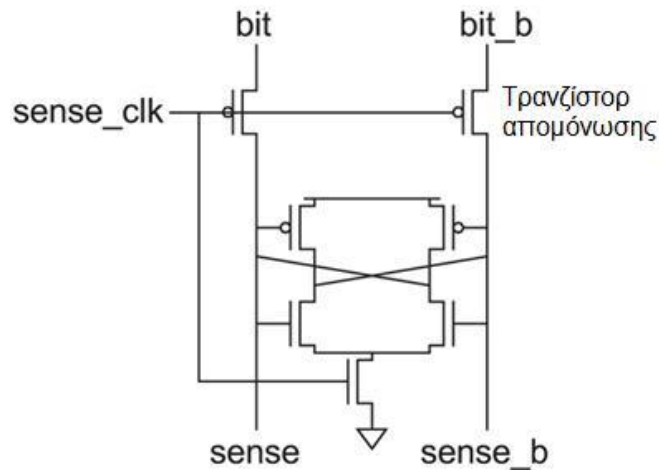
Αντί να αφήσουμε το κύτταρο να αποφορτίσει πλήρως μια από τις δυο bit lines, φροντίζουμε έτσι ώστε να την αποφορτίσει μέχρι να αναπτυχθεί ανάμεσά τους μια διαφορά δυναμικού ικανή να ενεργοποιήσει έναν διαφορικό ενισχυτή. Στην συνέχεια ο διαφορικός ενισχυτής οδηγεί γρήγορα την μια έξοδο του στη γη και την άλλη στο Vdd. Με αυτή την τεχνική κερδίζουμε και σε ταχύτητα και σε κατανάλωση. Η πλήρης φόρτιση και αποφόρτιση των bit lines είναι μια αργή διαδικασία γιατί οι bit lines έχουν μια σημαντική χωρητικότητα, αλλά επίσης είναι και μια σπατάλη ενέργειας που μπορεί να αποφευχθεί. Επίσης με αυτό τον τρόπο μπορούμε να χρησιμοποιούμε μικρότερα κύτταρα, αφού το κάθε κύτταρο δε χρειάζεται να είναι ικανό να αποφορτίζει μόνο του τις γραμμές.

Ο πιο απλός διαφορικός ενισχυτής αίσθησης φαίνεται στο Σχήμα 2.9 και αποτελείται από ένα αναλογικό διαφορικό ζεύγος και δεν χρειάζεται ρολόι. Αυτός ο ενισχυτής έχει το πλεονέκτημα ότι είναι απλός στη σχεδίαση του και ότι αποτελείται από λίγα τρανζίστορ, πράγμα που σημαίνει ότι καταλαμβάνει μικρή επιφάνεια. Το μειονέκτημά του είναι ότι έχει μεγάλη στατική κατανάλωση ισχύος.



Σχήμα 2.9 Απλός διαφορικός ενισχυτής αίσθησης

Μια άλλη εναλλακτική λύση είναι ένας ενισχυτής τύπου μανδαλωτή που φαίνεται στο Σχήμα 2.10, ο οποίος μοιάζει αρκετά στην λειτουργία του με το κύτταρο. Αρχικά οι έξοδοί του είναι προφορτισμένες στο Vdd και όταν αναπτυχθεί μια διαφορά δυναμικού ανάμεσα στις bit lines οδηγεί την μια στην γη ενώ αφήνει την άλλη στο Vdd. Τα τρανζίστορ απομόνωσης φροντίζουν στο να αποκόπτουν τον ενισχυτή από τις bit lines, οι οποίες έχουν μεγάλη χωρητικότητα, για να έχει γρηγορότερη απόκριση. Ο ενισχυτής είναι ενεργός όταν το ρολόι sense_clk είναι στο '1' και είναι ανενεργός όταν το ρολόι βρίσκεται στο '0'. Αυτό μειώνει την κατανάλωση των αναγνώσεων.

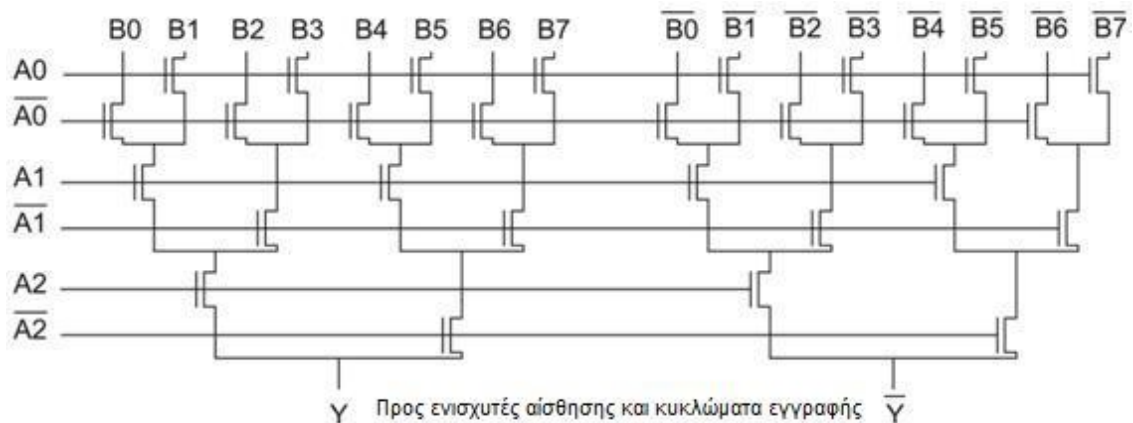


Σχήμα 2.10 Ενισχυτής αίσθησης τύπου μανδαλωτή με τρανζίστορ απομόνωσης

Ο ενισχυτής τύπου μανδαλωτή δαπανά λιγότερη ενέργεια αλλά έχει το μειονέκτημα ότι χρειάζεται πιο πολύπλοκο κύκλωμα ελέγχου που να παράγει το ρολόι ενεργοποίησης. Ο ενισχυτής πρέπει να ενεργοποιηθεί ακριβώς την σωστή στιγμή. Αν ενεργοποιηθεί πολύ νωρίς μπορεί οι bit lines να μην έχουν αναπτύξει την απαιτούμενη διαφορά δυναμικού ώστε να λειτουργήσει σωστά ο ενισχυτής και αν ενεργοποιηθεί πολύ αργά μειώνεται η ταχύτητα της μνήμης.

2.5.4 ΠΟΛΥΠΛΕΚΤΗΣ ΣΤΗΛΗΣ

Ανάλογα με την οργάνωση της μνήμης μια γραμμή του πίνακα κυττάρων μπορεί να περιέχει περισσότερες από μια λέξεις. Ο πολυπλέκτης στήλης είναι υπεύθυνος για το πια κύτταρα της γραμμής θα προσπελασθούν. Ένας πολυπλέκτης τύπου δέντρου παρουσιάζεται στο Σχήμα 2.11. Εδώ τα δεδομένα διασυνδέονται μέσω nMOS τρανζίστορ που ενεργοποιούνται από τις γραμμές διεύθυνσης στήλης. Αυτή η τοπολογία προσθέτει κάποια καθυστέρηση λόγω των nMOS τρανζίστορ που βρίσκονται σε σειρά.

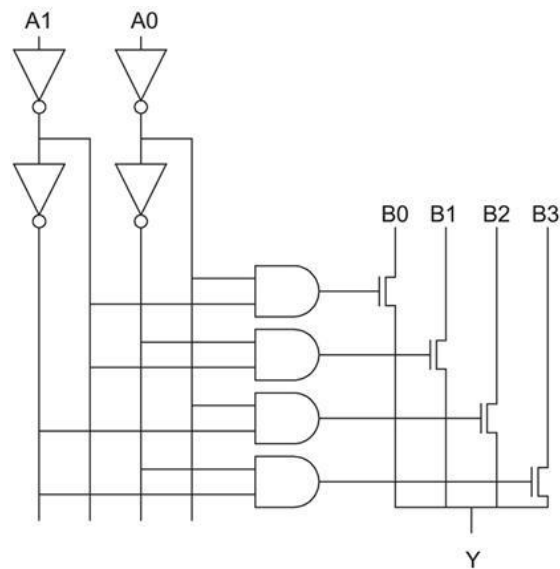


Σχήμα 2.11 Πολυπλέκτης στήλης τύπου δέντρου

Μια πιο γρήγορη τοπολογία φαίνεται στο Σχήμα 2.12. Εδώ υλοποιείται ένας αποκωδικοποιητής NAND, ο οποίος χρησιμοποιεί το κατάλληλο nMOS τρανζίστορ. Σε αυτή την τοπολογία η καθυστέρηση είναι πολύ λιγότερη αφού σε σειρά με τα δεδομένα είναι μόνο ένα τρανζίστορ.

Η πολυπλεξία στα δεδομένα της στήλης βοηθά και στην φυσική σχεδίαση εξοικονομώντας επιφάνεια. Χωρίς τον πολυπλέκτη δεν θα ήταν δυνατή η σχεδίαση των λοιπών κυκλωμάτων στήλης σε επιφάνεια που να έχει το ίδιο πλάτος με το πλάτος ενός κυττάρου. Με τον πολυπλέκτη περισσότερες από μια στήλες χρησιμοποιούν τα ίδια κυκλώματα και έτσι είναι διαθέσιμη περισσότερη επιφάνεια.

Ένα ακόμα πλεονέκτημα της πολυπλεξίας είναι ότι χρησιμοποιώντας λιγότερα κυκλώματα ενισχυτών και οδηγών εγγραφής μειώνεται η κατανάλωση ενέργειας.



Σχήμα 2.12 Πολυπλέκτης στήλης με αποκωδικοποιητή

3 ΣΧΕΔΙΑΣΗ

3.1 ΠΡΟΔΙΑΓΡΑΦΕΣ

Όπως αναφέρθηκε και στο πρώτο κεφάλαιο ένας από τους στόχους αυτής της εργασίας είναι η σχεδίαση μιας μικρής μνήμης SRAM. Οι αποφάσεις που λαμβάνει ο σχεδιαστής κατά την σχεδίαση της μνήμης εξαρτώνται από τα χαρακτηριστικά τα οποία θέλει να προσδώσει σε αυτήν. Ο σχεδιαστής πρέπει να ικανοποιήσει προδιαγραφές όπως η ταχύτητα, η κατανάλωση ενέργειας και η επιφάνεια του κυκλώματος. Αυτές οι προδιαγραφές είναι αντικρουόμενες μεταξύ τους και γι αυτό το λόγο ο σχεδιαστής πρέπει να κάνει τους σωστούς συμβιβασμούς κάθε φορά ανάλογα με τις απαιτήσεις της εκάστοτε εφαρμογής.

➤ Η μνήμη που σχεδιάστηκε είχε τις εξής προδιαγραφές οι οποίες αναγράφονται με σειρά σπουδαιότητας:

1. Μέγεθος 64 λέξεων των 32bit.

Το πλήθος των λέξεων επιλέχθηκε έτσι ώστε η μνήμη αυτή να μπορεί να χρησιμοποιηθεί στη θέση της πρώτης διορθωτικής cache στην τεχνική που αναλύθηκε στο Κεφάλαιο 1. Σύμφωνα με την τεχνική, διαθέτοντας 64 λέξεις στην πρώτη cache είναι δυνατόν να διορθωθεί ένα ολοκληρωμένο μνήμης που περιέχει 32 σφάλματα. Σύμφωνα με τα δεδομένα που αναφέρονται στην εργασία [8], ένα ολοκληρωμένο μεγέθους 12mm×12mm το οποίο έχει ενσωματωμένη μνήμη που χρησιμοποιεί το 90% της επιφάνειας αναμένεται να έχει 0.4 σφάλματα ανά τετραγωνική ίντσα. Αυτό μεταφράζεται σε 3.24 σφάλματα μνήμης ανά ολοκληρωμένο. Η επιλογή των 32 σφαλμάτων έγινε ώστε να ερευνηθεί εάν η τεχνική είναι εφαρμόσιμη ακόμα και στη χειρότερη περίπτωση. Η επιλογή των 32bit έγινε διότι πολλά από τα σημερινά ψηφιακά συστήματα χρησιμοποιούν αρχιτεκτονικές των 32bit.

2. Υψηλή ταχύτητα και αξιοπιστία.

Η λειτουργία των διορθωτικών μνημών και των υποστηρικτικών κυκλωμάτων γίνεται παράλληλα με την λειτουργία της κύριας μνήμης. Αυτό σημαίνει ότι για να είναι εφαρμόσιμη η τεχνική, η απόκριση της διορθωτικής μνήμης μαζί με την απόκριση των υποστηρικτικών κυκλωμάτων πρέπει να είναι πιο γρήγορη από την απόκριση της κύριας μνήμης. Γι αυτό το λόγο αλλά και γιατί ήταν επιθυμητό να ερευνηθεί το όριο λειτουργίας της τεχνικής, μεγαλύτερη έμφαση δόθηκε στην ταχύτητα. Ταυτόχρονα δόθηκε μεγάλη έμφαση στην αξιοπιστία. Οποσδήποτε οι διορθωτικές μνήμες πρέπει να είναι αξιόπιστες και μα μην παρουσιάζουν σφάλματα.

3. Κατανάλωση ενέργειας

Η υψηλή ταχύτητα και η χαμηλή κατανάλωση ενέργειας είναι δύο αντικρουόμενες προδιαγραφές. Κατά την σχεδίαση της μικρής μνήμης δόθηκε μεγαλύτερη έμφαση στην ταχύτητα. Δόθηκε όμως προσοχή στο να μην γίνονται σπατάλες ενέργειας. Δηλαδή η μεγάλη ταχύτητα να επιτυγχάνεται ακριβώς με την ελάχιστη χρήση ενέργειας που απαιτείται χωρίς να γίνεται χρήση πλεονάζουσας ενέργειας.

4. Φυσική επιφάνεια κυκλώματος

Συνήθως κατά την σχεδίαση των ενσωματωμένων μνημών δίνεται μεγάλη έμφαση στην ελαχιστοποίηση της επιφάνειας επειδή καταλαμβάνουν ένα μεγάλο ποσοστό της επιφάνειας του ολοκληρωμένου. Στην περίπτωση της διορθωτικής μνήμης δόθηκε προσοχή στην ελαχιστοποίηση της επιφάνειας, χωρίς όμως ποτέ να θυσιαστεί η αξιοπιστία.

3.2 ΣΧΕΔΙΑΣΗ ΤΟΥ ΚΥΤΤΑΡΟΥ ΜΝΗΜΗΣ

Σε αυτή την ενότητα παρουσιάζονται αρχικά οι διαστάσεις των τρανζίστορ του κυττάρου μνήμης 6T που υλοποιήθηκε καθώς και οι λόγοι που οδήγησαν σε αυτή την επιλογή. Στην συνέχεια παρουσιάζονται οι δοκιμές στις οποίες υποβλήθηκε το κύτταρο για να αποδειχθεί η ταχύτητα, η σταθερότητα και η αξιοπιστία του. Στο τέλος παρουσιάζεται και αναλύεται το φυσικό σχέδιο του κυττάρου που σχεδιάστηκε.

3.2.1 ΔΙΑΣΤΑΣΕΙΣ ΤΩΝ ΤΡΑΝΖΙΣΤΟΡ

Γενικά, για την σχεδίαση του κυττάρου μνήμης πρέπει να βρεθεί μια ισορροπία ανάμεσα σε αντικρουόμενους παράγοντες όπως είναι το μέγεθος, η αξιοπιστία και η ταχύτητα. Η ελαχιστοποίηση μεγέθους του κυττάρου είναι σημαντικός στόχος. Όσο πιο μικρό είναι το μέγεθος του κυττάρου τόσο μικρότερο είναι και το κόστος ανά bit της μνήμης. Τα μικρότερα κύτταρα οδηγούν σε έναν μικρότερο πίνακα κυττάρων και ως εκ τούτου μικρότερες χωρητικότητες γραμμών, οι οποίες βοηθούν στη συνέχεια στην βελτίωση της απόδοσης. Ο αποτελεσματικότερος τρόπος να επιτευχθεί μια μικρότερη επιφάνεια του κυττάρου είναι να ελαχιστοποιηθεί το μέγεθος των τρανζίστορ που το απαρτίζουν.

Όμως, οι διαστάσεις των τρανζίστορ δεν μπορούν να μειώνονται συνεχώς χωρίς να επηρεάζονται αρνητικά οι υπόλοιπες παράμετροι [9]. Για παράδειγμα, τα μικρότερα τρανζίστορ μπορούν να επηρεάσουν την σταθερότητα του κυττάρου. Συχνά, οι στόχοι απόδοσης και σταθερότητας περιορίζουν την μείωση του μεγέθους των τρανζίστορ.

Στη μνήμη που σχεδιάστηκε επειδή πρωταρχικός στόχος δεν ήταν η μείωση του μεγέθους αλλά η επίτευξη υψηλής ταχύτητας και αξιοπιστίας δεν επιλέχθηκαν τρανζίστορ ελαχίστου μεγέθους. Τα nMOS τρανζίστορ σχεδιάστηκαν μεγαλύτερα έτσι ώστε να έχουν την δυνατότητα να αποφορτίζουν γρήγορα τις bit lines. Τα access και τα pMOS τρανζίστορ σχεδιάστηκαν έτσι ώστε το κύτταρο να μπορεί να αναγνωστεί και να εγγραφεί επιτυχώς και ταυτόχρονα να είναι ανθεκτικό στις διακυμάνσεις της τάσης τροφοδοσίας και στην διαφοροποίηση του υλικού. Τα μεγέθη που επιλέχθηκαν φαίνονται στον Πίνακα 3.1.

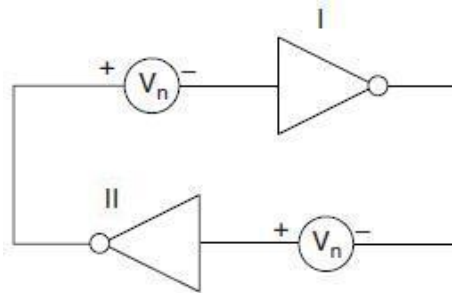
| | W | L |
|------------|-----------|-----------|
| pull-ups | 3λ->150nm | 3λ->150nm |
| Pull-downs | 8λ->400nm | 2λ->100nm |
| access | 4λ->200nm | 2λ->100nm |

Πίνακας 3.1 Τα μεγέθη των τρανζίστορ που επιλέχθηκαν για το κύτταρο 6T που σχεδιάστηκε

3.2.2 ΑΝΑΛΥΣΗ ΣΤΑΤΙΚΟΥ ΠΕΡΙΘΩΡΙΟΥ ΘΟΡΥΒΟΥ ΤΟΥ ΚΥΤΤΑΡΟΥ

Στην ενότητα αυτή θα γίνει μια ανάλυση της σταθερότητας του κυττάρου που χρησιμοποιήθηκε, μετρώντας το στατικό περιθώριο θορύβου (Static Noise Margin, SNM) [10] σε διάφορες τιμές της τάσης τροφοδοσίας. Η μέτρηση του SNM μπορεί να γίνει με αναλυτική μέθοδο [11] η οποία χρησιμοποιεί τα μαθηματικά μοντέλα των τρανζίστορ για τον υπολογισμό του, αλλά και με μέθοδο προσομοίωσης η οποία χρησιμοποιεί μια DC ανάλυση για την εξαγωγή του SNM [12]. Στην παρούσα ανάλυση για την εξαγωγή των μετρήσεων χρησιμοποιήθηκε η μέθοδος προσομοίωσης.

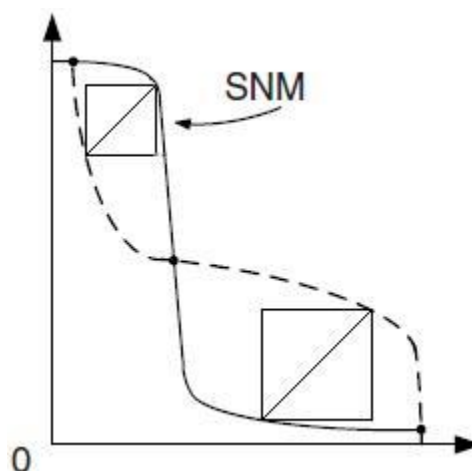
Το κύτταρο αναπαρίσταται με δύο αντιστροφείς διασταυρωμένης ζεύξης που ανάμεσα στην είσοδο του ενός και την έξοδο του άλλου παρεμβάλλεται μια πηγή θορύβου, όπως φαίνεται στο Σχήμα 3.1. Οι δύο πηγές έχουν την ίδια τιμή τάσης και η πολικότητά τους είναι τέτοια ώστε και οι δύο να διαταράσσουν την σταθερότητα του κυττάρου. Αυτό είναι η μελέτη του χειρότερου σεναρίου, γιατί υπάρχει και η περίπτωση η μια πηγή να τείνει να αποσταθεροποιήσει το κύτταρο ενώ η άλλη να το σταθεροποιήσει.



Σχήμα 3.1 Αναπαράσταση κυττάρου με πηγές θορύβου στους κόμβους

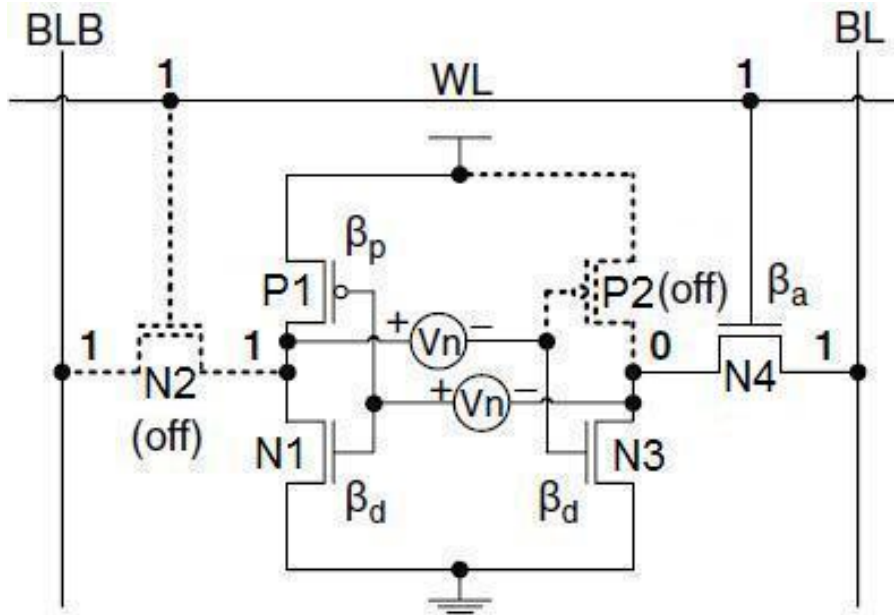
- Το SNM είναι η μέγιστη τιμή της τάσης V_n που μπορούν να αντέξουν οι αντιστροφείς χωρίς να αλλάξει η κατάσταση τους.

Μια εκτίμηση του SNM μπορεί να γίνει γραφικά σχεδιάζοντας την χαρακτηριστική καμπύλη του αντιστροφέα και την καθρεπτισμένη αυτής στο ίδιο διάγραμμα. Αυτό το διάγραμμα συναντάται στην βιβλιογραφία με το όνομα 'διάγραμμα πεταλούδα', λόγω της χαρακτηριστικής του μορφής. Στην συνέχεια βρίσκονται τα μέγιστα δυνατά τετράγωνα που μπορούν να σχεδιαστούν μεταξύ των καμπυλών, όπως φαίνεται στην Εικόνα 3.1. Η μικρότερη από τις διαγώνιους αυτών των τετραγώνων αναπαριστά το SNM.



Εικόνα 3.1 Διάγραμμα "πεταλούδα" για τον υπολογισμό του SNM

Στο Σχήμα 3.2 φαίνεται το κύκλωμα του κυττάρου κατά την διάρκεια της ανάγνωσης με τις bit lines προφορτισμένες στο V_{dd}. Αυτή η κατάσταση είναι η πιο κρίσιμη, γιατί τότε υπάρχει ο μεγαλύτερος κίνδυνος ανατροπής του κυττάρου.



Σχήμα 3.2 Το κύτταρο με πηγές θορύβου κατά την ανάγνωση και η κατάσταση λειτουργίας των τρανζίστορ

Στο κύτταρο στο Σχήμα 3.2 ο αριστερός κόμβος είναι στην στάθμη '1' και ο δεξιός στην στάθμη '0'. Τα τρανζίστορ που είναι σχεδιασμένα με διακεκομμένη γραμμή δεν άγουν ενώ τα υπόλοιπα άγουν. Τα τρανζίστορ N1 και N4 βρίσκονται στην περιοχή κόρου ενώ τα P1 και N3 βρίσκονται στην γραμμική περιοχή. Λαμβάνοντας υπ όψιν τις παραπάνω παραδοχές και χρησιμοποιώντας τους νόμους του Kirchhoff καθώς και τα κριτήρια για τα περιθώρια θορύβου η αναλυτική έκφρασή του SNM προκύπτει ως εξής [11]:

$$SNM_{6T} = V_T - \left(\frac{1}{k+1} \right) \times \left(\frac{V_{dd} - \frac{2r+1}{r+1} V_T}{1 + \frac{r}{k(r+1)}} - \frac{V_{dd} - 2V_T}{1 + k \frac{r}{q} + \sqrt{\frac{r}{q}} \left(1 + 2k + \frac{r}{q} k^2 \right)} \right)$$

όπου

$$r = \text{ratio} = \beta_d / \beta_a$$

$$q = \beta_p / \beta_a$$

V_T = η τάση κατωφλίου

$$k = \left(\frac{r}{r+1} \right) \left(\sqrt{\frac{r+1}{r+1 - \frac{V_s^2}{V_r^2}}} - 1 \right)$$

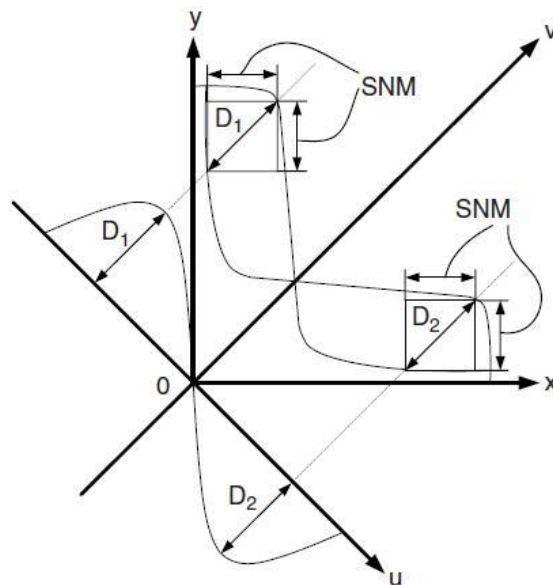
$$V_s = V_{dd} - V_T$$

$$V_r = V_s - \left(\frac{r}{r+1}\right)V_T$$

Από την αναλυτική έκφραση του SNM μπορούν να εξαχθούν κάποια χρήσιμα συμπεράσματα. Κατ' αρχάς το SNM εξαρτάται μόνο από την τάση κατωφλιού, την τάση τροφοδοσίας και τους λόγους r και q . Δεν εξαρτάται από τις απόλυτες τιμές των β των τρανζίστορ. Δεύτερον, για την σχεδίαση του κυττάρου με μέγιστο SNM πρέπει να μεγιστοποιηθεί ο λόγος $r = \beta_d/\beta_a$ και ο λόγος $q/r = \beta_p/\beta_d$ επιλέγοντας τα κατάλληλα W και L των τρανζίστορ. Βέβαια πρέπει να επιλεγούν έτσι ώστε να μην παραβιάζονται οι συνθήκες ανάγνωσης και εγγραψιμότητας αλλά και έτσι ώστε να διατηρηθεί η επιφάνεια του κυττάρου όσο γίνεται μικρότερη. Στο κύτταρο που υλοποιήθηκε ο λόγος r είναι ίσος με 2, ενώ ο λόγος q είναι ίσος με 0,5.

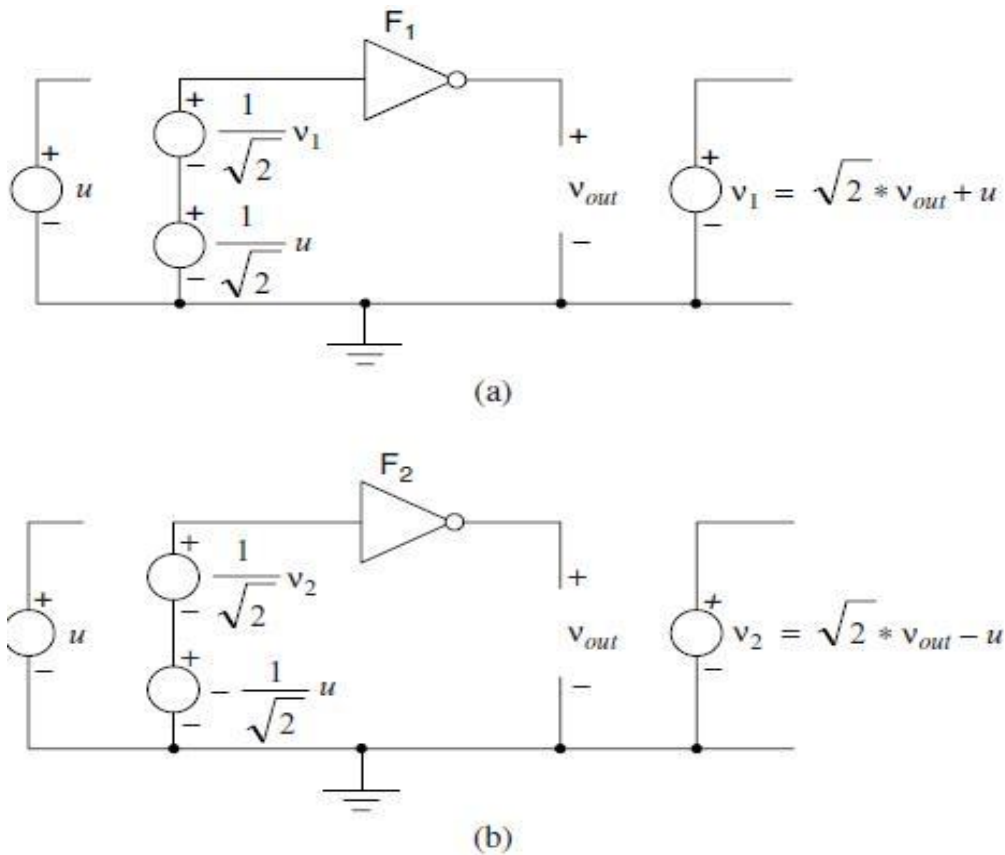
Ο υπολογισμός του SNM με προσομοίωση βασίζεται στην γραφική μέθοδο που αναφέρθηκε νωρίτερα. Στην ουσία είναι ένας εύκολος τρόπος να υπολογιστεί η διαγώνιος των μέγιστων τετραγώνων κάνοντας DC ανάλυση σε ένα κατάλληλο κύκλωμα.

Στην Εικόνα 3.2 φαίνονται δύο συστήματα συντεταγμένων τα οποία έχουν σχετική γωνία μεταξύ τους κατά 45° . Στο σύστημα (u, v) είναι σχεδιασμένη μια καμπύλη η οποία δείχνει την διαφορά μεταξύ των χαρακτηριστικών των αντιστροφέων σε κάθε σημείο. Το μέγιστο και το ελάχιστο αυτής της καμπύλης αντιπροσωπεύει το μήκος των διαγωνίων των μέγιστων τετραγώνων.



Εικόνα 3.2 Υπολογισμός του SNM με βάση τα 'μέγιστα τετράγωνα' με τη βοήθεια ενός άλλου συστήματος συντεταγμένων

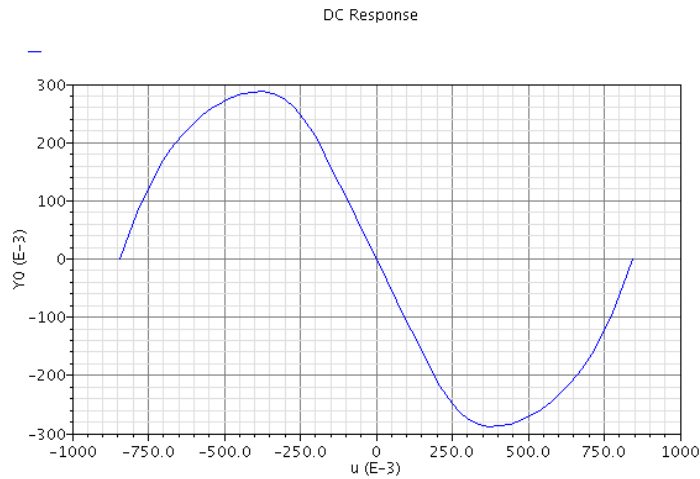
Στο Σχήμα 3.3 φαίνονται τα κατάλληλα κυκλώματα που προσομοιώνονται έτσι ώστε να εξαχθούν οι παραπάνω καμπύλες. Οι τιμές στα κέρδη των εξαρτημένων πηγών τάσης έχουν να κάνουν με τον μετασχηματισμό από το σύστημα (u, v) στο σύστημα (x, y) ο οποίος είναι ο εξής: $x = \frac{1}{\sqrt{2}}u + \frac{1}{\sqrt{2}}v$ και $v = -\frac{1}{\sqrt{2}}u + \frac{1}{\sqrt{2}}v$.



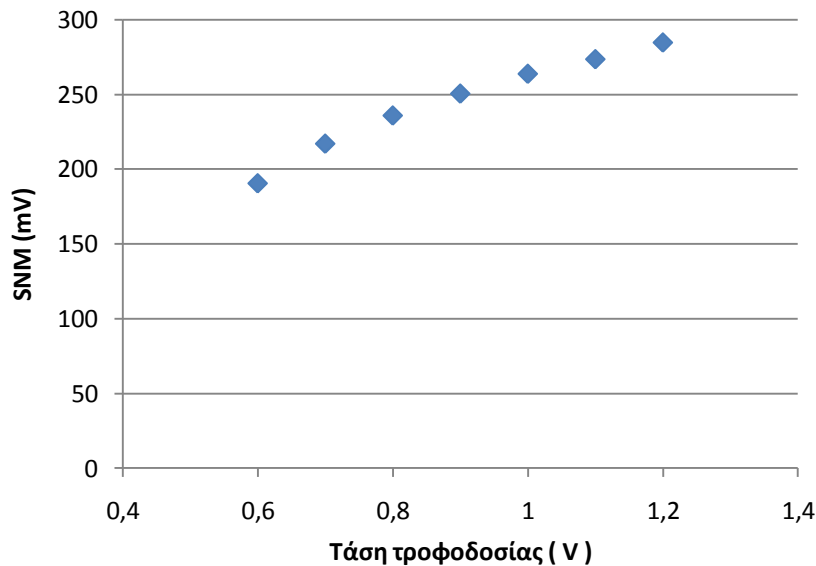
Σχήμα 3.3 Κυκλώματα για τον υπολογισμό των διαγωνίων των ‘μέγιστων τετραγώνων’

Η διαφορά μεταξύ των τάσεων $v_1 - v_2$ μας δίνει την καμπύλη του συστήματος (u, v) . Οι απόλυτες τιμές του μέγιστου και του ελάχιστου αυτής της καμπύλης μας δίνει τις διαγώνιους των τετραγώνων. Πολλαπλασιάζοντας την μικρότερη από τις δύο με $1/\sqrt{2}$ παίρνουμε το SNM του κυττάρου.

Η παραπάνω μεθοδολογία εφαρμόστηκε στο κύτταρο της μνήμης που υλοποιήθηκε για να βρεθεί το στατικό περιθώριο θορύβου του στις διάφορες διακυμάνσεις της τάσης τροφοδοσίας. Στην Εικόνα 3.3 φαίνεται η καμπύλη που σε κάθε σημείο της δείχνει την διαγώνιο του τετραγώνου που μπορεί να σχεδιαστεί ανάμεσα στις χαρακτηριστικές των αντιστροφών για $V_{dd} = 1,2$ V. Στην Εικόνα 3.4 παρουσιάζονται οι τιμές του SNM για διακύμανση της τάσης τροφοδοσίας από 0,6 ως 1,2 V.



Εικόνα 3.3 Μήκος της διαγωνίου των τετραγώνων του 'διαγράμματος πεταλούδα' του κυττάρου μνήμης που σχεδιάστηκε

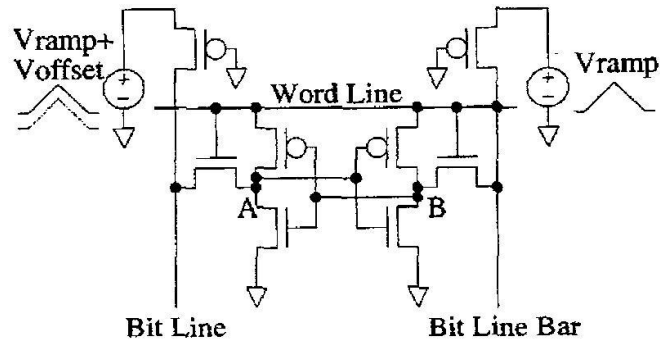


Εικόνα 3.4 στατικό περιθώριο θορύβου του κυττάρου μνήμης που σχεδιάστηκε συναρτήσει της τάσης τροφοδοσίας

Όπως φάνηκε και από τις αναλυτικές εξισώσεις, η τιμή του SNM μειώνεται καθώς μειώνεται η τάση τροφοδοσίας. Η τιμή του SNM για $V_{dd} = 1.2 \text{ V}$ είναι 285 mV. Αυτό αποτελεί το 24% της τάσης τροφοδοσίας. Στην εργασία [13] παρουσιάζεται ένα κύτταρο του οποίου το αντίστοιχο ποσοστό είναι 15%. Αυτό αναδεικνύει την σταθερότητα του κυττάρου 6T που σχεδιάστηκε. Παρατηρούμε επίσης ότι η τιμή του SNM δεν πέφτει κάτω από το 20% της τάσης τροφοδοσίας, όταν η τάση τροφοδοσίας κυμαίνεται από 1 V ως 1.2 V. Αυτό το αποτέλεσμα είναι πολύ σημαντικό γιατί ο μεγαλύτερος κίνδυνος ανατροπής του κυττάρου υφίσταται όταν η τάση τροφοδοσίας δεν κυμαίνεται στα φυσιολογικά επίπεδα. Στην χειρότερη περίπτωση όπου η τάση τροφοδοσίας μειωθεί κατά 50% το SNM πέφτει στα 190 mV. Σε αυτή την περίπτωση ούτως ή άλλως η σωστή λειτουργία της μνήμης δεν μπορεί να εγγυηθεί.

3.2.3 ΣΤΑΘΕΡΟΤΗΤΑ ΣΤΙΣ ΕΝΑΛΛΑΓΕΣ ΤΗΣ ΤΑΣΗΣ ΤΡΟΦΟΔΟΣΙΑΣ

Σε αυτή την ενότητα εξετάζεται η σταθερότητα του κυττάρου μνήμης στις εναλλαγές της τάσης τροφοδοσίας [14]. Συγκεκριμένα το κύκλωμα της δοκιμής στην οποία υποβλήθηκε το κύτταρο φαίνεται στο Σχήμα 3.4



Σχήμα 3.4 Κύκλωμα δοκιμής για την εξέταση της σταθερότητας του κυττάρου στις εναλλαγές της τάσης τροφοδοσίας

Η μεταβολή της τάσης τροφοδοσίας προσομοιώνεται σε αυτό το πείραμα με μια συνάρτηση ράμπας η οποία ξεκινάει από μια τάση υψηλότερη από την τάση κατωφλίου των τρανζίστορ και φτάνει μέχρι μια τάση υψηλότερη από την ονομαστική τάση τροφοδοσίας. Η μεταβολή της τάσης γίνεται με πολύ αργό ρυθμό ($1\text{V} / \text{ms}$). Η αρχικές συνθήκες του πειράματος είναι $V(A)=V_{\text{ramp}}(0)$ και $V(B)=0$ και η διαφορά δυναμικού ανάμεσα την bit line και στην word line είναι 100mV . Το πείραμα θεωρείται επιτυχές εάν οι τάσεις των κόμβων A και B διατηρήσουν την αρχική τους κατάσταση ακολουθώντας την μεταβολή της ράμπας. Εάν αλλάξουν κατάσταση το κύτταρο θεωρείται ασταθές και ακατάλληλο για υλοποίηση.

Η σταθερότητα του κυττάρου στις εναλλαγές της τάσης τροφοδοσίας εξετάστηκε ταυτόχρονα με τις διαφοροποιήσεις στις ονομαστικές τιμές των μεγεθών του πλάτους και του μήκους των τρανζίστορ που μπορεί να οφείλεται σε κατασκευαστικές ανοχές. Συγκεκριμένα θεωρήθηκε ότι το μήκος του καναλιού μπορεί να έχει μια απόκλιση της τάξης του $\pm 3\%$, ενώ το πλάτος μια απόκλιση της τάξης του $\pm 5\%$. Για την προσομοίωση επιλέχθηκε το χειρότερο σενάριο που μπορεί να συμβεί το οποίο φαίνεται στον Πίνακα 3.2.

| | Κόμβος A (Vdd) | Κόμβος B (Vss) |
|--------|----------------|----------------|
| | W / L | W / L |
| pMOS | 140nm / 155nm | 160n / 145nm |
| nMOS | 420nm / 100nm | 380nm / 105nm |
| access | 190nm / 105nm | 210nm / 100nm |

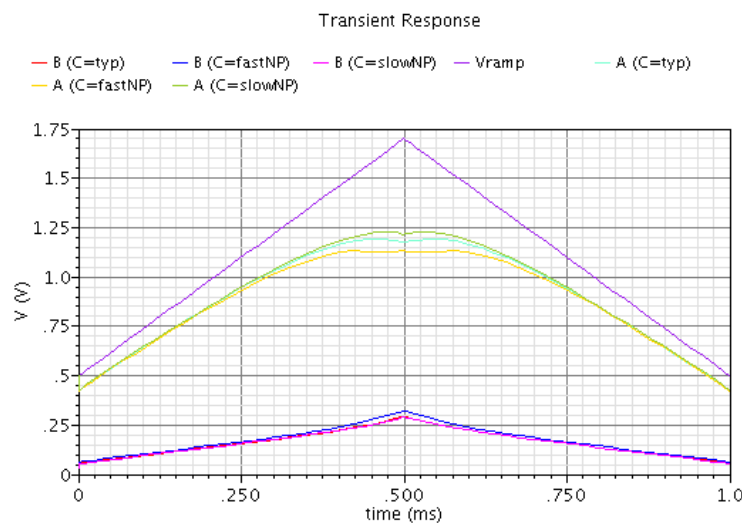
Πίνακας 3.2 Τα μεγέθη των τρανζίστορ που δημιουργούν το χειρότερο σενάριο για την δοκιμή στις εναλλαγές τις τάσης τροφοδοσίας

Το σενάριο του Πίνακα 3.2 είναι το χειρότερο που μπορεί να προκύψει διαταράσσοντας την συμμετρία του κυττάρου. Σε αυτή την περίπτωση το κύτταρο προτιμά να έχει στον κόμβο A τάση V_{ss} και στον κόμβο B τάση V_{dd} . Δηλαδή τιμές αντίθετες από τις αρχικές συνθήκες του πειράματος. Επίσης το πείραμα εκτός από τις τυπικές συνθήκες οι οποίες είναι θερμοκρασία 25°C και τυπικά μοντέλα για τα τρανζίστορ (typical pMOS, typical nMOS, typical temperature, TTT) έγινε και για δύο άλλες ακραίες συνθήκες:

- Γρήγορα μοντέλα για τα τρανζίστορ και υψηλή θερμοκρασία 100°C (fast pMOS, fast nMOS, high temperature, FFH).
- Αργά μοντέλα για τα τρανζίστορ και χαμηλή θερμοκρασία 0°C (slow pMOS, slow nMOS, low temperature, SSL).

Αυτή η ανάλυση ονομάζεται corner analysis και χρησιμοποιείται για να διασφαλιστεί η λειτουργία ενός κυκλώματος σε όλες τις ακραίες συνθήκες.

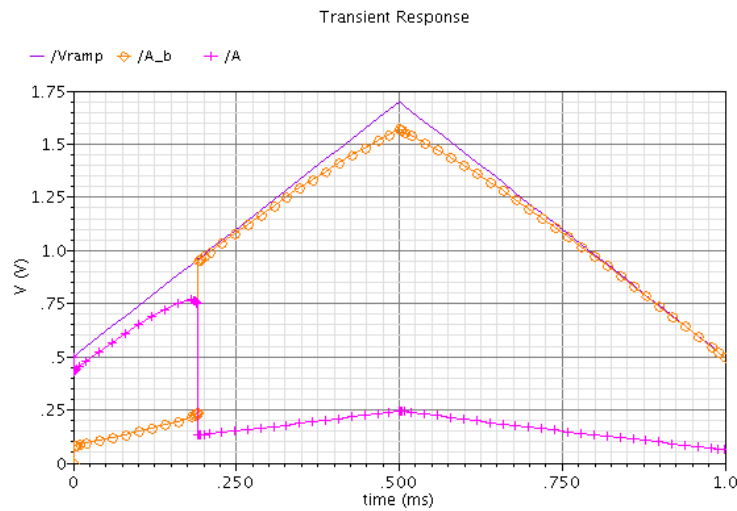
Το αποτέλεσμα των παραπάνω προσομοιώσεων είναι οι καμπύλες που παρουσιάζονται στην Εικόνα 3.5.



Εικόνα 3.5 Καμπύλες της δοκιμής ράμπας που δείχνουν την σταθερότητα του κυττάρου που σχεδιάστηκε στις εναλλαγές της τάσης τροφοδοσίας σε ακραίες και τυπικές συνθήκες

Όπως φαίνεται από το παραπάνω διάγραμμα το κύτταρο που υλοποιήθηκε είναι ανθεκτικό στις εναλλαγές της τάσης τροφοδοσίας και στις πιο ακραίες συνθήκες. Αυτό διασφαλίζει ότι τα αποθηκευμένα δεδομένα στην μνήμη μπορούν να διατηρηθούν ανέπαφα όταν αυτή λειτουργεί σε θερμοκρασίες από 0°C ως 100°C παρ όλες τις τυχόν τις ασυμμετρίες που μπορούν να προκύψουν κατά την κατασκευή κυκλωμάτων VLSI στην τεχνολογία των 90nm.

Στην συνέχεια αλλάχθηκε εσκεμμένα το μέγεθος των nMOS pull-down τρανζίστορ ώστε να προκύψει ένα ασταθές κύτταρο. Στην Εικόνα 3.6 φαίνεται το αποτέλεσμα του πειράματος.



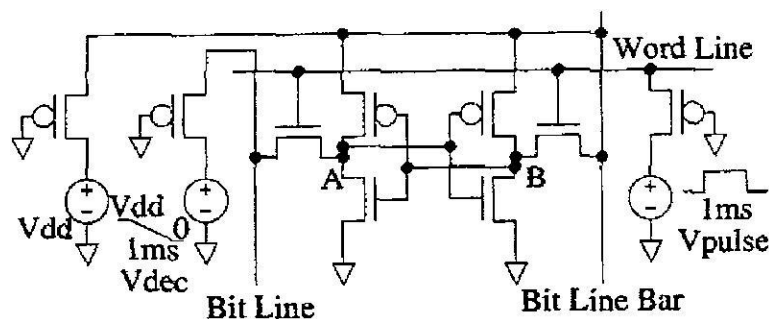
Εικόνα 3.6 Παράδειγμα των καμπυλών της δοκιμής ράμπας που δείχνουν την αστάθεια ενός κυττάρου στις εναλλαγές της τάσης τροφοδοσίας

3.2.4 ΤΑΣΗ ΑΛΛΑΓΗΣ ΚΑΤΑΣΤΑΣΗΣ

Το κύτταρο 6T σχεδιάζεται έτσι ώστε να έχει αντοχή στον θόρυβο και να μην αλλάζει εύκολα την κατάσταση του. Όμως κατά την διάρκεια της εγγραφής, για την εισαγωγή νέων δεδομένων είναι απαραίτητη η πλήρης μεταβολή της τάσης της bit line από το Vdd στην γη.

- Τάση αλλαγής κατάστασης (Switching Point, SP) ορίζεται η τάση της bit line την στιγμή όπου εναλλάσσονται οι τιμές των κόμβων A και B.

Για την μέτρηση της τάσης αλλαγής κατάστασης χρησιμοποιήθηκε το κύκλωμα δοκιμής που φαίνεται στο Σχήμα 3.5.



Σχήμα 3.5 Κύκλωμα δοκιμής για την μέτρηση της τάσης αλλαγής κατάστασης

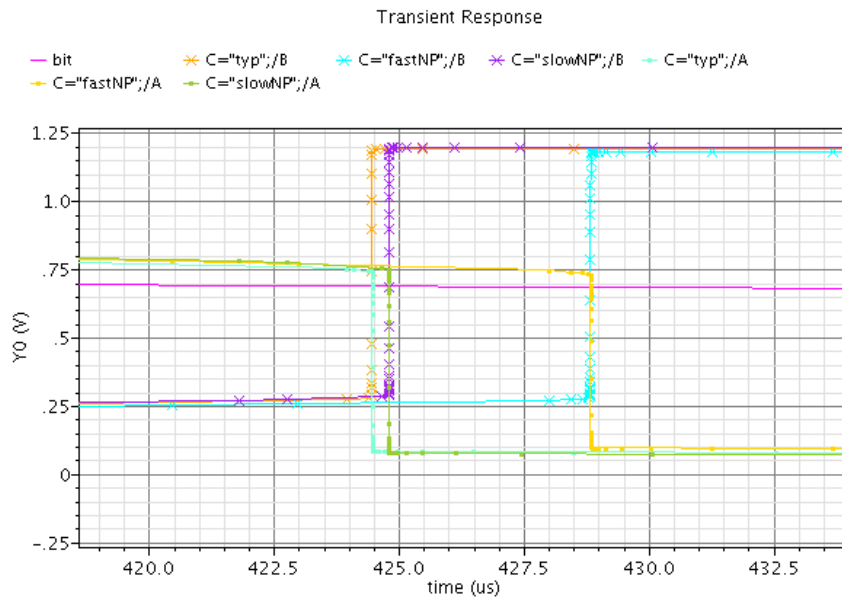
Στην αρχή αρχικοποιούνται οι bit lines στο Vdd, η word line στο 0, ο κόμβος A στο Vdd και ο κόμβος B στο 0. Στην συνέχεια παρατηρούμε πότε θα γίνει η αλλαγή στην τάση των κόμβων μειώνοντας σταδιακά την τάση της bit line από το Vdd στο 0, αφού πρώτα κάνουμε το κύτταρο προσπελάσιμο σηκώνοντας την word line στο Vdd.

Επίσης πρέπει να ληφθούν υπ όψιν οι διαφοροποιήσεις στα ονομαστικά μεγέθη των διαστάσεων των τρανζίστορ καθώς και η ακραίες συνθήκες κατά τις οποίες μπορεί να λειτουργεί η μνήμη. Το κύτταρο πρέπει να είναι σχεδιασμένο έτσι ώστε να μπορεί να εγγραφεί κάτω από τις χειρότερες συνθήκες. Για το παραπάνω πείραμα της τάσης αλλαγής κατάστασης το χειρότερο σενάριο είναι να προκύψει ένα κύτταρο που τείνει περισσότερο να έχει στον κόμβο A τάση Vdd και στον κόμβο B τάση Vss. Οι διαστάσεις του χειρότερου σεναρίου για το κύτταρο που υλοποιήθηκε φαίνεται στον Πίνακα 3.3.

| | Κόμβος A (Vdd) | Κόμβος B (Vss) |
|--------|----------------|----------------|
| | W / L | W / L |
| pMOS | 160nm / 145nm | 140n / 155nm |
| nMOS | 380nm / 105nm | 420nm / 100nm |
| access | 190nm / 105nm | 210nm / 100nm |

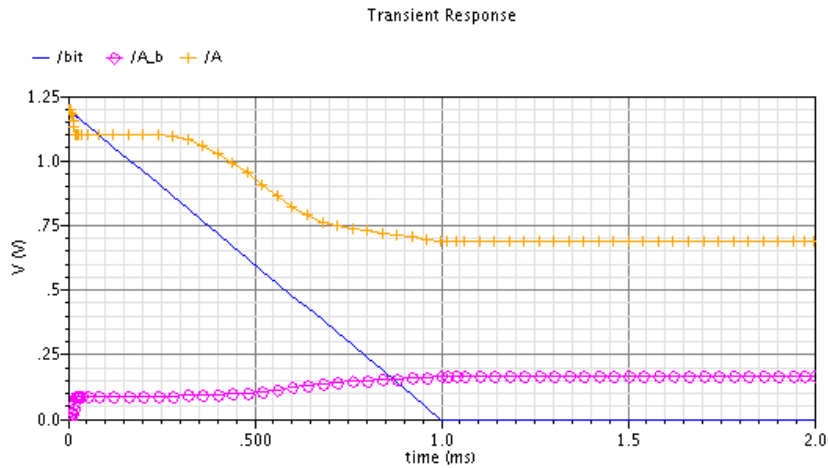
Πίνακας 3.3 Τα μεγέθη των τρανζίστορ που δημιουργούν το χειρότερο σενάριο για την μέτρηση της τάσης αλλαγής κατάστασης

Το αποτέλεσμα των προσομοιώσεων σε τυπικές και ακραίες συνθήκες φαίνονται στα διαγράμματα της Εικόνας 3.7. Το κύτταρο έχει την επιθυμητή συμπεριφορά αλλαγής κατάστασης ακόμα και στο χειρότερο σενάριο. Αυτό διασφαλίζει ότι η λειτουργία της εγγραφής μπορεί να γίνει επιτυχημένα κάτω από τις δυσμενέστερες συνθήκες.



Εικόνα 3.7 Διαγράμματα της τάσης αλλαγής κατάστασης, σε ακραίες και τυπικές συνθήκες, του κυττάρου 6T που σχεδιάστηκε

Μια λανθασμένη επιλογή των μεγεθών των τρανζίστορ οδηγεί σε ένα κύτταρο μη εγγράψιμο. Για παράδειγμα θα μπορούσε να αυξηθεί το μήκος του καναλιού των τρανζίστορ πρόσβασης ώστε να αυξηθεί η αντοχή του κυττάρου στις διακυμάνσεις της τάσης τροφοδοσίας. Αυτό όμως οδηγεί στην αποτυχία του παραπάνω πειράματος όπως φαίνεται στην Εικόνα 3.8.



Εικόνα 3.8 Παράδειγμα διαγραμμάτων ενός κυττάρου που αποτυγχάνει να αλλάξει την κατάσταση του

Στον Πίνακα 3.4 παρουσιάζονται τιμές των τάσεων αλλαγής κατάστασης του κυττάρου που υλοποιήθηκε για διάφορες τιμές θερμοκρασίας και τάσεως τροφοδοσίας.

| Vdd (V) | T (°C) | SP (mV) |
|---------|--------|---------|
| 1.4 | 100 | 880 |
| 1.4 | 0 | 865 |
| 1.2 | 100 | 721 |
| 1.2 | 0 | 709 |
| 1 | 100 | 561 |
| 1 | 0 | 556 |

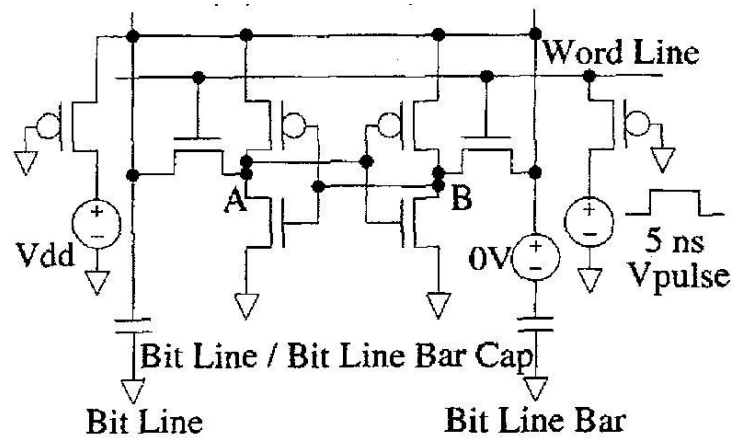
Πίνακας 3.4 Τιμές των τάσεων αλλαγής κατάστασης του κυττάρου που υλοποιήθηκε για διάφορες τιμές θερμοκρασίας και τάσεως τροφοδοσίας.

3.2.5 ΤΑΧΥΤΗΤΑ ΠΡΟΣΒΑΣΗΣ

Ένας τρόπος για να εξετασθεί η ταχύτητα του κυττάρου είναι να μετρηθεί το μέγιστο ρεύμα ανάγνωσης που διαρρέει την bit line κατά την διάρκεια της πρόσβασης. Το μέγιστο ρεύμα είναι αντιστρόφως ανάλογο με την εν σειρά αντίσταση που δημιουργούν το τρανζίστορ πρόσβασης και το nMOS τρανζίστορ του κυττάρου μέσω των οποίων εκφορτίζεται η bit line.

Το κύκλωμα για την μέτρηση του ρεύματος φαίνεται στο Σχήμα 3.6. Το φορτίο των bit line μοντελοποιείται με χωρητικότητες της τάξεως των 10fF. Ο κόμβος A αρχικοποιείται

στο Vdd και ο κόμβος B στο 0. Εισάγεται στην word line ένας παλμός και μετράται το μέγιστο ρεύμα που διαρρέει την bit line bar.

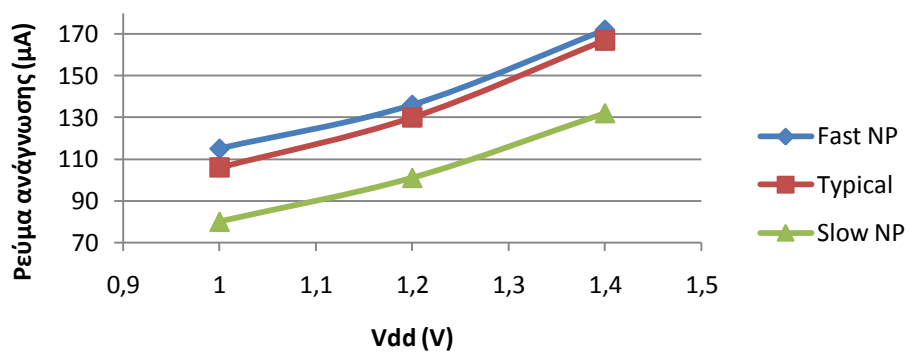


Σχήμα 3.6 Κύκλωμα δοκιμής για την μέτρηση του ρεύματος ανάγνωσης

Στον Πίνακα 3.5 παρουσιάζονται οι τιμές του ρεύματος ανάγνωσης για το κύτταρο που υλοποιήθηκε στις διάφορες συνθήκες και τάσεις τροφοδοσίας. Με αυτές τις μετρήσεις κατασκευάστηκαν τα διαγράμματα της Εικόνας 3.9. Παρατηρείται μείωση της ταχύτητας πρόσβασης όσο μειώνεται η τάση τροφοδοσίας και δυσχεραίνουν οι συνθήκες λειτουργίας.

| Συνθήκες | Vdd (V) | T (°C) | I _a (μA) |
|----------|---------|--------|---------------------|
| Fast NP | 1.4 | 85 | 172 |
| Typical | 1.4 | 25 | 167 |
| Slow NP | 1.4 | 0 | 132 |
| Fast NP | 1.2 | 85 | 136 |
| Typical | 1.2 | 25 | 130 |
| Slow NP | 1.2 | 0 | 101 |
| Fast NP | 1.0 | 85 | 115 |
| Typical | 1.0 | 25 | 106 |
| Slow NP | 1.0 | 0 | 80 |

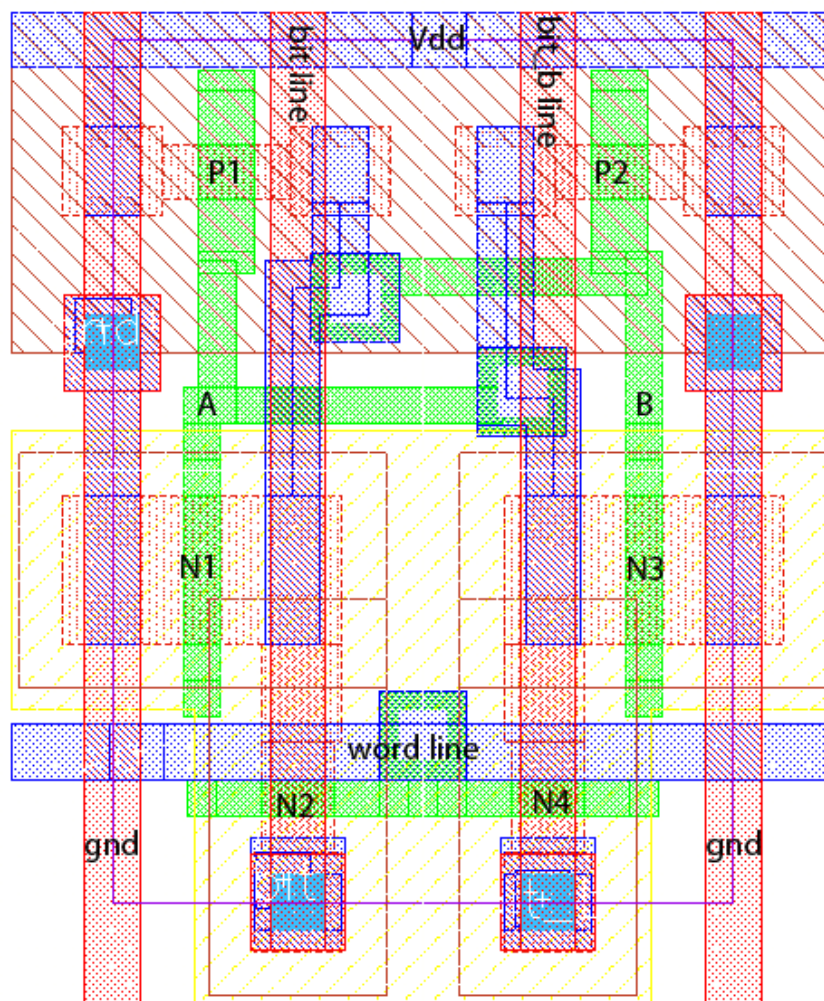
Πίνακας 3.5 Μετρήσεις μέγιστου ρεύματος ανάγνωσης



Εικόνα 3.9 Μέγιστο ρεύμα ανάγνωσης σε γρήγορες, τυπικές και αργές συνθήκες

3.2.6 ΦΥΣΙΚΟ ΣΧΕΔΙΟ ΚΥΤΤΑΡΟΥ ΜΝΗΜΗΣ

Όπως αναφέρθηκε και στην αρχή αυτού του κεφαλαίου πρωταρχικός στόχος στην σχεδίαση της μνήμης ήταν η αξιοπιστία και όχι η ελαχιστοποίηση της επιφάνειας. Άλλωστε οι διορθωτικές μνήμες που προβλέπει η τεχνική διόρθωσης είναι μικρές σε χωρητικότητα και έτσι η επιφάνεια που καταλαμβάνουν δεν αποτελεί μεγάλο πρόβλημα κατά την σχεδίαση. Για την επίτευξη μεγαλύτερης αξιοπιστίας κατά την σχεδίαση του φυσικού σχεδίου (layout) δεν επιλέχθηκαν οι ελάχιστοι κανόνες σχεδίασης της τεχνολογίας, αλλά κανόνες που χρησιμοποιούνται στην περίπτωση που πρόκειται να κατασκευαστεί το κύκλωμα. Αυτοί οι κανόνες λέγονται κανόνες DFM (design for manufacturing).

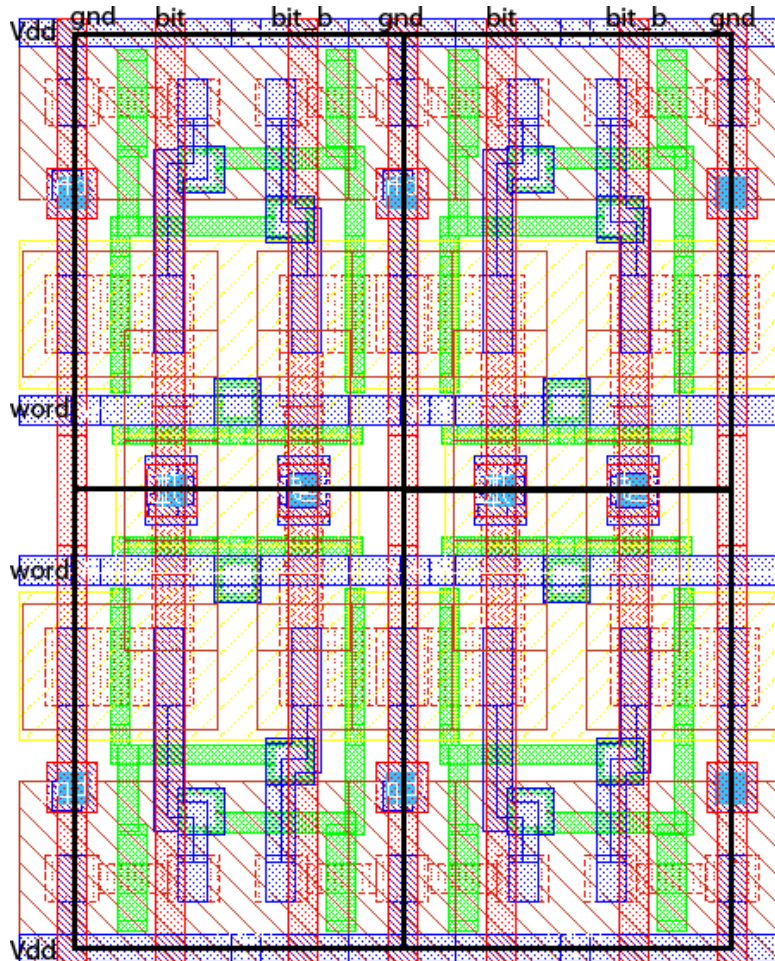


Εικόνα 3.10 Φυσικό σχέδιο (layout) του κυττάρου που σχεδιάστηκε

Το φυσικό σχέδιο του κυττάρου που σχεδιάστηκε φαίνεται στην Εικόνα 3.10. Οι διαστάσεις του είναι $1.69 \times 2.35 \mu\text{m}$. Διαθέτει δύο κατακόρυφες γραμμές γείωσης αριστερά και δεξιά, για τις οποίες χρησιμοποιείται Μέταλλο 2 (κόκκινο), μια γραμμή για την τάση τροφοδοσίας Vdd στο επάνω μέρος του από Μέταλλο1 (μπλε), δύο κατακόρυφες γραμμές

bitline στο μέσο του από Μέταλλο 2 και μια οριζόντια γραμμή word line από Μέταλλο 1. Το πλάτος των μετάλλων είναι 150nm, ενώ το πλάτος του πολυπυριτίου (πράσινο) είναι 100nm.

Με αυτό το σχέδιο μπορεί να επιτευχθεί μεγάλη κυκλωματική πυκνότητα. Τα κύτταρα τοποθετούνται έτσι ώστε να μοιράζονται μεταξύ τους τις γραμμές Vdd και GND. Επίσης τα γειτονικά κύτταρα χρησιμοποιούν την ίδια επαφή μετάλλου – διάχυσης όπου είναι δυνατό. Η μορφή ενός πίνακα τεσσάρων κυττάρων φαίνεται στην Εικόνα 3.11



Εικόνα 3.11 Φυσικό σχέδιο πίνακα τεσσάρων κυττάρων

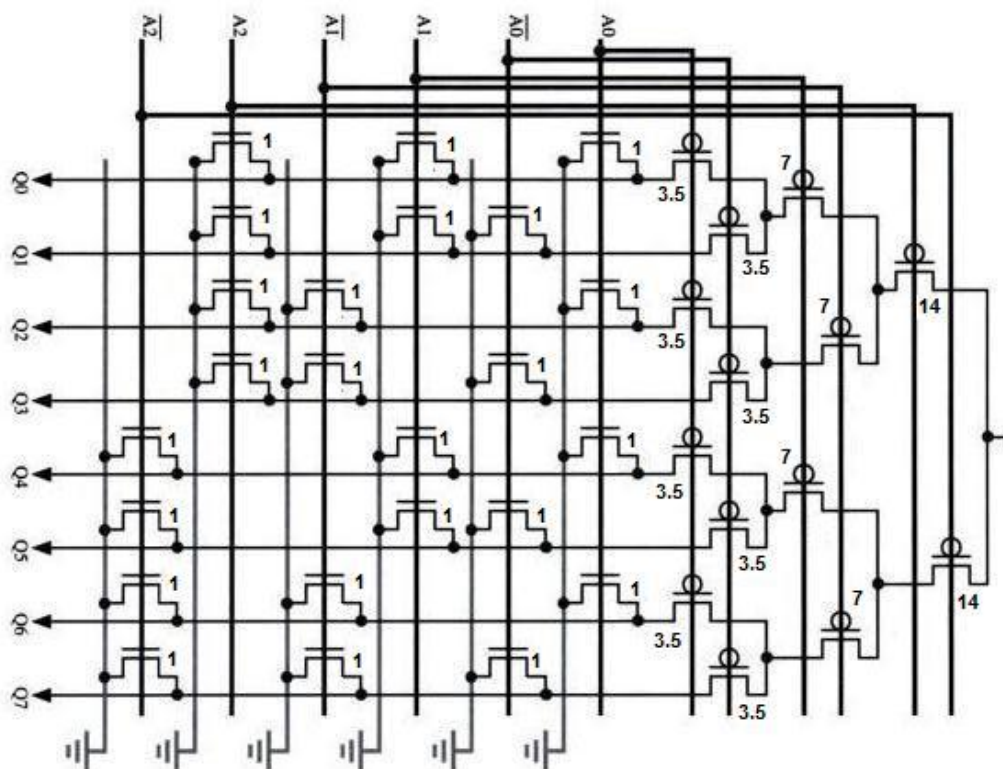
Στην βιβλιογραφία η παραπάνω μορφή του layout του κυττάρου 6T συναντάται ως ‘ψηλό κύτταρο’ (tall cell). Αυτή η μορφή χρησιμοποιείται έως και τις τεχνολογίες των 90nm [15]. Το πρόβλημα που παρουσιάζει στην υλοποίηση του σε μικρότερες τεχνολογίες είναι ότι περιέχει γωνιακά τμήματα πολυπυριτίου όπου είναι πολύ πιθανό να προκληθούν ανοιχτοκυκλώματα. Σε αυτή την περίπτωση χρησιμοποιείται ένα άλλο σχέδιο, το ‘πλατύ κύτταρο’ (wide cell), το οποίο αποτελείται μόνο από ευθύγραμμα τμήματα και δεν περιέχει καθόλου γωνίες.

3.3 ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗΣ LYON – SCHEDIWIY

Η απόκριση του αποκωδικοποιητή γραμμής παίζει μεγάλο ρόλο στην ταχύτητα απόκρισης της μνήμης. Για την διορθωτική μνήμη ήταν επιθυμητό να σχεδιαστεί ο αποκωδικοποιητής με την μικρότερη δυνατή καθυστέρηση. Για την θεωρητική μέτρηση της καθυστέρησης αποκωδικοποιητών χρησιμοποιήθηκε το μοντέλο της Λογικής Προσπάθειας (Logical Effort) [16].

Η καθυστέρηση ενός αποκωδικοποιητή μπορεί να μειωθεί παρατηρώντας ότι μόνο μια έξοδος είναι κάθε φορά στο Vdd και έτσι είναι δυνατόν οι έξοδοι να μοιράζονται τα ίδια pMOS τρανζίστορ [17]. Μια πύλη NOR οδηγεί γρήγορα το κύκλωμα στη γη μέσω nMOS τρανζίστορ που είναι συνδεδεμένα παράλληλα, αλλά παρουσιάζει μεγάλη καθυστέρηση όταν πρέπει να το οδηγήσει στο Vdd γιατί το κάνει μέσω πλατιών pMOS τρανζίστορ που είναι συνδεδεμένα σε σειρά.

Ο αποκωδικοποιητής Lyon – Schediwy μπορεί να θεωρηθεί σαν ένα κύκλωμα που αποτελείται από 2n NOR πύλες n-εισόδων που μοιράζονται τα ίδια pMOS. Ένα παράδειγμα 3 εισόδων – 8 εξόδων φαίνεται στο Σχήμα 3.7.



Σχήμα 3.7 Αποκωδικοποιητής Lyon – Schediwy τριών εισόδων – οκτώ εξόδων

Τα μεγέθη των τρανζίστορ επιλέγονται έτσι ώστε κάθε είσοδος να παρουσιάζει την ίδια χωρητικότητα και ταυτόχρονα να χρειάζεται ρεύμα οδήγησης ίδιο με του μοναδιαίου αντιστροφέα. Στο παραπάνω παράδειγμα όλες οι εισοδοί έχουν χωρητικότητα ίση με 18 μονάδες. Η αντίσταση που παρουσιάζει το pull-up κομμάτι είναι $2R/3.5 + 2R/7 + 2R/14 = R$ και η αντίσταση που παρουσιάζει το pull-down κομμάτι είναι μικρότερη και από την μοναδιαία αφού είναι ίση με $R/3$.

Γενικά για την επιλογή των μεγεθών των τρανζίστορ ενός αποκωδικοποιητή Lyon – Schediwy μεγέθους n μπορούμε να πούμε τα εξής :

1. Στο pull-down κομμάτι επιλέγουμε όλα τα nMOS να έχουν μοναδιαίο μέγεθος.
2. Στο pull-up κομμάτι λύνουμε την εξίσωση $\frac{2R}{2^0 \times W} + \frac{2R}{2^1 \times W} + \dots + \frac{2R}{2^{n-1} \times W} = R$ ως προς W , όπου W το πλάτος των pMOS της πρώτης βαθμίδας. Κάθε βαθμίδα έχει διπλάσιο W από την προηγούμενη.

Το κόστος σε λογική προσπάθεια των pMOS τρανζίστορ μοιράζεται σε όλες τις εξόδους. Έτσι ο αποκωδικοποιητής Lyon – Schediwy έχει $(1+3.5) = 1.5$ λογική προσπάθεια ανά γραμμή εξόδου, ενώ μια πύλη NOR έχει $7/3$. Οι αποκωδικοποιητές γενικά έχουν μεγάλη λογική προσπάθεια και προσπάθεια διακλάδωσης, έτσι το γρηγορότερο κύκλωμα είναι αυτό που έχει την μικρότερη λογική προσπάθεια.

3.3.1 ΑΞΙΟΛΟΓΗΣΗ ΑΠΟΚΩΔΙΚΟΠΟΙΗΤΗ

Στην συνέχεια θα γίνει μια ανάλυση για να βρεθεί ποια σχεδίαση του επιθυμητού αποκωδικοποιητή είναι προτιμότερη. Θα συγκριθούν οι τοπολογίες που αναφέρθηκαν στο Κεφάλαιο 1 και η τοπολογία Lyon – Schediwy. Θα προτιμηθεί το κύκλωμα που θα παρουσιάσει την μικρότερη δυνατή καθυστέρηση, η οποία θα υπολογιστεί χρησιμοποιώντας την τεχνική της Λογικής Προσπάθειας που βασίζεται στο γραμμικό μοντέλο Elmore. Θα πρέπει εδώ να τονιστεί ότι αυτή η ανάλυση είναι μια απλή μέθοδος για να βρεθεί εύκολα το γρηγορότερο κύκλωμα. Ο ακριβής υπολογισμός των καθυστερήσεων μπορεί να γίνει με κάποιο εργαλείο προσομοίωσης.

Ο αποκωδικοποιητής πρέπει να πληροί τις παρακάτω προδιαγραφές:

- Μέγεθος 32 γραμμές
- Κάθε γραμμή οδηγεί 64 κύτταρα μνήμης
- Κάθε κύτταρο είναι ένα φορτίο 3 μοναδιαίων τρανζίστορ (2 μοναδιαία τρανζίστορ πρόσβασης συν μια μονάδα για την χωρητικότητα του μετάλλου)
- Οι ευθείς και οι ανάστροφες εισοδοί είναι διαθέσιμες

- Κάθε είσοδος μπορεί να οδηγεί 25 μοναδιαία τρανζίστορ

Το φορτίο σε κάθε γραμμή είναι 64 κύτταρα με 3 μονάδες χωρητικότητας το καθένα. Δηλαδή 192 μονάδες. Άρα η ηλεκτρική προσπάθεια της διαδρομής είναι $H = C_{out}/C_{in} = 192/25$. Όλα τα σχέδια που θα μελετηθούν έχουν την ίδια προσπάθεια διακλάδωσης $B=16$.

Για παράδειγμα ας ξεκινήσουμε με την τοπολογία NAND5 – INV. Αποτελείται από δύο στάδια. Η λογική προσπάθεια είναι $G = (7/3) \cdot 1 = 7/3$. Η προσπάθεια της διαδρομής είναι $F = G \cdot H \cdot B = 286,72$ και η ελάχιστη προσπάθεια κάθε σταδίου είναι $f = F^{1/2} = 16,93$. Η παρασιτική καθυστέρηση είναι $P = 5 + 1 = 6$. Η ελάχιστη συνολική καθυστέρηση είναι $D = 2 \cdot 16,93 + 6 = 39,84$.

Εργαζόμενοι όπως και παραπάνω κατασκευάζουμε τον Πίνακα 3.6, όπου φαίνονται οι καθυστερήσεις των διαφόρων τοπολογιών. Τα νούμερα αυτά εκφράζουν μονάδες καθυστέρησης. Μια μονάδα καθυστέρησης είναι η καθυστέρηση που παρουσιάζει ο μοναδιαίος αντιστροφέας.

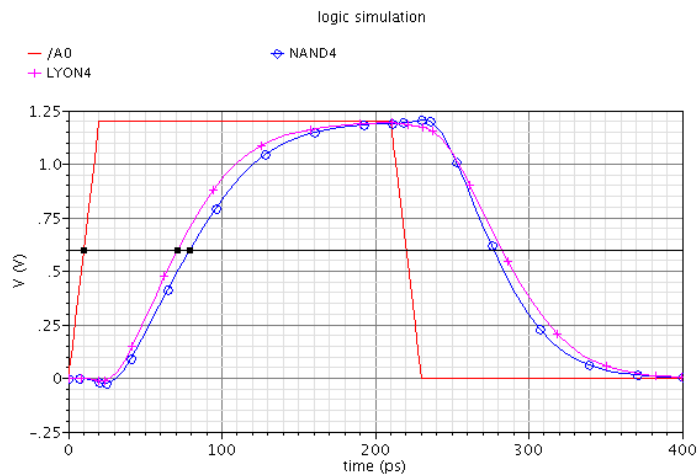
| Τοπολογία | Στάδια (N) | Λογική προσπάθεια (G) | Ηλεκτρική Προσπάθεια (H) | Προσπάθεια Διακλάδωσης (B) | Παρασιτική καθυστέρηση (P) | Συνολική Καθυστέρηση (D) |
|---|------------|-----------------------|--------------------------|----------------------------|----------------------------|--------------------------|
| NAND5 - INV | 2 | 2,33 | 7,68 | 16 | 6 | 39,84 |
| NAND3 - NOR2 | 2 | 2,78 | 7,68 | 16 | 5 | 41,97 |
| INV - NAND5 - INV | 3 | 2,33 | 7,68 | 16 | 7 | 26,77 |
| NAND5 - INV - INV - INV | 4 | 2,33 | 7,68 | 16 | 8 | 24,45 |
| NAND3 - NOR2 - INV - INV | 4 | 2,78 | 7,68 | 16 | 7 | 24,20 |
| NAND3 - INV - NAND2 - INV | 4 | 2,23 | 7,68 | 16 | 7 | 23,27 |
| INV - NAND3 - INV - NAND2 - INV | 5 | 2,23 | 7,68 | 16 | 8 | 23,36 |
| NAND3 - INV - NAND2 - INV - INV - INV | 6 | 2,23 | 7,68 | 16 | 9 | 24,29 |
| LYON SCHEDIWIY5 - INV | 2 | 1,625 | 7,68 | 16 | 4 | 32,22 |
| LYON SCHEDIWIY5 - INV - INV | 3 | 1,625 | 7,68 | 16 | 5 | 22,49 |
| LYON SCHEDIWIY5 - INV - INV - INV | 4 | 1,625 | 7,68 | 16 | 6 | 21,00 |
| LYON SCHEDIWIY5 - INV - INV - INV - INV | 5 | 1,625 | 7,68 | 16 | 7 | 21,38 |

Πίνακας 3.6 Θεωρητική διερεύνηση για την εύρεση της ταχύτερης τοπολογίας του αποκωδικοποιητή

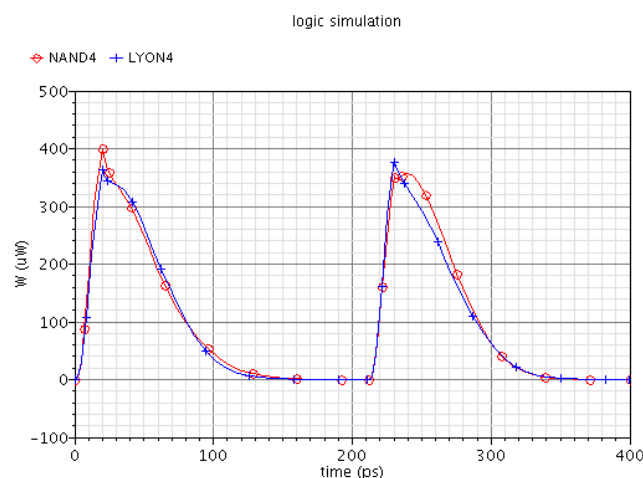
- Όπως φαίνεται από την παραπάνω αξιολόγηση, η τοπολογία Lyon – Schediwy ακολουθούμενη από τρεις αντιστροφείς είναι η γρηγορότερη. Επειδή για την διορθωτική μνήμη που υλοποιήθηκε ο πιο σημαντικός παράγοντας ήταν η ταχύτητα

επιλέχθηκε αυτή η τοπολογία. Ακόμα αυτή η τοπολογία έχει το πλεονέκτημα ότι η απόσταση των word lines στο φυσικό σχέδιο δεν αυξάνεται όσο μεγαλώνει το μέγεθος του αποκωδικοποιητή. Έτσι δεν υπάρχει πρόβλημα στο ταίριασμα του αποκωδικοποιητή με το ύψος του κυττάρου.

Στην συνέχεια γίνεται μια πειραματική σύγκριση ενός αποκωδικοποιητή Lyon Schediwy τεσσάρων εξόδων με έναν συμβατικό αποκωδικοποιητή NAND. Τα μεγέθη των τρανζίστορ επιλέχθηκαν έτσι ώστε οι αποκωδικοποιητές να παρουσιάζουν στις εισόδους τους την ίδια χωρητικότητα ώστε να μπορούν να είναι συγκρίσιμα τα αποτελέσματα. Επίσης οι αποκωδικοποιητές οδηγούν το ίδιο φορτίο. Στην Εικόνα 3.12 και στην Εικόνα 3.13 φαίνονται η χρονική απόκριση των δύο αποκωδικοποιητών καθώς και η στιγμιαία ισχύ που καταναλώνει ο καθένας. Και στις δυο περιπτώσεις η τοπολογία Lyon Schediwy υπερिशύχει καθώς είναι κατά 8% πιο γρήγορη και καταναλώνει 12% λιγότερη ενέργεια.



Εικόνα 3.12 Σύγκριση καθυστέρησης αποκωδικοποιητών Lyon Schediwy – NAND



Εικόνα 3.13 Σύγκριση κατανάλωσης αποκωδικοποιητών Lyon Schediwy – NAND

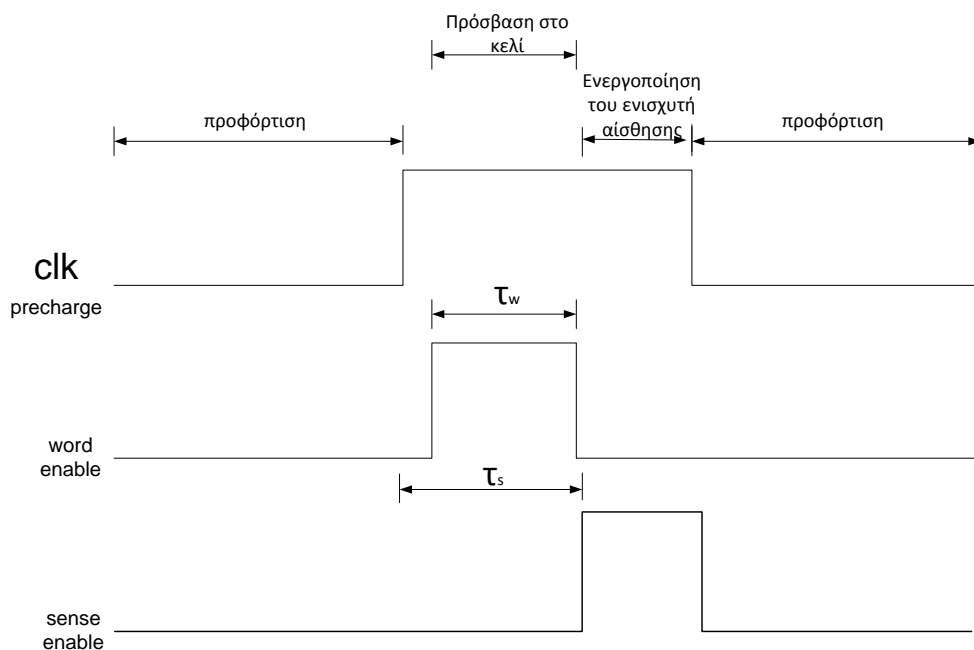
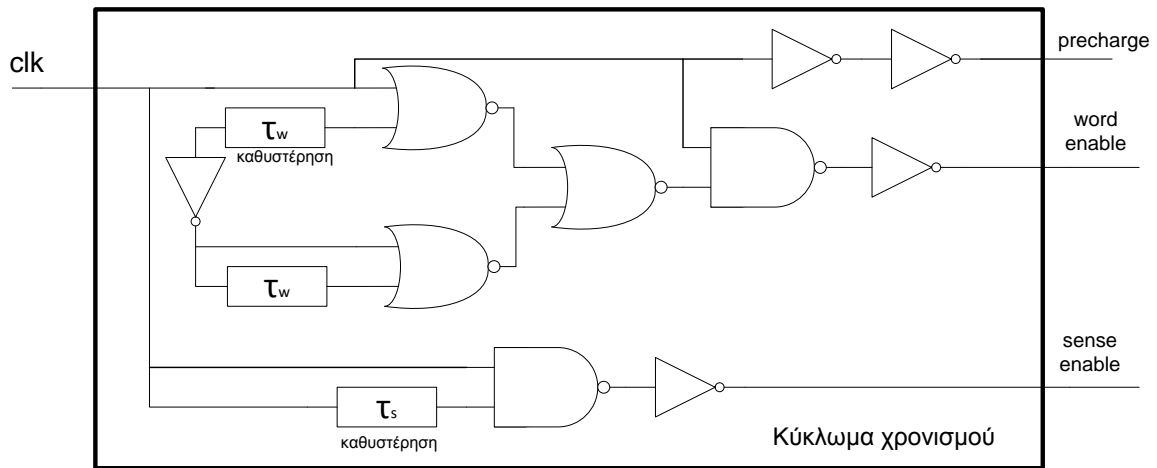
3.4 ΚΥΚΛΩΜΑ ΧΡΟΝΙΣΜΟΥ

Το κύκλωμα χρονισμού είναι υπεύθυνο για την παραγωγή των σημάτων τα οποία ελέγχουν την μνήμη. Έχει σαν είσοδο το σήμα του ρολογιού το οποίο καθορίζει την συχνότητα λειτουργίας της μνήμης. Οι έξοδοι που παράγει είναι το σήμα που ενεργοποιεί το κύκλωμα της προφόρτισης, το σήμα για την ενεργοποίηση της word line και το σήμα που ενεργοποιεί τον ενισχυτή αίσθησης. Για την εύρυθμη λειτουργία της μνήμης, τα σήματα αυτά πρέπει να είναι σωστά συγχρονισμένα μεταξύ τους.

Η λογική που χρησιμοποιήθηκε για τον χρονισμό της μνήμης χωρίζεται σε δύο φάσεις οι οποίες συμβαδίζουν με τον θετικό και αρνητικό παλμό του ρολογιού.

1. Κατά την πρώτη φάση, η οποία διαρκεί όσο ο παλμός του ρολογιού βρίσκεται στο μηδέν γίνεται η προφόρτιση των bit line στο Vdd. Άρα πρέπει κατά την πρώτη φάση να ενεργοποιηθούν τα pMOS τρανζίστορ του κυκλώματος προφόρτισης. Επειδή τα pMOS τρανζίστορ άγουν όταν εφαρμοστεί στην πύλη τους τάση μηδέν, το σήμα της προφόρτισης συμβαδίζει με το ρολόι. Τα δύο άλλα σήματα είναι ανενεργά κατά την πρώτη φάση, αφού κατά την διάρκεια της προφόρτισης δεν πρέπει να γίνει πρόσβαση σε κάποιο κύτταρο, αλλά ούτε να ενεργοποιηθεί ο ενισχυτής αίσθησης.
2. Κατά την δεύτερη φάση, η οποία διαρκεί όσο ο παλμός του ρολογιού βρίσκεται στο Vdd γίνεται η πρόσβαση στο κύτταρο και η ανάγνωση της πληροφορίας από τον ενισχυτή αίσθησης. Σε αυτή τη φάση το κύκλωμα προφόρτισης είναι ανενεργό και άρα το σήμα προφόρτισης στο Vdd όπως και το ρολόι. Λίγο μετά από τον θετικό παλμό του ρολογιού ενεργοποιείται η word line για να γίνει η πρόσβαση στο κύτταρο με ένα παλμό ο οποίος παράγεται από ένα κύκλωμα γεννήτριας παλμών [18]. Η διάρκεια αυτού του παλμού καθορίζει το μέγεθος της διαφοράς δυναμικού που προλαβαίνουν να αναπτύξουν οι bit lines κατά την ανάγνωση. Επίσης ο παλμός αυτός πρέπει να έχει διάρκεια αρκετή ώστε να μπορεί να γίνει και η διαδικασία της εγγραφής. Όταν οι bit lines αναπτύξουν μια διαφορά δυναμικού αρκετή για να μπορεί να γίνει αντιληπτή από τον ενισχυτή αίσθησης ενεργοποιείται ο ενισχυτής με ένα παλμό.

Στο Σχήμα 3.8 φαίνεται το κύκλωμα χρονισμού που χρησιμοποιήθηκε καθώς και παλμοί που αυτό παράγει. Επίσης φαίνονται τα στάδια λειτουργίας της μνήμης.



Σχήμα 3.8 Γενική μορφή του κυκλώματος χρονισμού και οι παλμοί που αυτό παράγει

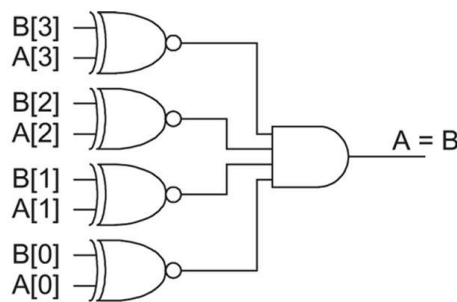
Η διάρκεια του παλμού ενεργοποίησης της word line και ο χρόνος έναρξης του παλμού ενεργοποίησης του ενισχυτή αίσθησης καθορίζονται από τις καθυστερήσεις τ_w και τ_s , οι οποίες υλοποιούνται με ένα κατάλληλο αριθμό αντιστροφών, οι οποίοι είναι συνδεδεμένοι σε σειρά. Ο βέλτιστος αριθμός των σταδίων και το μέγεθος των τρανζίστορ των πυλών για να έχει το κύκλωμα την μικρότερη δυνατή καθυστέρηση βρέθηκε με τη βοήθεια του μοντέλου της λογικής προσπάθειας.

3.5 ΚΥΚΛΩΜΑ ΣΥΓΚΡΙΣΗΣ ΙΣΟΤΗΤΑΣ

Για την υλοποίηση της τεχνικής διόρθωσης που αναλύθηκε στο Κεφάλαιο 1 είναι απαραίτητο ένα κύκλωμα σύγκρισης ισότητας. Το κύκλωμα αυτό συγκρίνει την εισερχόμενη διεύθυνση με τις ετικέτες των μικρών μνημών cache. Αν το αποτέλεσμα της σύγκρισης είναι επιτυχές, δηλαδή στο Σχήμα 1.1 το σήμα ‘Hit’ γίνει ‘1’, τότε στην έξοδο της κύριας μνήμης οδηγούνται δεδομένα από την κατάλληλη cache μέσω του πολυπλέκτη MUXD.

- Ο χρόνος απόκρισης του κυκλώματος σύγκρισης είναι καθοριστικής σημασίας για την λειτουργία της διορθωτικής τεχνικής. Ο χρόνος απόκρισης της cache συν τον χρόνο απόκρισης του κυκλώματος σύγκρισης πρέπει να είναι μικρότερος από τον χρόνο απόκρισης της κύριας μνήμης.

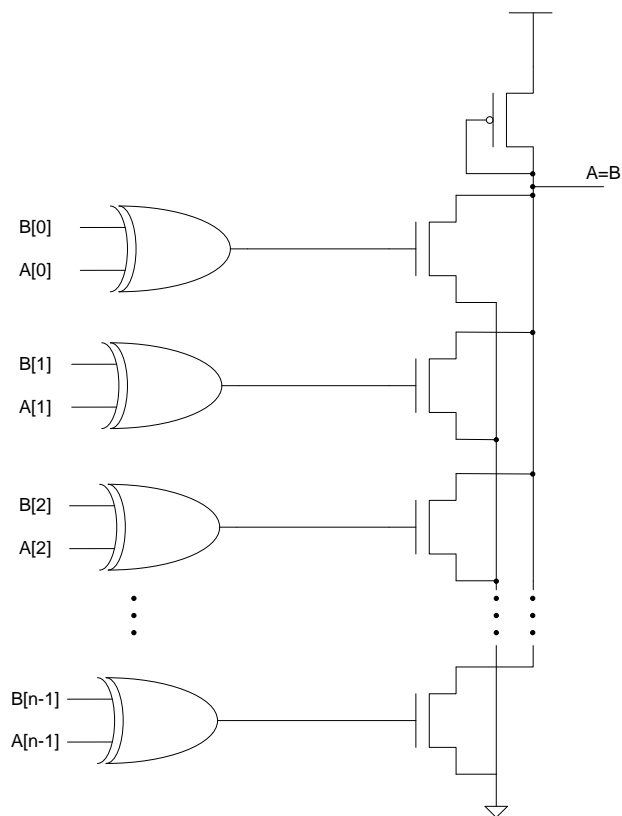
Το πιο απλό κύκλωμα σύγκρισης δύο λέξεων των n bits φαίνεται στο Σχήμα 3.9. Αποτελείται από n πύλες XNOR των 2 εισόδων, οι οποίες έχουν έξοδο ‘1’ όταν έχουν ίδια είσοδο. Στην συνέχεια μια πύλη AND n εισόδων δίνει ‘1’ όταν όλα τα bits είναι ίδια.



Σχήμα 3.9 Κύκλωμα σύγκρισης ισότητας με πύλη AND

Αυτό το κύκλωμα όμως μειονεκτεί στην περίπτωση που θέλουμε να συγκρίνουμε μεγαλύτερες λέξεις. Για παράδειγμα, μια πύλη AND των δεκαέξι εισόδων θα είχε μεγάλη καθυστέρηση πράγμα που βάζει σε κίνδυνο την σωστή λειτουργία της διορθωτικής τεχνικής.

Για αυτό το λόγο σχεδιάστηκε ένα κύκλωμα σύγκρισης που αποτελείται από n πύλες XOR που συνδυάζονται με μια ‘wired-OR’ [19], όπως φαίνεται στο Σχήμα 3.10. Το pMOS τρανζίστορ, του οποίου η πύλη είναι συνδεδεμένη στην έξοδο, λειτουργεί σαν αντίσταση. Όταν οι λέξεις είναι διαφορετικές η έξοδος είναι γειωμένη μέσω των nMOS τρανζίστορ που είναι συνδεδεμένα παράλληλα. Όταν είναι διαφορετικές κανένα nMOS δεν άγει και η έξοδος πηγαίνει στο Vdd.



Σχήμα 3.10 Το κύκλωμα σύγκρισης με wired-or που χρησιμοποιήθηκε

- Το πλεονέκτημα αυτού του κυκλώματος είναι ότι παρουσιάζει μικρότερη καθυστέρηση, λόγω της χρήσης της ‘wired-or’, η οποία είναι ανεξάρτητη από το μέγεθος των λέξεων που συγκρίνονται.
- Το μειονέκτημα είναι ότι στην περίπτωση που οι λέξεις είναι διαφορετικές το κύκλωμα έχει μεγάλη στατική κατανάλωση επειδή υπάρχει συνεχές ρεύμα που ρέει από το Vdd στη γη.

Μεγάλη σημασία πρέπει να δοθεί στο μέγεθος του pMOS τρανζίστορ. Όσο πιο πλατύ είναι τόσο πιο μικρή είναι η καθυστέρηση του κυκλώματος, αλλά και τόσο πιο μεγάλη κατανάλωση έχει αφού αυξάνεται το ρεύμα που ρέει από το Vdd στη γη. Στην περίπτωσή μας, επειδή ενδιαφερόμαστε περισσότερο για την ταχύτητα, τα nMOS τρανζίστορ επιλέχθηκαν μοναδιαία ενώ το pMOS διπλάσιο του μοναδιαίου.

4 ΠΡΟΣΟΜΟΙΩΣΕΙΣ ΚΑΙ ΜΕΤΡΗΣΕΙΣ

4.1 ΕΙΣΑΓΩΓΗ

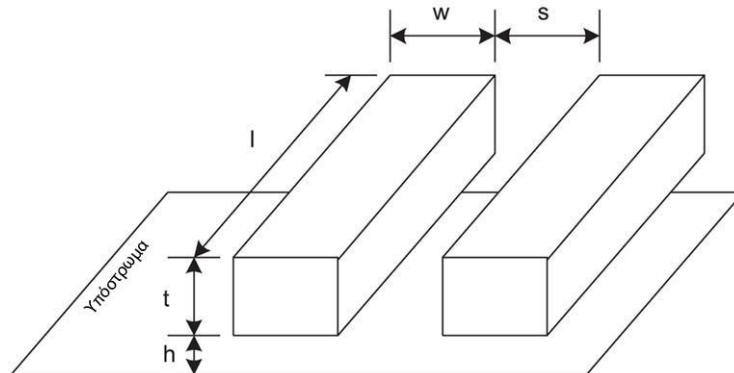
Σε αυτό το κεφάλαιο παρουσιάζονται οι προσομοιώσεις και οι μετρήσεις που έγιναν κατά την σχεδίαση της μνήμης. Στην αρχή αναφέρεται ο τρόπος με τον οποίο μοντελοποιήθηκαν οι διασυνδέσεις του κυκλώματος στη συνέχεια παρουσιάζονται οι μετρήσεις της κατανάλωσης ενέργειας των τμημάτων της μνήμης και στο τέλος φαίνονται αναλυτικά οι προσομοιώσεις ολόκληρης της μνήμης.

Εκτός από τις μετρήσεις που έγιναν για την μνήμη που σχεδιάστηκε εξάχθηκαν μετρήσεις και για μνήμες από 16 έως 4096bit. Ο λόγος είναι ότι για τόσο μικρές μνήμες που χρησιμοποιεί η τεχνική διόρθωσης δεν υπάρχουν οι σχετικές μετρήσεις στην βιβλιογραφία. Ένας εύκολος τρόπος για να βρει κανείς τέτοιες μετρήσεις είναι να ανατρέξει στο εργαλείο CACTI [20] το οποίο έχει αναπτύξει η εταιρεία Hewlett-Packard, το οποίο είναι ένα παραμετροποιήσιμο μοντέλο μνημών. Το πρόβλημα είναι ότι ούτε και αυτό έχει σχεδιαστεί για τόσο μικρές μνήμες οπότε τα αποτελέσματα που δίνει σε αυτά τα μεγέθη δεν μπορούν να θεωρηθούν αξιόπιστα.

Η υλοποίηση των κυκλωμάτων, των φυσικών σχεδίων και την πραγματοποίηση των προσομοιώσεων έγιναν στο σχεδιαστικό περιβάλλον της Cadence : “ Virtuosos[®] Front to Back Design Environment” [21]. Η βιβλιοθήκη των τρανζίστορ στα 90nm που χρησιμοποιήθηκε είναι η : 90nm Generic Process Design Kit (gpdk090) [22].

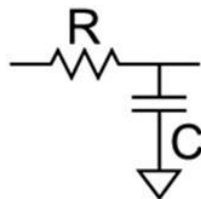
4.2 ΜΟΝΤΕΛΟΠΟΙΗΣΗ ΔΙΑΣΥΝΔΕΣΕΩΝ

Οι αγωγίμοι δρόμοι που συνδέουν τα τρανζίστορ ονομάζονται διασυνδέσεις και παίζουν σημαντικό ρόλο στην λειτουργία και την απόδοση ενός ολοκληρωμένου κυκλώματος. Στην Εικόνα 4.1 φαίνεται ένα ζευγάρι παρακείμενων αγωγών. Οι αγωγοί έχουν πλάτος w , μήκος l και πάχος t . Η απόσταση μεταξύ τους είναι s και η απόσταση που έχουν από το υπόστρωμα είναι h .



Εικόνα 4.1 Γεωμετρία των αγωγών

Σε παλαιότερες τεχνολογίες όπου το πλάτος και το πάχος των αγωγών ήταν μεγαλύτερο και οι συχνότητες λειτουργίας των κυκλωμάτων ήταν πιο χαμηλές, οι αγωγοί απλά θεωρούνταν ιδανικοί κόμβοι. Όμως στις σύγχρονες τεχνολογίες, όπως αυτή των 90nm που χρησιμοποιήθηκε για να σχεδιαστεί η διορθωτική μνήμη, όλες οι αποστάσεις έχουν συρρικνωθεί και η συχνότητα λειτουργίας έχει αυξηθεί κατακόρυφα. Γι αυτό το λόγο οι αγωγοί μοντελοποιήθηκαν με το κύκλωμα RC τύπου L (Σχήμα 4.1), το οποίο εισάγει μια καθυστέρηση.



Σχήμα 4.1 Κύκλωμα RC τύπου L που χρησιμοποιήθηκε για την μοντελοποίηση των διασυνδέσεων

Η τεχνολογία των 90nm που χρησιμοποιήθηκε προσφέρει στον σχεδιαστή την δυνατότητα να χρησιμοποιήσει εννέα διαφορετικά είδη μετάλλων για την διασύνδεση των τρανζίστορ. Για την διορθωτική μνήμη που σχεδιάστηκε χρειάστηκαν μόνο δύο. Το Μέταλλο1 και το Μέταλλο2.

4.2.1 ΕΚΤΙΜΗΣΗ ΑΝΤΙΣΤΑΣΗΣ

Η αντίσταση ενός ομοιόμορφου ορθογώνιου αγωγού όπως φαίνεται στην Εικόνα 4.1 μπορεί να εκφραστεί ως $R = \left(\frac{\rho}{t}\right) \cdot \left(\frac{l}{w}\right)$ Ohms, όπου ρ η ειδική αντίσταση του υλικού. Η παραπάνω έκφραση μπορεί να ξαναγραφεί ως $R = R_{sh} \cdot \left(\frac{l}{w}\right)$ Ohms, όπου R_{sh} είναι η αντίσταση φύλλου σε μονάδες Ω/square ($\Omega / \text{τετράγωνο}$). Έτσι η αντίσταση ενός αγωγού προκύπτει από τον πολλαπλασιασμό της αντίστασης φύλλου με το λόγο του μήκους προς το πλάτος του αγωγού.

Στον Πίνακα 4.1 παρουσιάζονται οι αντιστάσεις φύλλου των αγωγών στην τεχνολογία των 90nm που χρησιμοποιήθηκε.

| Υλικό | Αντίσταση φύλλου (Ω/SQ) |
|----------------------|----------------------------------|
| Μέταλλο1 | 0,08 |
| Μέταλλο2 ως Μέταλλο7 | 0,06 |
| Μέταλλο8 ως Μέταλλο9 | 0,02 |

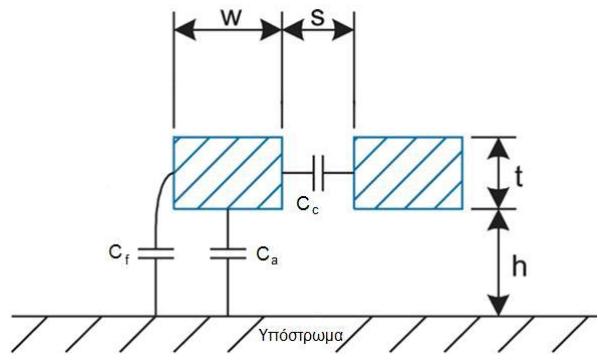
Πίνακας 4.1 Τιμές των αντιστάσεων φύλλου των μετάλλων της τεχνολογίας που χρησιμοποιήθηκε

- Για παράδειγμα υπολογίζουμε την αντίσταση της bit line του κυττάρου που φαίνεται στην Εικόνα 3.10. Η bit line είναι φτιαγμένη από Μέταλλο2 και έχει διαστάσεις 2350×150 nm. Άρα έχει αντίσταση $R_{bl} = 0,06 \cdot \left(\frac{2350}{150}\right) = 0,94 \Omega$. Για να υπολογίσουμε την αντίσταση ολόκληρης της bit line της μνήμης πολλαπλασιάζουμε την R_{bl} με το πλήθος των γραμμών του πίνακα των κυττάρων. Έτσι στην περίπτωση μας έχουμε $R_{bit\ line} = 0,94 \times 32 = 30 \Omega$.

4.2.2 ΕΚΤΙΜΗΣΗ ΧΩΡΗΤΙΚΟΤΗΤΑΣ

Ο ακριβής υπολογισμός της συνολικής χωρητικότητας που παρουσιάζει ένας αγωγός είναι μια πολύπλοκη υπόθεση στις σημερινές τεχνολογίες CMOS, οι οποίες χρησιμοποιούν πολλά επίπεδα μετάλλων. Για τον υπολογισμό των χωρητικότητων της μνήμης χρησιμοποιήθηκε το μοντέλο που φαίνεται στην Εικόνα 4.2. Σε αυτό το μοντέλο κάτω από τους αγωγούς βρίσκεται το υπόστρωμα και από πάνω τους δεν βρίσκεται τίποτα. Η χωρητικότητα αποτελείται από τρεις συνιστώσες.

- Χωρητικότητα προς το υπόστρωμα, C_a
- Χωρητικότητα διασταύρωσης (crossover), C_c
- Παρασιτική χωρητικότητα προς το υπόστρωμα, C_f



Εικόνα 4.2 Μοντέλο χωρητικότητας

Θεωρώντας τα t και h σταθερά, αυτές οι χωρητικότητες είναι συναρτήσεις του w και του s . Για τον υπολογισμό της συνολικής χωρητικότητας έχουν εξαχθεί πίνακες οι οποίοι δείχνουν τις τιμές των επί μέρους χωρητικοτήτων για διάφορα w και s . Ένας τέτοιος πίνακας της τεχνολογίας που χρησιμοποιήθηκε είναι ο Πίνακας 4.2. Το εργαλείο σχεδίασης που χρησιμοποιήθηκε προσφέρει στον σχεδιαστή τέτοιου είδους πίνακες για όλα τα μέταλλα και για περισσότερα ζευγάρια w και s .

| Μέταλλο1 | | | | | | Μέταλλο2 | | | | | |
|----------|-------|------------------|----------------|----------------|----------------|----------|-------|------------------|----------------|----------------|----------------|
| w | s | C _{tot} | C _c | C _a | C _f | w | s | C _{tot} | C _c | C _a | C _f |
| 0,120 | 0,096 | 0,2579 | 0,1035 | 0,0215 | 0,0092 | 0,140 | 0,112 | 0,2491 | 0,1055 | 0,0210 | 0,0085 |
| 0,120 | 0,120 | 0,2189 | 0,0875 | 0,0215 | 0,0110 | 0,140 | 0,140 | 0,2097 | 0,0839 | 0,0210 | 0,0104 |
| 0,120 | 0,360 | 0,1270 | 0,0265 | 0,0215 | 0,0262 | 0,140 | 0,420 | 0,1202 | 0,0244 | 0,0210 | 0,0252 |
| 0,360 | 0,096 | 0,3068 | 0,1061 | 0,0646 | 0,0095 | 0,420 | 0,112 | 0,2951 | 0,1072 | 0,0629 | 0,0087 |
| 0,360 | 0,120 | 0,2669 | 0,0897 | 0,0646 | 0,0113 | 0,420 | 0,140 | 0,2550 | 0,0853 | 0,0629 | 0,0106 |
| 0,360 | 0,360 | 0,1720 | 0,0271 | 0,0646 | 0,0266 | 0,420 | 0,420 | 0,1635 | 0,0247 | 0,0629 | 0,0255 |
| 1,000 | 0,096 | 0,4223 | 0,1065 | 0,1793 | 0,0095 | 1,000 | 0,112 | 0,3823 | 0,1074 | 0,1498 | 0,0087 |
| 1,000 | 0,120 | 0,3823 | 0,0900 | 0,1793 | 0,0114 | 1,000 | 0,140 | 0,3422 | 0,0855 | 0,1498 | 0,0106 |
| 1,000 | 0,360 | 0,2870 | 0,0271 | 0,1793 | 0,0266 | 1,000 | 0,420 | 0,2505 | 0,0247 | 0,1498 | 0,0255 |
| 9,000 | 0,096 | 1,8568 | 0,1065 | 1,6138 | 0,0095 | 9,000 | 0,112 | 1,5807 | 0,1074 | 1,3482 | 0,0087 |
| 9,000 | 0,120 | 1,8168 | 0,0900 | 1,6138 | 0,0114 | 9,000 | 0,140 | 1,5405 | 0,0855 | 1,3482 | 0,0106 |
| 9,000 | 0,360 | 1,7215 | 0,0271 | 1,6138 | 0,0266 | 9,000 | 0,420 | 1,4488 | 0,0247 | 1,3482 | 0,0255 |

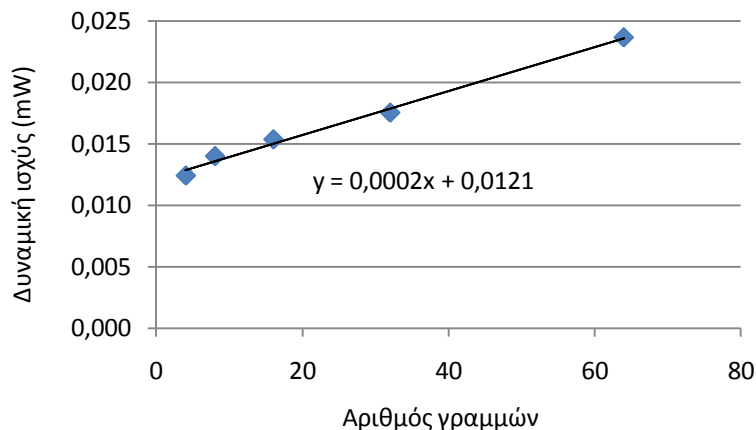
Πίνακας 4.2 Πίνακας Χωρητικότητων σε fF/μm για την τεχνολογία των 90nm με υπόστρωμα από κάτω και τύποτα από πάνω

- Για παράδειγμα χρησιμοποιώντας τον παραπάνω πίνακα μπορούμε να υπολογίσουμε την χωρητικότητα της bit line. Από τη γεωμετρία του κυττάρου οδηγούμαστε στην τρίτη γραμμή του παραπάνω πίνακα στη πλευρά του μετάλλου2 όπου $w=140\text{nm}$ και $s=420\text{nm}$. Έχοντας υπ όψιν ότι το ύψος του κυττάρου είναι $2,35\mu\text{m}$, η χωρητικότητα της bit line ανά κύτταρο είναι $C_{bl} = 2,35\mu\text{m} \cdot 0,1202 \frac{\text{fF}}{\mu\text{m}} = 0,3 \text{fF}$. Έτσι η χωρητικότητα της bit line όλης της μνήμης είναι $C_{bit \text{ line}} = 32 \cdot 0,3\text{fF} = 10\text{fF}$.

4.3 ΜΕΤΡΗΣΕΙΣ ΚΑΤΑΝΑΛΩΣΗΣ ΙΣΧΥΟΣ

Στην συνέχεια προσομοιώθηκαν το καθένα ξεχωριστά όλα τα δομικά στοιχεία της μνήμης ώστε να επιβεβαιωθεί η σωστή λειτουργία τους αλλά και να μετρηθεί η στατική και δυναμική κατανάλωσή τους. Η δυναμική κατανάλωση μετρήθηκε για τον χρόνο μιας περιόδου του ρολογιού που ήταν 500ps. Επίσης δεν προσομοιώθηκαν μόνο στην περίπτωση της μνήμης των 32 γραμμών και 64 στηλών, αλλά προσομοιώθηκαν για μνήμες από 4 έως 64 γραμμές και 4 έως 64 στήλες.

Κάθε φορά ανάλογα με το μέγεθος της μνήμης υπολογίζονταν οι χωρητικότητες των πυλών που οδηγούσε κάθε κύκλωμα καθώς και η χωρητικότητα και η αντίσταση που πρόσθεταν οι διασυνδέσεις ανάλογα με το μέγεθος του φυσικού σχεδίου. Στις περιπτώσεις όπου τα φορτία που οδηγούσαν τα κυκλώματα δεν ήταν ίδια, γινόταν επαναπροσδιορισμός των μεγεθών των τρανζίστορ, σύμφωνα με το μοντέλο της λογικής προσπάθειας και υπολογίζονταν τα νέα μεγέθη έτσι ώστε τα κυκλώματα να έχουν πάντα την ελάχιστη καθυστέρηση.

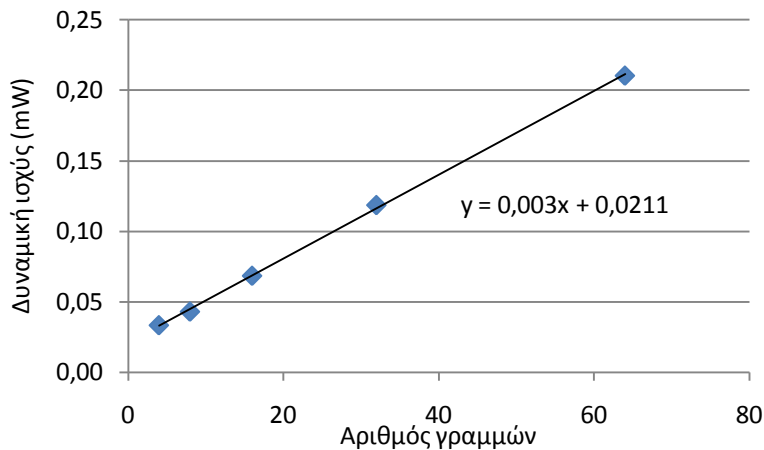


Εικόνα 4.3 Δυναμική κατανάλωση κυττάρου σε σχέση με τον αριθμό των γραμμών

Πρώτο προσομοιώθηκε το κύτταρο μνήμης. Η δυναμική κατανάλωση του κυττάρου εξαρτάται από το φορτίο των bit line που οδηγεί. Δηλαδή εξαρτάται από τον αριθμό των γραμμών του πίνακα των κυττάρων. Στην Εικόνα 4.3 παρουσιάζονται οι μετρήσεις της δυναμικής κατανάλωσης του κυττάρου σε σχέση με τον αριθμό των γραμμών. Παρατηρούμε ότι η σχέση που προκύπτει είναι γραμμική και μπορεί να προσεγγιστεί από την εξίσωση: $P_{cell\ dynamic} = 0,0002 \cdot row + 0,0121$ mW, όπου row ο αριθμός των γραμμών.

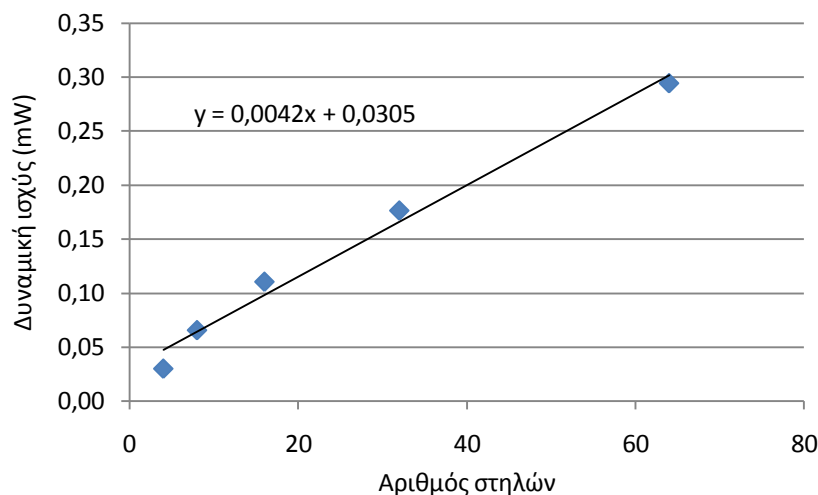
Στην συνέχεια σχεδιάστηκαν και προσομοιώθηκαν πέντε αποκωδικοποιητές Lyon – Schediwy από 4 έως 64 γραμμές. Το φορτίο που οδηγούν οι αποκωδικοποιητές είναι πάντα

μια μοναδιαία πύλη AND που είναι η πρώτη πύλη των κυκλώματος οδήγησης της word line (word buffers). Οι μετρήσεις της δυναμικής κατανάλωσής των αποκωδικοποιητών σε 500ps που είναι ο χρόνος μιας περιόδου λειτουργίας της μνήμης φαίνονται στην Εικόνα 4.4 και μπορούν να προσεγγισθούν από την εξίσωση της ευθείας: $P_{decoder\ dynamic} = 0,003 \cdot row + 0,0211$ mW.



Εικόνα 4.4 Δυναμική κατανάλωση αποκωδικοποιητών

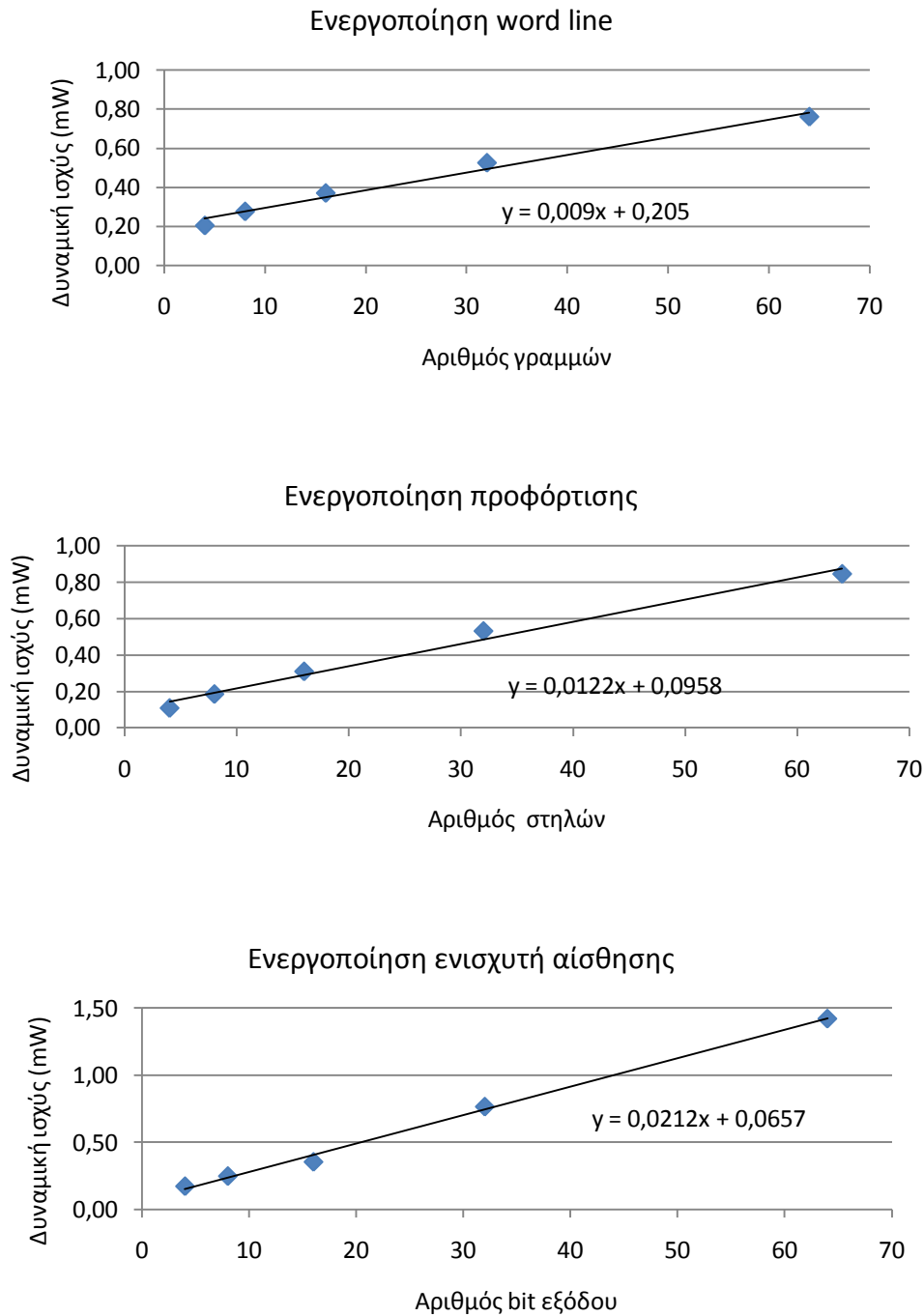
Η κατανάλωση των κυκλωμάτων οδήγησης της word line (word buffers) εξαρτάται από το πόσα κύτταρα ελέγχει αυτή η word line. Άρα η δυναμική τους κατανάλωση εξαρτάται από τον αριθμό των στηλών του πίνακα των κυττάρων της μνήμης. Οι μετρήσεις φαίνονται στην Εικόνα 4.5 και μπορούν να προσεγγισθούν με την εξίσωση: $P_{dynamic\ word\ buffer} = 0,0042 \cdot col + 0,0305$ mW, όπου col ο αριθμός των στηλών.



Εικόνα 4.5 Δυναμική κατανάλωση των word buffers

Στην συνέχεια προσομοιώθηκε το κύκλωμα χρονισμού, το οποίο αποτελείται από τρία υποκύκλωμα, όπως φαίνεται στο Σχήμα 3.8. Το κύκλωμα ενεργοποίησης των οδηγών

γραμμής, το κύκλωμα ενεργοποίησης της προφόρτισης και το κύκλωμα ενεργοποίησης του ενισχυτή αίσθησης. Η κατανάλωση του πρώτου εξαρτάται από το πλήθος των γραμμών, του δεύτερου από το πλήθος στηλών και του τρίτου από το πλήθος των bit εξόδου της μνήμης. Οι δυναμικές καταναλώσεις αυτών των κυκλωμάτων φαίνονται στην Εικόνα 4.6.

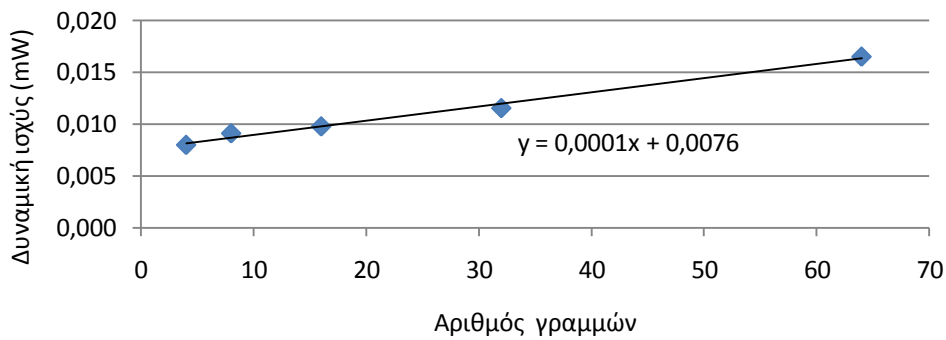


Εικόνα 4.6 Δυναμική κατανάλωση κυκλωμάτων χρονισμού

Όπως φαίνεται από τα διαγράμματα οι δυναμικές καταναλώσεις των κυκλωμάτων χρονισμού μπορούν να προσεγγισθούν από τις εξής εξισώσεις:

- Ενεργοποίηση word line: $P_{word\ enable} = 0,0009 \cdot row + 0,205\ mW$
- Ενεργοποίηση προφόρτισης: $P_{pre\ charge\ enable} = 0,0122 \cdot col + 0,0958\ mW$
- Ενεργοποίηση ενισχυτή αίσθησης: $P_{sense\ enable} = 0,0212 \cdot word + 0,0657\ mW$, όπου word ο αριθμός των bit εξόδου

Το τελευταίο κύκλωμα του οποίου η δυναμική κατανάλωση δεν είναι πάντα η ίδια αλλά εξαρτάται από τον αριθμό των γραμμών είναι κύκλωμα της προφόρτισης. Στην ουσία η κατανάλωση αυτού του κυκλώματος εξαρτάται από το μέγεθος της bit line που πρέπει να φορτίσει. Οι μετρήσεις φαίνονται στην Εικόνα 4.7 και μπορούν να προσεγγισθούν από την εξίσωση: $P_{pre\ charge} = 0,0001 \cdot row + 0,0076\ mW$.



Εικόνα 4.7 Δυναμική κατανάλωση κυκλώματος προφόρτισης

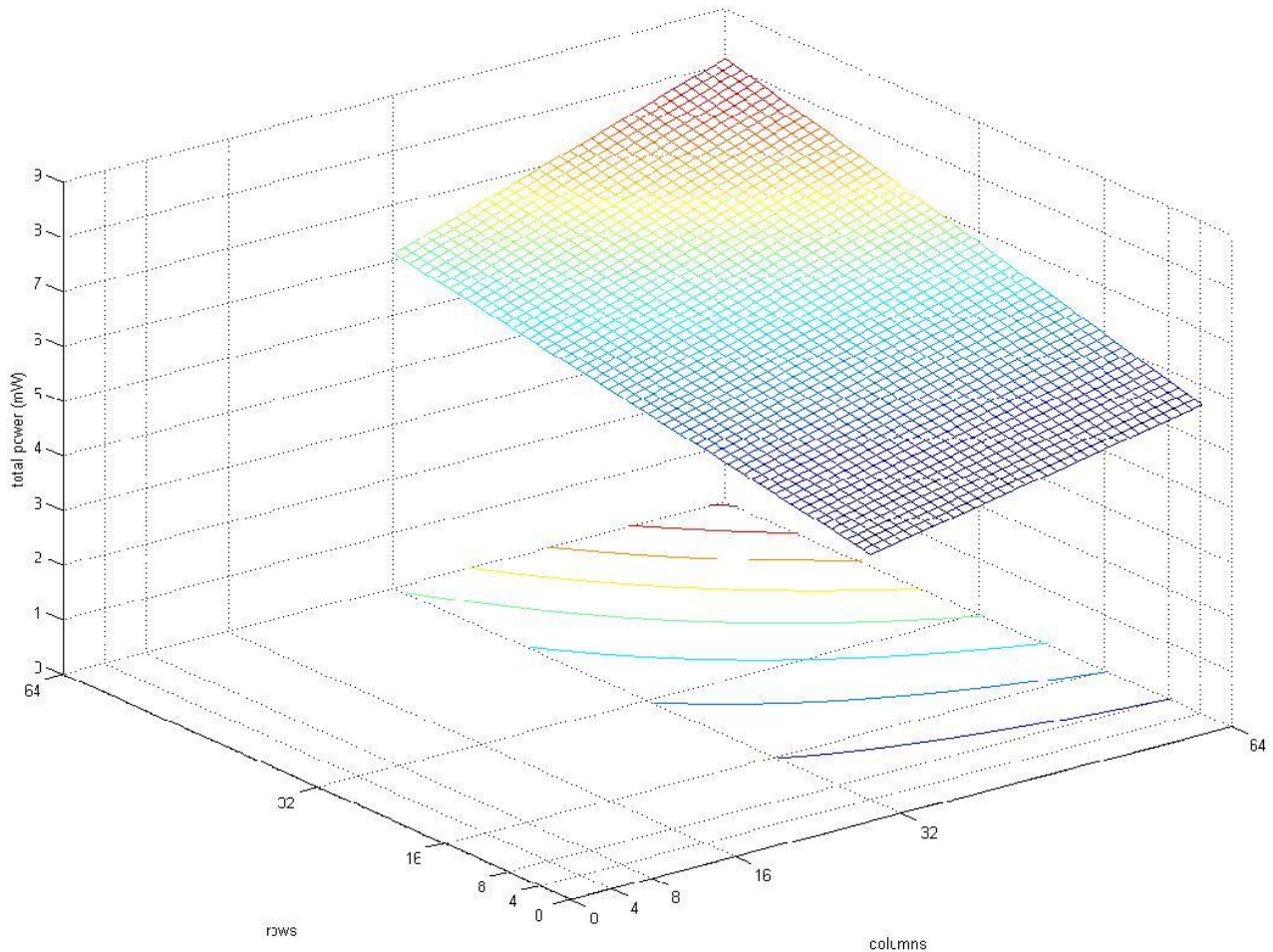
Στον Πίνακα 4.3 παρουσιάζονται η δυναμική και η στατική κατανάλωση ισχύος των κυκλωμάτων, των οποίων η κατανάλωση δεν εξαρτάται από τον αριθμό των γραμμών ή στηλών.

| | Ισχύς (mW) | |
|--------------------|------------|---------|
| | Δυναμική | Στατική |
| Κύτταρο μνήμης | Εικόνα 4.4 | 0,00014 |
| Οδηγός word line | Εικόνα 4.6 | 0,00102 |
| Ενισχυτής αίσθησης | 0,02862 | 0,00001 |
| Οδηγός Εγγραφής | 0,04138 | 0,00020 |
| Πολυπλέκτης στήλης | 0,00387 | 0,00059 |
| D-flip flop | 0,03715 | 0,00894 |

Πίνακας 4.3 Δυναμική και η στατική κατανάλωση ισχύος των κυκλωμάτων, των οποίων η κατανάλωση δεν εξαρτάται από τον αριθμό των γραμμών ή στηλών.

Συνδυάζοντας τις μετρήσεις και τις εξισώσεις που παρουσιάστηκαν προηγουμένως, κατασκευάστηκε ένα μοντέλο το οποίο μπορεί να υπολογίζει την κατανάλωση μικρών cache από 16 έως 4096 bits, οι οποίες έχουν την ίδια ταχύτητα και είναι κατασκευασμένες από τα κυκλώματα που έχουν αναφερθεί παραπάνω.

Στην Εικόνα 4.8 παρουσιάζεται ένα τρισδιάστατο διάγραμμα που δείχνει την συνολική κατανάλωση λειτουργίας μιας μνήμης με 32 bit στην έξοδο κατά την ανάγνωση, συναρτήσει των αριθμό των γραμμών και των στηλών που μπορεί να έχει ο πίνακας των κυττάρων. Οι καμπύλες που φαίνονται στο επίπεδο xy αντιπροσωπεύουν μνήμες οι οποίες έχουν την ίδιο μέγεθος.

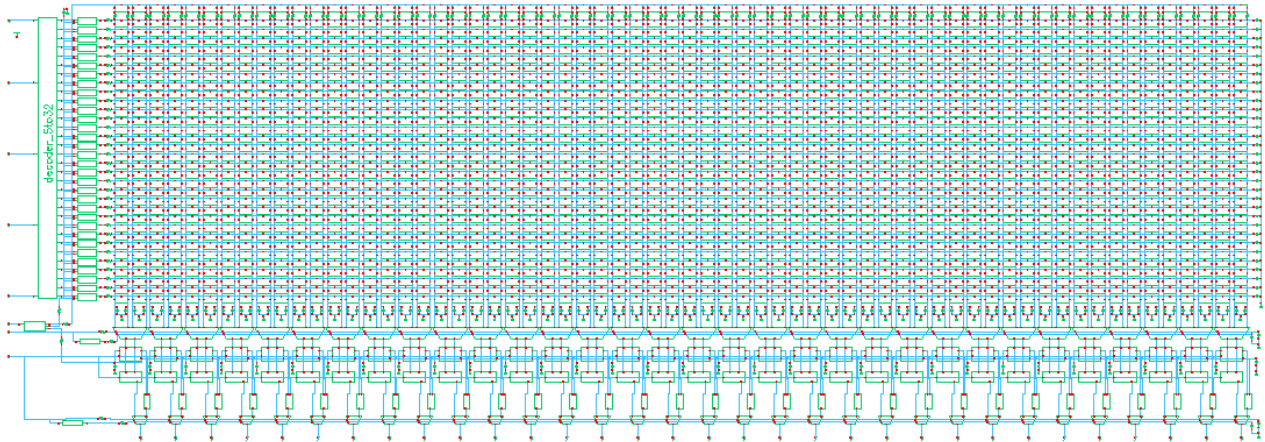


Εικόνα 4.8 Συνολική κατανάλωση ισχύος μνημών συναρτήσει του αριθμού των στηλών και γραμμών τους με 32 bit στην έξοδο

4.4 ΠΡΟΣΟΜΟΙΩΣΗ ΟΛΗΣ ΤΗΣ ΜΝΗΜΗΣ

Σε αυτή την ενότητα παρουσιάζονται τα αποτελέσματα από την προσομοίωση όλης της μνήμης. Τα επί μέρους δομικά στοιχεία ενώθηκαν ώστε να αποτελούν ένα λειτουργικό σύνολο. Το σχηματικό διάγραμμα της μνήμης που κατασκευάστηκε παρουσιάζεται στην Εικόνα 4.9. Στο αριστερό μέρος του σχεδίου διακρίνεται ο αποκωδικοποιητής και οι οδηγό γραμμών. Στο κάτω μέρος βρίσκονται οι πολυπλέκτες στήλης, οι ενισχυτές αίσθησης, οι οδηγοί εγγραφής και τα flip-flop των εξόδων, ενώ στο πάνω μέρος βρίσκονται τα κυκλώματα της προφόρτισης των bit lines. Το υπόλοιπο σχέδιο αποτελείται από 2048 κύτταρα μνήμης.

Όλα τα σχηματικά διαγράμματα των επί μέρους κυκλωμάτων παρουσιάζονται αναλυτικά στο παράρτημα στο τέλος της εργασίας.

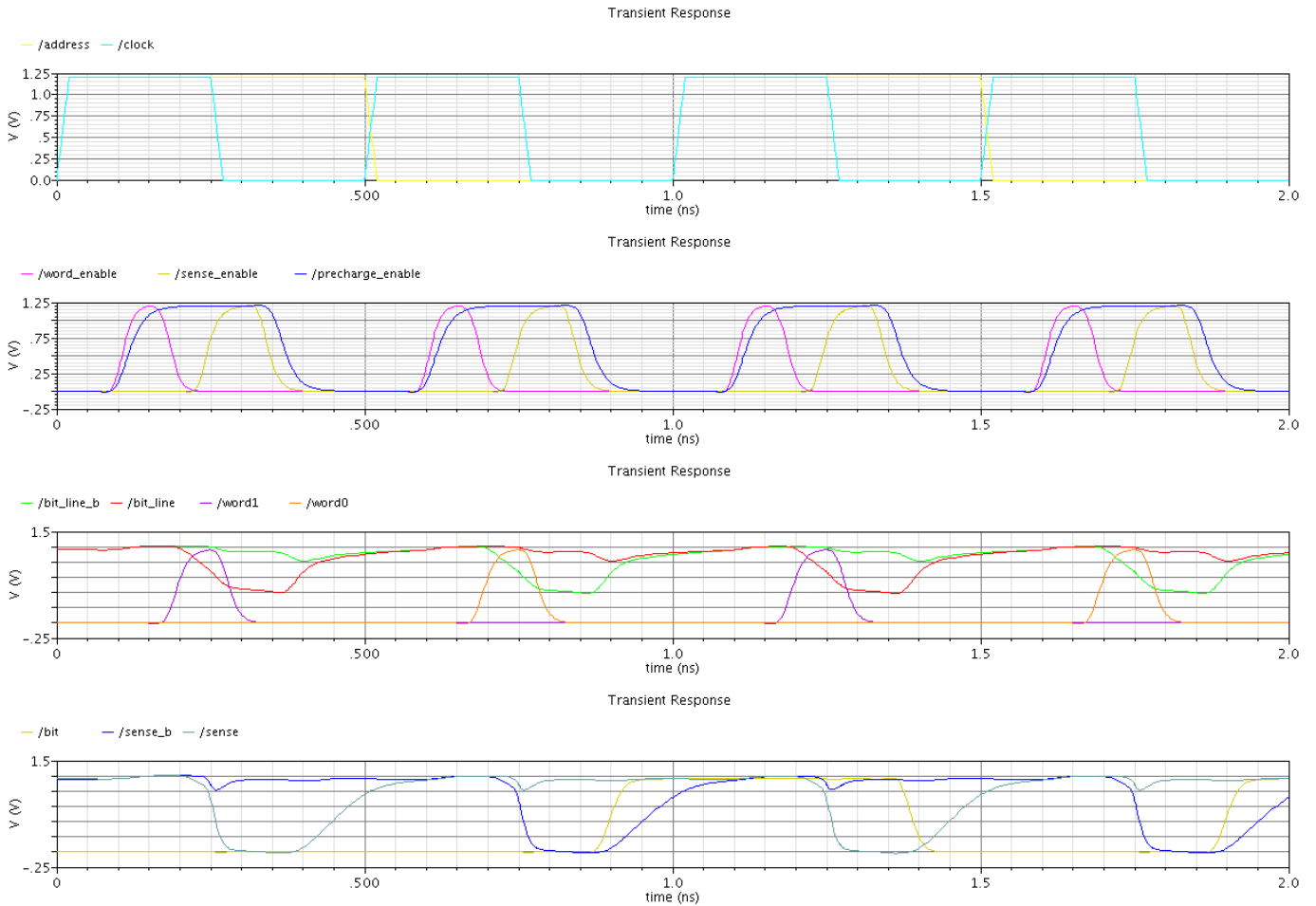


Εικόνα 4.9 Σχηματικό διάγραμμα μνήμης

Στην Εικόνα 4.10 παρουσιάζονται αναλυτικά όλα τα σήματα κατά τη λειτουργία της μνήμης. Σε αυτή την προσομοίωση γίνονται τέσσερις αναγνώσεις σε κύτταρα τα οποία εναλλάξ έχουν μεταξύ τους αποθηκευμένη διαφορετική πληροφορία.

Στο πρώτο διάγραμμα φαίνονται το σήμα του ρολογιού και η αλλαγή της διεύθυνσης εισόδου. Η συχνότητα λειτουργίας είναι τα 2GHz. Αυτή η συχνότητα είναι η μέγιστη στην οποία μπορεί να λειτουργήσει αυτή η μνήμη. Στο επόμενο διάγραμμα φαίνονται τα σήματα ενεργοποίησης της προφόρτισης, της word line και των ενισχυτών αίσθησης. Στο επόμενο διάγραμμα φαίνονται μια γραμμή λέξης ενεργοποιείται κάθε φορά και πώς μεταβάλλεται η τάση των bit line. Παρατηρούμε ότι οι bit lines δεν αποφορτίζονται εντελώς αλλά μέχρι ένα σημείο το οποίο να μπορούν να αισθανθούν οι ενισχυτές που ακολουθούν. Αυτό βελτιώνει σημαντικά την ταχύτητα αλλά και την κατανάλωση ενέργειας. Στο τελευταίο διάγραμμα φαίνεται η τάση στις εξόδους των ενισχυτών αλλά και η τελική έξοδος bit τις μνήμης. Αν προσέξουμε στα δύο τελευταία διαγράμματα την κόκκινη (bit line) και την κίτρινη γραμμή (bit) θα δούμε ότι αρχικά η μνήμη διαβάζει ένα '0' μετά ένα '1' μετά πάλι ένα '0' και μετά πάλι ένα '1'.

Τα δεδομένα που αντιστοιχούν σε κάθε διεύθυνση είναι έγκυρα στην έξοδο στον θετικό παλμό του ρολογιού της επόμενης περιόδου.

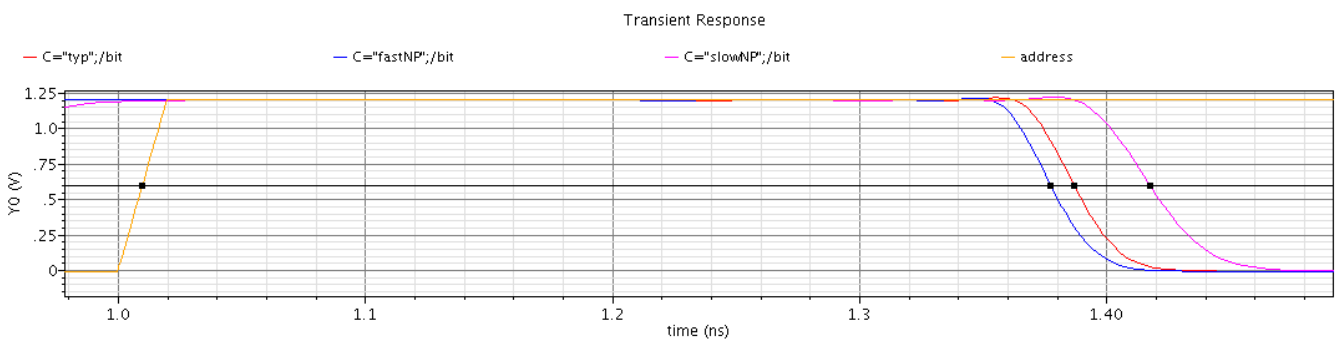


Εικόνα 4.10 Προσομοίωση ανάγνωσης σε τυπικές συνθήκες στα 2GHz

Στον Πίνακα 4.4 φαίνονται ο χρόνος απόκρισης της μνήμης σε αργές, γρήγορες και τυπικές συνθήκες και στην Εικόνα 4.11 τα αντίστοιχα διαγράμματα. Ο χρόνος απόκρισης είναι ο χρόνος που μεσολαβεί από την στιγμή που εισέρχεται μια νέα διεύθυνση μέχρι να είναι διαθέσιμη η πληροφορία από την μνήμη.

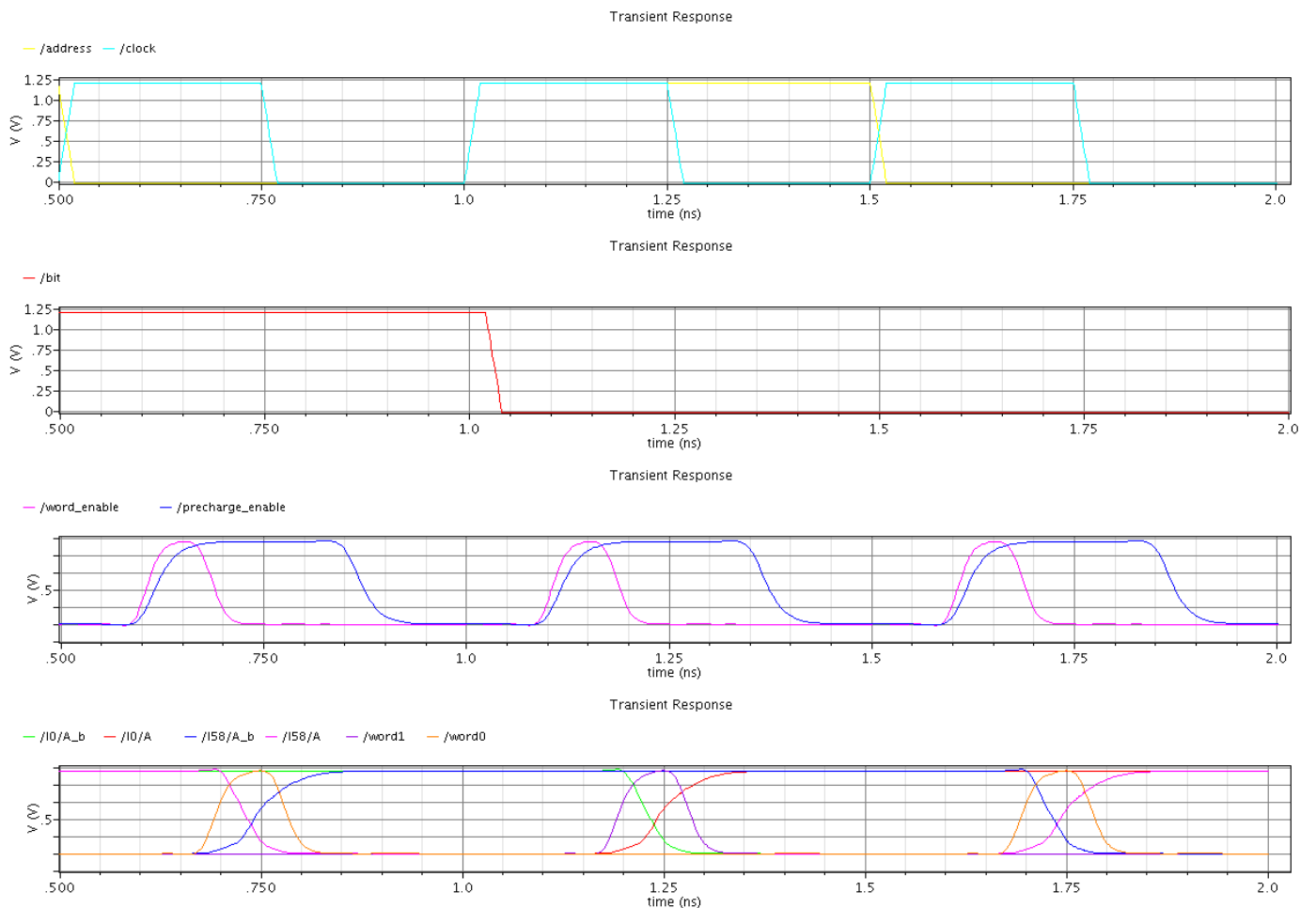
| Συνθήκες | Γρήγορες | Τυπικές | Αργές |
|-----------------------|----------|---------|-------|
| Χρόνος απόκρισης (ps) | 367 | 377 | 408 |

Πίνακας 4.4 Μετρήσεις του χρόνου απόκρισης της μνήμης σε ακραίες και τυπικές συνθήκες



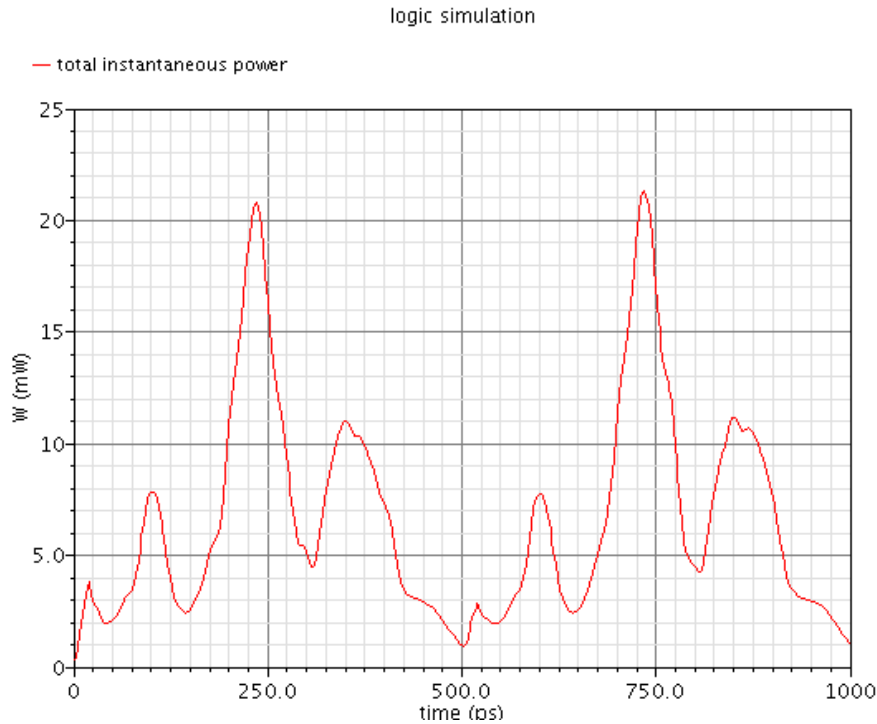
Εικόνα 4.11 Μετρήσεις του χρόνου απόκρισης της μνήμης σε ακραίες και τυπικές συνθήκες

Στην Εικόνα 4.12 παρουσιάζεται μια προσομοίωση κατά την οποία γίνονται τρεις εγγραφές σε δυο διαφορετικά κύτταρα. Στο πρώτο διάγραμμα φαίνεται το σήμα του ρολογιού και η αλλαγή της διεύθυνσης. Η συχνότητα λειτουργίας είναι τα 2 GHz. Στο επόμενο διάγραμμα φαίνεται το σήμα της πληροφορίας την οποία θέλουμε να εγγράψουμε. Στο επόμενο διάγραμμα φαίνονται τα σήματα της προφόρτισης και της ενεργοποίησης της word line. Στο τελευταίο διάγραμμα φαίνεται πια word line είναι ενεργοποιημένη και πως αλλάζει επιτυχημένα η κατάσταση των κόμβων A και A_b σε ένα κύτταρο.



Εικόνα 4.12 Προσομοίωση εγγραφής σε τυπικές συνθήκες στα 2GHz

Στην Εικόνα 4.13 φαίνεται ένα διάγραμμα της στιγμιαίας συνολικής κατανάλωσης ισχύος της μνήμης κατά την διάρκεια δυο αναγνώσεων. Στην διάρκεια κάθε ανάγνωσης (500ps), το διάγραμμα παρουσιάζει τέσσερις κορυφές που μαρτυρούν τα στάδια λειτουργίας της μνήμης και το ποσό της ενέργειας που χρειάζεται το καθένα. Η πρώτη και μικρότερη κορυφή μαρτυρά την αποκωδικοποίηση της διεύθυνσης, η δεύτερη την φόρτιση της word line, η τρίτη και μεγαλύτερη την αποφόρτιση των bit lines και την λειτουργία των ενισχυτών και η τελευταία την επαναφόρτιση των bit lines.



Εικόνα 4.13 Στιγμιαία συνολική κατανάλωση ισχύος της μνήμης κατά την διάρκεια δυο αναγνώσεων

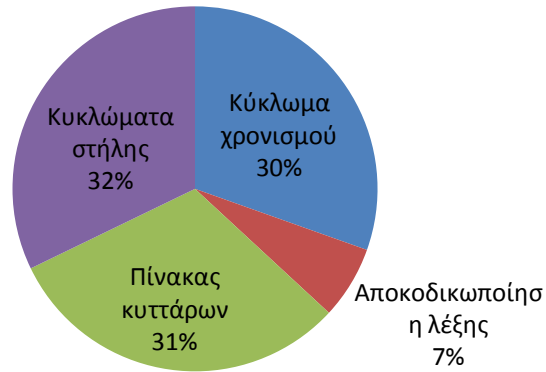
Στον Πίνακα 4.5 παρουσιάζονται οι μετρήσεις της μέσης κατανάλωσης ισχύος ολόκληρης της μνήμης κατά την ανάγνωση και εγγραφή στη συχνότητα λειτουργίας των 2GHz.

| | Ανάγνωση | Εγγραφή |
|-----------------------------|----------|---------|
| Μέση κατανάλωση ισχύος (mW) | 6,95 | 5,04 |

Πίνακας 4.5 Μέση κατανάλωση της μνήμης στις λειτουργίες ανάγνωσης και εγγραφής σε τυπικές συνθήκες σε συχνότητα λειτουργίας των 2GHz

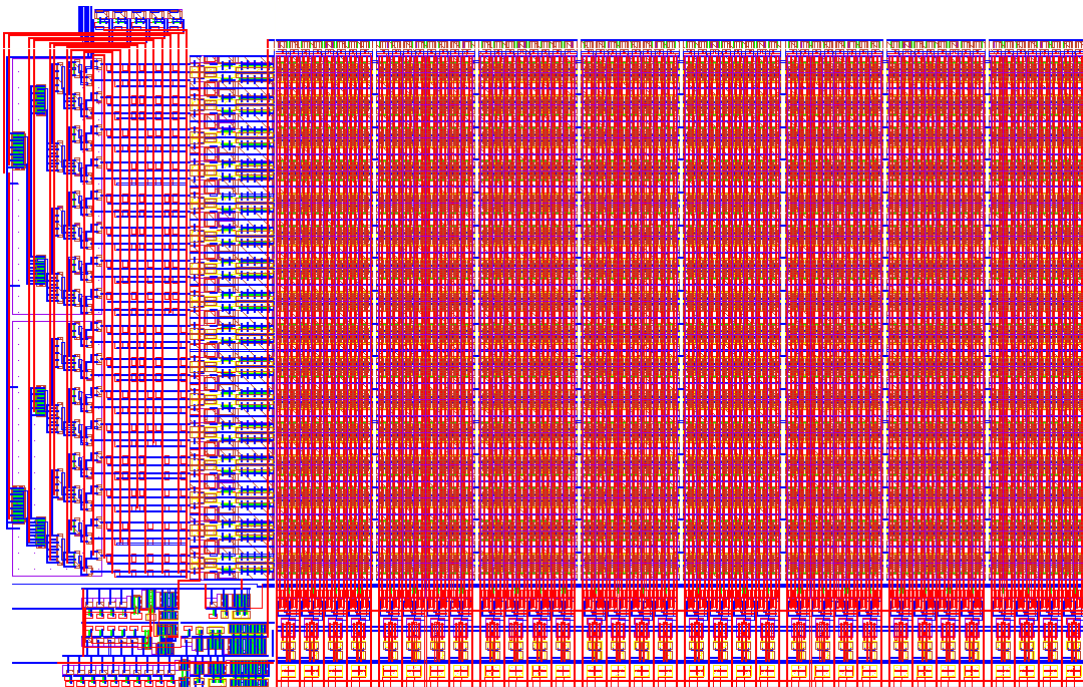
Παρατηρούμε ότι η συνολική κατανάλωση ισχύος είναι κατά 27% μικρότερη κατά την εγγραφή σε σχέση με την ανάγνωση. Αυτό προκύπτει διότι κατά την εγγραφή δεν λειτουργεί το κύκλωμα ενεργοποίησης των ενισχυτών, ούτε οι ενισχυτές αλλά ούτε και τα flip flop εξόδου.

Στο Σχήμα 4.2 φαίνεται αναλυτικά πως κατανέμεται η κατανάλωση ισχύος στα επί μέρους κυκλώματα της μνήμης κατά την ανάγνωση. Παρατηρούμε ότι η λιγότερη ενέργεια χρειάζεται για την αποκωδικοποίηση της λέξεις ενώ η περισσότερη, χρησιμοποιείται από τα κυκλώματα στήλης.



Σχήμα 4.2 Κατανομή της ισχύος ανά κύκλωμα

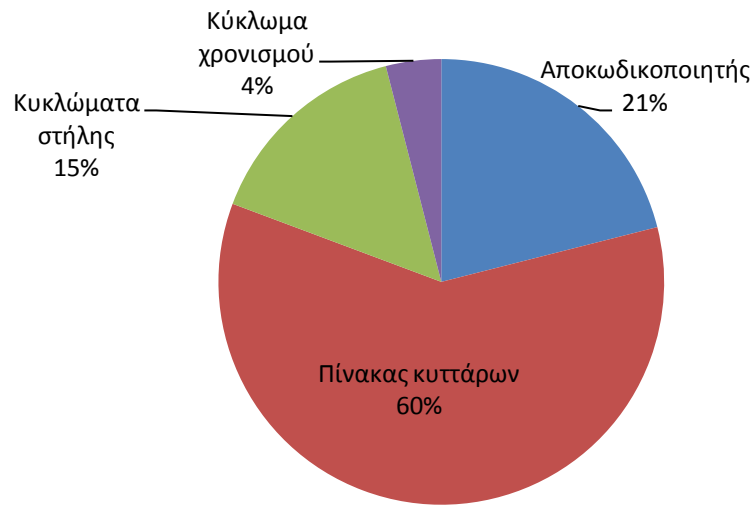
Στην Εικόνα 4.14 φαίνεται το συνολικό φυσικό σχέδιο (layout) της μνήμης. Η σχεδίαση έγινε εξ ολοκλήρου σε επίπεδο τρανζίστορ (full custom design). Η συνολική επιφάνεια που καταλαμβάνει είναι 0,013635 mm². Όλα τα φυσικά σχέδια των επί μέρους κυκλωμάτων παρουσιάζονται αναλυτικά στο παράρτημα στο τέλος της εργασίας.



Εικόνα 4.14 Συνολικό φυσικό σχέδιο (layout) της μνήμης

Στα αριστερά του σχεδίου διακρίνεται ο αποκοδικωποιητής και οι οδηγοί των word lines. Κάτω από τον αποκοδικωποιητή βρίσκεται το κύκλωμα χρονισμού, ενώ στο κάτω μέρος της μνήμης βρίσκονται τα κυκλώματα στήλης. Το μεγαλύτερο μέρος της επιφάνειας το καταλαμβάνει ο πίνακας των κυττάρων. Στο Σχήμα 4.3 φαίνεται το ποσοστό της επιφάνειας που καταλαμβάνει το κάθε κύκλωμα. Ο πίνακας των κυττάρων καταλαμβάνει το 60% της

επιφάνειας της μνήμης. Γι αυτό το λόγο, μια μικρή μείωση στην επιφάνεια του κυττάρου συνεπάγεται μια σημαντική εξοικονόμηση επιφάνειας στο ολοκληρωμένο της μνήμης.



Σχήμα 4.3 Κατανομή της επιφάνειας ανά κύκλωμα

5 ΠΡΟΣΟΜΟΙΩΣΗ ΤΗΣ ΤΕΧΝΙΚΗΣ ΔΙΟΡΘΩΣΗΣ

5.1 ΠΑΡΟΥΣΙΑΣΗ ΤΟΥ ΜΟΝΤΕΛΟΥ

Αυτό το κεφάλαιο αναφέρεται στις προσομοιώσεις και στις μετρήσεις που έγιναν σε ένα ολοκληρωμένο μοντέλο της τεχνικής διόρθωσης. Αυτές οι προσομοιώσεις ήταν απαραίτητες για να αξιολογήσουμε την λειτουργία των υποστηρικτικών κυκλωμάτων, να βρεθούν τα όρια λειτουργίας της διορθωτικής τεχνικής του MicroLAB [6] και να ερευνηθεί η επιβάρυνση σε κατανάλωση που προσθέτει .

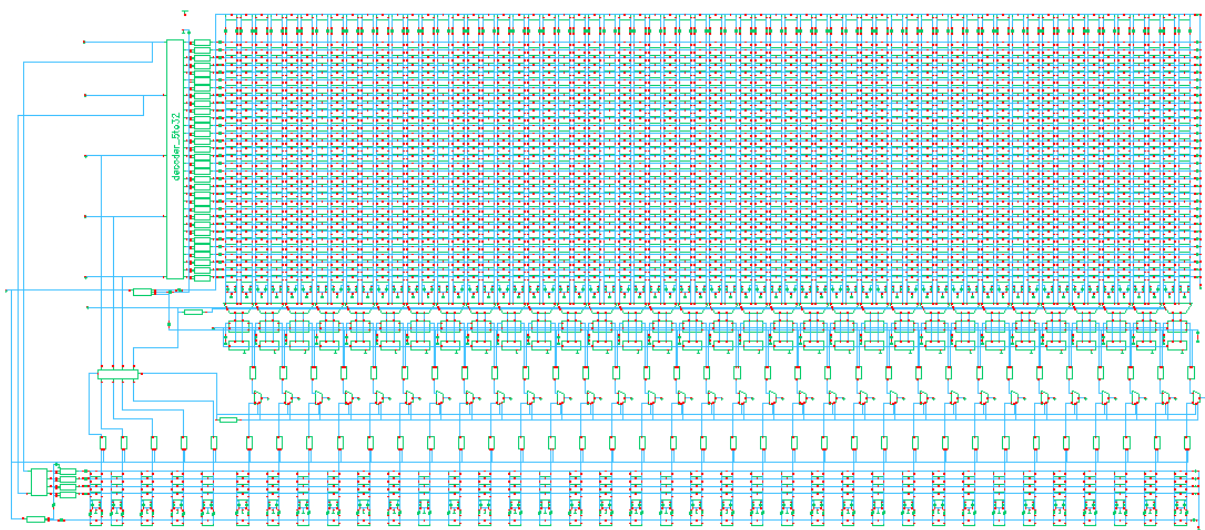
Το μοντέλο που χρησιμοποιήθηκε φαίνεται στην Εικόνα 5.1. Αποτελείται από μια μεγάλη μνήμη υπό διόρθωση και από μια μικρότερη διορθωτική μνήμη. Στον ρόλο της μεγάλης μνήμης υπό διόρθωση βάλαμε την μνήμη που σχεδιάστηκε και προσομοιώθηκε στα προηγούμενα κεφάλαια επειδή ήταν άμεσα διαθέσιμη. Υποθέτουμε ότι αυτή η μνήμη έχει δύο σφάλματα. Έτσι για την διόρθωσή χρησιμοποιήσαμε μια πολύ μικρή διορθωτική μνήμη των τεσσάρων λέξεων. Ανάμεσα από τις δυο μνήμες βρίσκονται το κύκλωμα σύγκρισης και οι πολυπλέκτες.

Η μνήμη τύπου cache αποτελείται από 2^k λέξεις με $2^k \ll 2^n$, όπου 2^n το πλήθος των λέξεων της υπό διόρθωσης μνήμης. Τα k λιγότερο σημαντικά bit της διεύθυνσης της υπό διόρθωσης μνήμης χρησιμοποιούνται για την διευθυνσιοδότηση της διορθωτικής μνήμης και αναφέρονται ως αριθμοδείκτης (index). Η λέξη της διορθωτικής μνήμης χρησιμοποιεί επιπλέον $n-k$ bits για την αναγνώριση του σφάλματος τα οποία αναφέρονται ως ετικέτα (tag). Επίσης χρειάζεται ένα ακόμα bit για την επιβεβαίωση ότι τα δεδομένα που περιέχει η

λέξη της διορθωτικής μνήμης είναι έγκυρα, το οποίο ονομάζεται έγκυρο bit (valid bit). Τελικά το μήκος της λέξης της διορθωτικής μνήμης αποτελείται από ($n-k+m+1$) bit.

Στο μοντέλο μας η υπό διόρθωση μνήμη έχει 64 λέξεις των 32 bit. Άρα $n=6$ και $m=32$. Η διορθωτική μνήμη έχει 4 λέξεις, άρα $k=2$. Έτσι το μήκος της λέξης της διορθωτικής μνήμης είναι $6-2+32+1=37$. Από αυτά, τα 32 περιέχουν δεδομένα, τα 4 χρησιμεύουν ως ετικέτα και ένα είναι το έγκυρο bit.

Σε αυτό το σημείο πρέπει να σημειώσουμε ότι στο μοντέλο που προσομοιώθηκε η αναλογία των χωρητικοτήτων της υπό διόρθωσης μνήμης προς την διορθωτική είναι 14,2. Στο μοντέλο του Σχήματος 1.1 ο ίδιος λόγος προκύπτει 1600. Αυτό σημαίνει ότι το μοντέλο που προσομοιώθηκε αποτελεί ένα δυσμενές σενάριο διόρθωσης μνήμης και από πλευράς ταχύτητας αλλά και κατανάλωσης. Αυτό θα το έχουμε κατά νου στην συνέχεια όταν θα αξιολογήσουμε τα αποτελέσματα της προσομοίωσης. Επίσης πρέπει να τονισθεί ότι τα δεδομένα τα οποία είναι αποθηκευμένα στις μνήμες προέκυψαν από μια γεννήτρια τυχαίων αριθμών.



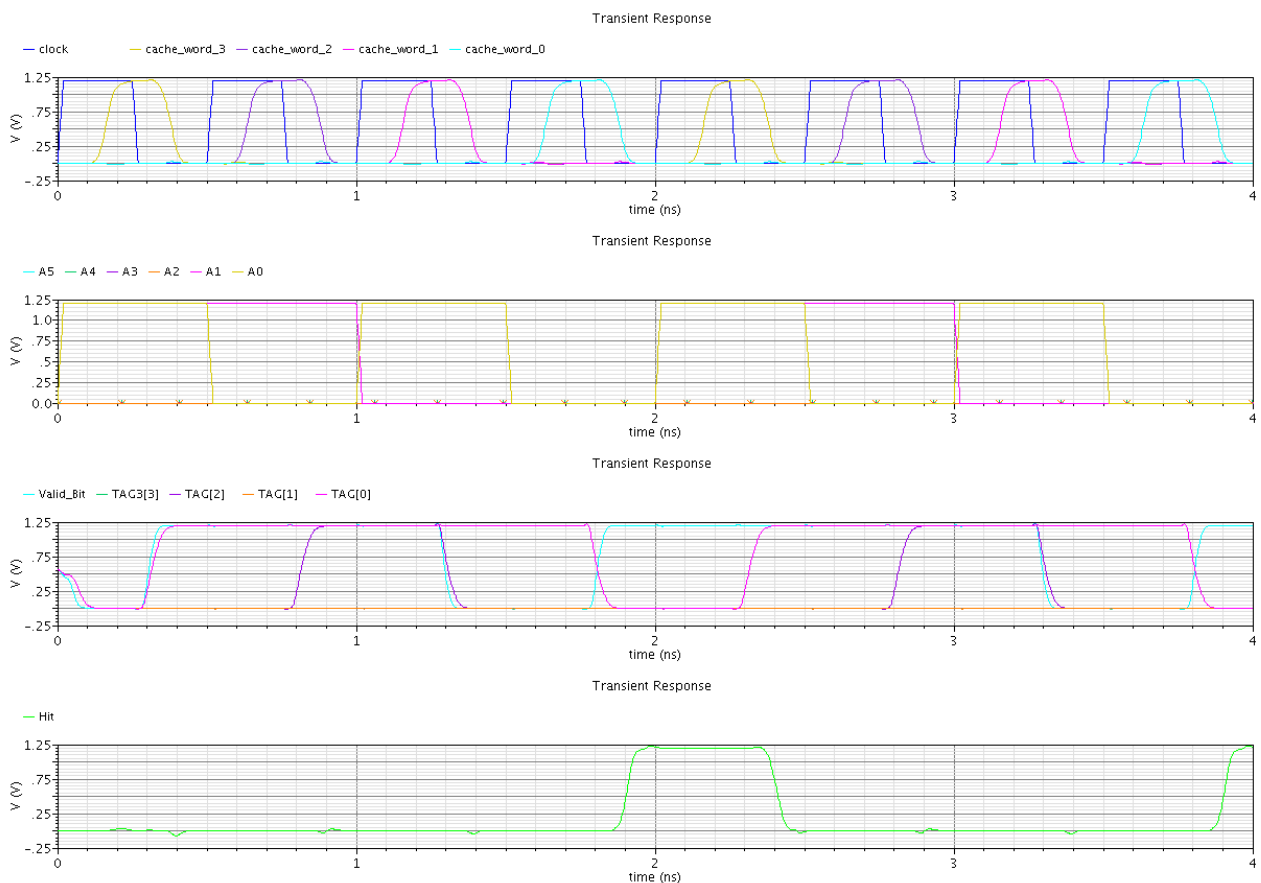
Εικόνα 5.1 Σχηματικό διάγραμμα του μοντέλου της διορθωτικής τεχνικής που αποτελείται από την μεγάλη μνήμη υπό διόρθωση και την μικρή διορθωτική

5.2 ΑΠΟΤΕΛΕΣΜΑΤΑ

Στην Εικόνα 5.2 φαίνεται ο τρόπος με τον οποίο γίνεται η σύγκριση της διεύθυνσης με τις ετικέτες της μικρής μνήμης τύπου cache. Στο πρώτο διάγραμμα της εικόνας φαίνεται ο παλμός του ρολογιού και πιο word line της διορθωτικής μνήμης ενεργοποιείται σε κάθε παλμό. Η συχνότητα λειτουργίας του συστήματος είναι τα 2 GHz. Στο δεύτερο διάγραμμα

φαίνονται οι παλμοί της διεύθυνσης εισόδου. Η προσομοίωση αυτή διαρκεί 4ns και περιλαμβάνει οκτώ διαδοχικές αναγνώσεις. Στο τρίτο διάγραμμα παρουσιάζονται τα δεδομένα της ετικέτας της διορθωτικής μνήμης και το σήμα ελέγχου του Valid Bit. Στο τελευταίο διάγραμμα φαίνεται το σήμα Hit, δηλαδή το σήμα που υποδεικνύει ότι πρόκειται να προσπελαστεί λέξη που περιέχει σφάλμα.

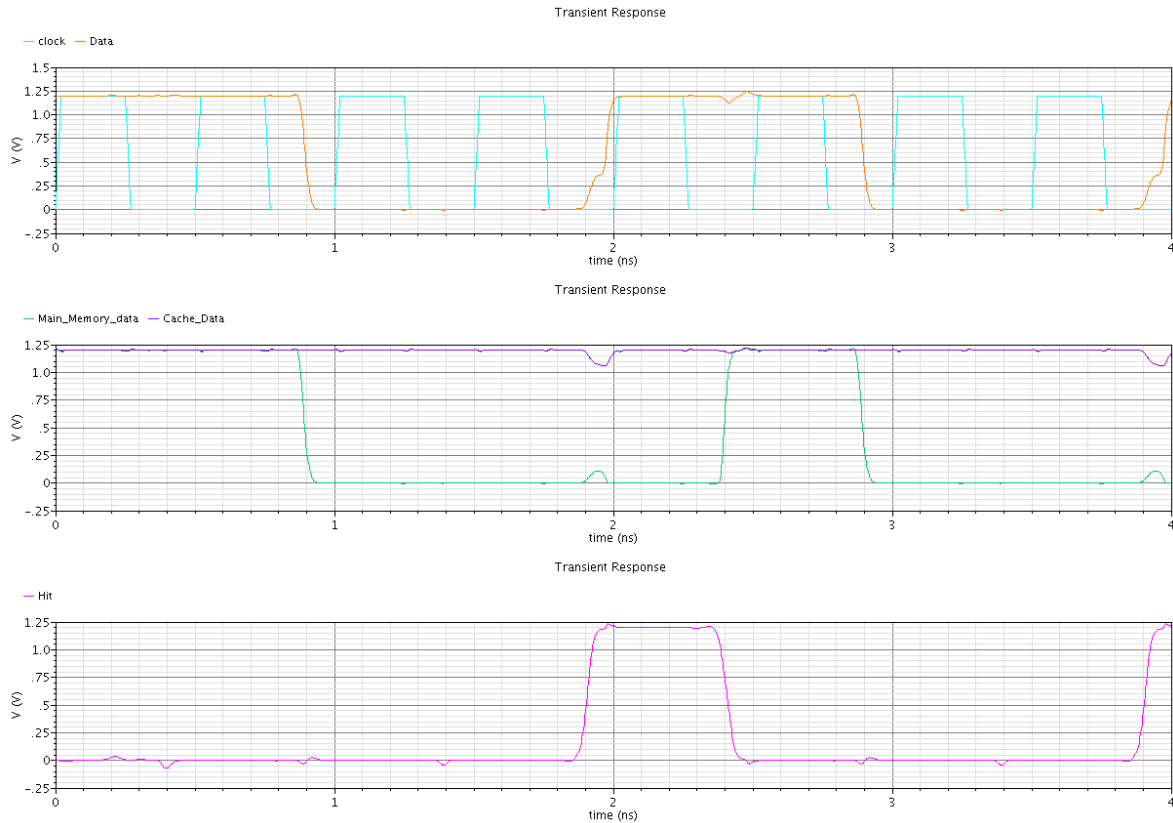
Αν παρατηρήσουμε προσεκτικά τα διαγράμματα θα δούμε ότι κατά την τέταρτη περίοδο (1,5 – 2ns) η διεύθυνση εισόδου είναι η '000000' και τα δεδομένα τις ετικέτας είναι '0000'. Επίσης το σήμα ελέγχου του Valid Bit είναι '1'. Αυτό γίνεται αμέσως αντιληπτό από το κύκλωμα σύγκρισης το οποίο οδηγεί το σήμα Hit από το '0' στο '1'. Όλη η διαδικασία προλαβαίνει να ολοκληρωθεί πριν τελειώσει η συγκεκριμένη περίοδος. Στην επόμενη περίοδο όπου η διεύθυνση εισόδου και η ετικέτα είναι διαφορετικές το σήμα Hit μεταβαίνει σωστά από το '1' στο '0'.



Εικόνα 5.2 Σύγκριση της διεύθυνσης με την ετικέτα της μικρής Cache και έλεγχος του Valid Bit

Στην Εικόνα 5.3 φαίνεται ο τρόπος με τον οποίο γίνεται η επιλογή των δεδομένων στην τελική έξοδο, είτε από την βασική μνήμη είτε από την διορθωτική, ανάλογα με το αποτέλεσμα της σύγκρισης. Στο πρώτο διάγραμμα φαίνονται οι παλμοί του ρολογιού και τα τελικά έγκυρα δεδομένα, στο δεύτερο φαίνονται τα δεδομένα της βασικής μνήμης και της διορθωτικής και στο τελευταίο φαίνεται το σήμα Hit. Παρατηρούμε ότι όσο το σήμα Hit

βρίσκεται στο '0' τα τελικά δεδομένα ακολουθούν τα δεδομένα της βασικής μνήμης. Όταν το σήμα Hit γίνει '1' τότε αυτό ρυθμίζει τους κατάλληλους πολυπλέκτες να οδηγήσουν στην τελική έξοδο τα δεδομένα από την διορθωτική μνήμη. Λόγω έλλειψης χώρου δεν παρουσιάζεται ολόκληρο το διάγραμμα της εξόδου των 32 bit, αλλά επιλέχθηκε τυχαία ένα bit.



Εικόνα 5.3 Επιλογή των δεδομένων από την διορθωτική μνήμη όταν εντοπιστεί σφάλμα στην βασική μνήμη

Στον Πίνακα 5.1 φαίνονται οι μετρήσεις της μέσης κατανάλωσης ισχύος της μνήμης κατά την λειτουργία της ανάγνωσης με διόρθωση και χωρίς διόρθωση. Παρατηρούμε ότι η επιβάρυνση σε κατανάλωση της διορθωτικής τεχνικής είναι 2,1mW. Δηλαδή η κατανάλωση της μνήμης αυξάνεται κατά 30%. Το ποσοστό αυτό είναι αρκετά μεγάλο διότι στην περίπτωση μας η βασική μνήμη έχει συγκρίσιμο μέγεθος με την διορθωτική.

| | Χωρίς διόρθωση | Με διόρθωση |
|-----------------------------|----------------|-------------|
| Μέση κατανάλωση ισχύος (mW) | 6,95 | 9,05 |

Πίνακας 5.1 Μέση κατανάλωση χωρίς διόρθωση και με διόρθωση στην λειτουργία ανάγνωσης σε τυπικές συνθήκες σε συχνότητα λειτουργίας 2GHz

5.3 ΒΕΛΤΙΩΜΕΝΟ ΜΟΝΤΕΛΟ ΓΙΑ ΜΕΙΩΣΗ ΤΗΣ ΚΑΤΑΝΑΛΩΣΗΣ

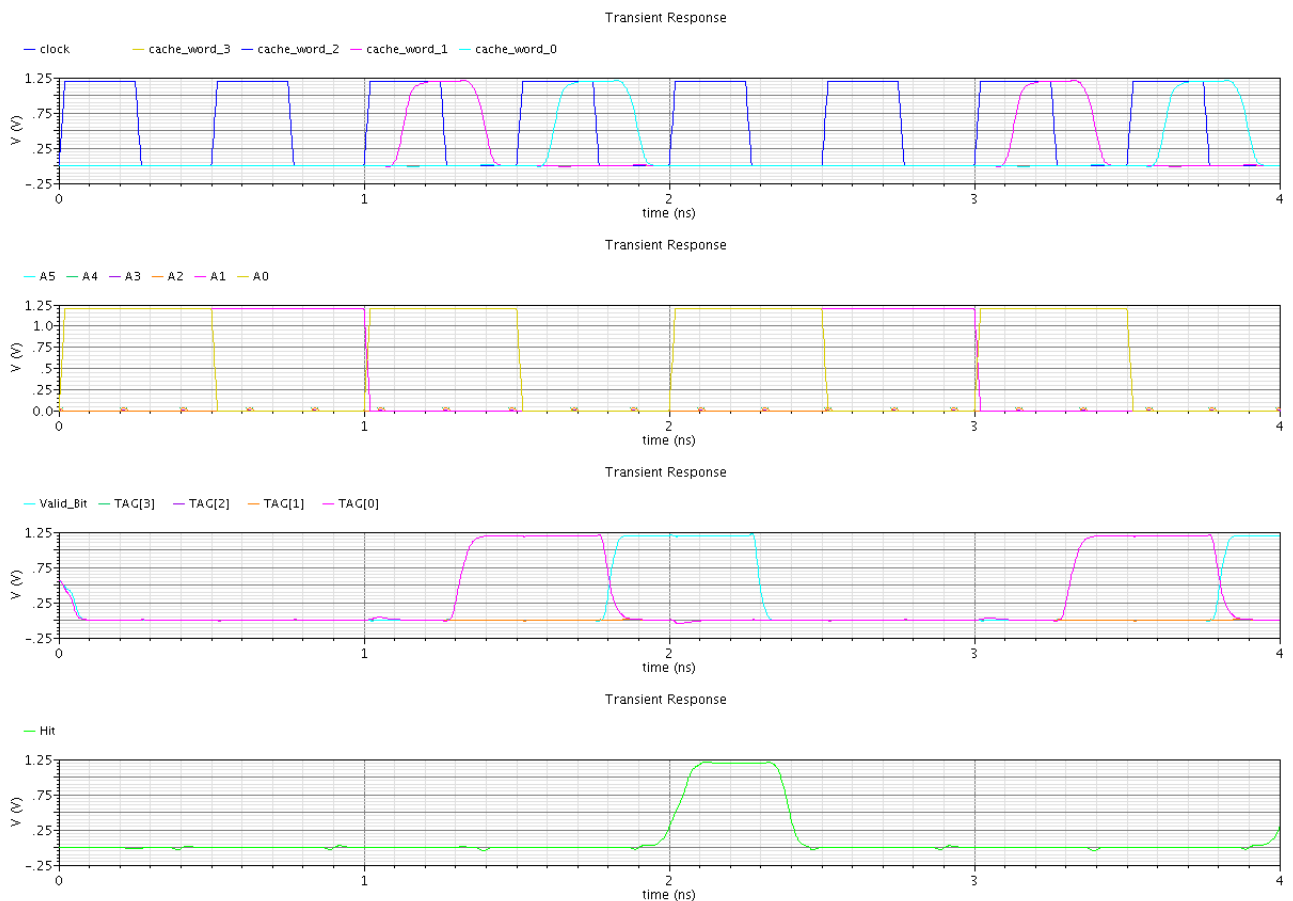
Η επιβάρυνση σε κατανάλωση που προσθέτει η διορθωτική τεχνική μπορεί να μειωθεί αν παρατηρήσουμε ότι η διορθωτική μνήμη δεν χρειάζεται να λειτουργεί συνεχώς. Τα σφάλματα που έχει μια μνήμη είναι πολύ λίγα σε σχέση με τον αριθμό των διευθύνσεων. Άρα η λειτουργία της διορθωτικής μνήμης σε κάθε προσπέλαση είναι μια σπατάλη ενέργειας.

Γνωρίζοντας τις διευθύνσεις όπου η κύρια μνήμη παρουσιάζει σφάλματα, μπορούμε να βρούμε ένα σύνολο από διευθύνσεις οι οποίες έχουν κάποια bits ίδια και δεν περιέχουν σφάλματα. Για να μειωθεί η κατανάλωση, όταν πρόκειται να προσπελαστεί κάποια από αυτές τις διευθύνσεις τα κυκλώματα που αφορούν την διόρθωση μπαίνουν αυτόματα σε μια κατάσταση αναμονής. Αυτό περιλαμβάνει τις ακόλουθες ενέργειες:

- Αποκοπή της τάσης τροφοδοσίας σε όλα τα κυκλώματα της διορθωτικής μνήμης, εκτός από τον πίνακα των κυττάρων.
- Μείωση της τάσης τροφοδοσίας των κυττάρων από 1,2 σε 0,8 V.
- Αποκοπή της τάσης τροφοδοσίας στο κύκλωμα της σύγκρισης.

Στις προσομοιώσεις που έγιναν στην προηγούμενη ενότητα μπορούμε να παρατηρήσουμε ότι από τις διευθύνσεις που προσπελάστηκαν, οι οποίες ήταν οι '000000', '000001', '000010' και '000011', υπάρχει σφάλμα μόνο στην '000000'. Άρα μπορούμε να πούμε με σιγουριά ότι όταν το δεύτερο λιγότερο σημαντικό bit είναι '1' τότε σίγουρα δεν υπάρχει σφάλμα και μπορούν τα κυκλώματα της διόρθωσης να μπουν σε κατάσταση αναμονής.

Στην Εικόνα 5.4 παρουσιάζεται η ίδια προσομοίωση που παρουσιάστηκε και στην προηγούμενη ενότητα (Εικόνα 5.2), μόνο που εδώ έχουν εφαρμοστεί οι τεχνικές για να μειωθεί η κατανάλωση. Από το πρώτο και το τρίτο διάγραμμα φαίνεται ότι η διορθωτική μνήμη λειτουργεί στις μισές προσπελάσεις. Όμως το σήμα Hit παραμένει το ίδιο καθ' όλη τη διάρκεια της προσομοίωσης.

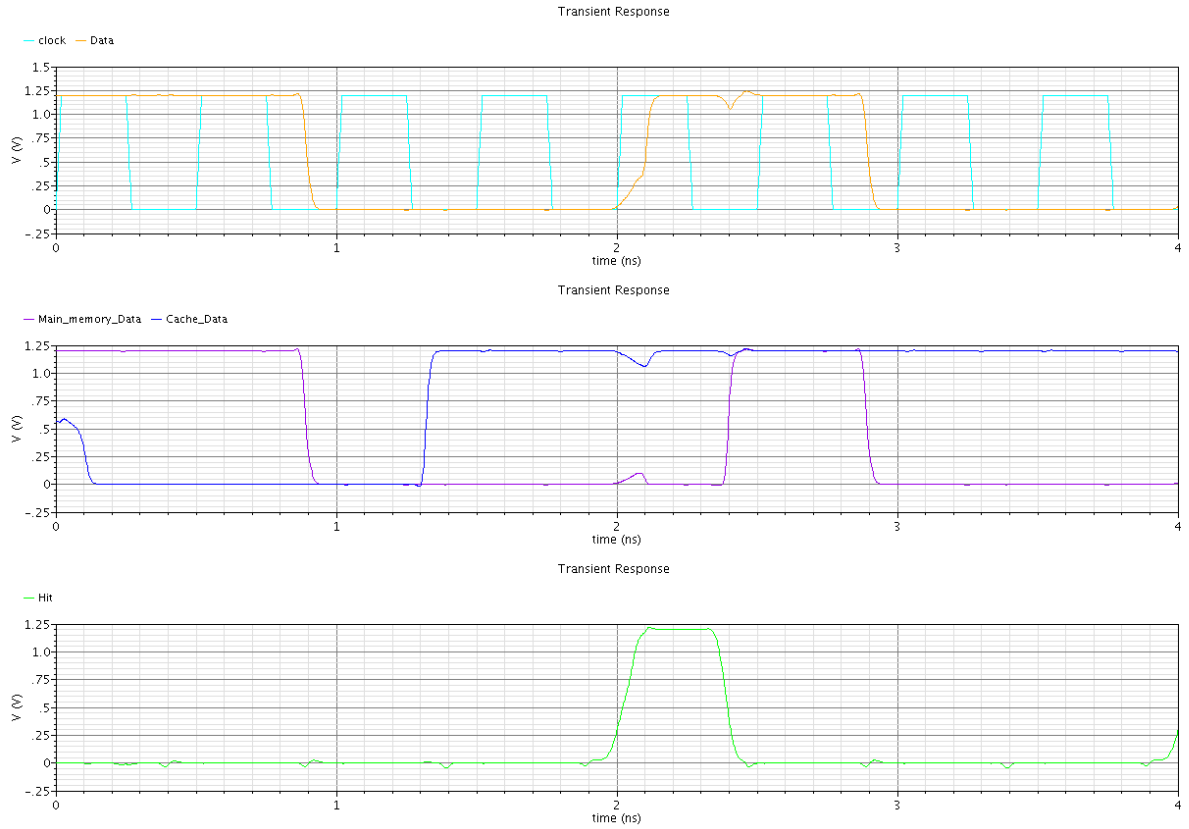


Εικόνα 5.4 Σύγκριση της διεύθυνσης με την ετικέτα της μικρής Cache και έλεγχος του Valid Bit μόνο όταν είναι απαραίτητο έτσι ώστε να μειωθεί η κατανάλωση ισχύος.

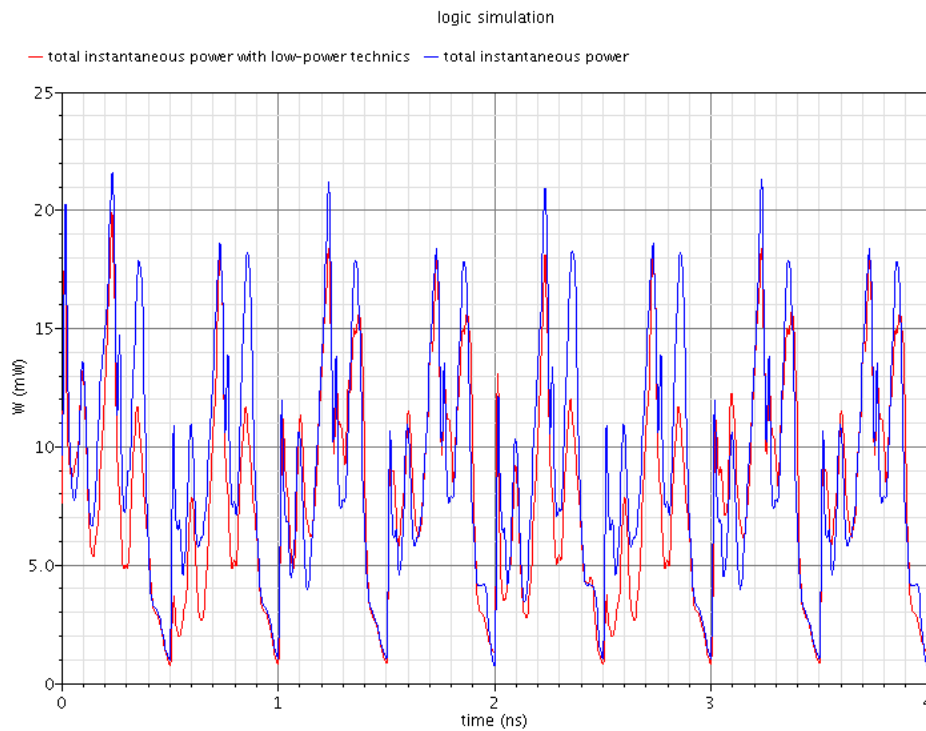
Στην Εικόνα 5.5 φαίνεται ο τρόπος με τον οποίο γίνεται η επιλογή των δεδομένων στην τελική έξοδο, όπως και στην προσομοίωση της προηγούμενης ενότητας στην Εικόνα 5.2. Παρατηρούμε ότι η απόκριση των δεδομένων στην έξοδο δεν επηρεάζεται από την εφαρμογή των τεχνικών για την μείωση της κατανάλωσης.

Στην Εικόνα 5.6 παρουσιάζεται η στιγμιαία συνολική κατανάλωση ισχύος με και χωρίς την εφαρμογή των τεχνικών για μείωση της κατανάλωσης. Παρατηρούμε ότι στα διαστήματα 0 έως 1ns και 2 έως 3ns η κόκκινη γραμμή (προσομοίωση με χρήση των τεχνικών για μείωση της κατανάλωσης) κυμαίνεται γενικά σε χαμηλότερα επίπεδα ισχύος και η κορυφές που εμφανίζει είναι αρκετά μικρότερες.

Στον Πίνακα 5.2 φαίνεται η βελτίωση στην κατανάλωση ισχύος που επιτεύχθηκε. Από 2,1mW που ήταν η επιβάρυνση της διορθωτικής τεχνικής έπεσε στα 1,1mW αυξάνοντας τώρα την κατανάλωση της μνήμης κατά 15%, ενώ πριν την αύξανε κατά 30%. Το ποσοστό επιβάρυνσης μειώθηκε δηλαδή στο μισό.



Εικόνα 5.5 Επιλογή των δεδομένων από την διορθωτική μνήμη όταν εντοπιστεί σφάλμα στην βασική μνήμη. Προσομοίωση κατά την οποία εφαρμόστηκαν οι τεχνικές για την μείωση της κατανάλωσης



Εικόνα 5.6 Στιγμαία συνολική κατανάλωση ισχύος με και χωρίς την εφαρμογή των τεχνικών για μείωση της κατανάλωσης

| | Χωρίς διόρθωση | Διόρθωση χωρίς μείωση κατανάλωσης | Διόρθωση με μείωση κατανάλωσης |
|-----------------------------|----------------|-----------------------------------|--------------------------------|
| Μέση κατανάλωση ισχύος (mW) | 6,95 | 9,05 | 8.06 |

Πίνακας 5.2 Επιβάρυνση της διορθωτικής τεχνικής σε κατανάλωση στην περίπτωση που εφαρμόζονται ή όχι οι τεχνικές για μείωση της κατανάλωσης

Στο σημείο αυτό θα πρέπει να επισημάνουμε ότι στην τελευταία περίπτωση η κατανάλωση εξαρτάται από το ποιες διευθύνσεις θα προσπελαστούν και από το πόσο συχνά θα πρέπει να λειτουργεί η διορθωτική μνήμη. Σκοπός των παραπάνω προσομοιώσεων δεν ήταν να εξαχθούν απόλυτα νούμερα αλλά να δειχθεί ότι μπορεί να επιτευχθεί σημαντική μείωση της κατανάλωσης με τις τεχνικές που αναφέρθηκαν χωρίς να επηρεαστεί η λειτουργία της διόρθωσης.

6 *ΕΠΙΛΟΓΟΣ*

Με το κεφάλαιο αυτό ολοκληρώνεται η παρούσα διπλωματική εργασία. Στην Ενότητα 6.1 γίνεται μια σύνοψη της εργασίας και παρουσιάζονται κάποια βασικά συμπεράσματα. Στην Ενότητα 6.2 περιγράφονται ορισμένες ενέργειες που θα μπορούσαν μελλοντικά να επεκτείνουν την εργασία αυτή.

6.1 ΣΥΝΟΨΗ ΚΑΙ ΣΥΜΠΕΡΑΣΜΑΤΑ

Σκοπός της εργασίας ήταν η μελέτη, σχεδίαση και προσομοίωση μιας μικρής, σε μέγεθος, μνήμης τύπου cache, κατάλληλη να χρησιμοποιηθεί στην τεχνική διόρθωσης μνήμης του MicroLab. Πρωταρχικός στόχος ήταν να ερευνηθούν τα όρια λειτουργίας της τεχνικής, δηλαδή μέχρι ποια συχνότητα λειτουργίας μπορεί αυτή να είναι εφαρμόσιμη. Ακόμα, ήταν σκόπιμο να μελετηθεί η επιβάρυνση, σε κατανάλωση και σε επιφάνεια αν εφαρμοστεί η τεχνική στο συνολικό κύκλωμα της μνήμης.

Στα προηγούμενα κεφάλαια αναφέρθηκε ο τρόπος, με τον οποίο σχεδιάστηκε μια μικρή μνήμη τύπου cache και σε ποιά σημεία της σχεδίασης δόθηκε έμφαση, έτσι ώστε η μνήμη αυτή να είναι γρήγορη και αξιόπιστη. Από την μελέτη και την προσομοίωση των τμημάτων της μνήμης προέκυψε ένα μοντέλο, το οποίο υπολογίζει την κατανάλωση ενέργειας μικρών μνημών της ίδιας τοπολογίας, ανάλογα με το μέγεθός τους. Στην συνέχεια, κατασκευάστηκε το φυσικό σχέδιο (layout) της μνήμης, του οποίου η σχεδίαση έγινε σε επίπεδο τρανζίστορ (full custom design). Από της προσομοιώσεις, που παρουσιάστηκαν φάνηκε ότι αυτή η μνήμη μπορεί να λειτουργήσει στην συχνότητα των 2GHz, ακόμα και στις δυσμενέστερες συνθήκες.

Στην συνέχεια, υλοποιήθηκε και προσομοιώθηκε ένα σύστημα διόρθωσης μνήμης. Το σύστημα αυτό, λειτούργησε στην συχνότητα των 2GHz αποδεικνύοντας έτσι, ότι η

συγκεκριμένη τεχνική διόρθωσης, όχι μόνο είναι εφικτή, αλλά μπορεί να εφαρμοστεί και για την διόρθωση αρκετά γρήγορων μνημών. Στην συνέχεια, μελετήθηκε η επιβάρυνση σε κατανάλωση, που προσθέτει η εφαρμογή της τεχνικής και προτάθηκαν τεχνικές, έτσι ώστε να διατηρηθεί η κατανάλωση ενέργειας σε χαμηλά επίπεδα.

6.2 ΜΕΛΛΟΝΤΙΚΕΣ ΕΠΕΚΤΑΣΕΙΣ

Τα θετικά αποτελέσματα, που προέκυψαν από την εκτέλεση των πειραμάτων, δίνουν έναυσμα για περαιτέρω εργασίες με σκοπό την περαιτέρω μελέτη και επέκταση τεχνικών για την διόρθωση μνήμης.

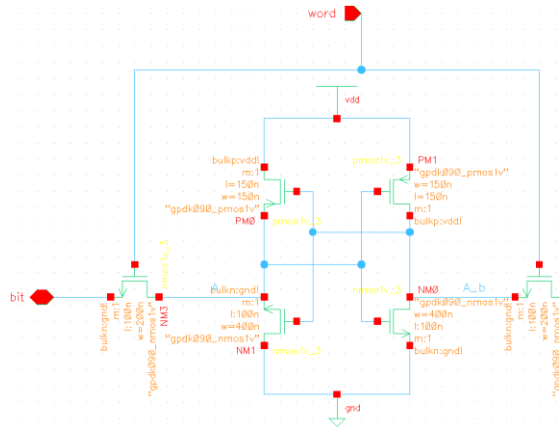
Σε αυτή την εργασία, η σχεδίαση των κυκλωμάτων και των φυσικών σχεδίων ξεκίνησε από μηδενική βάση. Δημιουργήθηκε έτσι, μια βιβλιοθήκη από κυκλώματα και layouts τα οποία είναι συμβατά μεταξύ τους. Η λειτουργία αυτών των κυκλωμάτων έχει επιβεβαιωθεί και η απόδοση και τα χαρακτηριστικά τους έχουν μετρηθεί.

Επίσης θα ήταν πολύ ενδιαφέρον να αναπτυχθούν παρόμοιες βιβλιοθήκες οι οποίες να έχουν διαφορετικές προτεραιότητες σχεδίασης. Για παράδειγμα, θα μπορούσαν να σχεδιαστούν εκ νέου δομικά κυκλώματα μνήμης, τα οποία να στοχεύουν στη μείωση της κατανάλωσης ισχύος ή ακόμα και στην μείωση της κυκλωματικής επιφάνειας.

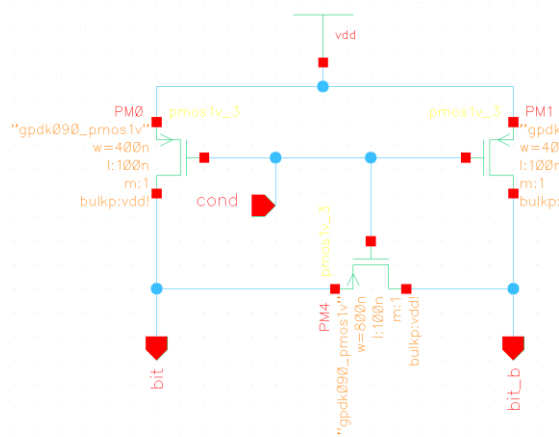
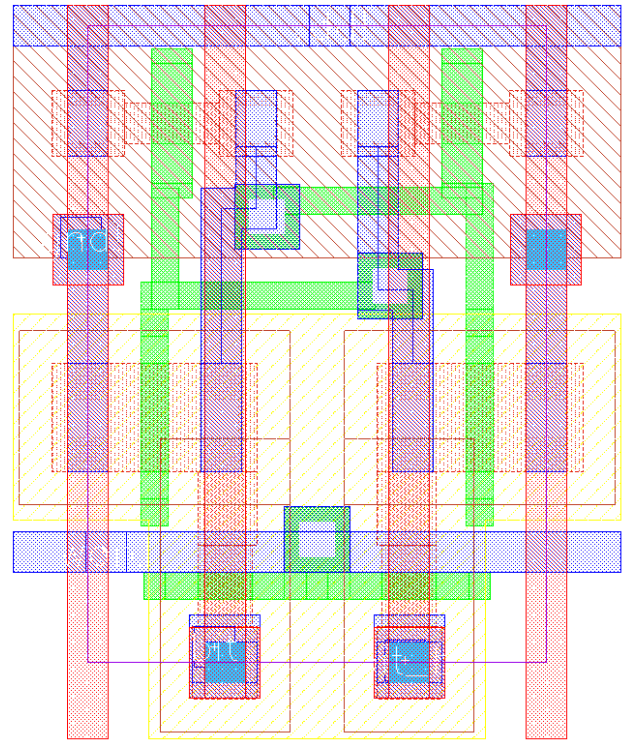
Στη συνέχεια, μπορούν αυτές οι βιβλιοθήκες να χρησιμοποιηθούν ως βάση για την κατασκευή μιας αυτόματης και παραμετροποιήσιμης γεννήτριας μνημών. Αυτή η γεννήτρια, θα δέχεται ως είσοδο τα χαρακτηριστικά μιας μνήμης και θα εξάγει αυτόματα το κύκλωμα, το φυσικό σχέδιο και τις επιδόσεις της. Ένα τέτοιο εργαλείο, θα ήταν πολύ χρήσιμο, για την μελέτη ολοκληρωμένων κυκλωμάτων μνήμης και για το πώς μπορούν να διορθωθούν τα σφάλματα τα οποία παρουσιάζουν.

ΠΑΡΑΡΤΗΜΑ

Σχηματικά διαγράμματα και φυσικά σχέδια των κυκλωμάτων

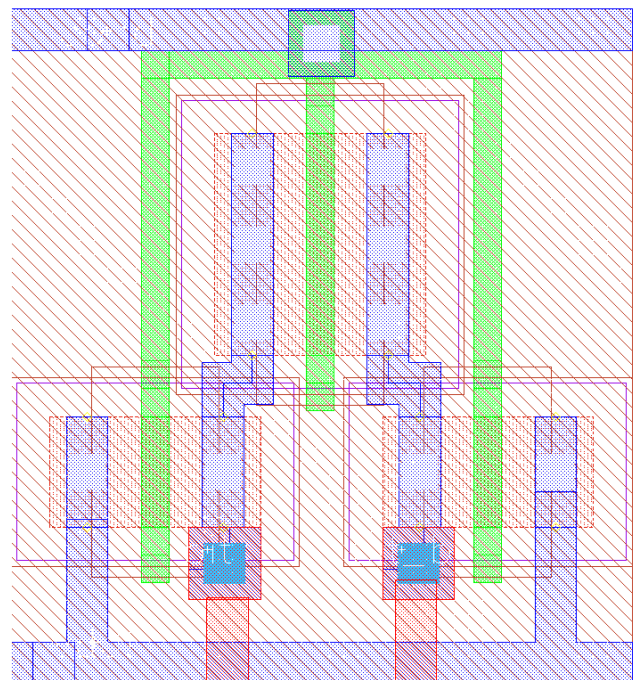


Σχηματικό διάγραμμα κυττάρου μνήμης

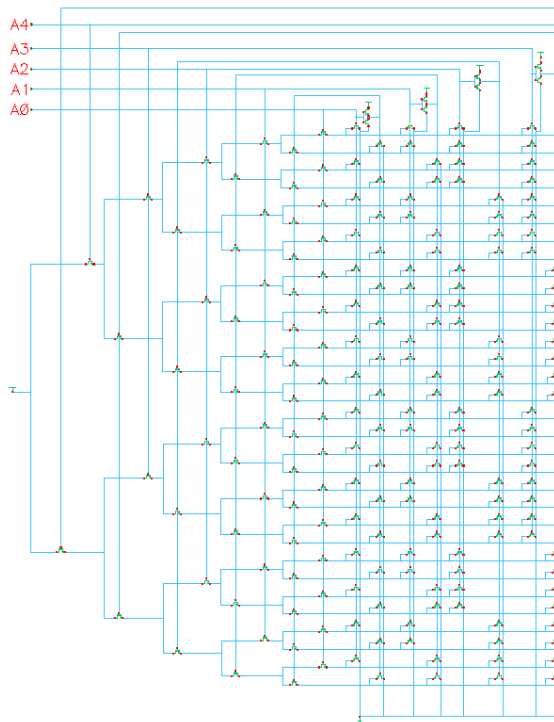


Σχηματικό διάγραμμα κυκλώματος προφόρτισης

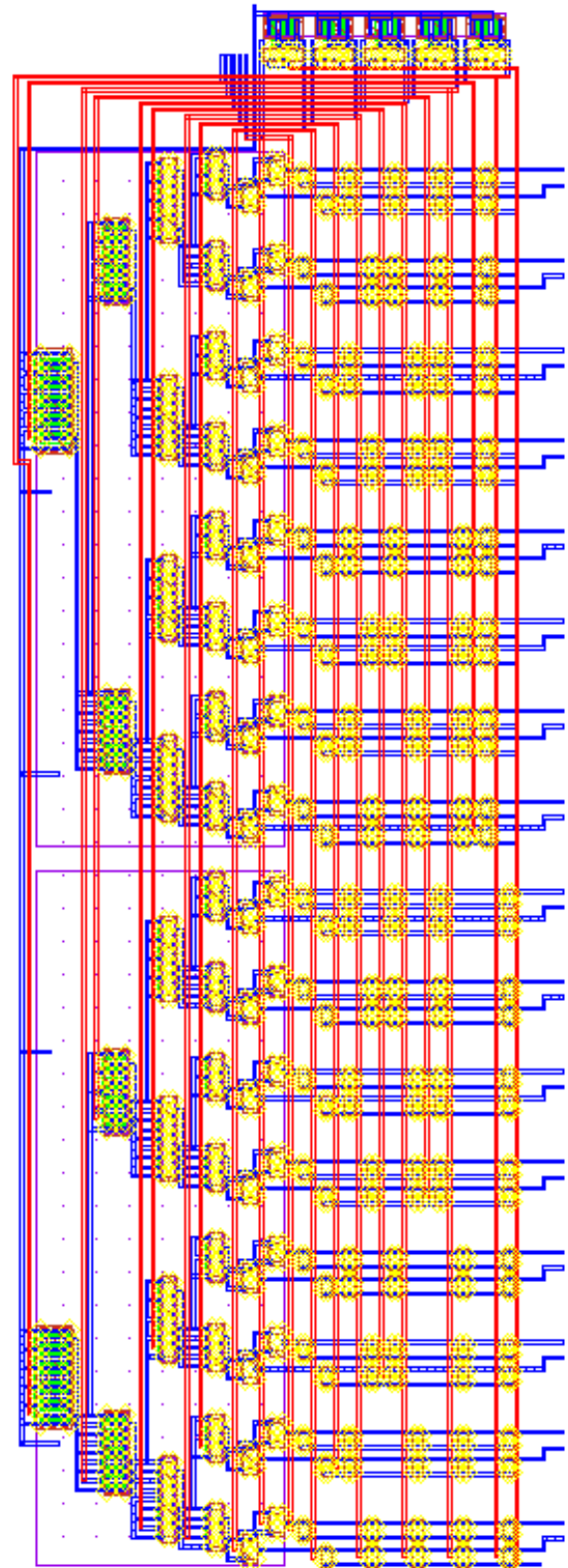
Φυσικό σχέδιο κυττάρου μνήμης



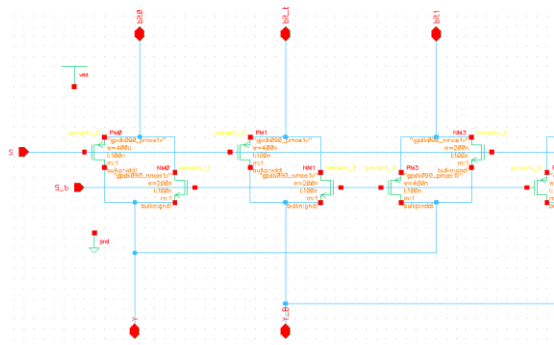
Φυσικό σχέδιο κυκλώματος προφόρτισης



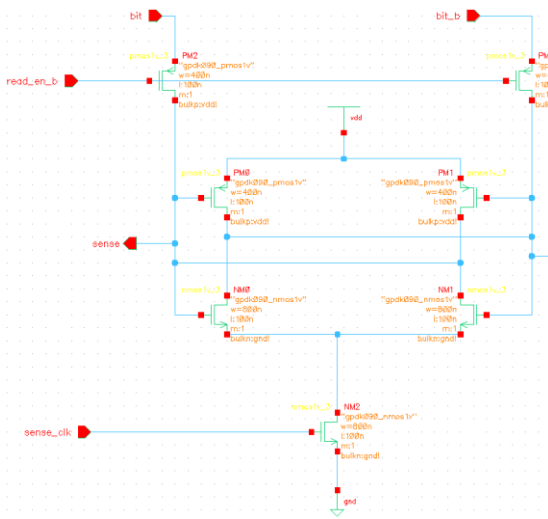
Σχηματικό διάγραμμα αποκωδικοποιητή Lyon – Schediwy 32 εξόδων



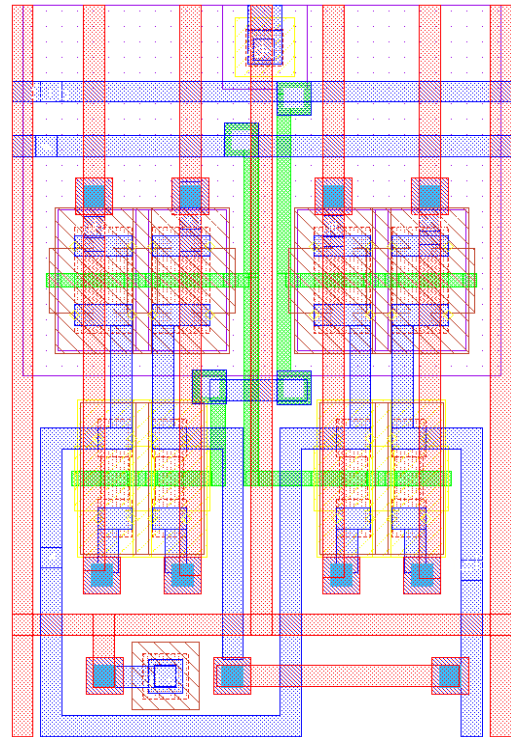
Φυσικό σχέδιο αποκωδικοποιητή Lyon – Schediwy
32 εξόδων



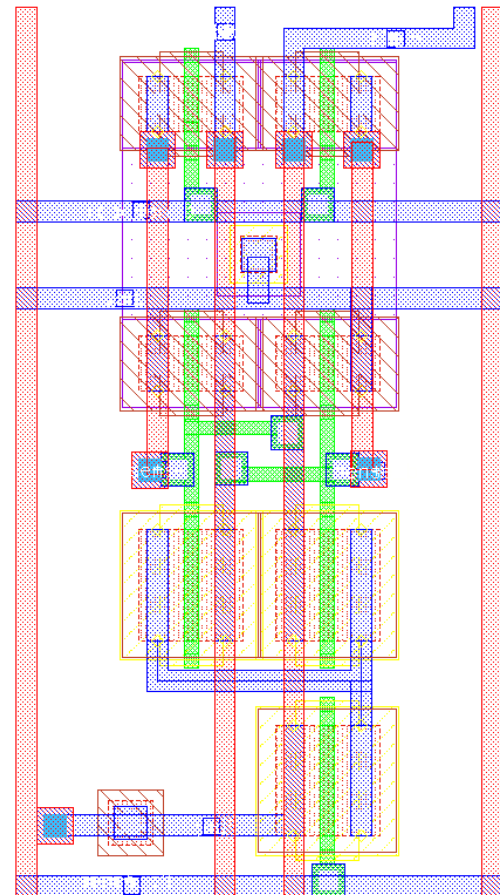
Σχηματικό διάγραμμα πολυπλέκτη στήλης



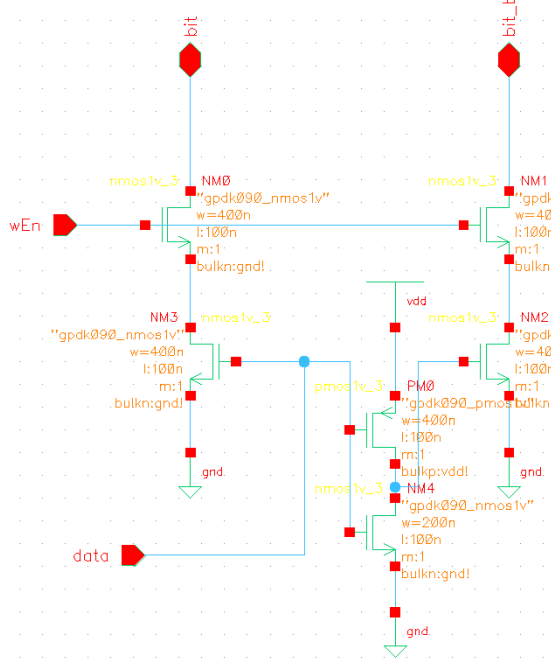
Σχηματικό διάγραμμα πολυπλέκτη στήλης



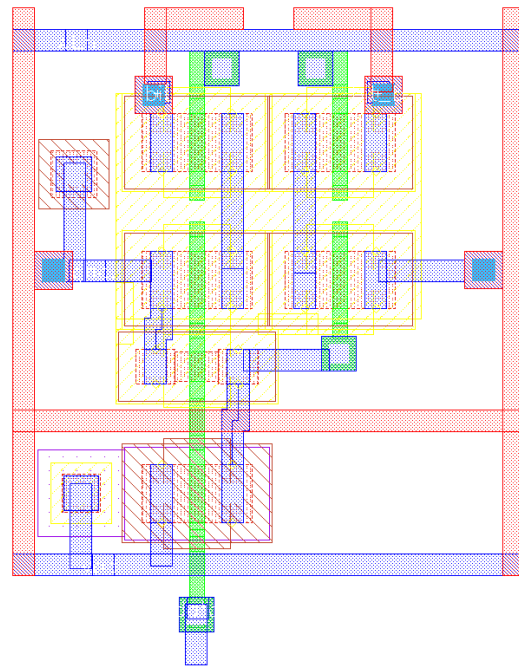
Φυσικό σχέδιο πολυπλέκτη στήλης



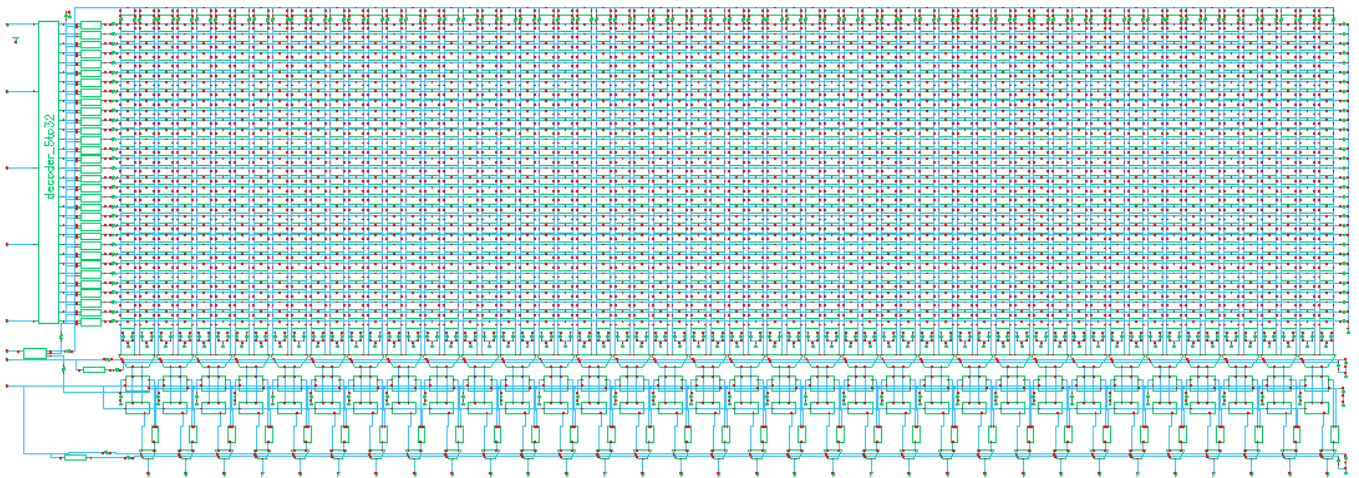
Φυσικό σχέδιο ενισχυτή αίσθησης



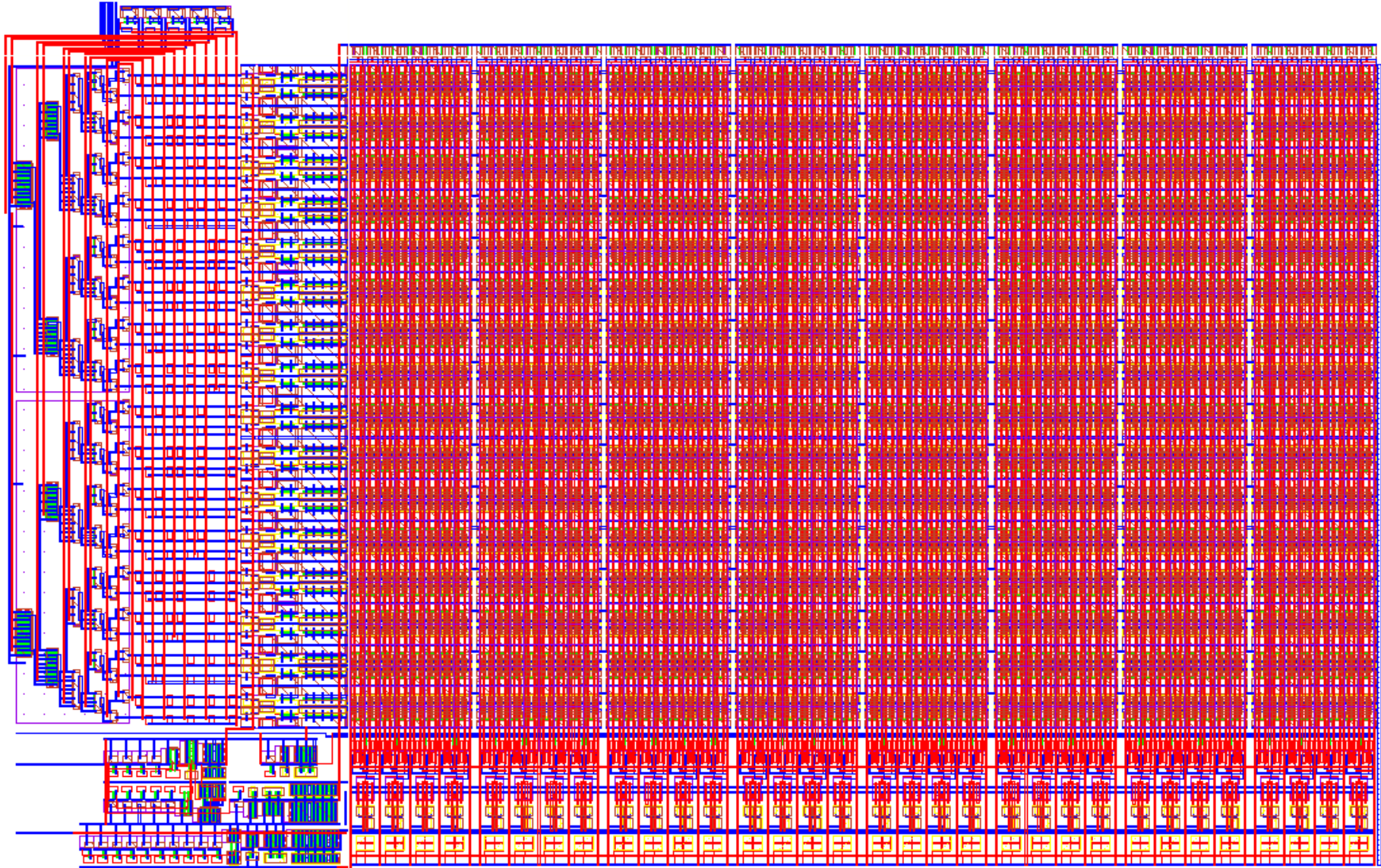
Σχηματικό διάγραμμα οδηγού εγγραφής



Φυσικό σχέδιο οδηγού εγγραφής



Σχηματικό διάγραμμα της μνήμης



Φυσικό σχέδιο της μνήμης

BIBΛΙΟΓΡΑΦΙΑ

1. Marinissen, E.J.; Prince, B.; Kettel-Schulz, D.; Zorian, Y. "Challenges in embedded memory design and test". *Design Automation and Test in Europe, Proceedings*. 2005. pp.722-727.
2. Patti, Robert S. "Three-Dimensional Integrated Circuits and the Future of System-on-Chip Designs". *Proceedings, IEEE*. 2006. Τόμ. 94, 6. pp. 1214-1224.
3. Schuster, S.E. "Multiple word/bit line redundancy for semiconductor memories". *Solid-State Circuits, Journal, IEEE*. 1978. Τόμ. 13, 5. pp.698-703.
4. Zorian, Y.; Shoukourian, S. "Embedded-memory test and repair: infrastructure IP for SoC yield". *IEE Design & Test of Computers, IEEE*. 2003. Τόμ. 20, 2. pp.58-66.
5. Ilyoung, Kim; Zorian, Y.; Komoriya, G.; Pham, H.; Higgins, F.P.; Lewandowski, J.L. "Built in self repair for embedded high density SRAM". *Int. Test Conference, Proceedings*. 1998. pp.1112-1119.
6. Pekmestzi, Kiamal; Axelos, Nicholas; Sideris, Isidoros; Moshopoulos, Nicolaos. "A BISR Architecture for Embedded Memories". *14th IEEE International On-Line Testing Symposium*. 2008. pp.149-154.
7. Haraszti, Tegze P.;. "*CMOS MEMORY CIRCUITS*". s.l. : KLUWER ACADEMIC PUBLISHERS, 2000. ISBN 0-7923-7950-0.
8. Hamdioui, S.; Gaydadjiev, G.; van de Goor, A.J. "The State-of-art and Future Trends in Testing Embrdded Memories". *Int. Workshop on Memory Technology Design and Testing, Records*. 2004. pp.54-59.
9. Weste, Neil H. E.; Harris, David. "*CMOS VLSI Design A Circuits and Systems Perspective*". s.l. : Pearson Education, 2005. ISBN 0-321-26977-2.
10. List, F. J. "The static noise margin of SRAM cells". *Dig. Tech. Papers*. Delft, The Netherlands : ESSCIRC, Sept 1986. pp. 16-18.

11. Lohstroh, J.; Seevinck, E.; de Groot, J. "Worst - case static noise margin criteria for logic circuits and their mathematical equivalence". *IEEE Journal of Solid - State Circuits*. Dec. 1983. Τόμ. 18, no. 6. pp. 803-807.
12. Seevinck, Evert; List, Frans; Lohstroh, Jan. "Static - Noise Analysis of MOS SRAM Cells". *IEEE Journal of Solid-State Circuits*. Oct. 1987. Τόμ. 22, 5. pp.748-754.
13. Sil, A.; Ghosh, S.; Gogineni, N.; Bayoumi, M. "A novel high write speed, low power, read-SNM-free 6T SRAM cell". *Midwest Symposium on Circuits and Systems*. 2008. Τόμ. 10, 13. pp.771-774.
14. Kang, Dae Woon; Kim, Yong-Bin. "A Deep Sub-Micron SRAM Cell Design and Analysis Methodology". *Midwest Symposium on Circuits and Systems, Proceedings*. s.l. : IEEE, 2001. Τόμ. 2. pp.858-861.
15. Pavlov, Andrei; Sachede, Manoj. "*CMOS SRAM Circuit Design and Parametric Test in Nano-Scaled Technologies*". s.l. : Springer, 2008. ISBN 978-1-4020-8362-4.
16. Sutherland, I.; Sproull, B.; Harris, D. "*Logical Effort: Designing Fast CMOS Circuits*". s.l. : Morgan Kaufmann, 1999. ISBN 1-55860-557-6.
17. Lyon, R.; Schediwy, R. "CMOS static memory with a new four-transistor memory cell". *Proc. Advanced research in VLSI*. March 1987. pp. 111-132.
18. Margala, Martin. "Low-Power SRAM Circuit Design". *Int. Workshop on Memory Technology*. s.l. : IEEE, 1999. pp. 115-122.
19. Menendez, E.R.; Maduiké, D.K.; R., Grag; Khatri, S.P. "CMOS Compatators for High-Speed and Low-Power Applications". *Int. Conference on Computer Design*. s.l. : IEEE, Oct. 2007. Τόμ. 1, 4. pp. 76-81.
20. Thoziyoor, Shyamkumar; Muralimanohar Naveen; Ahn, Jung Ho; Jouppi, Norman P. "HP CACTI". <http://www.hpl.hp.com/research/cacti/>. [Ηλεκτρονικό] HP Laboratories, Palo Alto, Apr. 2008.
21. "Cadence Design Systems". www.cadence.com. [Ηλεκτρονικό]
22. "Specification for 90nm Generic Process Design Kit". http://bwrc.eecs.berkeley.edu/Classes/IcDesign/ee141_s08/Cadence_docs/docs/gpdk090_spec.pdf. [Ηλεκτρονικό] Cadence, 2007.