



Εθνικό Μετσόβιο Πολυτεχνείο
Σχολή Ηλεκτρολόγων Μηχανικών & Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής & Συστημάτων Πληροφορικής

**Σχεδίαση ενός Ultra-Low Power CMOS Chopper
Capacitively Coupled Instrumentation Amplifier
για Βιοϊατρικές Εφαρμογές**

Διπλωματική Εργασία
Γεώργιος Στέφανος Ποκαμισάς

Επιβλέπων Καθηγητής
Πάυλος-Πέτρος Σωτηριάδης
Αναπληρωτής Καθηγητής Ε.Μ.Π.

Εργαστήριο Ηλεκτρονικής
Αθήνα, Φεβρουάριος 2019



Εθνικό Μετσόβιο Πολυτεχνείο
Σχολή Ηλεκτρολόγων Μηχανικών & Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής & Συστημάτων Πληροφορικής

Σχεδίαση ενός Ultra-Low Power CMOS Chopper Capacitively Coupled Instrumentation Amplifier για Βιοϊατρικές Εφαρμογές

Διπλωματική Εργασία
Γεώργιος Στέφανος Ποκαμισάς

Επιβλέπων Καθηγητής
Πάυλος-Πέτρος Σωτηριάδης
Αναπληρωτής Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 21^η Φεβρουαρίου 2019

.....
Πάυλος-Πέτρος Σωτηριάδης Ματσόπουλος Γεώργιος Παναγόπουλος Αθανάσιος
Αναπληρωτής Καθηγητής Ε.Μ.Π. Καθηγητής Ε.Μ.Π. Αναπληρωτής Καθηγητής Ε.Μ.Π.

Εργαστήριο Ηλεκτρονικής
Αθήνα, Φεβρουάριος 2019

.....

Γεώργιος Στέφανος Ποκαμισάς

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Γεώργιος Στέφανος Ποκαμισάς, 2019

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς το συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν το συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Στην παρούσα εργασία γίνεται ανάλυση και σχεδίαση ενός CMOS Capacitively Coupled Instrumentation Amplifier (CCIA) μέσω του Custom IC Design Tool της Cadence® στην τεχνολογία 0.18 μm της TSMC. Ο ενισχυτής παρουσιάζει κέρδος 40 dB για συχνότητες μέχρι 100 Hz με πάρα πολύ χαμηλή κατανάλωση ισχύος, έτσι ώστε να είναι κατάλληλος για φορητές συσκευές παρακολούθησης της υγείας ασθενών. Ο περιορισμός της κατανάλωσης επιτυγχάνεται πολώνοντας τα MOSFETs του κυκλώματος σε subthreshold περιοχή. Η τεχνική της Σταθεροποίησης Chopper εισάγεται για την εξάλειψη του θορύβου χαμηλών συχνοτήτων.

Λέξεις-Κλειδιά

ενίσχυση βιολογικών σημάτων, πολύ χαμηλή κατανάλωση ισχύος, subthreshold, σταθεροποίηση chopper, θόρυβος $1/f$

Abstract

This work presents the analysis and design of a CMOS Capacitively Coupled Instrumentation Amplifier (CCIA) by means of the Cadence[®] Custom IC Design Tool in TSMC 0.18 μm process. The amplifier has a gain of 40 dB for frequencies up to 100 Hz with ultra-low power consumption, in order to be suitable for portable health monitoring devices. The reduction of power consumption is achieved by biasing the MOSFETs of the circuit in subthreshold region. The Chopper Stabilization technique is introduced, to eliminate the noise in lower frequencies.

Keywords

bio-signal amplification, ultra-low power, subthreshold, chopper stabilization, $1/f$ noise

Ευχαριστίες

Σε αυτό το σημείο θέλω να ευχαριστήσω όσους με τη βοήθειά τους έπαιξαν ένα σημαντικό ρόλο στην ολοκλήρωση αυτής της διαδρομής. Πρώτα την οικογένειά μου για τη στήριξη, την υπομονή και τις θυσίες τους. Ακόμα, εκείνους τους καθηγητές και βοηθούς που κόπιασαν για να μεταδώσουν γνώσεις και έμπνευση. Τέλος θέλω να ευχαριστήσω τη Σοφία που στάθηκε δίπλα μου σε όλες τις στιγμές άγχους και αμφιβολίας.

Περιεχόμενα

1	Εισαγωγή	17
2	Συμπεριφορά MOSFET σε Subthreshold Περιοχή	19
2.1	Βασικές Έννοιες και Ορισμοί	19
2.2	DC Λειτουργία	21
2.3	Συντελεστής Αναστροφής και Περιοχές Λειτουργίας	22
2.4	Μοντέλο Ασθενών Σημάτων	23
2.5	Θόρυβος	25
2.5.1	Θόρυβος βολής (shot noise)	26
2.5.2	Flicker ή 1/f Θόρυβος	27
3	Σταθεροποίηση Chopper	29
3.1	Αρχή Λειτουργίας	29
3.2	Παραμένον Offset	31
3.3	Υλοποίηση των Διαμορφωτών Chopper	31
4	Αρχιτεκτονική του CCIA	35
4.1	Συνολική αρχιτεκτονική του κυκλώματος	35
4.2	Chopper Blocks	38
4.2.1	Διαμορφωτής Chopper	39
4.2.2	Γεννήτρια μη-αλληλοκαλυπτόμενων ρολογιών	39
4.3	Τελεστικός Ενισχυτής	40
4.3.1	Τοπολογία του ενισχυτή	41
4.3.2	Ανάλυση ασθενών σημάτων	41
4.3.3	Ανάλυση υψηλών συχνοτήτων	44
4.3.4	Slew Rate	44
4.4	Common Mode Feedback – CMFB	45
4.5	Κύκλωμα Πόλωσης	46
5	Θεωρητική Υλοποίηση	49
5.1	Διαστάσεις Στοιχείων	49
5.2	Αποτελέσματα Προσομοιώσεων	51

5.2.1	Συμπεριφορά του Διαμορφωτή Chopper	51
5.2.2	Συμπεριφορά του RFC	53
5.2.3	Προσομοίωση της συνολικής λειτουργίας του κυκλώματος	54
6	Επίλογος	61
6.1	Συμπεράσματα	61
6.2	Προσθήκες και βελτιώσεις	61
	Βιβλιογραφία	63

Κατάλογος Σχημάτων

1.1	Front-end για την ανάκτηση βιολογικών σημάτων.	18
2.1	Η φυσική δομή ενός nMOS.	19
2.2	Η σχέση του λόγου $\frac{I_D}{I_{D,sat}}$ προς την V_{DS} για διάφορες τιμές του συντελεστή ανα- στροφής	23
2.3	Μοντέλο ασθενών σημάτων χαμηλών συχνοτήτων για το nMOS	23
2.4	Απεικόνιση της σχέσης του λόγου διαγωγιμότητας – ρεύματος κορεσμού με το Συντελεστή Αντιστροφής	24
2.5	Μοντέλο ασθενών σημάτων συμπεριλαμβάνοντας και το θόρυβο.	26
2.6	Η αλλοίωση που προκαλεί ο θόρυβος βολής στη μέση τιμή του ρεύματος.	26
2.7	Συνολική PSD θορύβου	28
3.1	Η διαδικασία της διαμόρφωσης Chopper. Τα $m_1(t)$ και $m_2(t)$ αποτελούν τους παλ- μούς διαμόρφωσης. Το σήμα παριστάνεται στο πεδίο της συχνότητας η οποία είναι κανονικοποιημένη ως προς τη συχνότητα του διαμορφωτή, $f_{chop} = 1/T$	30
3.2	Αφαιρετική σχεδίαση του διαμορφωτή chopper με δύο ζεύγη διακοπών που ελέγ- χονται από συμπληρωματικά ρολόγια.	32
3.3	Απλός διακόπτης MOS.	32
3.4	Διακόπτης MOS μαζί με τις παρασιτικές χωρητικότητες C_{gd} και C_{gs}	32
3.5	Διακόπτης MOS συμπεριλαμβάνοντας τα dummy devices για την καταπολέμηση του charge injection.	33
3.6	Πύλη μετάδοσης με πρόσθετα dummy devices.	33
3.7	Το πλήρες κύκλωμα του διαμορφωτή Chopper.	34
4.1	Προκλήσεις στην υλοποίηση ενός Instrumentation Amplifier για τη λήψη του EEG.	36
4.2	Αρχιτεκτονική του CCIA.	36
4.3	Παρασιτική αντίσταση Rmod που εισάγεται λόγω του διαμορφωτή Chopper.	38
4.4	Διαμορφωτής Chopper.	39
4.5	Γεννήτρια μη αλληλοκαλυπτόμενων ρολογιών.	40
4.6	CMOS αντιστροφέας.	41
4.7	CMOS πύλη NAND.	41
4.8	Τοπολογία του τελεστικού ενισχυτή – Recycling Folded Cascode.	42

4.9	Τοπολογία Folded Cascode.	44
4.10	Πόλοι και μηδενικά του RFC.	45
4.11	Κύκλωμα Common-Mode Feedback.	46
4.12	Κύκλωμα Πόλωσης.	47
5.1	Παλμός ρολογιού εισόδου.	51
5.2	Έξοδος φ_1	52
5.3	Έξοδος φ_2	52
5.4	Έλεγχος επικάλυψης ρολογιών. Βλέπουμε πως ανάμεσα στους παλμούς των δύο ρολογιών υπάρχει ένα χρονικό παράθυρο, που εξασφαλίζει ότι το ένα ρολόι έχει πέσει στο 0, πριν ανέβει ο παλμός του άλλου ρολογιού.	52
5.5	Έξοδος του διαμορφωτή chopper με είσοδο DC σήμα.	53
5.6	Φάσμα του DC σήματος.	53
5.7	Φάσμα μετά το chopping.	54
5.8	Διαγράμματα Bode του τελεστικού ενισχυτή σε συνδεσμολογία ανοιχτού βρόχου.	54
5.9	Διαγράμματα Bode του CCIA.	55
5.10	Σήμα εισόδου.	55
5.11	Σήμα μετά τους πυκνωτές εισόδου. Βλέπουμε πως η DC συνιστώσα έχει μηδενιστεί.	55
5.12	Σήμα μετά τον πρώτο chopper.	56
5.13	Σήμα στην έξοδο του τελεστικού ενισχυτή.	56
5.14	Έξοδος χωρίς το φίλτρο.	56
5.15	Έξοδος του βαθυπερατού φίλτρου.	57
5.16	Μορφή της εξόδου του φίλτρου μετά από πολλές περιόδους.	57
5.17	Φάσμα σήματος εισόδου.	57
5.18	Φάσμα σήματος μετά τον πρώτο διαμορφωτή chopper.	58
5.19	Φάσμα στην έξοδο του τελεστικού ενισχυτή.	58
5.20	Φάσμα του σήματος στην έξοδο χωρίς το βαθυπερατό φίλτρο RC.	58
5.21	Φάσμα στην έξοδο του φίλτρου.	59
5.22	Φασματική πυκνότητα ισχύος του θορύβου στην έξοδο.	59
5.23	Αντίσταση εισόδου.	60

Κατάλογος Πινάκων

4.1	Πίνακας αληθείας της πύλης NAND με δύο εισόδους.	39
5.1	Μεγέθη παθητικών στοιχείων του CCIA.	49
5.2	Διαστάσεις στοιχείων για τους αντιστροφείς και τις πύλες NAND.	50
5.3	Διαστάσεις στοιχείων για τους διαμορφωτές Chopper.	50
5.4	Διαστάσεις στοιχείων του RFC.	50
5.5	Διαστάσεις στοιχείων δικτύωματος CMFB	51
5.6	Διαστάσεις στοιχείων κυκλώματος πόλωσης.	51
5.7	Ανάλυση Corners.	60

1

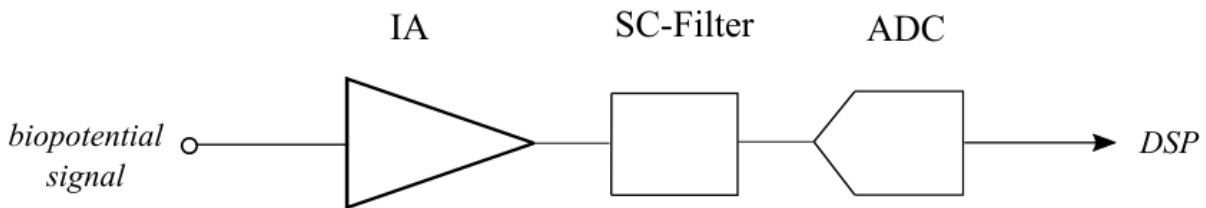
Εισαγωγή

Είναι γεγονός πως στην εποχή που διανύουμε τα ψηφιακά ολοκληρωμένα κυκλώματα (Integrated Circuits – IC) κυριαρχούν στην αγορά των ηλεκτρονικών συστημάτων. Παρ' όλα αυτά, η χρήση αναλογικών IC παραμένει αναγκαία σε μια πληθώρα εφαρμογών. Χαρακτηριστικό παράδειγμα τέτοιων εφαρμογών αποτελούν τα βιοηλεκτρονικά συστήματα, όπου συνυπάρχουν αναλογικά και ψηφιακά κυκλώματα.

Σε αρκετές περιπτώσεις η παρακολούθηση της υγείας του ασθενούς (health monitoring) είναι ζωτικής σημασίας για την έγκαιρη πρόληψη και αντιμετώπιση κρίσεων που μπορούν να βάλουν σε κίνδυνο τη ζωή του. Η επιληπτική κρίση ή η καρδιακή προσβολή αποτελούν τέτοια παραδείγματα. Στην πρώτη περίπτωση η παρακολούθηση γίνεται μέσω ηλεκτροεγκεφαλογραφήματος (Electroencephalography – EEG), ενώ στην δεύτερη περίπτωση η διάγνωση γίνεται μέσω ηλεκτροκαρδιογραφήματος (Electrocardiography – ECG). Είναι επιθυμητό η παρακολούθηση να γίνεται για όσο το δυνατόν μεγάλη χρονική διάρκεια στο καθημερινό περιβάλλον του ασθενούς, έτσι ώστε να λαμβάνονται περισσότερα και πιο αξιόπιστα δεδομένα. Αυτή η ανάγκη ώθησε τους σχεδιαστές στην υλοποίηση φορητών συσκευών, οι οποίες φυσικά θα έχουν περιορισμένο όγκο και βάρος. Το υψηλό επίπεδο ολοκλήρωσης και η τάση για ελαχιστοποίηση των διαστάσεων των τρανζίστορ μειώνουν σημαντικά τις συνολικές διαστάσεις του συστήματος. Ένας δεύτερος περιορισμός που προκύπτει είναι η κατανάλωση ισχύος. Το όλο σύστημα θα πρέπει να δύναται να τροφοδοτηθεί από πολύ μικρές μπαταρίες ή μέσω τεχνικών energy harvesting. Επιπλέον τα ηλεκτρικά σήματα που λαμβάνονται είναι ιδιαίτερα ασθενή. Επομένως, ο συνολικός θόρυβος του συστήματος πρέπει να είναι ιδιαίτερα περιορισμένος.

Γενικά το front-end των συστημάτων για την ανάκτηση και επεξεργασία βιολογικών σημάτων απαρτίζεται από τρία στάδια όπως φαίνεται στο Σχήμα 1.1. Στο πρώτο στάδιο το σήμα ενισχύεται από έναν instrumentation amplifier χαμηλού θορύβου. Το δεύτερο στάδιο αποτελείται από ένα φίλτρο το οποίο αποκόπτει τις συχνότητες που δεν μας ενδιαφέρουν, ενώ το τρίτο στάδιο είναι ένας μετατροπέας του αναλογικού σήματος σε ψηφιακό (Analog to Digital Converter – ADC). Η μετατροπή του σήματος σε ψηφιακό διευκολύνει την επεξεργασία του από ένα σύστημα επεξεργασίας ψηφιακών σημάτων (Digital Signal Processing – DSP).

Η παρούσα εργασία καταπιάνεται με το στάδιο ενίσχυσης του front-end, το οποίο υλοποιείται



Σχήμα 1.1: Front-end για την ανάκτηση βιολογικών σημάτων.

ως ένας Capacitively Coupled Instrumentation Amplifier – CCIA με κέρδος 40 dB και όσο το δυνατόν χαμηλότερη κατανάλωση ισχύος. Αναφέρεται σε εγκεφαλικά σήματα αν και οι προδιαγραφές του συστήματος δε θα διέφεραν πολύ αν επρόκειτο για οποιαδήποτε άλλη κατηγορία βιολογικών σημάτων, καθώς τα βιολογικά σήματα εν γένει έχουν παρόμοια χαρακτηριστικά. Συγκεκριμένα, στην περίπτωση του EEG, τα σήματα έχουν πλάτη που κυμαίνονται από 1 μV έως 100 μV σε συχνότητες από 0.1 Hz έως 100 Hz. Δεδομένου ότι τα σήματα που θα διαχειρίζεται το κύκλωμα είναι πολύ ασθενή, ο θόρυβος που θα εισάγει πρέπει να είναι εξαιρετικά χαμηλός.

Τα MOSFETs που συνθέτουν τον πυρήνα του κυκλώματος πολώνονται σε subthreshold περιοχή. Η επιλογή αυτή επιτρέπει τη σχεδίαση κυκλωμάτων με πολύ χαμηλή τροφοδοσία και κατανάλωση ισχύος. Στο 2^ο Κεφάλαιο περιγράφεται η συμπεριφορά του MOSFET σε αυτή την περιοχή λειτουργίας, συμπεριλαμβανομένου και του θορύβου που εισάγει. Όπως θα δούμε, ο θόρυβος στην περιοχή των συχνοτήτων που μας ενδιαφέρουν είναι ιδιαίτερα ισχυρός, συνεπώς πρέπει να χρησιμοποιηθεί κάποια τεχνική αντιμετώπισής του. Η τεχνική που χρησιμοποιείται είναι η σταθεροποίηση Chopper, η οποία παρουσιάζεται στο 3^ο Κεφάλαιο. Η συνολική αρχιτεκτονική του CCIA, καθώς και των επιμέρους block που τον αποτελούν αναλύεται στο 4^ο Κεφάλαιο. Η θεωρητική υλοποίηση του κυκλώματος έγινε με χρήση του Custom IC Design Tool της Cadence στην τεχνολογία 0.18 μm της TSMC. Στο 5^ο Κεφάλαιο παρουσιάζονται τα μεγέθη των στοιχείων που απαρτίζουν το κύκλωμα, καθώς και τα αποτελέσματα της προσομοίωσης. Στον Επίλογο συγκεντρώνονται τα συμπεράσματα που προέκυψαν, καθώς και κάποιες προσθήκες και βελτιώσεις που θα μπορούσαν να γίνουν στο μέλλον.

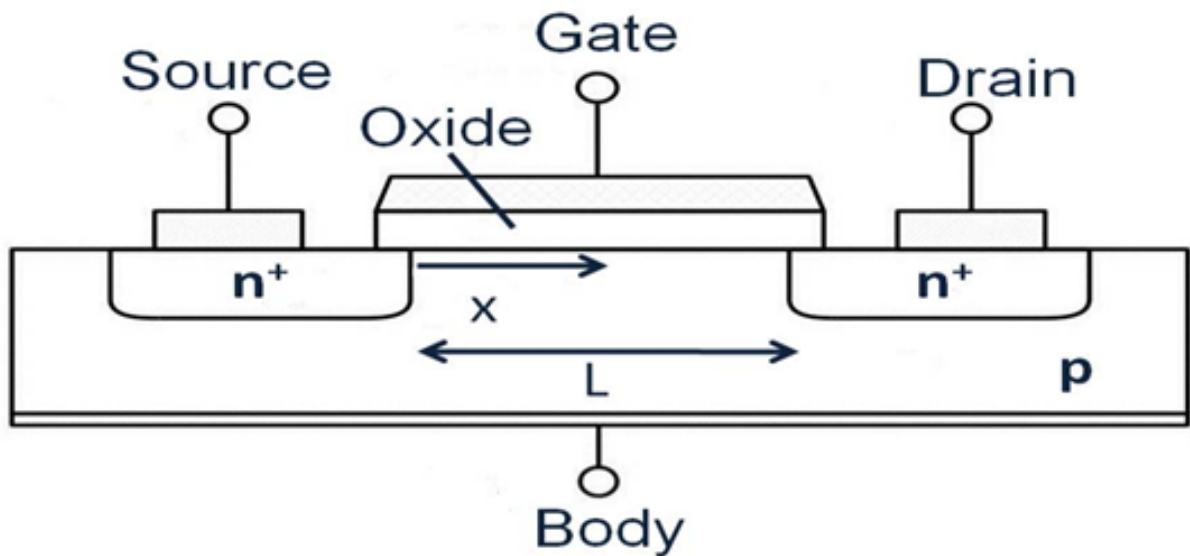
2

Συμπεριφορά MOSFET σε Subthreshold Περιοχή

Η μείωση της ισχύος είναι ένας σημαντικός παράγοντας στη σχεδίαση ολοκληρωμένων κυκλωμάτων. Ειδικά σε φορητές συσκευές (όπως είναι τα συστήματα παρακολούθησης της υγείας ασθενών) η διάρκεια ζωής της μπαταρίας είναι ύψιστης σημασίας. Δυστυχώς, η διαρκώς αυξανόμενη απαίτηση για περιορισμό της τάσης τροφοδοσίας δε συμβαδίζει με την αντίστοιχη δυνατότητα μείωσης της τάσης κατωφλίου. Συνεπώς, αν τα MOSFET's που απαρτίζουν το σύστημα πολωθούν στην ενεργό περιοχή ($V_{GS} > V_t$ και $V_{DS} > V_{GS} - V_t$), θα αυξηθεί σημαντικά η τροφοδοσία που απαιτείται για τη λειτουργία του κυκλώματος. Για αυτό το λόγο, μια συνήθης επιλογή των σχεδιαστών είναι η πόλωση των MOSFET's σε subthreshold περιοχή (αλλιώς weak inversion).

2.1 Βασικές Έννοιες και Ορισμοί

Στο Σχήμα 2.1 απεικονίζεται η φυσική δομή ενός nMOS με μήκος καναλιού L και πλάτος W .



Σχήμα 2.1: Η φυσική δομή ενός nMOS.

Η τάση της πύλης V_G , η τάση της υποδοχής V_D και η τάση της πηγής V_S ορίζονται με αναφορά το υπόστρωμα. Το δυναμικό των φορέων του καναλιού V αυξάνεται μονότονα από V_S στην πηγή έως V_D στην υποδοχή. Με τον όρο V_t αναφερόμαστε στην τάση κατωφλίου του MOSFET, η οποία δεν πρέπει να συγχέεται με τη θερμική τάση

$$U_T = \frac{kT}{q} \quad (2.1)$$

όπου k είναι η σταθερά του Boltzmann, T η απόλυτη θερμοκρασία και q το στοιχειώδες φορτίο. Η θερμική τάση σε θερμοκρασία δωματίου (300°K) ισούται με 26 mV περίπου. Ένας άλλος όρος που χρησιμοποιείται για την ανάλυση της συμπεριφοράς του τρανζίστορ είναι η χωρητικότητα οξειδίου C_{ox} . Δίνεται ως εξής:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.2)$$

Όπου ϵ_{ox} είναι η διαπερατότητα του οξειδίου και t_{ox} το πάχος του οξειδίου.

Η κινητικότητα των φορέων συμβολίζεται με μ .

Όταν η τάση στην πύλη ενός NMOS γίνει μεγαλύτερη από μηδέν τότε απωθούνται οι θετικοί φορείς του υποστρώματος, οπότε δημιουργείται ένα στρώμα απογύμνωσης. Αυτή η περιοχή χαρακτηρίζεται από ένα αρνητικό φορτίο πυκνότητας Q_b εξαιτίας αρνητικών ιόντων που προκαλούνται από ατέλειες στην κρυσταλλική δομή. Τα ιόντα αυτά είναι ακίνητα οπότε το φορτίο τους δε συνεισφέρει στη δημιουργία ρεύματος. Ταυτόχρονα, όμως, έλκονται ελεύθερα ηλεκτρόνια από τις περιοχές n^+ της υποδοχής και της πηγής (όπου υπάρχει πλεόνασμα ηλεκτρονίων) [1]. Σχηματίζεται, λοιπόν, ένα στρώμα αντιστροφής το οποίο αποτελεί το κανάλι αγωγής μεταξύ της πηγής και της υποδοχής. Η πυκνότητα των ελεύθερων φορέων συμβολίζεται με Q_i . Συνεπώς, η χωρητικότητα που εμφανίζεται μεταξύ των ακροδεκτών της πύλης και του υποστρώματος είναι η εν σειρά σύνδεση τριών χωρητικότητων: της χωρητικότητας οξειδίου C_{ox} , της χωρητικότητας εξαιτίας του φορτίου της απογυμνωμένης περιοχής C_b και της χωρητικότητας εξαιτίας του στρώματος αντιστροφής C_i .

Τέλος, ένας παράγοντας που αξίζει να αναφέρουμε είναι το αντίστροφο της κλίσης του επιφανειακού δυναμικού ψ_s , που εμφανίζεται στην περιοχή απογύμνωσης, ως προς την τάση της πύλης. Ο όρος αυτός συμβολίζεται με n και ορίζεται ως εξής:

$$n \equiv \left(\frac{d\psi_s}{dV_G} \right)^{-1} \quad (2.3)$$

Αποδεικνύεται [2] ότι σε weak inversion:

$$n = 1 + \frac{C_b}{C_{ox}} \quad (2.4)$$

Η τιμή του n κυμαίνεται από 1 έως 1.5 συνήθως.

2.2 DC Λειτουργία

Συχνά θεωρείται ότι το ρεύμα στην υποδοχή ενός MOSFET μηδενίζεται όταν η τάση πύλης - πηγής γίνει μικρότερη από την τάση καταωφλίου. Στην πραγματικότητα, όμως, σε αυτή την περιοχή λειτουργίας το I_D παρουσιάζει εκθετική συμπεριφορά σε σχέση με την V_{GS} [3].

Αποδεικνύεται [3] πως σε weak inversion είναι:

$$-\frac{Q_i}{C_{ox}} = 2nU_T \exp\left(\frac{V_p - V}{U_T}\right) \quad (2.5)$$

Όπου V_p είναι η pinch-off τάση, δηλαδή η τάση του καναλιού για την οποία μηδενίζεται η πυκνότητα των ελεύθερων φορέων στο κανάλι. Είναι:

$$V_p = \frac{V_G - V_t}{n} \quad (2.6)$$

Αναλύοντας το ρεύμα στην υποδοχή ως άθροισμα ρευμάτων αγωγής και διάχυσης [2], προκύπτει η σχέση του ρεύματος με την πυκνότητα του στρώματος αντιστροφής ως εξής:

$$I_D = \mu W (-Q_i) \frac{dV}{dx} \quad (2.7)$$

Θεωρώντας σταθερή κινητικότητα των φορέων κατά μήκος του καναλιού, μπορούμε να ολοκληρώσουμε την τελευταία σχέση οπότε:

$$I_D = \beta \int_{V_S}^{V_D} -\frac{Q_i}{C_{ox}} dV \quad (2.8)$$

όπου

$$\beta = \mu C_{ox} W/L \quad (2.9)$$

Αντικαθιστώντας την (2.5) στην (2.8) και αντικαθιστώντας την V_p από την (2.6) παίρνουμε την εξής σχέση για το ρεύμα:

$$I_D = I_{spec} \exp\left(\frac{V_G - V_t}{nU_T}\right) \left(\exp\frac{-V_S}{U_T} - \exp\frac{-V_D}{U_T}\right) = I_{spec} \exp\left(\frac{V_G - V_t}{nU_T}\right) \left(1 - \exp\frac{-V_{DS}}{U_T}\right) \quad (2.10)$$

όπου

$$I_{spec} = 2n\mu C_{ox} \frac{W}{L} U_T^2 \quad (2.11)$$

Όπως φαίνεται από την (2.10), όταν το V_{DS} γίνει αρκετά μεγαλύτερο από τη θερμική τάση (πρακτικά 4–5 φορές μεγαλύτερο), ο εκθετικός όρος $\exp\frac{-V_{DS}}{U_T}$ τείνει στο μηδέν, συνεπώς το ρεύμα εξαρτάται μόνο από την τάση της πύλης και της πηγής, δηλαδή μπαίνει σε κορεσμό. Επομένως το ρεύμα κορεσμού (saturated current) του MOSFET σε weak inversion δίνεται ως εξής:

$$I_{D,sat} = I_{spec} \exp\left(\frac{V_G - nV_S - V_t}{nU_T}\right) \quad (2.12)$$

Στην αρχή της ενότητας, αναφέρθηκε πως το ρεύμα σε subthreshold παρουσιάζει εκθετική εξάρτηση από την V_{GS} . Φυσικά, όπως φαίνεται από την (2.12), κάτι τέτοιο δεν είναι απολύτως αληθές. Παρ'όλα αυτά, για τιμές του n κοντά στη μονάδα, είναι ασφαλές να γράψουμε προσεγγιστικά:

$$I_{D,sat} = I_{spec} \cdot e^{\frac{V_{GS}-V_t}{nU_T}} \quad (2.13)$$

2.3 Συντελεστής Αναστροφής και Περιοχές Λειτουργίας

Επειδή, λόγω της (2.5), όταν η V τείνει στο άπειρο, το Q_i τείνει στο μηδέν, το ολοκλήρωμα της (2.8) μπορεί να γραφτεί ως εξής:

$$I_D = \beta \int_{V_S}^{\infty} -\frac{Q_i}{C_{ox}} dV - \beta \int_{V_D}^{\infty} -\frac{Q_i}{C_{ox}} dV = I_F - I_R \quad (2.14)$$

Συνεπώς το ρεύμα στην υποδοχή του MOSFET γράφεται σαν διαφορά ενός ευθέως (forward) ρεύματος I_F , το οποίο εξαρτάται από την τάση στην πύλη και στην πηγή, και ενός αντίστροφου (reverse) ρεύματος I_R , το οποίο εξαρτάται από την τάση στην πύλη και στην υποδοχή. Όταν το ρεύμα μπαίνει σε κορεσμό δεν υπάρχει εξάρτηση από την V_D , επομένως το I_F ταυτίζεται με το ρεύμα κορεσμού $I_{D,sat}$. Οι δύο αυτές συνιστώσες εμφανίζονται συνήθως στην κανονικοποιημένη τους μορφή ως εξής:

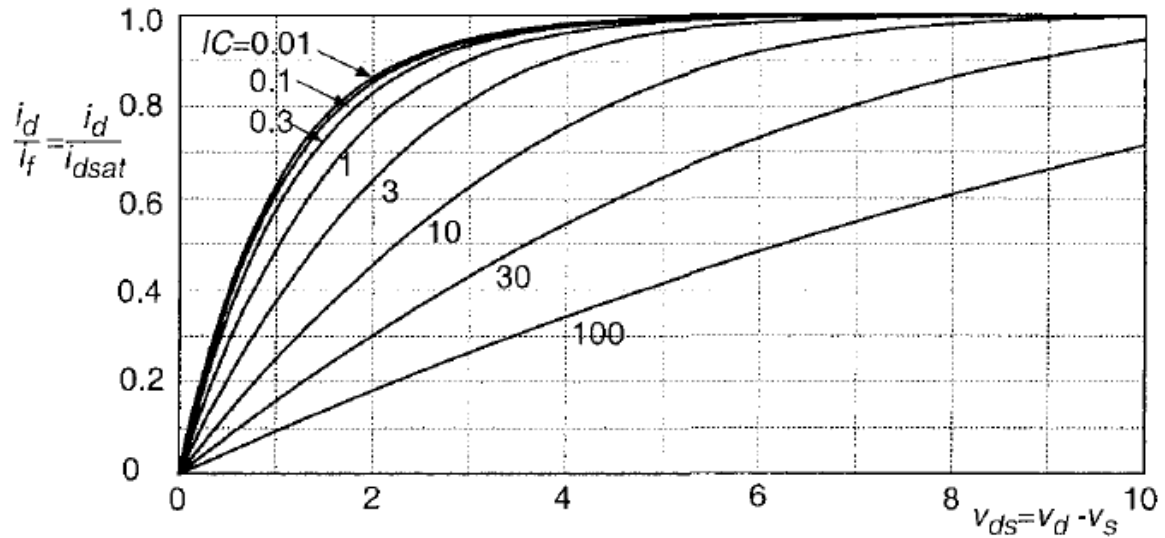
$$i_{f,r} = \frac{I_{F,R}}{I_{spec}} \quad (2.15)$$

Το επίπεδο αναστροφής του τρανζίστορ χαρακτηρίζεται από το συντελεστή αναστροφής (inverting coefficient) IC , ο οποίος ορίζεται ως εξής:

$$IC \equiv \max(i_f, i_r) \quad (2.16)$$

Συγκεκριμένα, το τρανζίστορ βρίσκεται σε weak inversion για $IC \ll 1$, σε moderate inversion για $IC = 1$ και σε strong inversion (δηλαδή σε ενεργό περιοχή) για $IC \gg 1$ [3].

Στο Σχήμα 2.2 [3] απεικονίζεται η σχέση του I_D ως προς την τάση V_{DS} για διάφορες τιμές του IC . Όπως φαίνεται, η subthreshold περιοχή (όπου είναι $IC \ll 1$) προσφέρει τη χαμηλότερη τάση κορεσμού, αφού σε αυτή την περιοχή το ρεύμα μπαίνει σε κορεσμό για $V_{DS} \simeq 5U_T$. Αυτός είναι ο λόγος που αυτή η περιοχή λειτουργίας συνδέεται άμεσα με τη σχεδίαση κυκλωμάτων πολύ χαμηλής τάσης τροφοδοσίας.

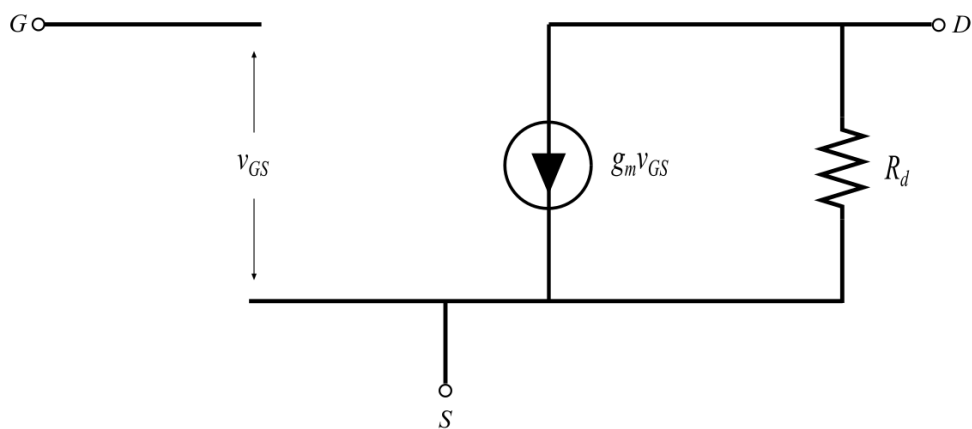


Σχήμα 2.2: Η σχέση του λόγου $\frac{I_D}{I_{D,sat}}$ προς την V_{DS} για διάφορες τιμές του συντελεστή αναστροφής

2.4 Μοντέλο Ασθενών Σημάτων

Το μοντέλο ασθενών σημάτων χαμηλών συχνοτήτων για το MOSFET σε subthreshold περιοχή απεικονίζεται στο Σχήμα 2.3. Όπως φαίνεται από την (2.13), στην περιοχή κορεσμού, μικρές αλλαγές στην τάση V_{GS} προκαλούν αλλαγές στο ρεύμα της υποδοχής. Η μεταβολή του ρεύματος είναι ανάλογη της διαγωγιμότητας g_m , η οποία δίνεται ως εξής:

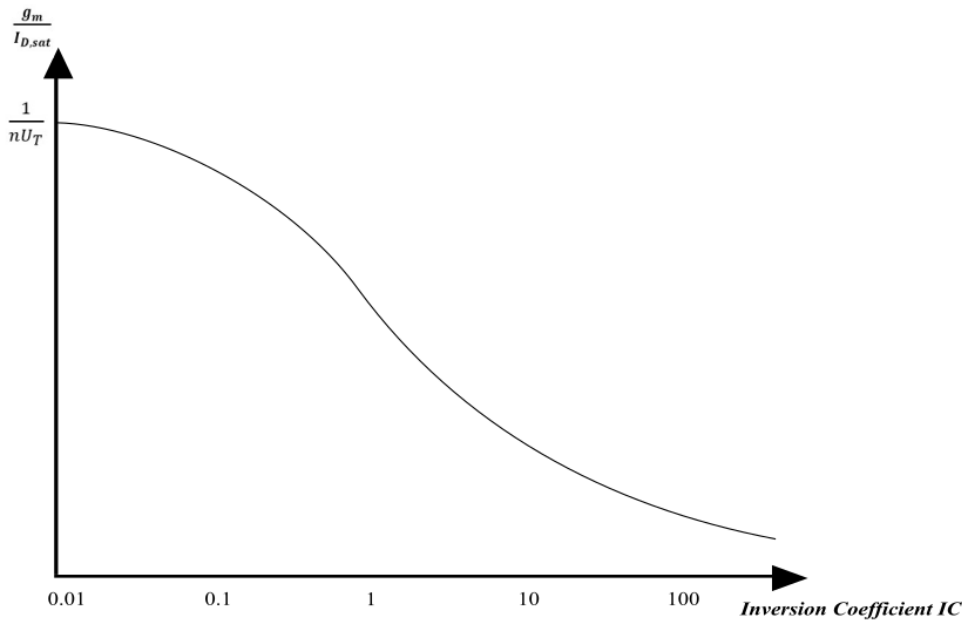
$$g_m = \frac{\partial I_D}{\partial V_{GS}} \stackrel{(2.12)}{\implies} g_m = \frac{I_D}{nU_T} \quad (2.17)$$



Σχήμα 2.3: Μοντέλο ασθενών σημάτων χαμηλών συχνοτήτων για το nMOS

Σύμφωνα με την (2.17), ο λόγος διαγωγιμότητας προς ρεύμα κορεσμού σε subthreshold περιοχή

ισούται με $\frac{1}{nU_T}$. Στο Σχήμα 2.4 παριστάνεται ο λόγος διαγωγιμότητας προς το ρεύμα σε σχέση με τον συντελεστή αναστροφής IC. Όπως φαίνεται από το σχήμα, όταν ο IC είναι μικρός, δηλαδή όταν το τρανζίστορ βρίσκεται σε weak inversion, ο λόγος της διαγωγιμότητας προς το ρεύμα κορεσμού τείνει στο $\frac{1}{nU_T}$. Για n κοντά στη μονάδα, ο λόγος αυτός τείνει στο $\frac{1}{U_T}$, το οποίο αποτελεί τη μέγιστη τιμή του $\frac{g_m}{I_{D,sat}}$. Όσο αυξάνεται ο συντελεστής αναστροφής, δηλαδή όταν το τρανζίστορ μπαίνει στην ενεργό περιοχή, το $\frac{g_m}{I_{D,sat}}$ μειώνεται. Αυτό σημαίνει πως για δεδομένη τιμή του ρεύματος της υποδοχής, πετυχαίνουμε τη μέγιστη δυνατή διαγωγιμότητα πολώνοντας το τρανζίστορ σε weak inversion. Αυτό αποτελεί ένα ακόμα πλεονέκτημα της weak inversion.



Σχήμα 2.4: Απεικόνιση της σχέσης του λόγου διαγωγιμότητας – ρεύματος κορεσμού με το Συντελεστή Αντιστροφής

Η αντίσταση R_d , που φαίνεται στο ισοδύναμο κύκλωμα του Σχήματος 2.3, οφείλεται στη διαμόρφωση του μήκους του καναλιού από την τάση της υποδοχής. Η τιμή της είναι αντιστρόφως ανάλογη του ρεύματος της υποδοχής στον κορεσμό:

$$g_d \equiv \frac{1}{R_d} = \frac{I_D}{V_M} \quad (2.18)$$

Όπου V_M είναι η τάση διαμόρφωσης του μήκους του καναλιού. Η τιμή της V_M είναι ανάλογη του μήκους του καναλιού.

Για ανάλυση σε υψηλότερες συχνότητες (συγκεκριμένα για συχνότητες μικρότερες από $\mu\frac{U_T}{L^2}$ [3]) πρέπει το ισοδύναμο κύκλωμα του Σχήματος 2.3 να εμπλουτιστεί με πυκνωτές. Σε weak inversion οι περισσότερες ενδογενείς χωρητικότητες είναι αμελητέες. Εξαιρείται η χωρητικότητα που αναπτύσσεται μεταξύ της πύλης και του υποστρώματος. Είναι [3]:

$$C_{GB} = \frac{n-1}{n} \cdot WLC_{ox} \quad (2.19)$$

Οι εξωγενείς χωρητικότητες είναι αυτές που εμφανίζονται στις ενώσεις της πηγής και της υποδοχής, καθώς και οι χωρητικότητες που οφείλονται στην επικάλυψη των περιοχών διάχυσης της πηγής και της υποδοχής από τον ακροδέκτη της πύλης. Η τιμή τους εξαρτάται σε μεγάλο βαθμό από τη διαδικασία υλοποίησης του layout.

2.5 Θόρυβος

Ο ηλεκτρικός θόρυβος είναι μια μη-ιδανικότητα, η οποία εμφανίζεται σε όλα τα ολοκληρωμένα κυκλώματα. Συνεπώς, η κατανόηση των μηχανισμών που τον προκαλούν αποτελεί προϋπόθεση για την υλοποίηση οποιουδήποτε κυκλώματος. Ιδιαίτερα σε εφαρμογές που σχετίζονται με βιολογικά σήματα, τα οποία (όπως αναφέρθηκε και στην Εισαγωγή) είναι ιδιαίτερα ασθενή, καθίσταται αναγκαία η καταστολή του θορύβου.

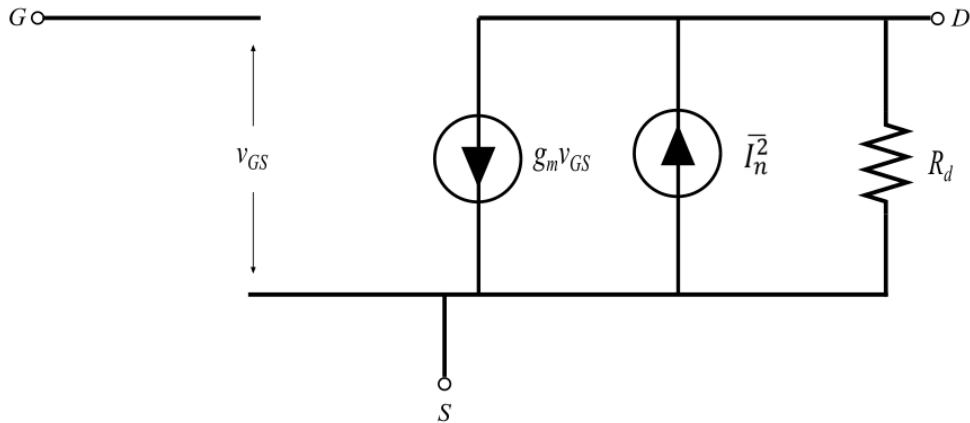
Στην παρούσα ενότητα θα ασχοληθούμε με τον εγγενή θόρυβο (inherent noise), ο οποίος σχετίζεται με τη φύση των MOSFET's. Εκτός από τον εγγενή θόρυβο, εμφανίζεται και θόρυβος λόγω της αλληλεπίδρασης του κυκλώματος με το περιβάλλον ή ακόμα και λόγω της αλληλεπίδρασης των διαφόρων υποκυκλωμάτων του. Πρόκειται για θόρυβο παρεμβολής (interference noise) και παράδειγμα αυτού αποτελεί η ηλεκτρομαγνητική παρεμβολή (electromagnetic interference – EMI) μεταξύ γειτονικών αγωγών. Ο θόρυβος παρεμβολής περιορίζεται σημαντικά από τον προσεκτικό σχεδιασμό του layout [4]. Ταυτόχρονα, ο κλάδος της ηλεκτρομαγνητικής συμβατότητας (electromagnetic compatibility – EMC) ασχολείται με τη θωράκιση των ολοκληρωμένων κυκλωμάτων από φαινόμενα EMI.

Για την περιγραφή του θορύβου εργαζόμαστε, συνήθως, στο πεδίο της συχνότητας. Ορίζουμε τη φασματική πυκνότητα ισχύος (power spectral density – PSD), $\overline{v_n^2}(f)$ ή $\overline{i_n^2}(f)$, η οποία περιγράφει τη μέση κανονικοποιημένη ισχύ της πηγής θορύβου σε εύρος συχνοτήτων 1 Hz. Οι μονάδες μέτρησης είναι V^2/\sqrt{Hz} ή A^2/\sqrt{Hz} , αντίστοιχα [4]. Μας ενδιαφέρει ακόμα η μέση τετραγωνική (root mean squared) ισχύς του θορύβου σε όλο το εύρος των συχνοτήτων λειτουργίας του κυκλώματος. Για να βρούμε αυτή την ποσότητα ολοκληρώνουμε την PSD σε αυτό το εύρος. Δηλαδή, αν το εύρος που μας ενδιαφέρει είναι $[f_1, f_2]$ τότε έχουμε:

$$\overline{V_n^2} = \int_{f_1}^{f_2} \overline{v_n^2}(f) df \quad (2.20)$$

$$\overline{I_n^2} = \int_{f_1}^{f_2} \overline{i_n^2}(f) df \quad (2.21)$$

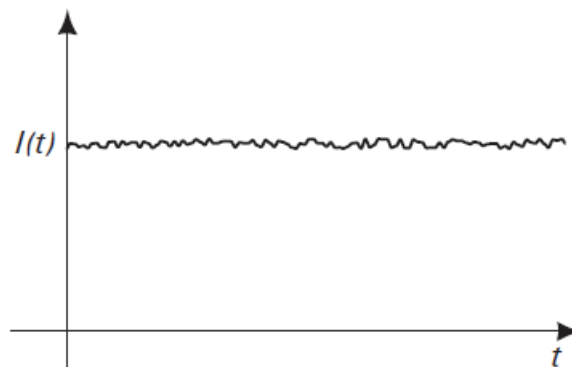
Για να συμπεριλάβουμε την επίδραση του θορύβου στην AC ανάλυση του MOSFET, αρκεί να προσθέσουμε στο μοντέλο του Σχήματος 2.3 μια ανεξάρτητη πηγή ρεύματος με φορά από την πηγή προς την υποδοχή, η οποία έχει μέση τετραγωνική ισχύ $\overline{I_n^2}$ όπως φαίνεται στο Σχήμα 2.5 [5]. Αυτή η πηγή θορύβου οφείλεται σε δύο φαινόμενα θορύβου που επιδρούν ταυτόχρονα.



Σχήμα 2.5: Μοντέλο ασθενών σημάτων συμπεριλαμβάνοντας και το θόρυβο.

2.5.1 Θόρυβος βολής (shot noise)

Το πρώτο είδος θορύβου που εξετάζεται είναι ο θόρυβος βολής (shot noise), ο οποίος εμφανίζεται σε διόδους pn, σε διπολικά τρανζίστορ και σε MOSFET. Τα ηλεκτρόνια που βρίσκονται στο κανάλι του MOSFET έχουν μεγάλη θερμική ταχύτητα και συγκρούονται διαρκώς, με συνέπεια η κίνησή τους να αποκτά μια τυχαιότητα. Όταν το εξωτερικό πεδίο που εφαρμόζεται είναι ασθενές (όπως συμβαίνει σε weak inversion, όπου η V_{DS} είναι πολύ μικρή) τα ηλεκτρόνια του καναλιού είναι εξίσου πιθανό να κινηθούν προς την πηγή ή την υποδοχή. Η συγκεκριμένη πηγή θορύβου σχετίζεται με το φράγμα δυναμικού της πηγής και της υποδοχής και εξαρτάται από το πλήθος των διακριτών φορέων που έχουν την ενέργεια να το ξεπεράσουν. Το φαινόμενο έχει στοχαστική φύση και περιγράφεται από μια διαδικασία Poisson, καθώς τα φορτία που συνεισφέρουν είναι διακριτά μεταξύ τους και η πιθανότητα ένα φορτίο να φτάσει στην υποδοχή ή την πηγή είναι ασυσχέτιστη με οποιαδήποτε προηγούμενη ή επόμενη άφιξη φορτίου [5]. Ο θόρυβος βολής γίνεται αντιληπτός ως μια τυχαία διακύμανση στη μέση τιμή του ρεύματος όπως φαίνεται στο Σχήμα 2.6.



Σχήμα 2.6: Η αλλοίωση που προκαλεί ο θόρυβος βολής στη μέση τιμή του ρεύματος.

Η PSD του θορύβου βολής δίνεται από τη σχέση:

$$\overline{i_{sn}^2}(f) = 2qI_D = 2q(I_F + I_R) = 2qI_F \left(1 + \exp\frac{-V_{DS}}{U_T}\right) \quad (2.22)$$

Όπου q είναι το στοιχειώδες φορτίο.

Όταν το ρεύμα είναι κορεσμένο, η (2.22) δίνει:

$$\overline{i_{sn}^2}(f) = 2qI_{D,sat} \quad (2.23)$$

Όπως φαίνεται, η PSD του θορύβου βολής είναι ανεξάρτητη της συχνότητας. Πρόκειται, δηλαδή, για λευκό θόρυβο (white noise).

2.5.2 Flicker ή 1/f Θόρυβος

Το δεύτερο είδος θορύβου που μας απασχολεί είναι ο θόρυβος 1/f (ή αλλιώς θόρυβος αναλαμπής – flicker noise). Η συγκεκριμένη μορφή θορύβου έχει απασχολήσει για δεκαετίες τους ερευνητές και έχουν προκύψει διάφορες θεωρίες που προσπαθούν να εξηγήσουν τα αίτια που τον προκαλούν. Μία από τις κυριότερες αιτίες αποτελούν οι τυχαίες διακυμάνσεις στο πλήθος των φορέων του καναλιού. Λόγω των προσμίξεων και των κρυσταλλικών ατελειών δημιουργούνται «παγίδες», οι οποίες εγκλωβίζουν και απελευθερώνουν φορείς με τυχαίο τρόπο [2].

Η PSD του θορύβου 1/f δίνεται από τη σχέση [3]:

$$\overline{i_{fn}^2}(f) = \frac{4kT\rho}{WL} \frac{g_m^2}{f} \quad (2.24)$$

Το ρ είναι μια παράμετρος που εξαρτάται από την διαδικασία και τη χωρητικότητα του οξειδίου ($\rho \propto C_{ox}^{-\alpha}$, $1 < \alpha < 2$).

Όπως φαίνεται από την (2.24) η PSD του θορύβου 1/f είναι αντιστρόφος ανάλογη της συχνότητας (εξ ου και το όνομά του).

Οι δύο μορφές θορύβου είναι ασυσχέτιστες μεταξύ τους, οπότε η συνολική PSD του θορύβου που εμφανίζει το MOSFET σε weak inversion δίνεται από το άθροισμα των (2.24) και (2.23). Είναι:

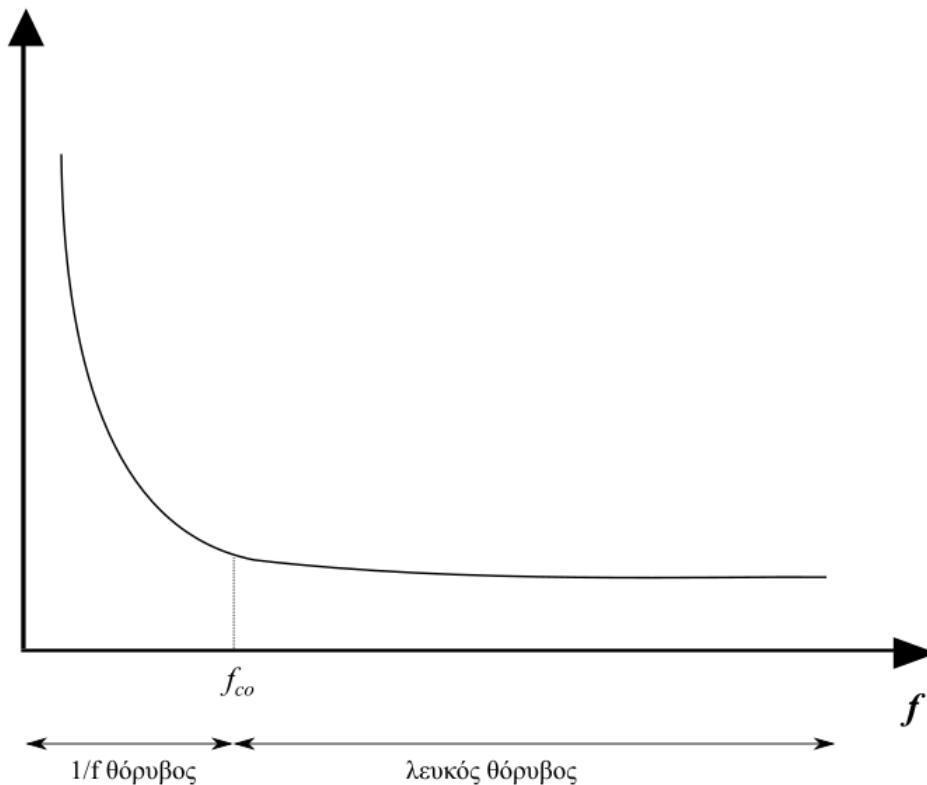
$$\overline{i_n^2}(f) = 2qI_{D,sat} + \frac{4kT\rho}{WL} \cdot \frac{g_m^2}{f} \quad (2.25)$$

Η PSD του θορύβου αναφορικά με την πύλη του τρανζίστορ δίνεται διαιρώντας την (2.25) με g_m^2 . Οπότε:

$$\overline{v_n^2}(f) = \frac{2qI_{D,sat}}{g_m^2} + \frac{4kT\rho}{WL} \cdot \frac{1}{f} \xrightarrow{(2.17)} \overline{v_n^2}(f) = \frac{2qnU_T}{g_m} + \frac{4kT\rho}{WL} \cdot \frac{1}{f} \quad (2.26)$$

Η μορφή της συνολικής PSD φαίνεται στο Σχήμα 2.7.

Όπως γίνεται αντιληπτό, σε χαμηλές συχνότητες (όπου κυριαρχεί ο θόρυβος 1/f) ο θόρυβος είναι αρκετά ισχυρός, ενώ υπάρχει και έντονη εξάρτηση από τη συχνότητα. Σε μεγάλες συχνότητες



Σχήμα 2.7: Συνολική PSD θορύβου

(όπου επικρατεί ο θόρυβος βολής¹) έχουμε λευκό θόρυβο. Η συχνότητα στην οποία η ισχύς του flicker noise γίνεται ίση με το λευκό θόρυβο, ονομάζεται γωνιακή συχνότητα (corner frequency – f_{co}). Η τιμή της δεν είναι γνωστή εκ των προτέρων. Εξαρτάται από την τεχνολογία και μπορεί να φτάσει μέχρι και δεκάδες MHz.

Είναι προφανές πως, δεδομένης της εικόνας του θορύβου στις χαμηλές συχνότητες, καθίσταται αδύνατη η διαχείριση των ασθενών χαμηλόσυχνων σημάτων που μας ενδιαφέρουν. Είναι αναγκαίο να βρεθεί ένας τρόπος να κατασταλεί το ισχυρό τμήμα του θορύβου. Μια εναλλακτική λύση θα ήταν να γίνει η ενίσχυση σε υψηλότερες συχνότητες, όπου η επίδραση του θορύβου είναι ασθενής. Στο επόμενο κεφάλαιο περιγράφεται η μέθοδος του chopping, η οποία υλοποιεί κομψά αυτήν την ιδέα.

¹Μερικές φορές η φυσική εξήγηση του λευκού θορύβου σε weak inversion αμφισβητείται [2]. Σε κάποιες περιπτώσεις θεωρείται ότι οφείλεται σε θόρυβο βολής [6] και σε άλλες ότι οφείλεται σε θερμικό θόρυβο [7]. Και οι δύο αναλύσεις, όμως, καταλήγουν σε ίδια αποτελέσματα.

3

Σταθεροποίηση Chopper

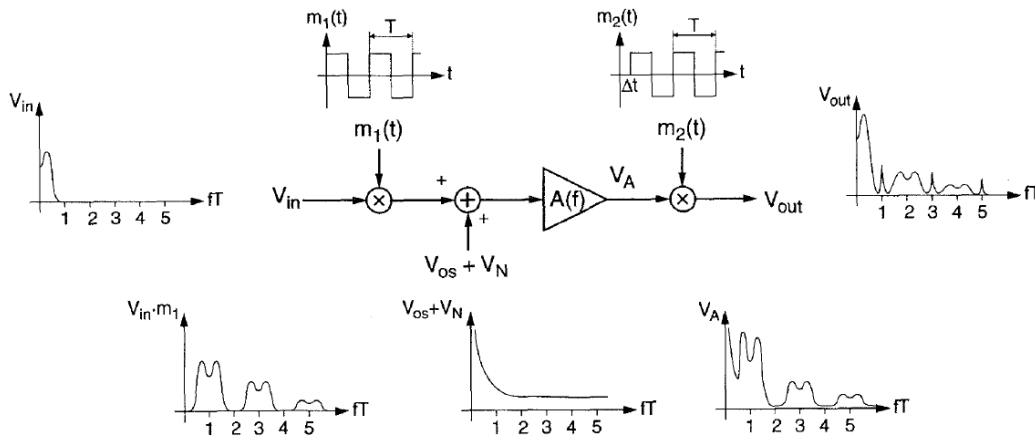
Ο όρος σταθεροποίηση Chopper (Chopper Stabilization – CHS) αναφέρεται σε μια τεχνική για την εξάλειψη του θορύβου χαμηλών συχνοτήτων. Όπως έχει προαναφερθεί, τα βιολογικά σήματα είναι ασθενή σήματα χαμηλών συχνοτήτων. Ο θόρυβος που παρουσιάζουν τα τρανζίστορ σε αυτές τις συχνότητες είναι συγκρίσιμος με τα πλάτη των προς ενίσχυση σημάτων. Συνεπώς, είναι επιτακτική η χρήση κάποιας τεχνικής καταπίεσης του θορύβου σε αυτές τις συχνότητες.

Προς αυτή την κατεύθυνση έχουν αναπτυχθεί και άλλες τεχνικές όπως το autozeroing (AZ) και το correlated double sampling (CDS) [8]. Η βασική διαφορά του CHS με αυτές τις τεχνικές είναι πως πρόκειται για τεχνική διαμόρφωσης, ενώ οι άλλες δύο τεχνικές είναι τεχνικές δειγματοληψίας. Η εν λόγω τεχνική αποτελεί μια πολύ κομψή και αποδοτική λύση στο πρόβλημα και για αυτό το λόγο χρησιμοποιείται κατά κόρον από τους σχεδιαστές ενισχυτών για την ανάκτηση βιολογικών σημάτων.

3.1 Αρχή Λειτουργίας

Η βασική ιδέα της μεθόδου είναι να μετατοπιστεί, μέσω διαμόρφωσης, το σήμα στις υψηλές συχνότητες όπου η συμβολή του $1/f$ θορύβου είναι αμελητέα και έπειτα, με νέα διαμόρφωση, να επιστρέψει στο baseband. Η διαμόρφωση γίνεται πολλαπλασιάζοντας με έναν τετραγωνικό παλμό πλάτους ± 1 , duty cycle 50% και συχνότητας f_{chop} . Η όλη διαδικασία απεικονίζεται στο Σχήμα 3.1.

Ας υποθέσουμε ότι η συχνότητα του διαμορφωτή, f_{chop} , είναι τουλάχιστον διπλάσια από το φάσμα του σήματος της εισόδου, έτσι ώστε να αποφεύγονται φαινόμενα aliasing. Μετά τον πολλαπλασιασμό του σήματος με τον τετραγωνικό παλμό το φάσμα μετατίθεται στα περιττά πολλαπλάσια της f_{chop} . Στη συνέχεια στο σήμα υπερτίθεται ο θόρυβος και οι μη γραμμικότητες που εισάγει ο τελεστικός ενισχυτής και τελικά το σήμα διαμορφώνεται ξανά, πολλαπλασιάζοντας πάλι με τον ίδιο τετραγωνικό παλμό. Έτσι το (ενισχυμένο πλέον) σήμα έχει μετατεθεί στα άρτια πολλαπλάσια της f_{chop} , ενώ οι ανεπιθύμητες μη γραμμικότητες (αφού έχουν διαμορφωθεί μόνο μία φορά) βρίσκονται στα περιττά πολλαπλάσια της f_{chop} , όπως φαίνεται και στη γραφική παράσταση που αντιστοιχεί στην V_{out} . Τελικά, με τη χρήση ενός βαθυπερατού φίλτρου (Low Pass Filter – LPF), ανακτάται



Σχήμα 3.1: Η διαδικασία της διαμόρφωσης Chopper. Τα $m_1(t)$ και $m_2(t)$ αποτελούν τους παλμούς διαμόρφωσης. Το σήμα παριστάνεται στο πεδίο της συχνότητας η οποία είναι κανονικοποιημένη ως προς τη συχνότητα του διαμορφωτή, $f_{chop} = 1/T$.

το ενισχυμένο σήμα.

Στην παραπάνω συνοπτική ανάλυση έχει υποθεθεί ότι το bandwidth του τελεστικού ενισχυτή είναι άπειρο, κάτι που προφανώς δεν ισχύει στην πράξη. Σε μια λιγότερο ιδανική ανάλυση [8] εξετάζεται η περίπτωση όπου ο ενισχυτής παρουσιάζει σταθερό κέρδος A_0 μέχρι μια συχνότητα $f = 2f_{chop}$ και μηδέν για οποιαδήποτε άλλη συχνότητα. Αν η είσοδος είναι dc σήμα πλάτους V_{in} , τότε η μέση τιμή της εξόδου είναι περίπου $0,8A_0V_{in}$. Φαίνεται, δηλαδή, πως ο περιορισμός του bandwidth του ενισχυτή μπορεί να επηρεάσει το συνολικό dc κέρδος της διάταξης. Μια ακόμη μη ιδανικότητα που πρέπει να ληφθεί υπόψη είναι η καθυστέρηση που εισάγει ο ενισχυτής στη διάδοση του σήματος. Βέβαια, το πρόβλημα αυτό λύνεται εύκολα με την εισαγωγή μιας καθυστέρησης ίσης με την καθυστέρηση του ενισχυτή στο φέρον του δεύτερου διαμορφωτή.

Ένα σημαντικό ζήτημα είναι η επιλογή της συχνότητας του CHS. Όπως προαναφέρθηκε, ένας πρώτος περιορισμός είναι να είναι τουλάχιστον διπλάσια του μέγιστου εύρους συχνοτήτων των σημάτων της εισόδου, ώστε να αποφεύγονται φαινόμενα aliasing κατά τη διαμόρφωση. Το εύρος ζώνης του ενισχυτή οριοθετεί ένα άνω φράγμα για την f_{chop} μιας και το διαμορφωμένο σήμα πρέπει να βρίσκεται στο εύρος ζώνης του ενισχυτή ώστε να μπορεί να ενισχυθεί. Επιπλέον, αποδεικνύεται ότι ο εναπομένον θόρυβος στο baseband μετά το CHS ισούται με [8]:

$$S_{CS}(f) = S_0 \left(1 + 0.8525 \frac{f_{co}}{f_{chop}} \right) \quad (3.1)$$

Όπου S_0 είναι η PSD του λευκού θορύβου του ενισχυτή αναφορικά με την είσοδο και f_{co} είναι η γωνιακή του συχνότητα. Μια καλή επιλογή για την f_{chop} είναι να είναι ίση με την f_{co} . Έτσι η τελική αύξηση στο επίπεδο του λευκού θορύβου είναι μικρότερη από 6 dB. Φυσικά η f_{co} δεν είναι γνωστή εκ των προτέρων, παρ'όλα αυτά είναι δυνατή μια εκτίμηση αυτής με βάση την τεχνολογία.

3.2 Παραμένον Offset

Οι διαμορφωτές που χρησιμοποιούνται στη μέθοδο υλοποιούνται συνήθως από διακόπτες MOS, οι οποίοι παρουσιάζουν μη ιδανική συμπεριφορά. Συγκεκριμένα, εμφανίζονται φαινόμενα όπως το clock feedthrough και η έγχυση φορέων (charge injection) εξ αιτίας των οποίων εισάγονται spikes στον πρώτο διαμορφωτή. Αυτά τα spikes ενισχύονται από τον ενισχυτή και αποδιαμορφώνονται στην έξοδο με αποτέλεσμα να εμφανίζεται κάποιο offset τάσης στην έξοδο.

Δεδομένου ότι η χρονική σταθερά τ των spikes είναι πολύ μικρότερη από την ημιπερίοδο του chopper, το μεγαλύτερο μέρος της ενέργειας των spikes εμφανίζεται σε συχνότητες πολύ μεγαλύτερες από την f_{chop} . Χρησιμοποιώντας ενισχυτή με bandwidth πολύ μεγαλύτερο από την f_{chop} επιτυγχάνεται το μέγιστο κέρδος, όμως έτσι εμφανίζεται και το μεγαλύτερο offset στην έξοδο, αφού σχεδόν όλες οι φασματικές συνιστώσες των spikes ενισχύονται και συνεισφέρουν. Αποδεικνύεται [8] ότι το offset αναφορικά με την είσοδο δίνεται ως εξής:

$$V_{os} \cong \frac{2\tau}{T} V_{spike} \quad (3.2)$$

Όπου V_{spike} είναι το πλάτος των spikes στην είσοδο. Χρησιμοποιώντας ενισχυτή με ίδιο DC κέρδος και εύρος ζώνης διπλάσιο από την f_{chop} είναι:

$$V_{os} \cong \left(\frac{2\tau}{T}\right)^2 V_{spike} \quad (3.3)$$

Δεδομένου ότι $\tau \ll \frac{T}{2}$ επιτυγχάνεται μεγάλη μείωση στο παραμένον offset με κόστος μια μείωση της τάξης του 20%¹ στο συνολικό κέρδος της διάταξης.

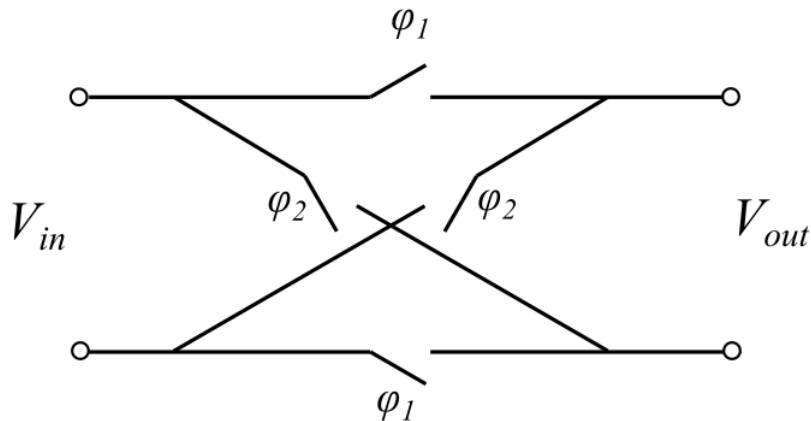
3.3 Υλοποίηση των Διαμορφωτών Chopper

Η επιλογή των παλμών που διαμορφώνουν το σήμα κάνει πολύ απλή την σχεδίαση του διαμορφωτή. Όπως προαναφέρθηκε, πρόκειται για τετραγωνικούς παλμούς πλάτους ± 1 με duty cycle 50%. Αυτό πρακτικά σημαίνει πως αρκεί το σήμα της εισόδου να εναλλάσσει το πρόσημό του μια φορά κάθε περίοδο με σταθερή συχνότητα. Αρκεί, λοιπόν, να υλοποιηθούν δύο διαδρομές με διακόπτες που θα ελέγχονται από συμπληρωματικά ρολόγια συχνότητας ίδιας με την f_{chop} , όπως φαίνεται στο Σχήμα 3.2.

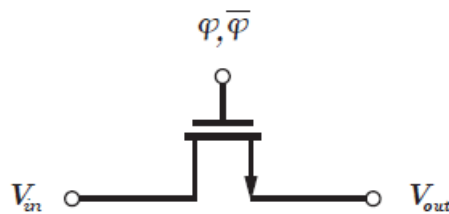
Στο πρώτο μισό της περιόδου θα άγουν οι διακόπτες φ_1 και στο δεύτερο μισό θα άγουν οι διακόπτες φ_2 . Η απλούστερη επιλογή για τη σχεδίαση ενός τέτοιου διακόπτη είναι η χρήση ενός MOSFET, όπως φαίνεται στο Σχήμα 3.3.

Ο διακόπτης NMOS είναι ON όταν η τάση στην πύλη του βρίσκεται στο λογικό 1 (φ) και OFF όταν η τάση στην πύλη βρίσκεται στο λογικό 0 ($\bar{\varphi}$). Αντίστοιχα ένας διακόπτης PMOS είναι ON στη φάση $\bar{\varphi}$ και OFF στη φάση φ . Ιδανικά, όταν ο διακόπτης περνάει από την ON στην OFF κατάσταση, τότε το σήμα της εισόδου απομονώνεται από την έξοδο και δεν υπάρχει ρεύμα προς

¹Το συνολικό κέρδος είναι $0.81A_0$, όπου A_0 το κέρδος του ενισχυτή. [8]

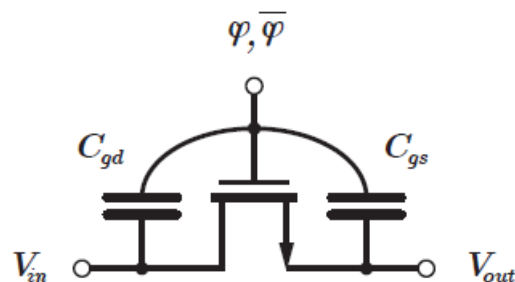


Σχήμα 3.2: Αφαιρετική σχεδίαση του διαμορφωτή chopper με δύο ζεύγη διακοπών που ελέγχονται από συμπληρωματικά ρολόγια.



Σχήμα 3.3: Απλός διακόπτης MOS.

την πηγή. Στην πραγματικότητα όμως εμφανίζονται παρασιτικές χωρητικότητες C_{GS} και C_{GD} όπως φαίνεται στο Σχήμα 3.4 [9]. Έτσι όταν το σήμα ελέγχου στην πύλη μεταβαίνει σε κατάσταση OFF, έχουμε ροή ρεύματος μεταξύ της πύλης και της πηγής (clock feedthrough) με αποτέλεσμα την παρουσία ενός offset στην έξοδο. Συνεπώς το offset που προκαλείται από το clock feedthrough οφείλεται στις παρασιτικές χωρητικότητες.

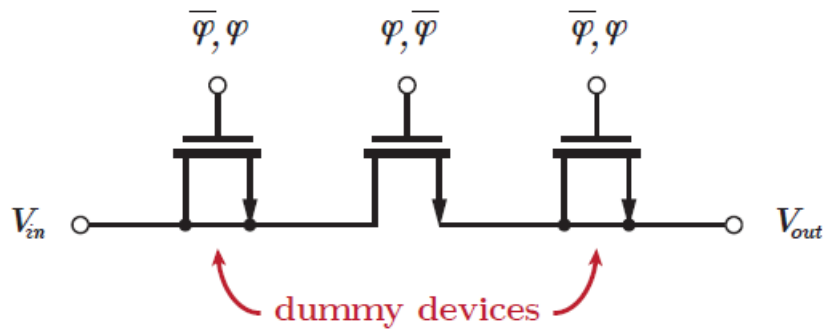


Σχήμα 3.4: Διακόπτης MOS μαζί με τις παρασιτικές χωρητικότητες C_{gd} και C_{gs}

Ταυτόχρονα, όταν ο διακόπτης μπει σε κατάσταση OFF, τα φορτία που βρίσκονται στο κανάλι του MOSFET ελευθερώνονται και απομακρύνονται προς τους ακροδέκτες υποδοχής και πηγής. Ο διαχωρισμός των φορέων εξαρτάται από τις αντιστάσεις που «βλέπουν» οι φορείς στους δύο αυτούς κόμβους. Το φαινόμενο αυτό είναι γνωστό ως έγχυση φορέων (charge injection) και συμβάλλει

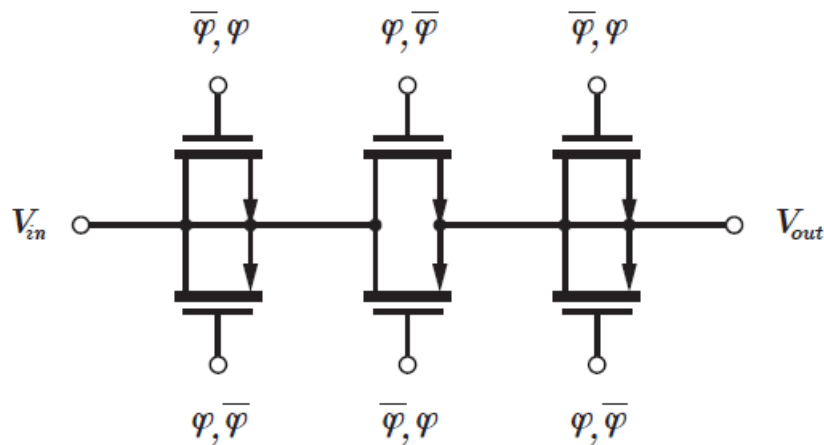
στο συνολικό offset.

Είναι σημαντικό αυτά τα μη ιδανικά φαινόμενα να περιοριστούν. Όσον αφορά το clock feedthrough, η κατεύθυνση είναι η επιλογή MOSFET με ελάχιστα μεγέθη ώστε οι παρασιτικές χωρητικότητες να είναι οι μικρότερες δυνατές. Η ταυτόχρονη μείωση του πλάτους του ρολογιού βοηθάει, αρκεί φυσικά να μην επηρεάζεται η αποδοτική λειτουργία του διακόπτη. Μια ιδέα για την καταπολέμηση της έγχυσης φορέων είναι να εξασφαλιστεί ότι οι σύνθετες αντιστάσεις που φαίνονται στους κόμβους θα είναι ίσες. Αυτό επιτυγχάνεται με την προσθήκη δύο επιπλέον dummy στοιχείων με βραχυκυκλωμένους ακροδέκτες και πλάτος μισό από το πλάτος του διακόπτη, όπως φαίνεται στο Σχήμα 3.5 [9].



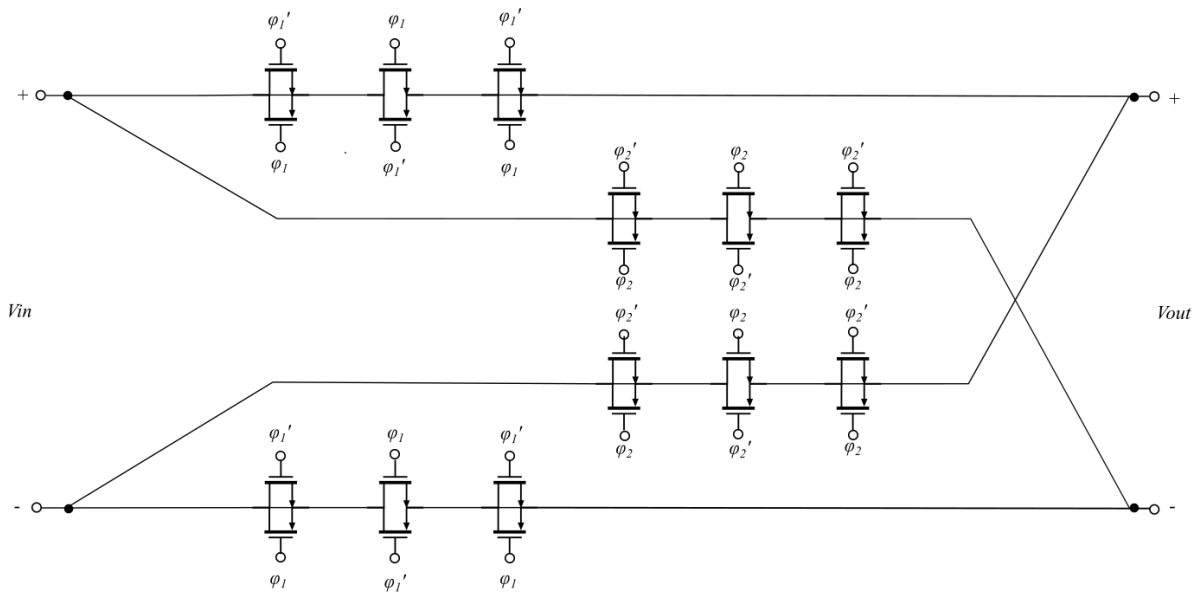
Σχήμα 3.5: Διακόπτης MOS συμπεριλαμβάνοντας τα dummy devices για την καταπολέμηση του charge injection.

Η σχεδίαση του συστήματος γίνεται σε CMOS τεχνολογία. Συνεπώς, οι απλοί διακόπτες, καθώς και τα dummy devices, αντικαθίστανται από transmissions gates. Με αυτό τον τρόπο επιτυγχάνεται το μέγιστο εύρος στο πλάτος των σημάτων εισόδου που μπορούν να διαμορφωθούν. Ταυτόχρονα, μειώνεται σημαντικά το clock feedthrough και η έγχυση φορέων. Η τελική υλοποίηση της πύλης μετάδοσης απεικονίζεται στο Σχήμα 3.6.



Σχήμα 3.6: Πύλη μετάδοσης με πρόσθετα dummy devices.

Όπως αναφέρθηκε και πιο πάνω (βλ. Σχήμα 3.2) για την υλοποίηση του chopper διαμορφωτή χρειάζονται δύο διαδρομές που ελέγχονται από συμπληρωματικά ρολόγια. Κάθε διαδρομή αποτελείται από δύο πύλες μετάδοσης αφού η διάταξη είναι πλήρως διαφορική. Το τελικό κύκλωμα φαίνεται στο Σχήμα 3.7. Οι φάσεις φ_1, φ_2 πρέπει να δρουν συμπληρωματικά, κάθε μια για χρονικό διάστημα ίσο με την ημιπερίοδο του chopper, ενώ είναι επιτακτικό να μην υπάρχει χρονικό διάστημα αλληλοεπικάλυψής τους. Το πώς αυτό επιτυγχάνεται στην πράξη παρουσιάζεται στο επόμενο κεφάλαιο



Σχήμα 3.7: Το πλήρες κύκλωμα του διαμορφωτή Chopper.

4

Αρχιτεκτονική του CCIA

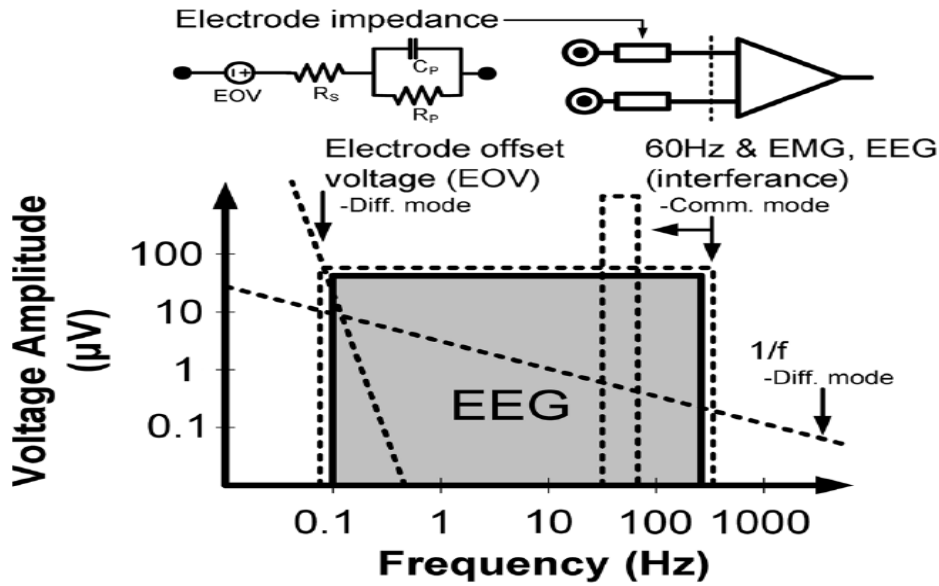
Μέχρι στιγμής έχει αναλυθεί η συμπεριφορά του MOSFET σε subthreshold περιοχή, καθώς και η τεχνική της σταθεροποίησης chopper. Τα προηγούμενα κεφάλαια ήταν απαραίτητα για να προχωρήσουμε στην περιγραφή της συνολικής αρχιτεκτονικής του CCIA και στην ανάλυση των επιμέρους blocks από τα οποία αποτελείται.

4.1 Συνολική αρχιτεκτονική του κυκλώματος

Όπως εξηγήθηκε στο Κεφ. 2.5, η εικόνα του θορύβου που παρουσιάζουν τα MOSFETs είναι ένας πρώτος περιοριστικός παράγοντας για την ενίσχυση χαμηλόσυχνων ασθενών σημάτων. Εκτός από το θόρυβο, όμως, ο σχεδιαστής ενός instrumentation amplifier για την ενίσχυση βιολογικών σημάτων, αντιμετωπίζει και κάποιες ακόμα σχεδιαστικές προκλήσεις, οι οποίες σχετίζονται με τη διεπαφή του ηλεκτροδίου και του ανθρώπινου δέρματος [10]. Οι προκλήσεις αυτές συνοψίζονται στο Σχήμα 4.1.

Συνήθως, χρησιμοποιούνται ηλεκτρόδια $Ag/AgCl$ και gels ηλεκτρολύτη. Το ισοδύναμο μοντέλο ενός τέτοιου ηλεκτροδίου φαίνεται στο Σχήμα 4.1. Η τάση απόκλισης του ηλεκτροδίου (Electrode Offset Voltage – EOV) οφείλεται στη χημική αλληλεπίδραση μεταξύ του μετάλλου και του gel. Η τιμή της EOV, η οποία κυμαίνεται από 10 mV έως και 100 mV, είναι πολύ μεγάλη σε σχέση με το σήμα εισόδου. Είναι, λοιπόν, απαραίτητο η είσοδος να φιλτραριστεί πριν την ενίσχυση από ένα υπερβατό φίλτρο, το οποίο θα έχει πολύ χαμηλή συχνότητα αποκοπής, έτσι ώστε να αποκόπτεται η EOV αλλά να «περνάει» αναλλοίωτο ένα ημίτονο συχνότητας 0.1 Hz. Η R_S σχετίζεται με την αγωγιμότητα του ηλεκτρολύτη και η τιμή της κυμαίνεται στα 2 kΩ. Αντίθετα, οι R_p και C_p οφείλονται στη σύνθετη αντίσταση του ανθρώπινου δέρματος και οι τιμές τους είναι της τάξης των 2 MΩ και 50 nF, αντίστοιχα [11]. Επομένως, η σύνθετη αντίσταση εισόδου του ενισχυτή πρέπει να έχει ωμική συνιστώσα πολύ μεγαλύτερη από τα 2 MΩ και χωρητική συνιστώσα πολύ χαμηλότερη από 50 nF.

Η αρχιτεκτονική του CCIA απεικονίζεται στο Σχήμα 4.2. Το κύκλωμα αποτελείται από τον τελεστικό ενισχυτή (Operational Amplifier – Opamp), τους διαμορφωτές chopper, τους πυκνωτές εισόδου C_{in} , τους πυκνωτές ανάδρασης C_f , τον πυκνωτή εξόδου C_{out} και τις αντιστάσεις πόλωσης R_b . Η σύζευξη με τα ηλεκτρόδια γίνεται χωρητικά και το κέρδος κλειστού βρόχου του ενισχυτή

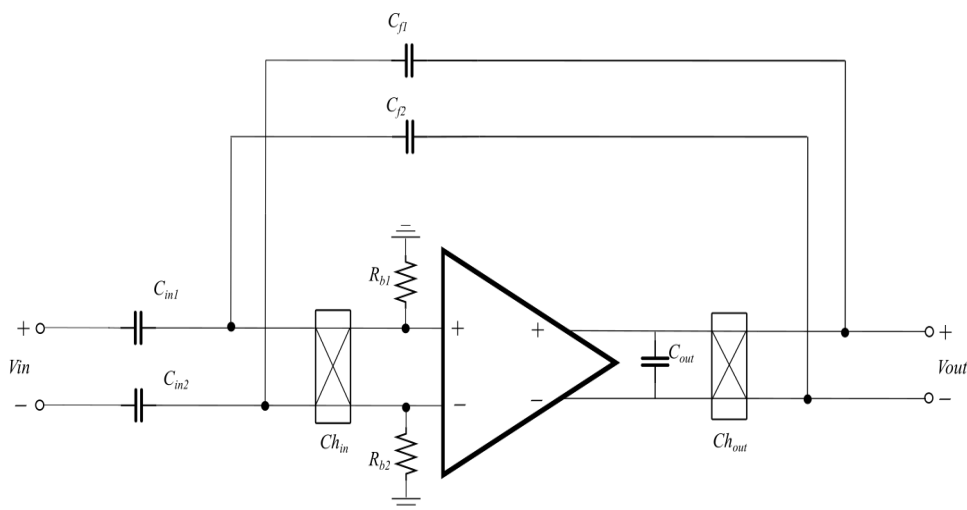


Σχήμα 4.1: Προκλήσεις στην υλοποίηση ενός Instrumentation Amplifier για τη λήψη του EEG.

καθορίζεται κυρίως από το λόγο του πυκνωτή της εισόδου προς τον πυκνωτή της ανάδρασης. Συγκεκριμένα, έχουμε:

$$A_{CL} = \frac{A_v}{(1 + A_v C_{f1,2} / C_{in1,2})} \tag{4.1}$$

Όπου A_v είναι το κέρδος τάσης ανοιχτού βρόχου του τελεστικού ενισχυτή. Για μεγάλες τιμές του A_v έχουμε $A_{CL} = C_{in} / C_f$. Επομένως, αν οι πυκνωτές εισόδου είναι 100 φορές μεγαλύτεροι από τους πυκνωτές ανάδρασης, πετυχαίνουμε το επιθυμητό κέρδος $A_{CL} = 40$ dB



Σχήμα 4.2: Αρχιτεκτονική του CCIA.

Όπως περιγράψαμε και στο προηγούμενο κεφάλαιο ο διαμορφωτής της εισόδου Ch_{in} μεταφέρει

το σήμα στα περιττά πολλαπλάσια της f_{chop} και ο διαμορφωτής της εξόδου Ch_{out} επαναφέρει το σήμα στο baseband διαμορφώνοντας, ταυτόχρονα, το θόρυβο που εισάγει ο Opamp στις υψηλές συχνότητες. Έτσι, ο θόρυβος διαχωρίζεται συχνοτικά από το προς ενίσχυση σήμα. Μια σημαντική επιλογή είναι το σημείο όπου θα γίνει η πρώτη διαμόρφωση. Σε αρκετές εφαρμογές (ενδεικτικά [12], [13]) ο πρώτος διαμορφωτής τοποθετείται πριν τους πυκνωτές εισόδου. Σε αυτή την περίπτωση, η EOV που εμφανίζεται στους ακροδέκτες εισόδου διαμορφώνεται από τον Ch_{in} και ενισχύεται με αποτέλεσμα ο ενισχυτής να μπαίνει σε κορεσμό. Για να αντιμετωπιστεί το πρόβλημα αυτό οι σχεδιαστές προσθέτουν έναν βρόχο ανάδρασης, ο οποίος αποτελείται από ένα DC – Servo Loop. Αντίθετα, αν η διαμόρφωση εκτελείται στους ακροδέκτες εισόδου του opamp, όπως στο Σχήμα 4.2, δεν υπάρχει τέτοια ανάγκη, καθώς οι πυκνωτές της εισόδου φιλτράρουν παθητικά την EOV πριν τη διαμόρφωση. Ένα δεύτερο πλεονέκτημα σχετίζεται με την αντίσταση εισόδου του κυκλώματος. Από τη θεωρία διακοπόμενων πυκνωτών προκύπτει πως ο συνδυασμός ενός διαμορφωτή chopper με δύο πυκνωτές ισοδυναμεί με μια αντίσταση R_{mod} , όπως φαίνεται στο Σχήμα 4.3. Στη φάση φ_1 οι πυκνωτές φορτίζονται από ρεύμα I_{in} , ενώ στη φάση φ_2 αποφορτίζονται. Άρα η μέση τιμή του ρεύματος ισούται με:

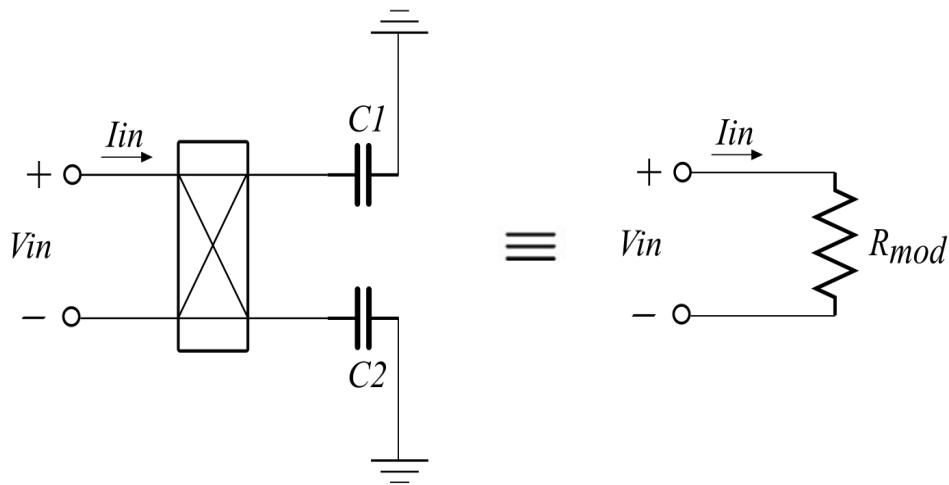
$$\bar{I}_{in} = \frac{C_1}{T} \cdot V_{in} + \frac{C_2}{T} \cdot V_{in} \quad (4.2)$$

Όπου T είναι η περίοδος του διαμορφωτή. Για $C_1 = C_2 = C$ παίρνουμε την τιμή της ισοδύναμης αντίστασης:

$$R_{mod} = \frac{1}{2 \cdot f_{chop} \cdot C} \quad (4.3)$$

Καθίσταται εύκολα αντιληπτό πως το φαινόμενο αυτό μειώνει σημαντικά την αντίσταση εισόδου του ενισχυτή. Όμως, όταν η διαμόρφωση γίνεται στην είσοδο του τελεστικού ενισχυτή, τότε η χωρητικότητα που «βλέπει» ο διαμορφωτής ισούται με την χωρητικότητα της πύλης των MOSFET που αποτελούν το στάδιο εισόδου του Opamp. Επειδή τα τρανζίστορ πολώνονται σε weak inversion, η χωρητικότητα αυτή αντιστοιχεί στην C_{GB} , η οποία δίνεται από την (3.19). Η χωρητικότητα αυτή είναι αρκετά μικρότερη από την C_{in} , συνεπώς η αντίσταση εισόδου θα είναι αισθητά μεγαλύτερη. Μάλιστα, μπορούμε να αυξήσουμε περαιτέρω την αντίσταση εισόδου, μειώνοντας τη συχνότητα των Choppers ή μειώνοντας τις διαστάσεις των MOSFET's του σταδίου εισόδου. Αν ο Ch_{in} τοποθετηθεί πριν τους πυκνωτές εισόδου, τότε είναι αναγκαίο να χρησιμοποιηθεί άλλο ένα δίκτυο ανάδρασης, το οποίο θα ενισχύει την αντίσταση. Φυσικά, οι πολλές αναδράσεις ενέχουν τον κίνδυνο της αστάθειας, ενώ ταυτόχρονα αυξάνεται και ο χώρος που καταλαμβάνει το κύκλωμα. Είναι, λοιπόν, προτιμότερο να αποφεύγονται.

Παρά τα πλεονεκτήματα του chopping στην είσοδο του τελεστικού ενισχυτή, αξίζει να αναφερθεί και ένα σημαντικό μειονέκτημα. Σε πραγματική υλοποίηση υπάρχει απόκλιση στις χωρητικότητες των πυκνωτών εισόδου. Αυτό το mismatch μπορεί να μετατρέψει ένα common-mode σήμα εισόδου σε διαφορικό θόρυβο. Αντίθετα, αν το chopping γίνει πριν τους πυκνωτές εισόδου, η επίδραση του mismatch των πυκνωτών εισόδου αμβλύνεται. Συνεπώς, σε πραγματική υλοποίηση, το κύκλωμα του Σχήματος 4.2 μπορεί να παρουσιάζει χαμηλότερο λόγο απόρριψης κοινού σήματος (Common-Mode Rejection Ratio – CMRR) από τοπολογίες στις οποίες η διαμόρφωση γίνεται στην είσοδο.



Σχήμα 4.3: Παρασιτική αντίσταση R_{mod} που εισάγεται λόγω του διαμορφωτή Chopper.

Επομένως, γίνεται ένας συμβιβασμός του CMRR, έτσι ώστε να επιτευχθεί μεγαλύτερη αντίσταση εισόδου. Παρ' όλα αυτά, στην πράξη [10] μπορεί να επιτευχθεί CMRR της τάξης των 60 dB, το οποίο είναι ικανοποιητικό για τις εφαρμογές που μας ενδιαφέρουν.

Το DC επίπεδο τάσης στην είσοδο του Opaamp πολώνεται σε μηδενική τάση μέσω των αντιστάσεων πόλωσης R_b . Ταυτόχρονα, οι αντιστάσεις αυτές εξυπηρετούν και έναν ακόμα σκοπό – παρέχουν στους πυκνωτές της εισόδου μια AC διαδρομή προς τη γείωση. Έτσι, κατά τη φάση φ_2 , αποφεύγεται η συσσώρευση φορτίου στους οπλισμούς των πυκνωτών.

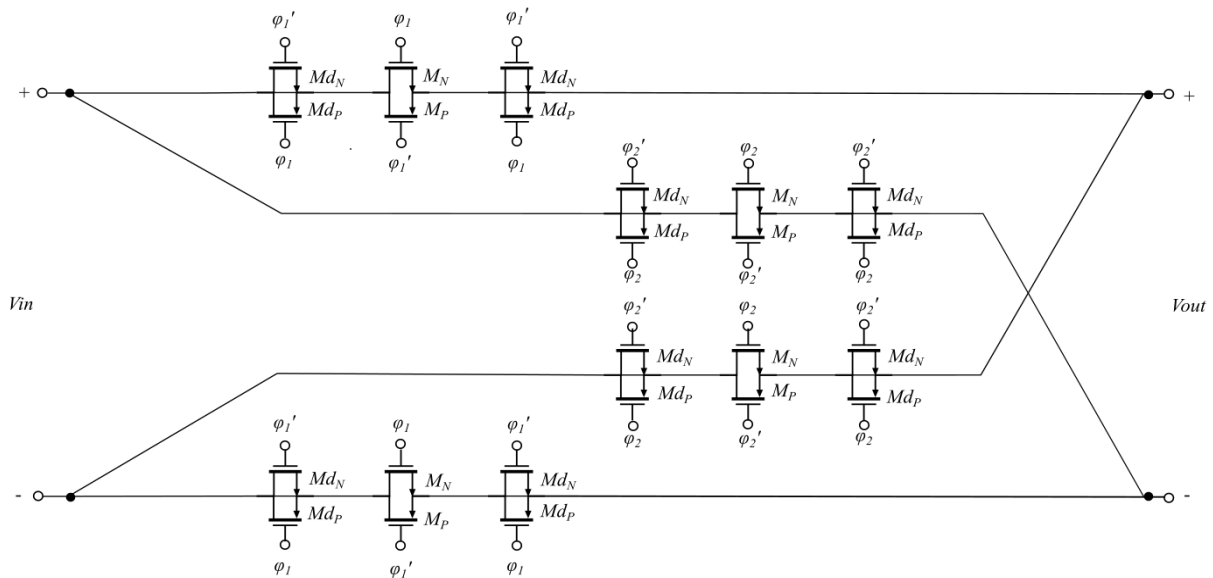
Όσον αφορά τον τελεστικό ενισχυτή, πρόκειται για έναν ενισχυτή διαγωγιμότητας (Operational Transconductance Amplifier – OTA), δηλαδή το κέρδος ανοιχτού βρόχου δίνεται ως γινόμενο της διαγωγιμότητας του ενισχυτή και της αντίστασης εξόδου. Ένα από τα πλεονεκτήματα αυτής της επιλογής είναι πως η αντιστάθμιση του κυκλώματος υλοποιείται από το συνδυασμό της αντίστασης εξόδου του τελεστικού ενισχυτή και του πυκνωτή C_{out} . Λόγω της μεγάλης αντίστασης εξόδου του OTA, η συχνότητα του επικρατούντα πόλου καθορίζεται από το γινόμενο $R_{out} \cdot C_{out}$. Η αρχιτεκτονική του τελεστικού ενισχυτή παρουσιάζεται εκτενώς στην Ενότητα 4.3.

4.2 Chopper Blocks

Όπως αναφέρθηκε στο Κεφάλαιο 3, για την αποτελεσματική λειτουργία των διαμορφωτών Chopper, είναι απαραίτητο οι δύο συμπληρωματικές φάσεις φ_1, φ_2 (οι οποίες ελέγχουν τις διαδρομές του σήματος) να μην αλληλοκαλύπτονται χρονικά καθ' όλη τη διάρκεια λειτουργίας. Αυτό πρακτικά επιτυγχάνεται μέσω μιας γεννήτριας μη-αλληλοκαλυπτόμενων ρολογιών (non-overlapping clock generator). Επομένως, το κάθε chopper block αποτελείται από δύο υποκυκλώματα: το διαμορφωτή chopper και τη γεννήτρια μη-αλληλοκαλυπτόμενων ρολογιών.

4.2.1 Διαμορφωτής Chopper

Στην παράγραφο 3.3 περιγράφηκε η συλλογιστική πορεία που ακολουθείται για τη σχεδίαση του διαμορφωτή. Για λόγους πληρότητας, το κύκλωμα που υλοποιείται τελικά σε CMOS τεχνολογία παρουσιάζεται και εδώ στο Σχήμα 4.4. Με M και M_P συμβολίζονται τα NMOS και τα PMOS της πύλης μετάδοσης, αντίστοιχα, ενώ με M_{dN} και M_{dP} συμβολίζονται τα dummy devices, τα οποία επιστρατεύονται για τον περιορισμό της έγχυσης φορέων.



Σχήμα 4.4: Διαμορφωτής Chopper.

Υπενθυμίζουμε πως κατά το πρώτο μισό της περιόδου του Chopper άγουν οι διακόπτες που αντιστοιχούν στη φάση φ_1 , οπότε $V_{out} = V_{in}$, ενώ κατά το δεύτερο μισό της περιόδου, άγουν οι διακόπτες της φάσης φ_2 , οπότε αντιστρέφεται η πολικότητα της εισόδου και είναι $V_{out} = -V_{in}$.

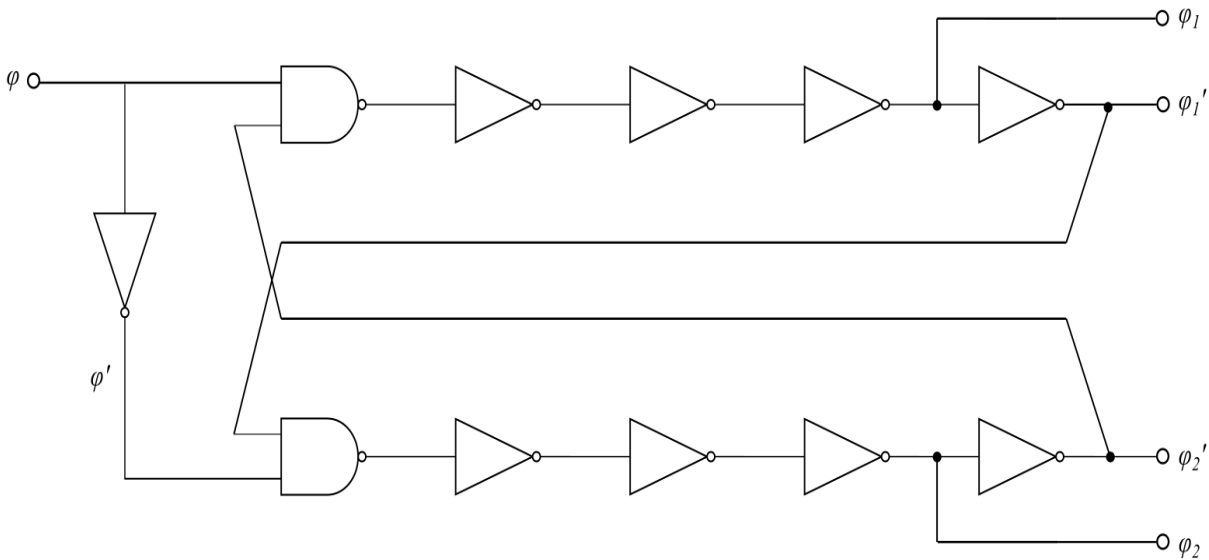
4.2.2 Γεννήτρια μη-αλληλοκαλυπτόμενων ρολογιών

Η βασική ιδέα είναι να εξασφαλίσουμε πως θα έχουμε δύο ρολόγια τα οποία θα είναι συμπληρωματικά και να εισάγουμε καθυστέρηση σε κάθε ένα ώστε να μην υπάρχει επικάλυψη. Η υλοποίηση της γεννήτριας με χρήση λογικών πυλών φαίνεται στο Σχήμα 4.5.

Ο πίνακας αληθείας της πύλης NAND με εισόδους A και B είναι ο εξής:

A	B	Output
0	0	1
0	1	1
1	0	1
1	1	0

Πίνακας 4.1: Πίνακας αληθείας της πύλης NAND με δύο εισόδους.



Σχήμα 4.5: Γεννήτρια μη αλληλοκαλυπτόμενων ρολογιών.

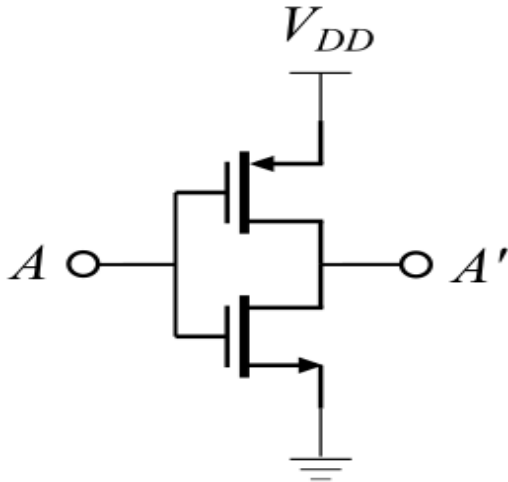
Όταν η μία είσοδος της πύλης NAND βρίσκεται στο λογικό μηδέν, τότε η έξοδος της βρίσκεται στο λογικό ένα, ανεξάρτητα από την τιμή της άλλης εισόδου. Έστω, για παράδειγμα, ότι $\varphi = 0$. Τότε η έξοδος της NAND του πάνω κλάδου θα είναι ίση με 1, οπότε $\varphi_1 = 0$ και $\varphi_1' = 1$. Έτσι, και οι δύο είσοδοι της κάτω NAND θα είναι ίσες με 1, άρα η έξοδος της θα είναι ίση με 0. Συνεπώς, θα είναι $\varphi_2 = 1$ και $\varphi_2' = 0$.

Άρα τελικά $\varphi_1 = 0$ και $\varphi_2 = 1$. Αποδεικνύεται, δηλαδή, ότι έχουμε υλοποιήσει δύο συμπληρωματικά ρολόγια. Οι τρεις αντιστροφείς εισφέρουν την απαραίτητη καθυστέρηση για να αποφευχθεί η αλληλοκάλυψη.

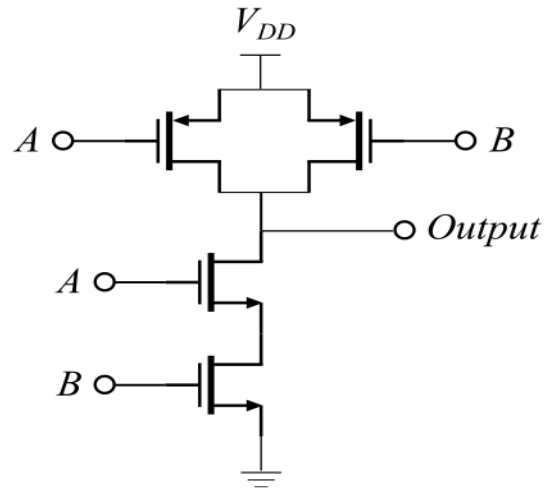
Στα Σχήματα 4.6 και 4.7 φαίνεται η υλοποίηση του αντιστροφέα και της πύλης NAND σε επίπεδο τρανζίστορ.

4.3 Τελεστικός Ενισχυτής

Ο τελεστικός ενισχυτής αποτελεί το πιο σημαντικό block του CCIA. Το κέρδος ανοιχτού βρόχου A_v , που παρουσιάζει, το γινόμενο του κέρδους επί τη συχνότητα μοναδιαίου κέρδους (Gain – Bandwidth Product – GBW), καθώς και η απόκριση συχνότητας του τελεστικού ενισχυτή καθορίζουν τη συμπεριφορά ολόκληρου του κυκλώματος. Παράλληλα, σε ένα αναλογικό ολοκληρωμένο κύκλωμα ο τελεστικός ενισχυτής είναι ένα από τα block που καταναλώνουν την περισσότερη ισχύ, ιδιαίτερα όταν πρόκειται για έναν ενισχυτή χαμηλού θορύβου (Low Noise Amplifier – LNA). Όπως έχει ήδη αναφερθεί, τα τρανζίστορ που συνθέτουν τον Opamp είναι αυτά που εισάγουν το θόρυβο και όπως φαίνεται από τη σχέση (2.25), για να μειωθεί ο θόρυβος που εισάγει ένα MOSFET πρέπει να αυξηθεί το g_m αυτού, δηλαδή να αυξηθεί το ρεύμα. Επομένως, η προσεκτική σχεδίαση του τελεστικού ενισχυτή είναι κομβικής σημασίας για τη συνολική λειτουργία του CCIA.



Σχήμα 4.6: CMOS αντιστροφέας.



Σχήμα 4.7: CMOS πύλη NAND.

4.3.1 Τοπολογία του ενισχυτή

Η τοπολογία του κυκλώματος παρουσιάζεται στο Σχήμα 4.8. Πρόκειται για έναν πλήρως διαφορικό folded cascode ενισχυτή με ανακύκλωση ρεύματος (Recycling Folded Cascode – RFC) [14]. Όλα τα τρανζίστορ του κυκλώματος πολώνονται σε weak inversion επιτρέποντας την επίτευξη μεγάλου κέρδους με πολύ χαμηλή τροφοδοσία και κατανάλωση ισχύος.

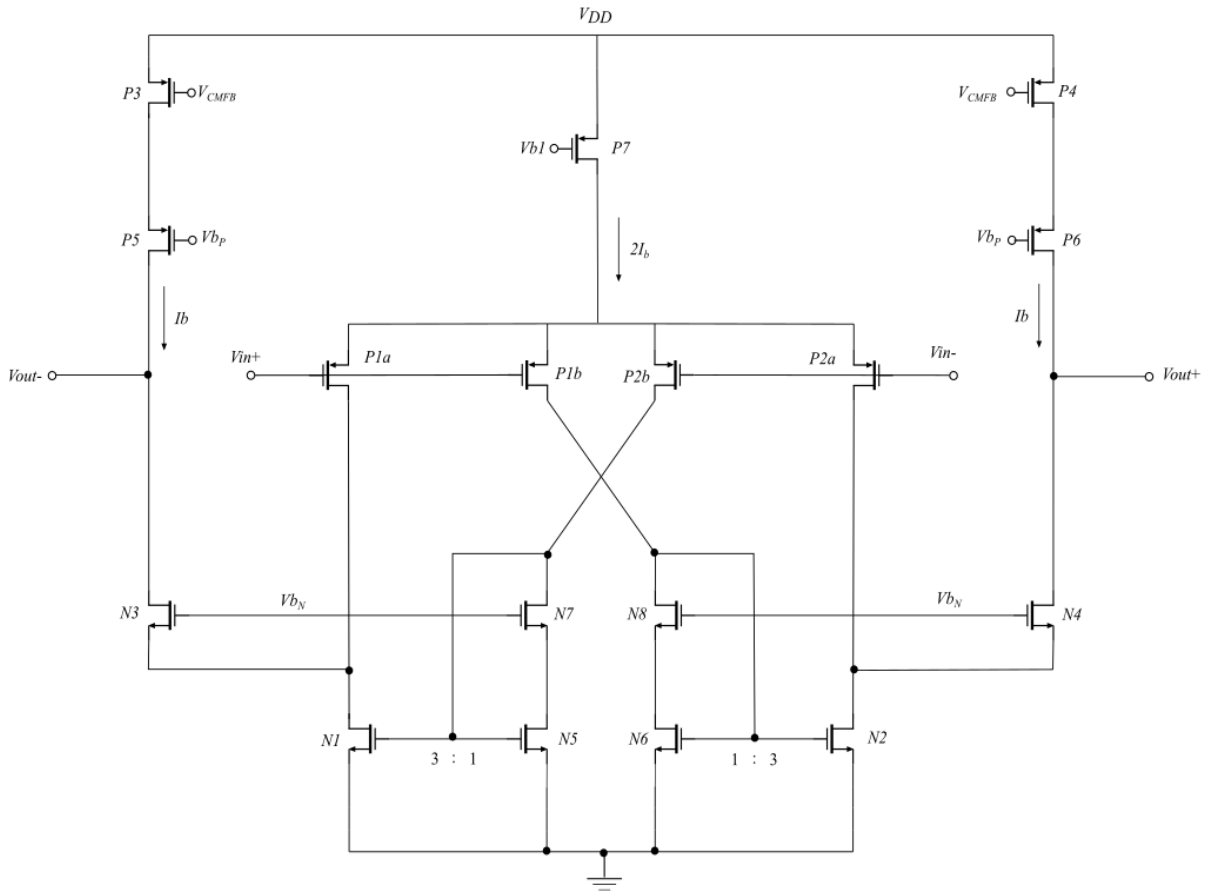
Το PMOS έχει χαμηλότερο $1/f$ θόρυβο σε σχέση με το NMOS, ενώ επιτρέπει τη λειτουργία με χαμηλό common mode στην είσοδο. Συνεπώς, για το στάδιο εισόδου επιλέγονται PMOS.

Τα τρανζίστορ της εισόδου έχουν τις ίδιες διαστάσεις και την ίδια V_{SG} , οπότε διαρρέονται από το ίδιο ρεύμα. Δηλαδή, $I_{1a} = I_{2a} = I_{1b} = I_{2b} = \frac{I_b}{2}$. Επομένως, τα τρανζίστορ αυτά θα έχουν την ίδια διαγωγιμότητα g_m . Οι 1 : 3 wide swing καθρέπτες ρεύματος εξασφαλίζουν ότι το ρεύμα στις υποδοχές των $N1$ και $N2$ θα ισούται με $3 \cdot \frac{I_b}{2}$, οπότε τα $N3, N4, P3, P4, P5, P6$ διαρρέονται από ρεύμα ίσο με I_b .

Το κύκλωμα πόλωσης καθώς και το κύκλωμα του Common Mode Feedback (CMFB) παραλείπονται προς το παρόν για λόγους απλότητας και θα εξεταστούν στο τέλος του κεφαλαίου.

4.3.2 Ανάλυση ασθενών σημάτων

Για τον υπολογισμό του κέρδους χαμηλών συχνοτήτων υποθέτουμε, χωρίς βλάβη της γενικότητας, ότι η v_{in} αυξάνεται. Λόγω συμμετρίας του κυκλώματος, μπορούμε να θεωρήσουμε πως η τάση στην πύλη των $P1a, P1b$ ισούται με $\frac{v_{in}}{2}$ και η τάση στην πύλη των $P2a, P2b$ ισούται με $-\frac{v_{in}}{2}$. Οπότε, αφού υποθέτουμε πως η v_{in} αυξάνεται, τα $P1a, P1b$ θα διαρρέονται από AC ρεύμα $g_m \cdot \frac{v_{in}}{2}$ με φορά προς τα πάνω, ενώ τα $P2a, P2b$ θα διαρρέονται από ρεύμα ίσης τιμής αλλά με κατεύθυνση προς τα κάτω. Συνεπώς, λόγω του $P2a$, στην πηγή του $N4$ εισέρχεται ένα ρεύμα που ισούται με $g_m \cdot v_{in}/2$. Ταυτόχρονα, λόγω του καθρέπτη που απαρτίζεται από τα $N6, N2$, το ρεύμα του $P1b$ τριπλασιάζεται και προστίθεται και αυτό στην πηγή του $N4$. Συνδέοντας χιαστί τα $P1b, N8, P2b, N7$,



Σχήμα 4.8: Τοπολογία του τελεστικού ενισχυτή – Recycling Folded Cascode.

όπως φαίνεται στο Σχήμα 4.8, εξασφαλίζεται ότι τα ρεύματα που προστίθενται στους αντίστοιχους κόμβους πηγής των $N3$ και $N4$ είναι συμφασικά, ενώ τα $N7$ και $N8$ εξασφαλίζουν πως τα τρανζίστορ που απαρτίζουν τους καθρέπτες 1 : 3 είναι κατάλληλα ταιριασμένα. Τελικά το ρεύμα που εξέρχεται από το θετικό κόμβο εξόδου ισούται με $4g_m \cdot v_{in}/2 = 2g_m \cdot v_{in}$ (και ισούται με το ρεύμα που εισέρχεται στον αρνητικό κόμβο εξόδου). Συνεπώς είναι:

$$V_{out}^+ = 2g_m \cdot v_{in} \cdot R_{out}^+ \text{ και } V_{out}^- = -2g_m \cdot v_{in} \cdot R_{out}^- \quad (4.4)$$

Όπου R_{out}^+ και R_{out}^- είναι οι αντιστάσεις εξόδου στον θετικό και στον αρνητικό ακροδέκτη εξόδου, αντίστοιχα. Προφανώς, λόγω συμμετρίας, θα είναι $R_{out}^+ = R_{out}^- = R_{out}$, οπότε λόγω της (4.4) έχουμε τελικά:

$$V_{out} = V_{out}^+ - V_{out}^- = 4g_m \cdot v_{in} \cdot R_{out} \quad (4.5)$$

Οπότε το κέρδος ανοιχτού βρόχου του RFC δίνεται ως εξής:

$$A_V = 4g_m \cdot R_{out} \quad (4.6)$$

Επομένως, η διαγωγιμότητα του RFC είναι τετραπλάσια της διαγωγιμότητας των τρανζίστορ της εισόδου:

$$G_{m,RFC} = 4g_m \quad (4.7)$$

Για τον υπολογισμό της R_{out} εξετάζουμε τον κόμβο V_{out}^+ . Η R_{out} είναι ο παράλληλος συνδυασμός της R_1 , που «βλέπει» ο κόμβος προς τα κάτω, και της R_2 , που «βλέπει» προς τα πάνω. Αυτές οι αντιστάσεις μπορούν να υπολογιστούν εύκολα με την ανάλυση που παρουσιάζεται στο [4] για την αντίσταση που εμφανίζουν οι συνδεσμολογίες cascode. Είναι, λοιπόν:

$$R_1 = g_{m_{N4}} r_{ds_{N4}} (r_{ds_{P2a}} \parallel r_{ds_{N2}}) \quad (4.8)$$

$$R_2 = g_{m_{P6}} r_{ds_{P6}} r_{ds_{P4}} \quad (4.9)$$

Από τις (4.6), (4.8) και (4.9) προκύπτει η (4.10) που είναι η τελική σχέση για το κέρδος ανοιχτού βρόχου του RFC σε χαμηλές συχνότητες.

$$A_V = 4g_m \cdot [g_{m_{N4}} r_{ds_{N4}} (r_{ds_{P2a}} \parallel r_{ds_{N2}}) \parallel (g_{m_{P6}} r_{ds_{P6}} r_{ds_{P4}})] \quad (4.10)$$

Η τοπολογία του RFC προτάθηκε [15] ως βελτίωση της κλασσικής τοπολογίας του αναδιπλωμένου cascode (Folded Cascode – FC) η οποία φαίνεται στο Σχήμα 4.9.

Ο FC αποτελεί μια ιδιαίτερα δημοφιλή επιλογή για το block του OTA, λόγω του μεγάλου κέρδους που παρουσιάζει. Το μειονέκτημα αυτής της τοπολογίας είναι η μεγάλη κατανάλωση ρεύματος.

Η διαγωγιμότητα και η αντίσταση εξόδου του FC δίνονται από τις σχέσεις (4.11) και (4.12) αντίστοιχα [14]:

$$G_{m,FC} = g_{m1,2} \quad (4.11)$$

$$R_{out,FC} = g_{m_{N4}} r_{ds_{N4}} (r_{ds_{P2}} \parallel r_{ds_{N2}}) \parallel (g_{m_{P6}} r_{ds_{P6}} r_{ds_{P4}}) \quad (4.12)$$

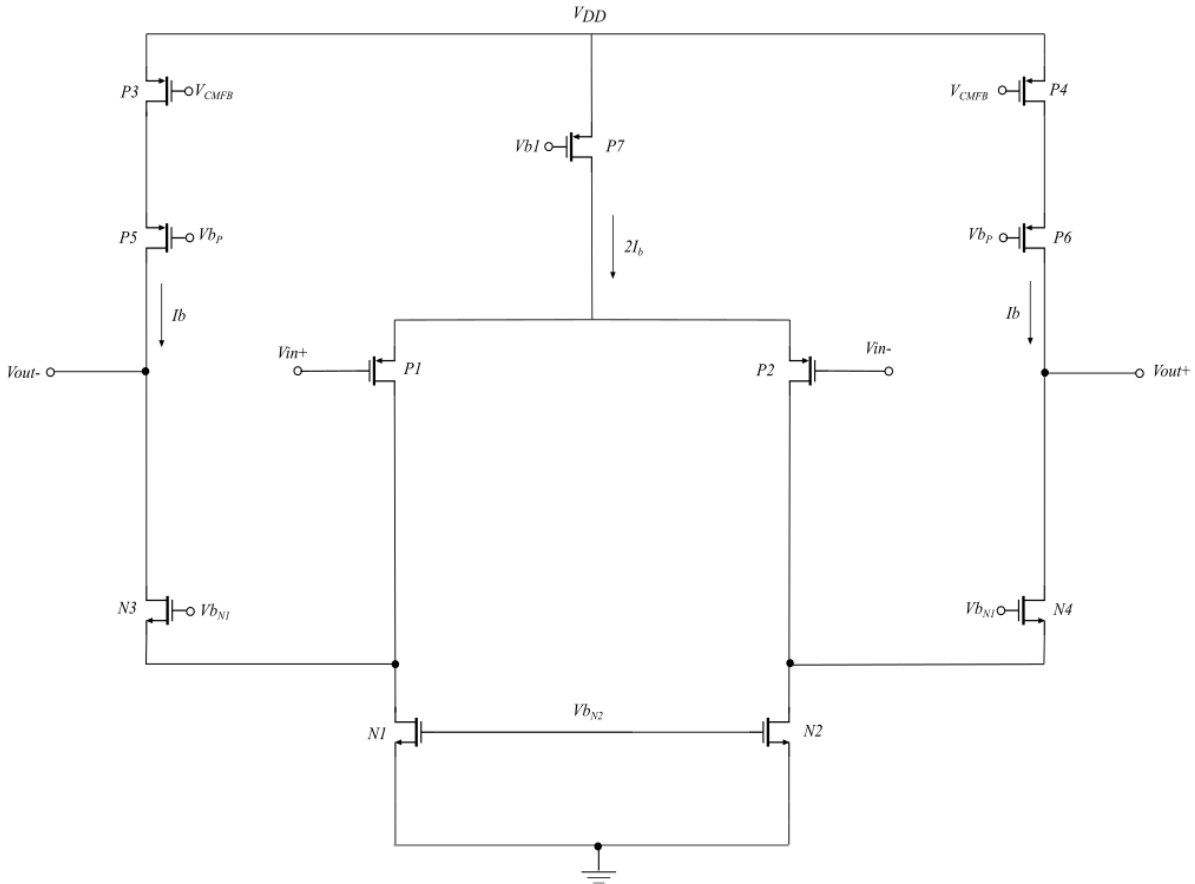
Αν τα δύο κυκλώματα πολώνονται από ίδιο ρεύμα, τότε τα PMOS της εισόδου του FC διαρρέονται από διπλάσια ρεύματα σε σχέση με τα αντίστοιχα του RFC, επομένως θα έχουν διπλάσια διαγωγιμότητα. Συγκρίνοντας, λοιπόν, τις (4.7), (4.11) προκύπτει ότι:

$$G_{m,RFC} = 2G_{m,FC} \quad (4.13)$$

Ταυτόχρονα, εξετάζοντας τις σχέσεις που δίνουν τις αντιστάσεις εξόδου, προκύπτει πως και η αντίσταση εξόδου του RFC θα είναι μεγαλύτερη από αυτήν του FC. Αυτό οφείλεται στο γεγονός πως τα $N2$ και $P2a$ στο κύκλωμα του Σχήματος 4.8 διαρρέονται από μικρότερο ρεύμα από ότι τα $N2$ και $P2$ του FC, άρα:

$$(r_{ds_{P2a}} \parallel r_{ds_{N2}}) > (r_{ds_{P2}} \parallel r_{ds_{N2}}) \quad (4.14)$$

Το τελικό συμπέρασμα είναι πως το κέρδος του RFC μπορεί να είναι παραπάνω από 6 dB μεγαλύτερο από το κέρδος του FC για ίδια κατανάλωση ισχύος.



Σχήμα 4.9: Τοπολογία Folded Cascode.

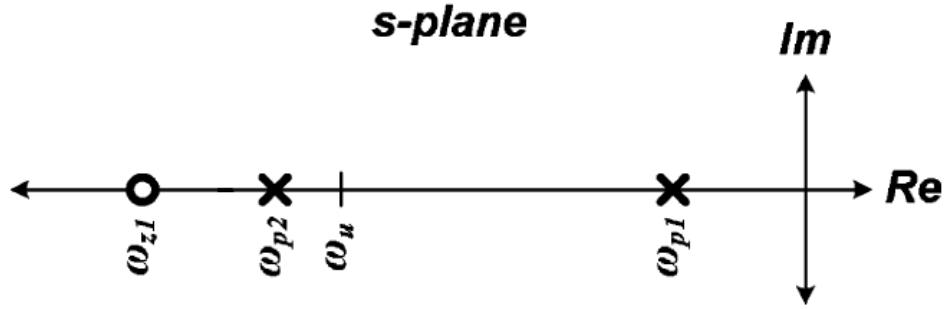
4.3.3 Ανάλυση υψηλών συχνοτήτων

Λόγω της υψηλής αντίστασης εξόδου ο RFC εμφανίζει έναν κυρίαρχο πόλο σε συχνότητα ω_{p1} , η οποία, όπως αναφέρθηκε και στην Ενότητα 4.1, καθορίζεται από το γινόμενο $R_{out} \cdot C_{out}$. Επιπλέον, υπάρχει ένα ζεύγος πόλου – μηδενικού, $\omega_{z1} = 4\omega_{p2}$, που σχετίζεται με τους καθρέπτες $N6 : N2$ και $N5 : N1$. Παρ'όλα αυτά, το ζεύγος αυτό εμφανίζεται σε πολύ μεγάλες συχνότητες σε σχέση με τον επικρατούντα πόλο [14]. Τα παραπάνω απεικονίζονται στο Σχήμα 4.10, όπου με ω_u συμβολίζεται η συχνότητα μοναδιαίου κέρδους.

4.3.4 Slew Rate

Ως Slew Rate – SR ορίζεται ο μέγιστος ρυθμός με τον οποίο μπορεί να μεταβάλλεται η έξοδος ενός τελεστικού ενισχυτή όταν στην είσοδο εφαρμόζεται ένα ισχυρό διαφορικό σήμα [4]. Ο ρυθμός αυτός εξαρτάται από το ρεύμα με το οποίο πολώνεται ο Opamp και είναι σημαντικό να τον γνωρίζουμε, γιατί όταν η είσοδος είναι τέτοια ώστε ο opamp να περιορίζεται από SR, τότε η απόκρισή του είναι μη γραμμική.

Για την περίπτωση του RFC υποθέτουμε ότι το V_{in}^+ αυξάνεται απότομα. Συνεπώς τα $P1a$ και $P1b$



Σχήμα 4.10: Πόλοι και μηδενικά του RFC.

βγαίνουν εκτός λειτουργίας (στην πραγματικότητα διαρρέονται από ένα πάρα πολύ μικρό ρεύμα). Άρα, αποκόπτονται και τα $N6$ και $N2$. Κατά συνέπεια η τάση στην υποδοχή του $N2$ αυξάνεται πολύ με συνέπεια και το $N4$ να βγαίνει εκτός λειτουργίας. Επομένως, (σχεδόν) όλο το ρεύμα πόλωσης $2I_b$ διέρχεται από το $P2b$, τριπλασιάζεται από τον καθρέπτη $N5 : N1$ και οδηγείται στην έξοδο. Άρα, το $N3$ τραβάει ένα ρεύμα ίσο με $6I_b$ τη στιγμή που το $P3$ δίνει ρεύμα ίσο με I_b . Οπότε στον κόμβο V_{out}^- εισέρχεται ρεύμα $5I_b$. Η διαφορά στα ρεύματα που εμφανίζονται στους ακροδέκτες εξόδου του κυκλώματος αποτελούν ένα common-mode σφάλμα το οποίο διορθώνεται από το κύκλωμα του CMFB, οπότε, τελικά, οι ακροδέκτες εξόδου φορτίζονται/ αποφορτίζονται από συμμετρικά ρεύματα $3I_b$ [15]. Υποθέτοντας ότι στην έξοδο έχουμε χωρητικό φορτίο C_L , υπολογίζουμε το SR ως εξής:

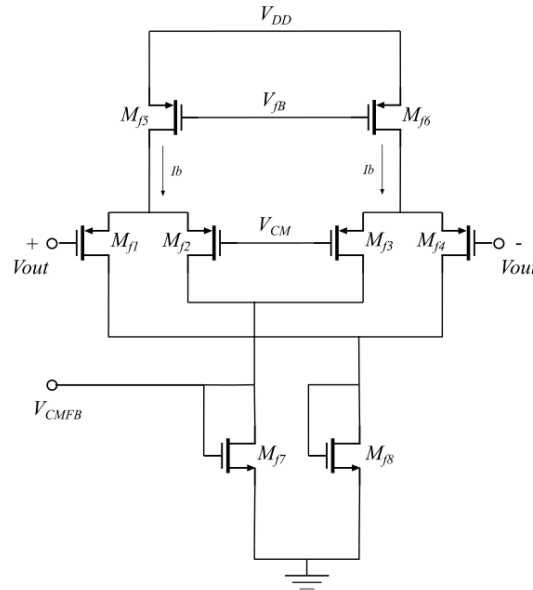
$$SR \equiv \left. \frac{dv_{out}}{dt} \right|_{max} = \frac{I_{out,max}}{C_L} = \frac{3 \cdot I_b}{C_L} \quad (4.15)$$

4.4 Common Mode Feedback – CMFB

Στο κύκλωμα του διαφορικού τελεστικού ενισχυτή είναι αναγκαίο να εξασφαλιστεί ότι η DC τάση στους ακροδέκτες της εξόδου θα είναι μονίμως ίση με μία τιμή αναφοράς V_{CM} . Αυτό επιτυγχάνεται με την προσθήκη του κυκλώματος του CMFB που φαίνεται στο Σχήμα 4.11 [4].

Τα δύο διαφορικά ζεύγη είναι ίδιων διαστάσεων και πολώνονται με ίδιο ρεύμα I_b , οπότε, όταν δεν υπάρχει διαφορικό σήμα, κάθε MOSFET διαρρέεται από ρεύμα $I_b/2$. Ας υποθέσουμε αρχικά πως η τιμή της common-mode τάσης ισούται με V_{CM} . Άρα, θα είναι $V_{out}^+ = V_{CM} + v_{out}^+$ και $V_{out}^- = V_{CM} + v_{out}^-$, όπου v_{out} είναι η AC τιμή της τάσης εξόδου. Λόγω συμμετρίας θα είναι $v_{out}^+ = -v_{out}^-$. Επομένως, σε AC ανάλυση σε κάθε διαφορικό ζεύγος θα εφαρμόζεται ίδια διαφορική τάση και, δεδομένου ότι το ρεύμα που διαρρέει τα ζεύγη εξαρτάται μόνο από τη διαφορική τάση, το ρεύμα του M_{f1} θα ισούται με αυτό του M_{f3} και το ρεύμα του M_{f2} θα ισούται με αυτό του M_{f4} . Ακόμα, αν η αύξηση του ρεύματος του M_{f2} λόγω της διαφορικής τάσης ισούται με ΔI , τότε το ρεύμα του M_{f3} θα μειώνεται κατά την ίδια ποσότητα. Άρα:

$$I_{f2} = \frac{I_b}{2} + \Delta I \quad (4.16)$$



Σχήμα 4.11: Κύκλωμα Common-Mode Feedback.

Και

$$I_{f3} = \frac{I_b}{2} - \Delta I \quad (4.17)$$

Από τις δύο τελευταίες σχέσεις προκύπτει ότι:

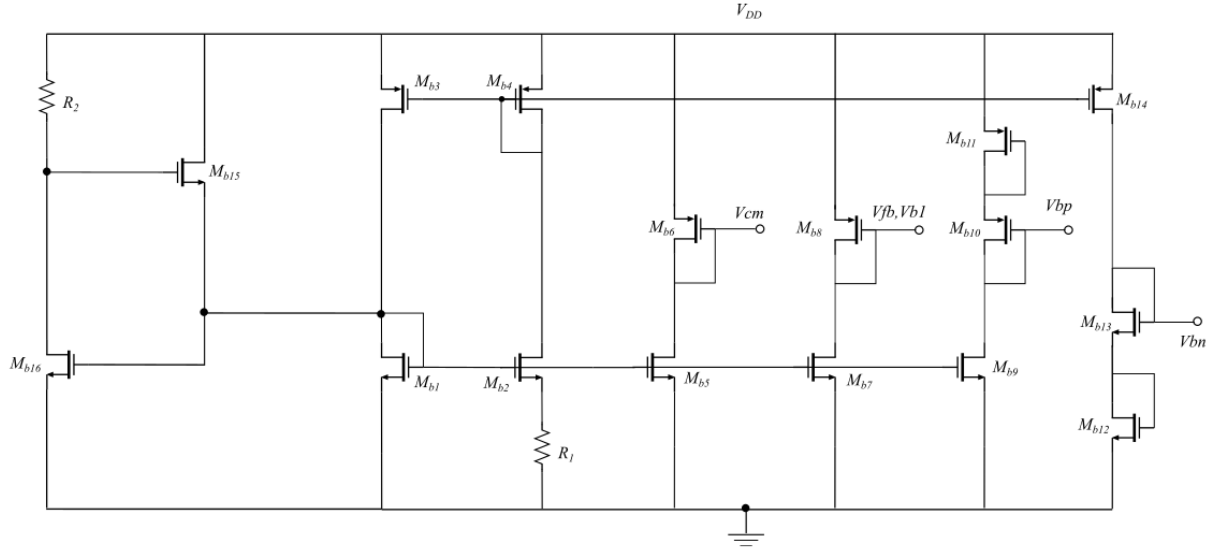
$$I_{f7} = I_{f2} + I_{f3} = I_b \quad (4.18)$$

Επομένως το ρεύμα του M_{f7} θα είναι πάντα ίσο με I_b όσο η common-mode τάση στην έξοδο θα ισούται με V_{CM} . Αν, τώρα, το επίπεδο του common-mode της εξόδου αυξηθεί, τότε η διαφορική τάση του αριστερού ζεύγους αυξάνεται, ενώ η διαφορική τάση του δεξιού ζεύγους μειώνεται. Αυτό σημαίνει πως τόσο το ρεύμα του M_{f2} όσο και το ρεύμα του M_{f3} αυξάνονται. Άρα θα αυξηθεί και το ρεύμα του M_{f7} , επομένως θα αυξηθεί και η τάση V_{CMFEB} . Η V_{CMFEB} , όμως ελέγχει τις πύλες των $P3$, $P4$, όπως φαίνεται στο Σχήμα 4.8. Κατά συνέπεια, όταν η V_{CMFEB} αυξάνεται, το ρεύμα που διαρρέει τα $P3$, $P4$ μειώνεται άρα η common-mode τάση της εξόδου μειώνεται. Αντίστοιχα, αν η common-mode τάση γίνει μικρότερη από V_{CM} , το δίκτυο ανάδρασης την αυξάνει. Βλέπουμε, δηλαδή, πως, όσο τα διαφορικά σήματα δεν είναι τόσο ισχυρά ώστε να θέτουν κάποιες συσκευές εκτός λειτουργίας, το δικτύωμα του CMFB θα διατηρεί το επίπεδο της common-mode τάσης της εξόδου πολύ κοντά στην τιμή της τάσης αναφοράς V_{CM} . Η τιμή της V_{CM} επιλέγεται ίση με το μισό της τροφοδοσίας, έτσι ώστε το κύκλωμα να έχει το μέγιστο δυνατό swing στην έξοδο.

4.5 Κύκλωμα Πόλωσης

Το τελευταίο block που παρουσιάζεται είναι το κύκλωμα πόλωσης, το οποίο δημιουργεί τις τάσεις αναφοράς που χρειάζονται για την πόλωση του τελεστικού ενισχυτή και του δικτύωμα-

τους CMFB. Όπως φαίνεται από τα Σχήματα 4.8 και 4.11, χρειαζόμαστε πέντε τάσεις αναφοράς (V_{bp} , V_{bn} , V_{b1} , V_{CM} , V_{fB}). Το κύκλωμα πόλωσης παρουσιάζεται στο Σχήμα 4.12 [3]. Όλα τα τρανζίστορ του κυκλώματος είναι πολωμένα σε subthreshold περιοχή, ελαχιστοποιώντας τη συνολική κατανάλωση ισχύος.



Σχήμα 4.12: Κύκλωμα Πόλωσης.

Ο καθρέπτης που απαρτίζεται από τα M_{b3} , M_{b4} είναι 1 : 1, οπότε επιβάλλει ίσα ρεύματα στα M_{b1} , M_{b2} για τα οποία είναι $W/L_2 = k \cdot W/L_1$ με $k \gg 1$. Επομένως, στην πηγή του M_{b2} αναπτύσσεται μια τάση V_{R1} , η οποία αντισταθμίζει το λόγο 1 : k . Επειδή τα M_{b1} , M_{b2} βρίσκονται σε weak inversion, η τάση V_{R1} προσδιορίζεται με χρήση της (2.13) που δίνει τη σχέση του ρεύματος με την τάση V_{GS} για ένα MOSFET πολωμένο σε subthreshold:

$$V_R = U_T \cdot \ln k \quad (4.19)$$

Συνεπώς, οι καθρέπτες ρεύματος διαρρέονται από ένα ρεύμα αναφοράς που εξαρτάται μόνο από το k και την αντίσταση R_1 :

$$I_R = \frac{U_T \cdot \ln k}{R_1} \quad (4.20)$$

Στην πράξη η τιμή της τάσης αναφοράς δεν μπορεί να γίνει πολύ μεγαλύτερη από $V_R = 4U_T$, τιμή που αντιστοιχεί σε $k = 55$. Επομένως, για αντίσταση της τάξης του 1 MΩ μπορούμε να πάρουμε ένα ρεύμα αναφοράς περίπου 100 nA.

Τελικά, οι τάσεις αναφοράς που χρειαζόμαστε διαμορφώνονται από απλούς καθρέπτες ρεύματος που οδηγούν ρεύματα πολλαπλάσια του I_R σε MOSFET's τα οποία είναι συνδεδεμένα ως διόδους. Στην περίπτωση των V_{bn} και V_{bp} , για να εξασφαλίσουμε πως τα τρανζίστορ θα δίνουν την ζητούμενη τάση παραμένοντας πάντα σε weak inversion, χρησιμοποιούμε δύο διόδους συνδεδεμένες εν σειρά.

Το υποκύκλωμα που απαρτίζεται από τα M_{b15} , M_{b16} και την R_2 αποτελεί ένα απλό κύκλωμα εκκίνησης. Όταν ο CCIA τεθεί σε λειτουργία, υπάρχει η πιθανότητα η τάση στις πύλες των M_{b1} ,

M_{b2} να βρίσκεται κοντά στο μηδέν και η τάση στις πύλες των M_{b3} , M_{b4} να βρίσκεται κοντά στην τάση τροφοδοσίας, οπότε το κύκλωμα πόλωσης δε θα διαρρέεται από ρεύμα. Σε αυτή την περίπτωση, το M_{b16} βρίσκεται σε αποκοπή, ενώ το M_{b15} διαρρέεται από ρεύμα, το οποίο πέφτει στην υποδοχή του M_{b1} , ανεβάζοντας την τάση στην πύλη των M_{b1} , M_{b2} και κατεβάζοντας την τάση στην πύλη των M_{b3} , M_{b4} , θέτοντας έτσι σε λειτουργία το κύκλωμα. Όσο η τάση στην πύλη του M_{b1} αυξάνεται, το M_{b16} διαρρέεται από ρεύμα και το M_{b15} τίθεται σταδιακά εκτός λειτουργίας. Έτσι το υποκύκλωμα εκκίνησης, δεν επηρεάζει πλέον το υπόλοιπο κύκλωμα.

5

Θεωρητική Υλοποίηση

Το κύκλωμα του CCIA που παρουσιάστηκε στο Κεφάλαιο 4.2 υλοποιήθηκε θεωρητικά με χρήση του Custom IC Design Tool της Cadence. Η υλοποίηση έγινε στην τεχνολογία TSMC 0.18 μm . Κάθε υποκύκλωμα τροφοδοτείται από μονή τροφοδοσία 0.6 V.

5.1 Διαστάσεις Στοιχείων

Η επιλογή των μεγεθών των στοιχείων που απαρτίζουν το κύκλωμα είναι συχνά μια δύσκολη διαδικασία μιας και υπάρχουν πολλοί παράγοντες που πρέπει να ληφθούν υπόψη για τη βελτιστοποίηση της λειτουργίας του. Οι διαστάσεις τελικά επιλέγονται μετά από μια σειρά από δοκιμές και συμβιβασμούς.

Εκτός από τα επί μέρους μπλοκ του CCIA (τα οποία απαρτίζονται από τρανζίστορ των οποίων τα μεγέθη δίνονται παρακάτω) πρέπει να προσδιοριστούν και τα μεγέθη των παθητικών στοιχείων του Σχήματος 4.2.

Πίνακας 5.1: Μεγέθη παθητικών στοιχείων του CCIA.

$C_{in} = 12 \text{ pF}$	$C_f = 110 \text{ fF}$	$C_{out} = 300 \text{ fF}$	$R_b = 40 \text{ G}\Omega$
--------------------------	------------------------	----------------------------	----------------------------

Όπως έχει περιγραφεί στο Κεφάλαιο 3, το block του Chopper αποτελείται από το διαμορφωτή Chopper και τη γεννήτρια μη αλληλοκαλυπτόμενων ρολογιών. Η τελευταία αποτελείται από λογικούς αντιστροφείς και πύλες NAND (βλ. Σχήμα 4.5). Ο μόνος περιορισμός για τις CMOS πύλες είναι η κινητικότητα των φορέων που καθιστά τα pMOS αργότερα από τα nMOS αντίστοιχων διαστάσεων. Επομένως τα pMOS πρέπει να έχουν μεγαλύτερες διαστάσεις από τα nMOS.

Για τους διαμορφωτές το επιθυμητό είναι να μπορούν να ανταποκριθούν γρήγορα στις αλλαγές των ρολογιών και να έχουν όσο το δυνατόν μικρότερες παρασιτικές χωρητικότητες καθώς (όπως είδαμε στο Κεφάλαιο 3) αυτές προκαλούν μη γραμμικά φαινόμενα. Επομένως, μια λογική επιλογή είναι τα dummy devices να έχουν τις ελάχιστες διαστάσεις που επιτρέπονται από την τεχνολογία και οι διαστάσεις των M_N , M_P να είναι διπλάσιες από αυτές. Για την επιβεβαίωση αυτής της επιλογής κάναμε μια παραμετρική ανάλυση με παράμετρο τα πλάτη W_{dn} και W_{dp} των dummy devices. Η ονομαστική τιμή ήταν τα 220 nm και η λειτουργία των διαμορφωτών προσομοιώθηκε για εύρος

τιμών 10 nm γύρω από αυτήν. Τα αποτελέσματα που πήραμε έδειξαν πως, αν και οι αποκλίσεις ήταν μικρές, η βέλτιστη επιλογή ήταν τα 220 nm, αφού σε αυτή την περίπτωση είχαμε τα μικρότερα spikes και τους καλύτερους χρόνους απόκρισης.

Στους πίνακες που ακολουθούν παρουσιάζονται οι διαστάσεις των τρανζίστορ που απαρτίζουν τις επιμέρους μονάδες του Chopper block.

Πίνακας 5.2: Διαστάσεις στοιχείων για τους αντιστροφείς και τις πύλες NAND.

Τρανζίστορ	W/L (μm)
M_N	4.0/2.0
M_P	6.0/2.0

Πίνακας 5.3: Διαστάσεις στοιχείων για τους διαμορφωτές Chopper.

Τρανζίστορ	W/L (μm)	Τρανζίστορ	W/L (μm)
M_N	0.44/0.2	M_{dN}	0.22/0.2
M_P	0.44/0.2	M_{dP}	0.22/0.2

Η επιλογή των μεγεθών των στοιχείων που αποτελούν τον τελεστικό ενισχυτή, ο οποίος παρουσιάστηκε στην Ενότητα 4.3.1, είναι πιο απαιτητική από οποιοδήποτε άλλο μπλοκ του συστήματος, καθώς είναι πολύ περισσότεροι οι παράγοντες που πρέπει να ληφθούν υπόψη.

Το ρεύμα πόλωσης I_b επιλέγεται στα 200 nA και η τάση τροφοδοσίας είναι 0.6 V, επομένως πρέπει να γίνει προσεκτική επιλογή των μεγεθών των τρανζίστορ, έτσι ώστε το ρεύμα που διαρρέει κάθε στοιχείο να είναι κορεσμένο (πρακτικά $|V_{DS}| \geq 80$ mV). Επιπλέον, από τη σχέση (4.10) προκύπτει πως το κέρδος του ενισχυτή εξαρτάται από τις αντιστάσεις των τρανζίστορ της εισόδου, καθώς και των τρανζίστορ N_2 , N_4 , P_4 , P_6 . Συνεπώς, τα τρανζίστορ αυτά πρέπει να έχουν μεγάλα μήκη καναλιών. Ταυτόχρονα, όμως, είναι επιθυμητό οι παρασιτικές χωρητικότητες των τρανζίστορ της εισόδου να είναι όσο το δυνατόν μικρότερες, ώστε η ισοδύναμη αντίσταση που δημιουργείται λόγω του διαμορφωτή εισόδου (Σχήμα 4.3) να είναι όσο το δυνατόν μεγαλύτερη. Επιθυμούμε, δηλαδή, τα μεγέθη των τρανζίστορ της εισόδου να είναι μικρά. Είναι σαφές, πως σε αυτή την περίπτωση πρέπει να γίνει ένας συμβιβασμός. Τελικά, τα μεγέθη των στοιχείων καθώς και το ρεύμα πόλωσης που επιλέχθηκαν συνοψίζονται στον Πίνακα 5.4.

Πίνακας 5.4: Διαστάσεις στοιχείων του RFC.

Τρανζίστορ	W/L (μm)	Τρανζίστορ	W/L (μm)
$P_{1a,b,2a,b}$	40/2	$N_{1,2}$	123.6/2
$N_{3,4}$	20/1	$N_{5,6}$	41.2/2
$N_{7,8}$	40/0.2	$P_{3,4}$	60/1
$P_{5,6}$	15/1	Ρεύμα Πόλωσης	(nA)
P_7	8/0.2	I_b	200

Ακολουθούν οι πίνακες με τις διαστάσεις των στοιχείων του δικτυώματος CMFB και του κυκλώματος πόλωσης.

Πίνακας 5.5: Διαστάσεις στοιχείων δικτύωματος CMFB

Τρανζίστορ	W/L (μm)
M_{f1-4}	60/0.25
$M_{f5,6}$	2/2
$M_{f7,8}$	2/0.4

Πίνακας 5.6: Διαστάσεις στοιχείων κυκλώματος πόλωσης.

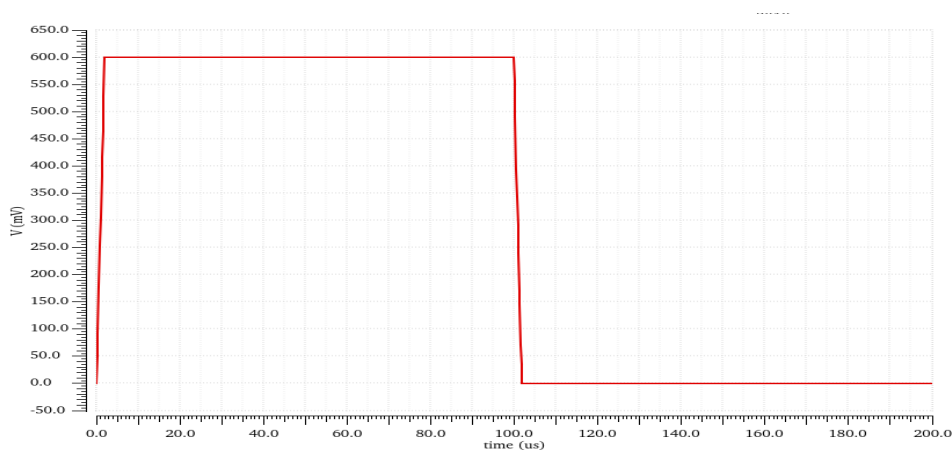
Τρανζίστορ	W/L (μm)	Τρανζίστορ	W/L (μm)
M_{b1}	4/0.18	M_{b2}	200/0.18
$M_{b3,4}$	20/0.25	M_{b5}	4/1
M_{b6}	14/1	M_{b7}	8/1
M_{b8}	6/2	M_{b9}	3/1
M_{b10}	35/0.25	M_{b11}	30/0.5
$M_{b12,13}$	16/0.25	Αντιστάσεις	MΩ
M_{b14}	15/1	R_1	1
M_{b15}	4/2	R_2	10
M_{b16}	3/0.2		

5.2 Αποτελέσματα Προσομοιώσεων

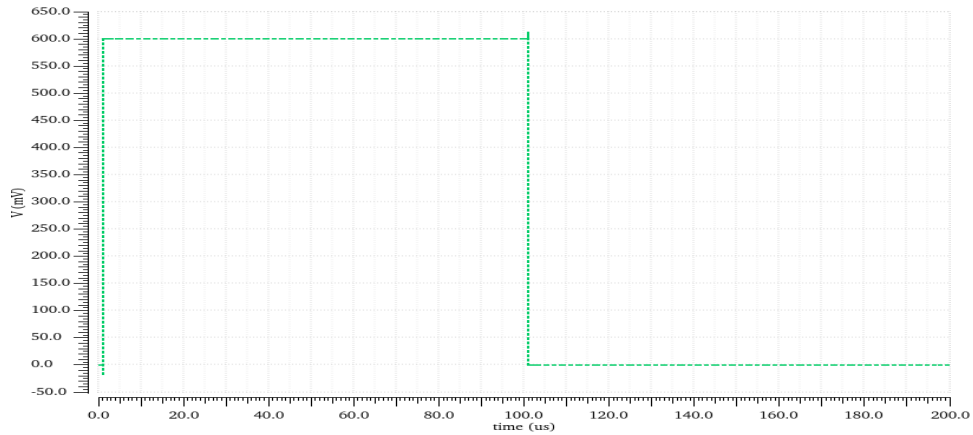
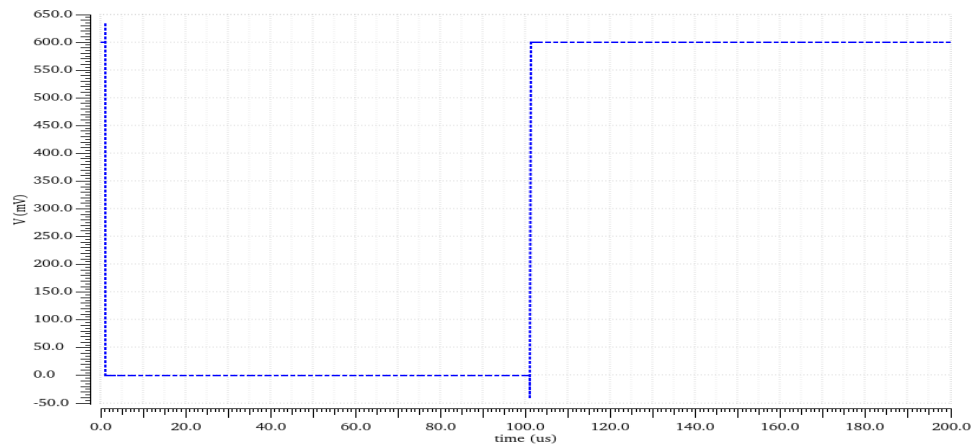
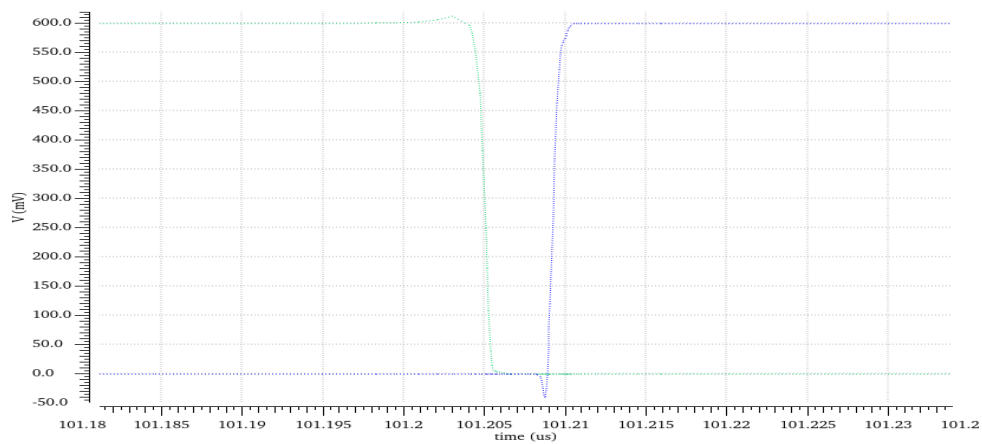
Έχοντας ορίσει τις διαστάσεις των τρανζίστορ και τα μεγέθη των παθητικών στοιχείων, συνεχίζουμε με την προσομοίωση της λειτουργίας των επιμέρους μπλοκ του κυκλώματος, αλλά και της συνολικής λειτουργίας του CCIA. Η προσομοίωση γίνεται με χρήση του Analog Design Environment.

5.2.1 Συμπεριφορά του Διαμορφωτή Chopper

Η συχνότητα f_{chop} ορίζεται στα 5 kHz. Έχοντας για είσοδο έναν τετραγωνικό παλμό με συχνότητα ίση με 5 kHz τρέχουμε, αρχικά, μια transient ανάλυση για να δούμε αν η γεννήτρια μη-αλληλοκαλυπτόμενων ρολογιών συμπεριφέρεται ικανοποιητικά.

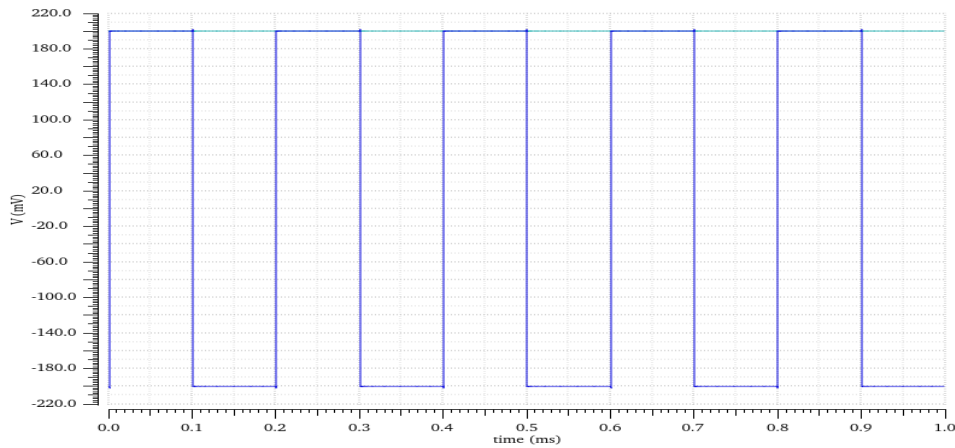


Σχήμα 5.1: Παλμός ρολογιού εισόδου.

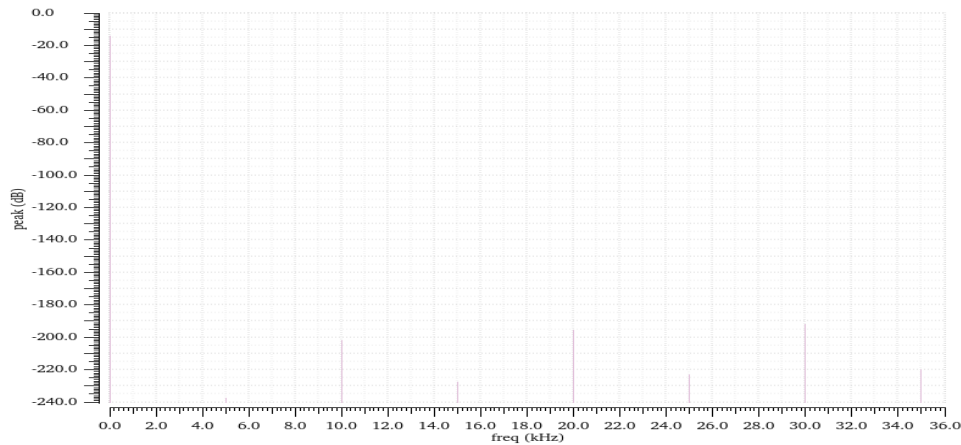
Σχήμα 5.2: Έξοδος φ_1 Σχήμα 5.3: Έξοδος φ_2 

Σχήμα 5.4: Έλεγχος επικάλυψης ρολογιών. Βλέπουμε πως ανάμεσα στους παλμούς των δύο ρολογιών υπάρχει ένα χρονικό παράθυρο, που εξασφαλίζει ότι το ένα ρολόι έχει πέσει στο 0, πριν ανέβει ο παλμός του άλλου ρολογιού.

Στη συνέχεια, θέλουμε να ελέγξουμε τη λειτουργία του διαμορφωτή. Για αυτό το σκοπό, χρησιμοποιούμε ως είσοδο του διαμορφωτή DC σήμα, ενώ η συχνότητα του ρολογιού είναι 5 kHz. Αυτή τη φορά τρέχουμε μια periodic steady-state (pss) ανάλυση για να δούμε τη συμπεριφορά του διαμορφωτή τόσο στο πεδίο του χρόνου (Σχήμα 5.5) όσο και στο πεδίο της συχνότητας (Σχήματα 5.6, 5.7).



Σχήμα 5.5: Έξοδος του διαμορφωτή chopper με είσοδο DC σήμα.

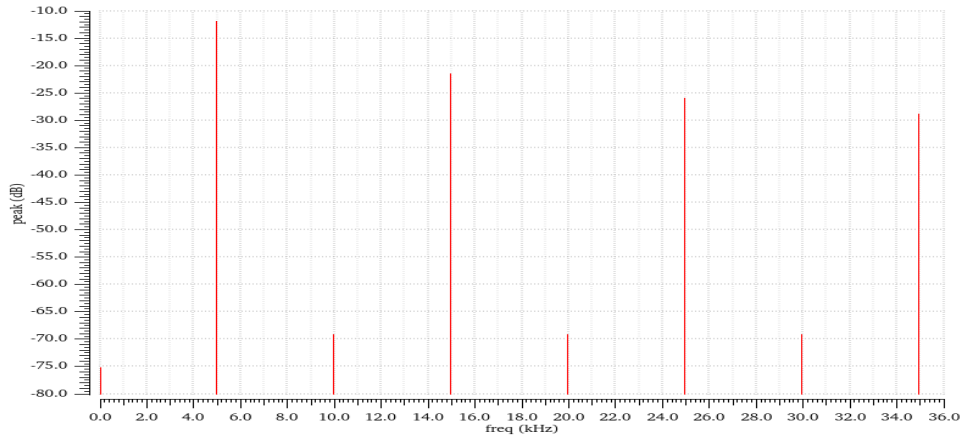


Σχήμα 5.6: Φάσμα του DC σήματος.

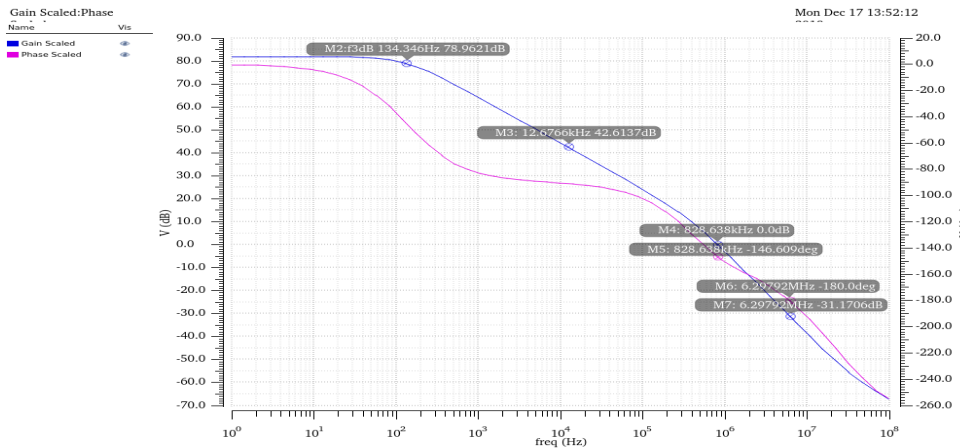
5.2.2 Συμπεριφορά του RFC

Πριν την εξέταση της συμπεριφοράς του τελικού κυκλώματος, είναι σημαντικό να γνωρίζουμε τη συμπεριφορά του τελεστικού ενισχυτή σε συνθήκες ανοιχτού βρόχου. Για το σκοπό αυτό, τρέχουμε μια AC ανάλυση και παίρνουμε τα διαγράμματα Bode για το κέρδος και τη φάση του ενισχυτή.

Παρατηρούμε ότι το κέρδος ανοιχτού κυκλώματος είναι περίπου 81 dB, η συχνότητα f_{3dB} είναι 134.346 kHz, το περιθώριο κέρδους είναι 31 dB και το περιθώριο φάσης περίπου 34° . Ακόμα, θέλουμε ο ενισχυτής να έχει κέρδος 40 dB σε συχνότητες μεγαλύτερες από 5 kHz όταν συνδεθεί σε



Σχήμα 5.7: Φάσμα μετά το chopping.



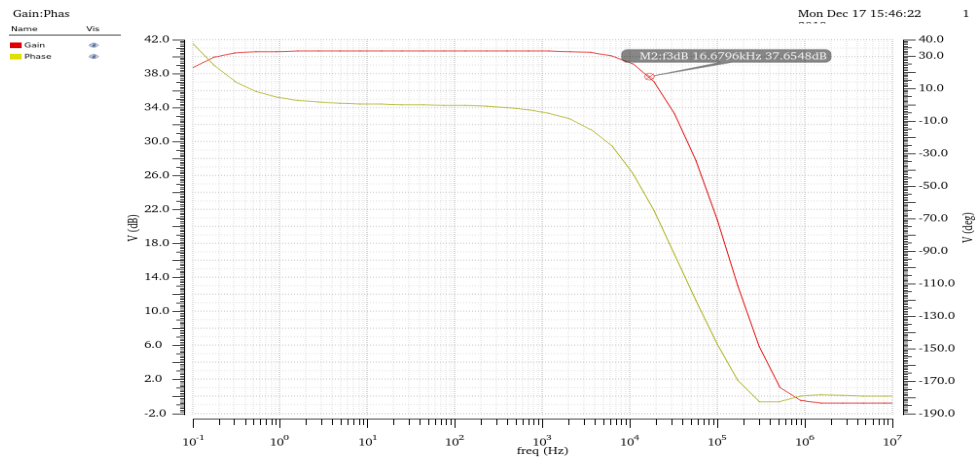
Σχήμα 5.8: Διαγράμματα Bode του τελεστικού ενισχυτή σε συνδεσμολογία ανοιχτού βρόχου.

κλειστό βρόχο, έτσι ώστε να ενισχύεται ικανοποιητικά το διαμορφωμένο σήμα. Όπως φαίνεται στο Σχήμα 5.8, ο ενισχυτής παρουσιάζει κέρδος περίπου ίσο με 42 dB σε συχνότητα 12 kHz.

5.2.3 Προσομοίωση της συνολικής λειτουργίας του κυκλώματος

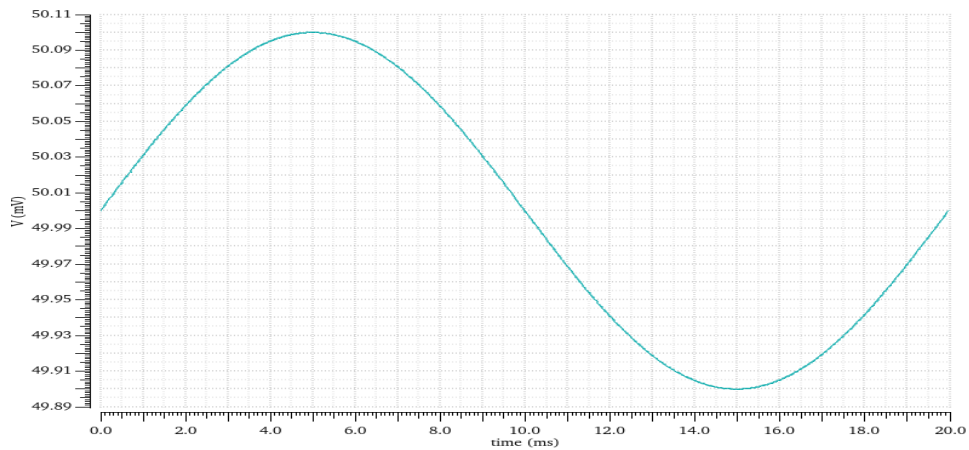
Αρχικά παρουσιάζονται τα διαγράμματα Bode του πλήρους κυκλώματος στο Σχήμα 5.9.

Στη συνέχεια τρέχουμε μία transient ανάλυση και βλέπουμε τη μορφή του σήματος στα διάφορα σημεία του κυκλώματος. Για είσοδο έχουμε ένα ημίτονο συχνότητας 50 Hz και πλάτους 100 μ V, στο οποίο έχει προστεθεί ένα offset τάσης ύψους 50 mV, το οποίο αντιστοιχεί στην EOV. Τα αποτελέσματα παρουσιάζονται στα Σχήματα 5.10– 5.14. Η έξοδος επιβαρύνεται από το θόρυβο που εισάγει ο Opaamp, ο οποίος διαμορφώνεται από τους choppers. Επομένως, προσθέτουμε στην έξοδο του κυκλώματος ένα απλό διαφορικό φίλτρο και παίρνουμε τις γραφικές που φαίνονται στα Σχήματα 5.15, 5.16, οι οποίες απεικονίζουν την έξοδο του CCIA φιλτραρισμένη. Το βαθυπερατό φίλτρο υλοποιείται από τον παράλληλο συνδυασμό δύο κλάδων RC με $R = 1$ k Ω και $C = 500$ nF. Στα Σχήματα 5.17 – 5.21 απεικονίζεται το φάσμα του σήματος στα διάφορα σημεία του κυκλώματος.

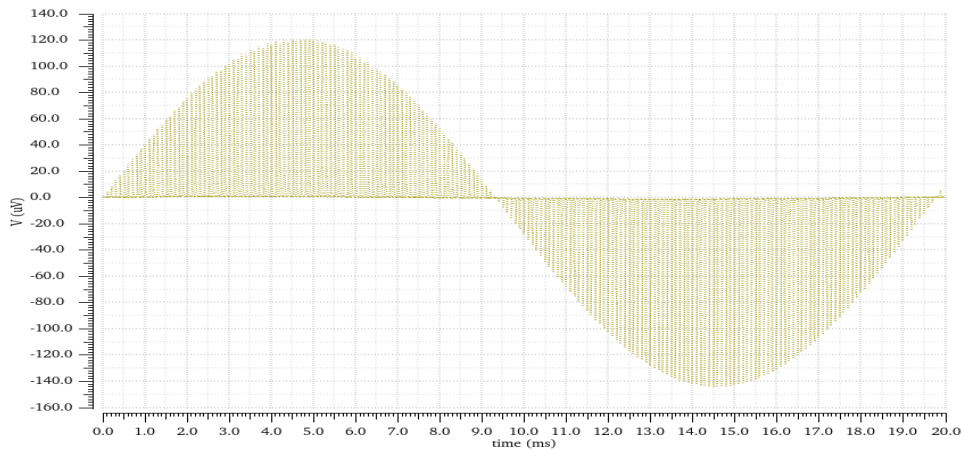


Σχήμα 5.9: Διαγράμματα Bode του CCIA.

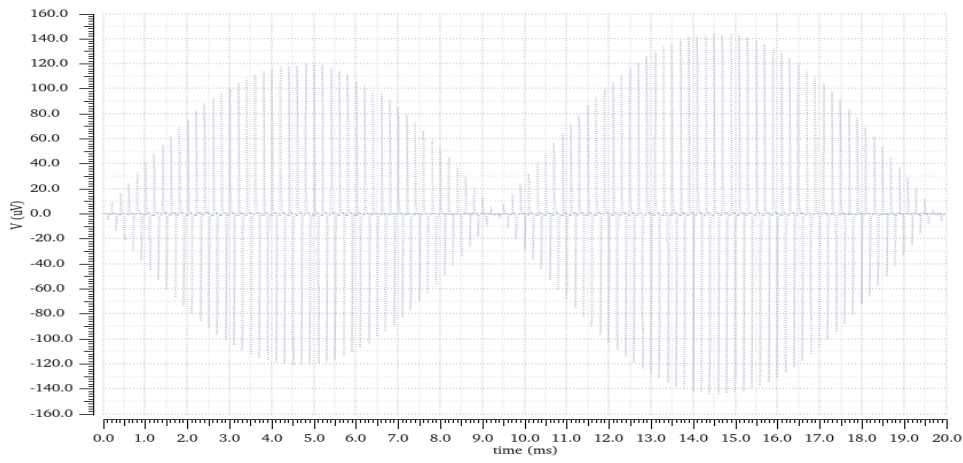
Η εύρεση του φάσματος έγινε μέσω της ανάλυσης pss.



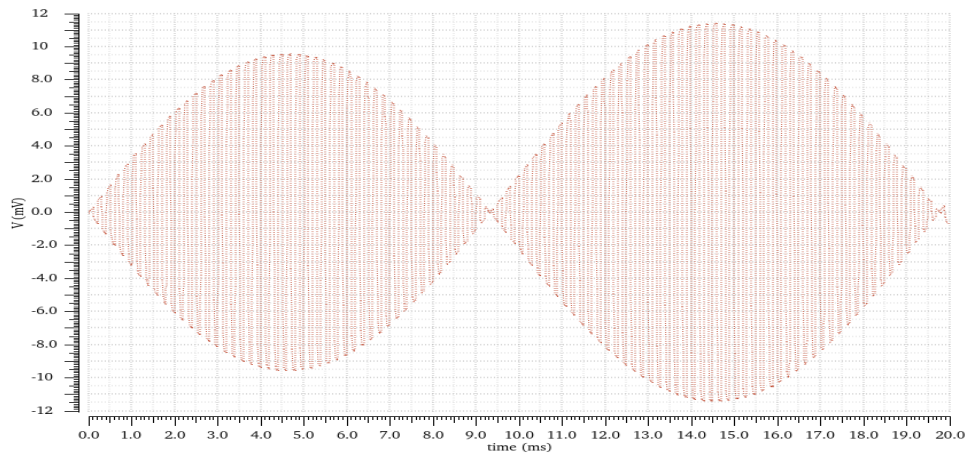
Σχήμα 5.10: Σήμα εισόδου.



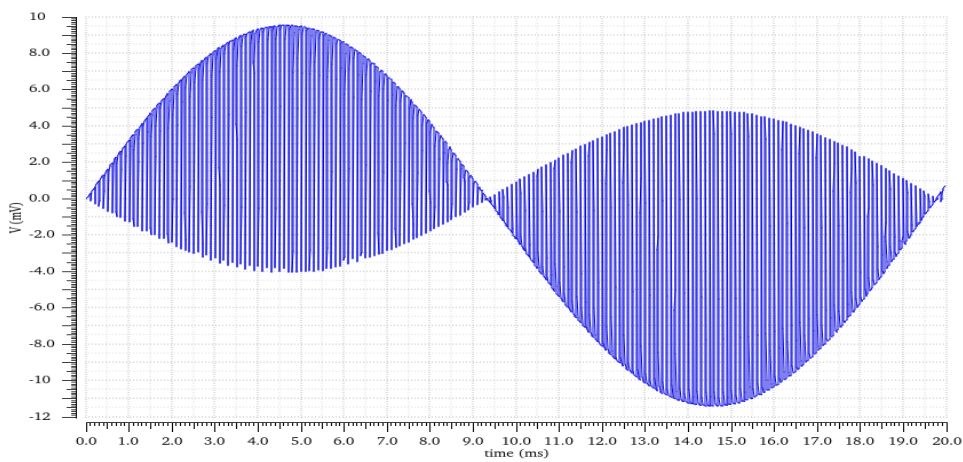
Σχήμα 5.11: Σήμα μετά τους πυκνωτές εισόδου. Βλέπουμε πως η DC συνιστώσα έχει μηδενιστεί.



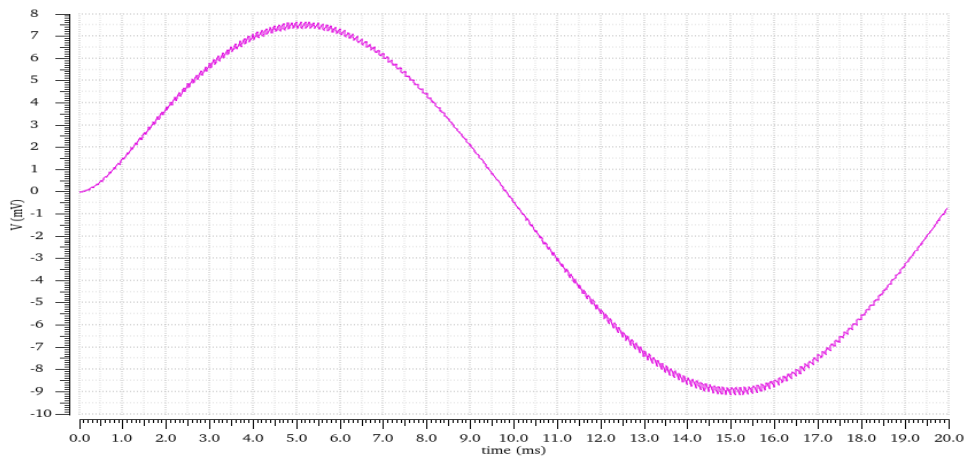
Σχήμα 5.12: Σήμα μετά τον πρώτο chopper.



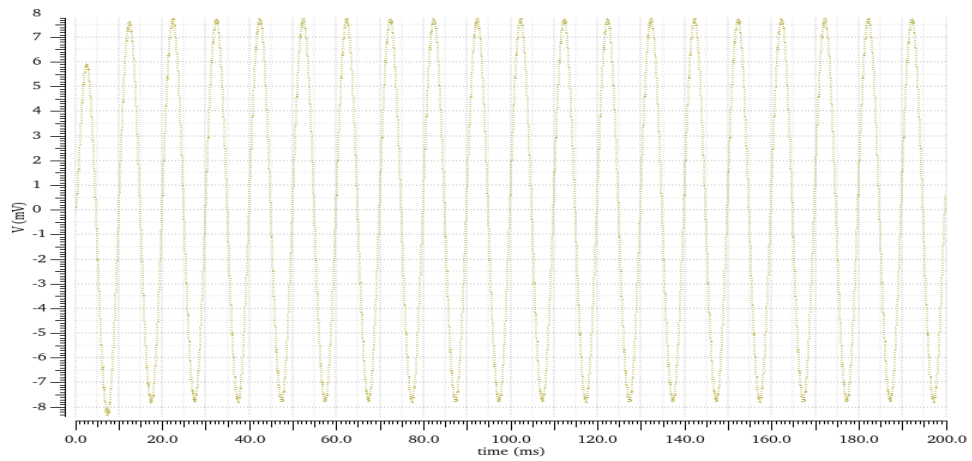
Σχήμα 5.13: Σήμα στην έξοδο του τελεστικού ενισχυτή.



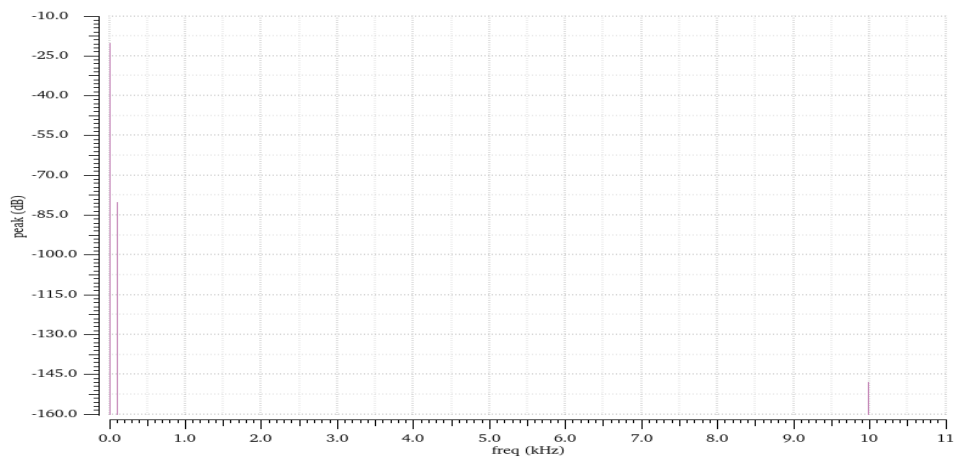
Σχήμα 5.14: Έξοδος χωρίς το φίλτρο.



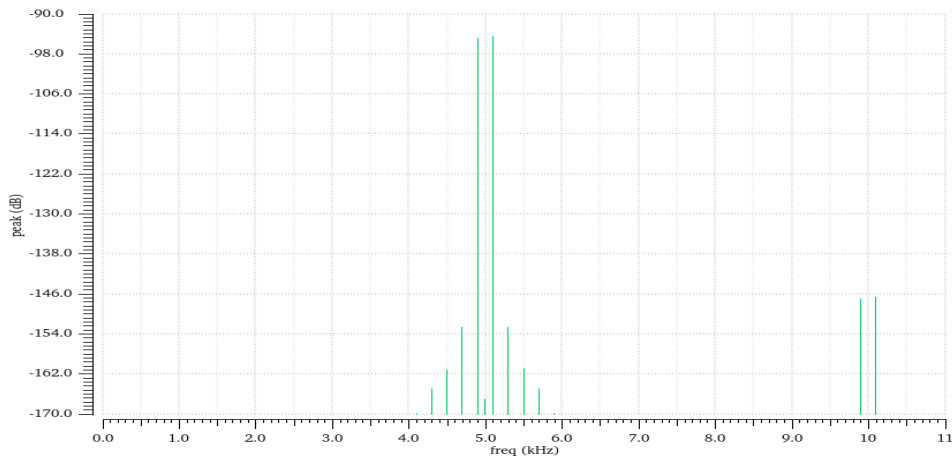
Σχήμα 5.15: Έξοδος του βαθυπερατού φίλτρου.



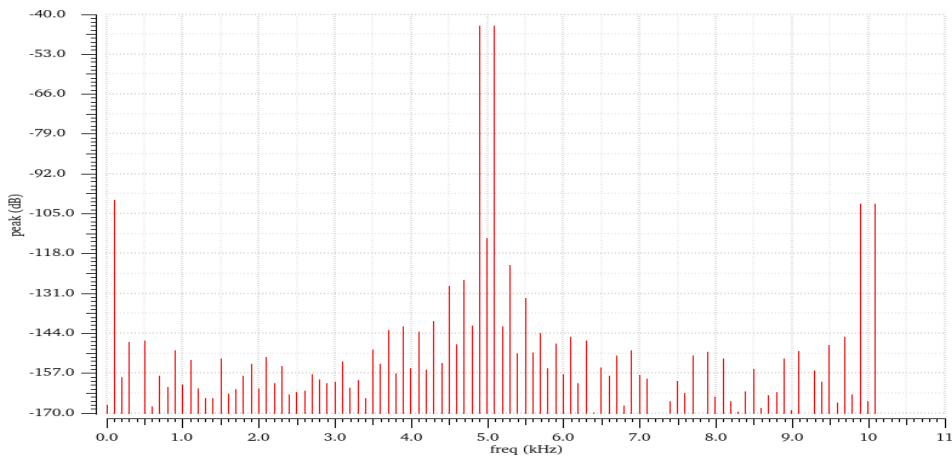
Σχήμα 5.16: Μορφή της εξόδου του φίλτρου μετά από πολλές περιόδους.



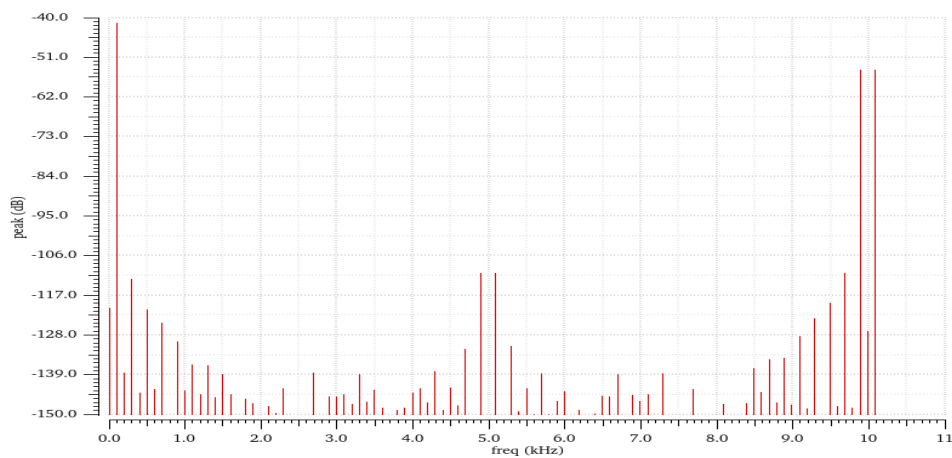
Σχήμα 5.17: Φάσμα σήματος εισόδου.



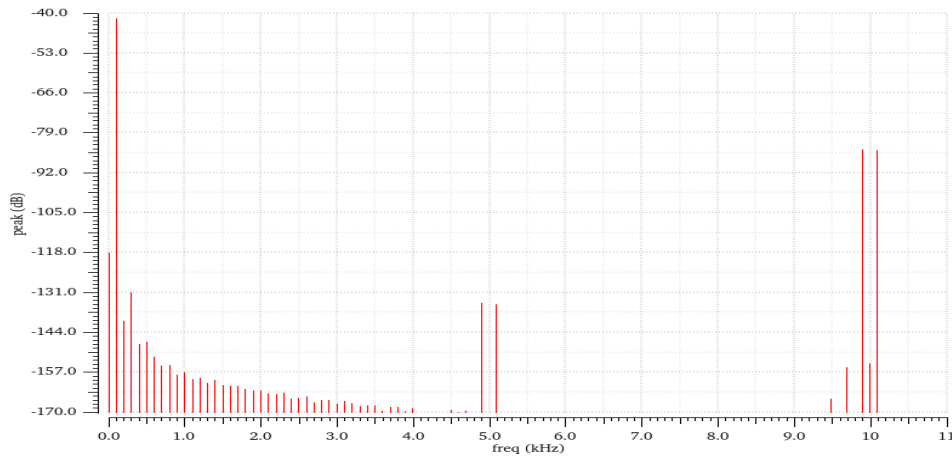
Σχήμα 5.18: Φάσμα σήματος μετά τον πρώτο διαμορφωτή chopper.



Σχήμα 5.19: Φάσμα στην έξοδο του τελεστικού ενισχυτή.

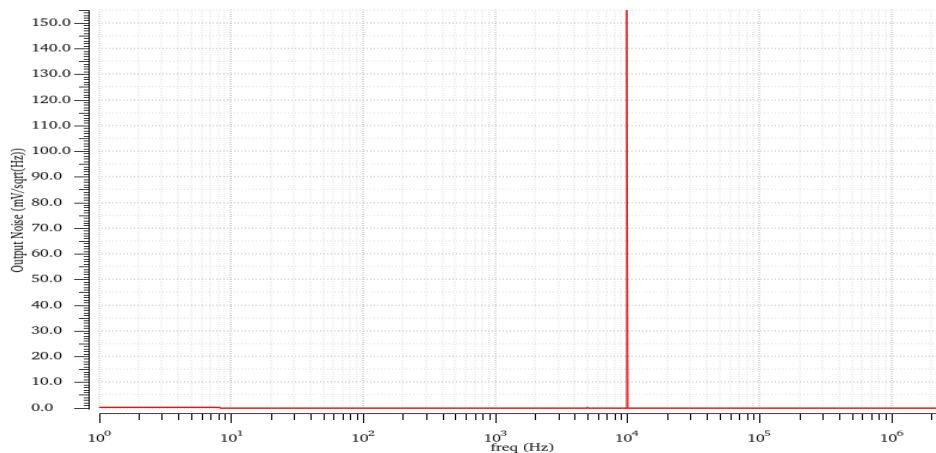


Σχήμα 5.20: Φάσμα του σήματος στην έξοδο χωρίς το βαθυπερατό φίλτρο RC.



Σχήμα 5.21: Φάσμα στην έξοδο του φίλτρου.

Μέσω της ανάλυσης noise προσομοιώνουμε τη συμπεριφορά του κυκλώματος ως προς το θόρυβο. Όπως φαίνεται στο Σχήμα 5.22, όλη η ισχύς του θορύβου εμφανίζεται σε συχνότητα 10 kHz (δηλαδή διπλάσια της f_{chop}).

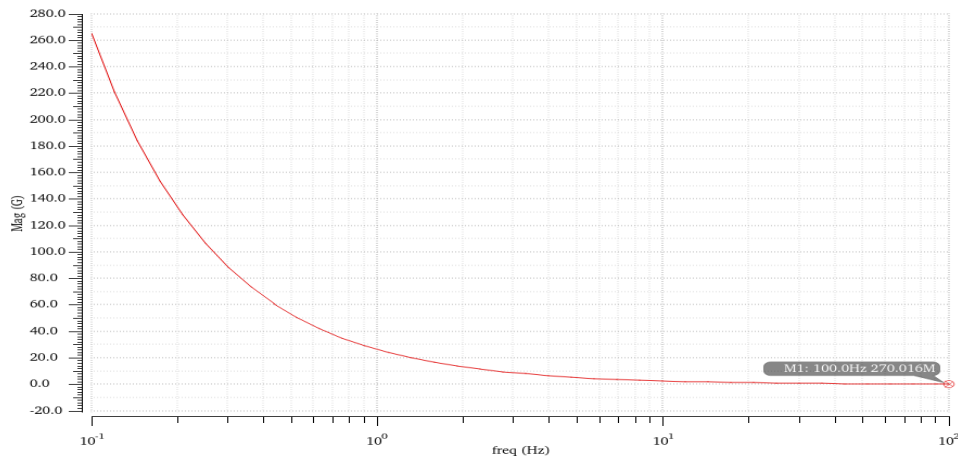


Σχήμα 5.22: Φασματική πυκνότητα ισχύος του θορύβου στην έξοδο.

Όπως έχει προαναφερθεί η συνολική καταναλισκόμενη ισχύς του κυκλώματος είναι ύψιστης σημασίας. Μέσω DC ανάλυσης, βρίσκουμε την ισχύ και το ρεύμα που καταναλώνεται. Είναι

$$I_{dis} = 1.131\ 29\ \mu\text{A} \text{ και } P_{dis} = 683.568\ \text{nW} \quad (5.1)$$

Μια ακόμα σημαντική παράμετρος του κυκλώματος είναι η αντίσταση εισόδου. Για τον υπολογισμό της, συνδέουμε σε σειρά με την είσοδο μια αντίσταση 1 MΩ και διαιρούμε την τάση που εμφανίζει στα άκρα της με το ρεύμα που τη διαρρέει. Η τιμή της αντίστασης εισόδου σε σχέση με τη συχνότητα απεικονίζεται στο Σχήμα 5.23. Είναι αναμενόμενο η τιμή της αντίστασης να μειώνεται, όσο αυξάνεται η συχνότητα. Ωστόσο, η ελάχιστη τιμή της στο διάστημα που μας ενδιαφέρει (0.1 Hz – 100 Hz) είναι 270 MΩ, τιμή η οποία είναι αρκετά ικανοποιητική.



Σχήμα 5.23: Αντίσταση εισόδου.

Τέλος, τρέχουμε μια ανάλυση corners για να μελετήσουμε τη συμπεριφορά του κυκλώματος σε ακραίες συνθήκες και αποκλίσεις από την τυπική διαδικασία. Για να το κάνουμε αυτό, μέσω του Analog Design Environment επιλέγουμε το Setup και ανοίγουμε τα Model Libraries. Εκεί αλλάζουμε τις παραμέτρους των στοιχείων από typical-typical (tt) σε slow-slow (ss), slow-fast (sf), fast-slow (fs), fast-fast (ff). Για κάθε περίπτωση τρέχουμε μια παραμετρική pss σε θερμοκρασίες -5°C και 95°C και για τροφοδοσία $\pm 10\%$ από την ονομαστική και παίρνουμε το φάσμα της εξόδου (χωρίς το φίλτρο). Έπειτα καταγράφουμε το spurs-free dynamic range (SFDR), δηλαδή τη διαφορά της ισχύος που έχουμε στη συχνότητα του σήματος από την ισχύ της μεγαλύτερης αρμονικής που εμφανίζεται μέχρι τα 5 kHz. Τα αποτελέσματα συμπυκνώνονται στον Πίνακα 5.7.

Πίνακας 5.7: Ανάλυση Corners.

Technology Models	Temperature ($^{\circ}\text{C}$)	Power Supply (mV)	SFDR (dB)
SS	-5	540	47.87387
SS	-5	660	68.89458
SS	95	540	54.0944
SS	95	660	66.64487
SF	-5	540	38.00138
SF	-5	660	38.71186
SF	95	540	96.25473
SF	95	660	96.42498
FS	-5	540	68.81021
FS	-5	660	69.1295
FS	95	540	75.51737
FS	95	660	90.28595
FF	-5	540	38.71437
FF	-5	660	35.70568
FF	95	540	77.923
FF	95	660	80.49634

6

Επίλογος

Η παρούσα εργασία ολοκληρώνεται με τη θεωρητική υλοποίηση του κυκλώματος. Σε αυτό το κεφάλαιο παρουσιάζονται τα συμπεράσματα που προέκυψαν, καθώς και προσθήκες και βελτιώσεις που θα μπορούσαν να γίνουν.

6.1 Συμπεράσματα

Η σχεδίαση του Ultra-Low Power CMOS Chopper Capacitively Coupled Instrumentation Amplifier για Βιοϊατρικές Εφαρμογές που προτάθηκε υλοποιήθηκε με επιτυχία. Επιτεύχθηκε το επιθυμητό κέρδος 40 dB με ικανοποιητική αντίσταση εισόδου ($R_{in} > 270 \text{ M}\Omega$). Η πολύ μικρή κατανάλωση ισχύος (683.568 nW), συνέπεια της πόλωσης των τρανζίστορ του κυκλώματος σε subthreshold περιοχή, επιτρέπει τη χρήση του CCIA που σχεδιάστηκε σε φορητές συσκευές. Ταυτόχρονα η εικόνα της PSD του θορύβου αναδεικνύει την αποτελεσματικότητα της τεχνικής CHS στην καταστολή του θορύβου χαμηλών συχνοτήτων. Συνδέοντας στην έξοδο του ενισχυτή που σχεδιάστηκε ένα κατάλληλο βαθυπερατό φίλτρο, παίρνουμε μια διάταξη που είναι κατάλληλη για την ενίσχυση των ασθενών, χαμηλόσυχνων βιολογικών σημάτων.

6.2 Προσθήκες και βελτιώσεις

Πολλά από τα χαρακτηριστικά του κυκλώματος θα μπορούσαν να βελτιωθούν. Το συνολικό κέρδος της διάταξης, το περιθώριο φάσης και κέρδους του ενισχυτή, καθώς και η αντίσταση εισόδου του κυκλώματος είναι κάποια από αυτά. Εκτός, όμως, από τις βελτιώσεις της ήδη υπάρχουσας διάταξης, συνέχεια της παρούσας εργασίας θα μπορούσε να είναι η σχεδίαση ενός βαθυπερατού φίλτρου με μεγάλη αντίσταση εισόδου και πολύ χαμηλή συχνότητα αποκοπής, καθώς και η σχεδίαση ενός μετατροπέα ADC, έτσι ώστε να υλοποιηθεί ένα πλήρες front-end για την ανάκτηση και επεξεργασία βιολογικών σημάτων. Επιπλέον, λαμβάνοντας υπόψη την ποικιλία που εμφανίζουν τα πλάτη των βιολογικών σημάτων, θα ήταν καλή ιδέα η διάταξη να είχε μεταβλητό κέρδος, ούτως ώστε το σύστημα να μπορεί να προσαρμοστεί σε ποικιλία βιοϊατρικών εφαρμογών.

Βιβλιογραφία

- [1] Adel S Sedra and Kenneth C Smith. *Microelectronic Circuits Revised Edition*. Oxford University Press, Inc., 2007.
- [2] Yannis Tsividis and Colin McAndrew. *Operation and Modeling of the MOS Transistor*. Oxford Univ. Press, 2011.
- [3] Alice Wang, Benton H Calhoun, and Anantha P Chandrakasan. *Sub-threshold design for ultra low-power systems*. Vol. 95. Springer, 2006.
- [4] Tony Chan Carusone, David A. Johns, and Kenneth W. Martin. *Analog Integrated Circuit Design*. 2nd. John Wiley & Sons, Inc., 2012.
- [5] R Sharpshkar. *Ultra low power bioelectronics: Fundamentals, biomedical applications, and bio-inspired systems*. Cambridge: Cambridge University Press, 2010.
- [6] J Fellrath. “Shot noise behaviour of subthreshold MOS transistors”. In: *Revue de Physique Appliquée* 13.12 (1978), pp. 719–723.
- [7] G Reimbold and P Gentil. “White noise of MOS transistors operating in weak inversion”. In: *IEEE Transactions on Electron Devices* 29.11 (1982), pp. 1722–1725.
- [8] Christian C. Enz and Gabor C. Temes. “Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization”. In: *Proceedings of the IEEE* 84.11 (1996).
- [9] Δημήτριος Μπαζεβανάκης. *Ανάλυση και Σχεδίαση ενός CMOS Chopper Πολλαπλασιαστή*. 2016.
- [10] Naveen Verma, Ali Shoeb, Jose Bohorquez, Joel Dawson, John Gutttag, and Anantha P Chandrakasan. “A micro-power EEG acquisition SoC with integrated feature extraction processor for a chronic seizure detection system”. In: *IEEE journal of solid-state circuits* 45.4 (2010), pp. 804–816.
- [11] Roberta Dozio, Adeshina Baba, Cedric Assambo, and Martin J Burke. “Time based measurement of the impedance of the skin-electrode interface for dry electrode ECG recording”. In: *Engineering in Medicine and Biology Society, 2007. EMBS 2007. 29th Annual International Conference of the IEEE*. IEEE. 2007, pp. 5001–5004.
- [12] Zhangming Zhu and Wenbin Bai. “A 0.5-V 1.3 μ W Analog Front-End CMOS Circuit”. In: *IEEE Transactions on Circuits and Systems II: Express Briefs* 63.6 (2016), pp. 523–527.

-
- [13] Qinwen Fan, Fabio Sebastiano, Johan H Huijsing, and Kofi AA Makinwa. “A 1.8 μ W 60nV/ \sqrt{Hz} Capacitively-Coupled Chopper Instrumentation Amplifier in 65 nm CMOS for Wireless Sensor Nodes”. In: *IEEE Journal of Solid-State Circuits* 46.7 (2011), pp. 1534–1543.
- [14] Rida S Assaad and Jose Silva-Martinez. “The recycling folded cascode: A general enhancement of the folded cascode amplifier”. In: *IEEE Journal of Solid-State Circuits* 44.9 (2009), pp. 2535–2542.
- [15] R Assaad and Jose Silva-Martinez. “Enhancing general performance of folded cascode amplifier by recycling current”. In: *Electronics Letters* 43.23 (2007).