



Εθνικό Μετσόβιο Πολυτεχνείο

Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής
Εργαστήριο Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων

Σχεδίαση Αναλογικών Ολοκληρωμένων
Κυκλωμάτων με Εφαρμογή σε Συστήματα
Ασαφούς Ελέγχου

Διπλωματική Εργασία

του

Ελευθερίου
Νικόλαου-Παναγιώτη

Επιβλέπων: Πάυλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Αθήνα, Ιούνιος 2024



Εθνικό Μετσόβιο Πολυτεχνείο

Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής
Εργαστήριο Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων

**Σχεδίαση Αναλογικών Ολοκληρωμένων
Κυκλωμάτων με Εφαρμογή σε Συστήματα
Ασαφούς Ελέγχου**

Διπλωματική Εργασία

του

**Ελευθερίου
Νικόλαου-Παναγιώτη**

Επιβλέπων: Πάυλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 19^η Ιουνίου 2024:

.....
Πάυλος Π. Σωτηριάδης Κωνσταντίνος Τζαφέστας Ευάγγελος Χριστοφόρου
Καθηγητής Αν. Καθηγητής Καθηγητής
Ε.Μ.Π. Ε.Μ.Π. Ε.Μ.Π.

Αθήνα, Ιούνιος 2024

.....
Ελευθερίου Νικόλαος-Παναγιώτης

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών, Ε.Μ.Π.

Copyright © Ελευθερίου Νικόλαος-Παναγιώτης, 2024.

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Η παρούσα εργασία παρουσιάζει ένα αναλογικό ολοκληρωμένο σύστημα ασαφούς ελέγχου τύπου PID. Οι τρέχουσες προσεγγίσεις εξαρτώνται συχνά από ενεργοβόρα ενσωματωμένα ψηφιακά συστήματα, καταναλώνοντας σημαντικά επίπεδα ισχύος που κυμαίνονται από μερικά μικροβάτ μέχρι mW. Για να αντιμετωπιστεί αυτός ο περιορισμός, παρουσιάζεται μία πλήρως αναλογική υλοποίηση που παρέχει τις δυνατότητες των αναλογικών κυκλωμάτων για αποτελεσματική διαχείριση ισχύος. Αποτελείται από κυκλώματα που υλοποιούν Gaussian και min/max συναρτήσεις, καθώς και τελεστικούς ενισχυτές διαγωγιμότητας. Σχεδιασμένος για λειτουργία με μειωμένη τάση τροφοδοσίας (0.6 V), ο ελεγκτής επιτυγχάνει ελάχιστη κατανάλωση ισχύος (818.2 nW). Η σωστή λειτουργία του προτεινόμενου σχεδιασμού επιβεβαιώνεται μέσω προσομοιώσεων. Το προτεινόμενο σύστημα σχεδιάζεται και προσομοιώνεται χρησιμοποιώντας το Cadence IC Suite με τεχνολογία υλοποίησης την CMOS TSMC 90nm.

Λέξεις Κλειδιά: αναλογικά ολοκληρωμένα κυκλώματα, σχεδίαση συστημάτων χαμηλής κατανάλωσης ισχύος, ασαφής λογική, ασαφής έλεγχος, έλεγχος PID

Abstract

This thesis presents an analog integrated fuzzy control system of the PID type. Current approaches often rely on energy-intensive embedded digital systems, consuming significant power levels ranging from a few microwatts to milliwatts. To address this limitation, a fully analog implementation is presented, leveraging the capabilities of analog circuits for efficient power management. It consists of circuits implementing Gaussian and min/max functions, as well as operational transconductance amplifiers. Designed to operate at a reduced supply voltage (0.6 V), the controller achieves minimal power consumption (818.2 nW). The proper functioning of the proposed design is confirmed through simulations. The proposed system is designed and simulated using the Cadence IC Suite with the implementation technology being CMOS TSMC 90nm.

Keywords: analog integrated circuit, low-power design, fuzzy logic, fuzzy control, PID controller.

Ευχαριστίες

Με την παρούσα εργασία ολοκληρώνεται ένα σημαντικό μέρος της ζωής μου, οι προπτυχιακές μου σπουδές. Αρχικά, θα ήθελα να ευχαριστήσω την οικογένειά μου, τους φίλους μου και όλους όσους με στήριξαν στο διάστημα αυτών των πέντε ετών.

Θα ήθελα να ευχαριστήσω θερμά τον επιβλέποντα καθηγητή μου, κ. Παύλο Πέτρο Σωτηριάδη, για την εμπιστοσύνη και καθοδήγησή του στη συγγραφή της παρούσας διπλωματικής εργασίας. Ταυτόχρονα, θα ήθελα να ευχαριστήσω τον υποψήφιο διδάκτορα του Εργαστηρίου Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων, Βασίλειο Αλιμήση, για την καθοδήγηση και τη συνεισφορά του στην εκπόνηση της διπλωματικής μου εργασίας. Τέλος θα ήθελα να ευχαριστήσω όλα τα υπόλοιπα μέλη της ομάδας του Εργαστηρίου για την ευχάριστη συνεργασία τον τελευταίο έναν χρόνο.

Νικόλαος-Παναγιώτης Ελευθερίου
Ιούνιος 2024



Περιεχόμενα

Περίληψη	5
Abstract	7
Ευχαριστίες	9
Ευρετήριο Εικόνων	13
Κατάλογος Πινάκων	15
1 Εισαγωγή	17
2 Θεωρητικό Υπόβαθρο	19
2.1 Ασαφής Λογική	20
2.1.1 Συστήματα Ασαφούς Συμπερασμού	20
2.2 Ασαφής PID Έλεγχος	21
2.3 Τρανζίστορ MOSFET	23
2.3.1 Δομή του MOSFET	23
2.3.2 Λειτουργία του MOSFET	23
2.3.3 Λειτουργία με DC	25
2.3.4 Ανάλυση Μικρού Σήματος (Small Signal Analysis)	25
2.3.5 Τέταρτος Ακροδέκτης (Body Effect)	27
2.3.6 Μοντέλο Μικρού Σήματος	27
3 Ανασκόπηση Βιβλιογραφίας	29
4 Κυκλωματική Υλοποίηση	31
4.1 Αρχιτεκτονική συστήματος ασαφούς ελεγκτή	31
4.2 Βασικά Κυκλώματα	32
4.2.1 Τελεστικός Ενισχυτής	32

4.2.2	Κύκλωμα Bump	33
4.2.3	Κύκλωμα MIN-MAX	37
4.2.4	Κύκλωμα COG	39
4.3	Ικανότητα ρύθμισης της αρχιτεκτονικής	43
5	Εφαρμογές και Προσομοιώσεις	45
5.1	Φυσική υλοποίηση	45
5.2	Αποτελέσματα προσομοιώσεων	46
5.2.1	Υπό έλεγχο σύστημα # 1	46
5.2.2	Υπό έλεγχο σύστημα # 2	51
6	Συμπεράσματα και Μελλοντική Δουλειά	53

Ευρετήριο Εικόνων

2.1	Δομή συστήματος ασαφούς συμπερασμού.	21
2.2	Δομή συστήματος PID ελέγχου ασαφούς λογικής.	22
2.3	Δομή του MOSFET τρανζίστορ.	23
2.4	Οι περιοχές λειτουργίας του τρανζίστορ MOSFET συναρτήσει των εφαρμοζόμενων τάσεων στους ακροδέκτες του. Οι V_{th} και $V_{ds,sat}$ είναι οι τάσεις κατωφλίου και κορεσμού αντίστοιχα, ενώ με V_T συμβολίζεται η θερμική τάση kT/e	24
2.5	Διατομή ενός NMOS στην οποία απεικονίζονται οι παρασιτικές χωρητικότητες	27
2.6	Ισοδύναμο κύκλωμα μικρού σήματος του MOSFET.	28
4.1	Η προτεινόμενη αρχιτεκτονική του ασαφούς PID ελεγκτή. Η είσοδος αντιστοιχεί στο σφάλμα $e(t)$ μεταξύ της εξόδου του συστήματος και της εισόδου αναφοράς, κλιμακωμένη στο εύρος τιμών τάσεων του κυκλώματος, ενώ η έξοδος είναι η τάση που τροφοδοτείται ως είσοδος στο υπό έλεγχο σύστημα.	32
4.2	Το κύκλωμα τελεστικού ενισχυτή που υλοποιήθηκε για τις ανάγκες του συστήματος.	33
4.3	Το κύκλωμα Bump που υλοποιήθηκε. Η έξοδος ρεύματος, που σημειώνεται ως I_{out} , είναι η τιμή μιας γκαουσιανής συνάρτησης για τιμή εισόδου - ανεξάρτητη μεταβλητή την τάση V_{in} . Οι παράμετροι τάσης V_r , V_c , και το ρεύμα πόλωσης I_{bias} ρυθμίζουν την μέση τιμή, τη διακύμανση και την μέγιστη τιμή της γκαουσιανής συνάρτησης αντίστοιχα.	35
4.4	Η dc συνάρτηση μεταφοράς της εξόδου ρεύματος του κυκλώματος Bump για διάφορες τιμές του λόγου μεγεθών των τρανζίστορ του διαφορικού ζεύγους εισόδου. Η προσομοίωση πραγματοποιήθηκε με το V_r να τίθεται στο $0V$, το V_c στα $180mV$, και το I_{bias} στα $6nA$	36

4.5	Το μπλοκ ασαφοποίησης εντός του FIS έχει μια αρχιτεκτονική όπου κάθε κύκλωμα FMF_{A_i} αντιστοιχεί σε έναν συγκεκριμένο γλωσσικό όρο, A_i , που σχετίζεται με τη γλωσσική μεταβλητή A . Το ρεύμα πόλωσης I_{bias} παραμένει σταθερό σε όλα τα κυκλώματα FMF, ρυθμισμένο στα $3nA$ στην περίπτωση αυτή. Αντίθετα, οι τάσεις V_r και V_c είναι μεταβλητές, κυμαινόμενες από $-300mV$ έως $+300mV$. Το προκύπτον ρεύμα εξόδου I_{FMF} σηματοδοτεί τον βαθμό συμμετοχής που υπάρχει μεταξύ της εισόδου V_{in} του FMF και του συγκεκριμένου ασαφούς συνόλου που αντιπροσωπεύει.	38
4.6	Η υλοποίηση του κυκλώματος Min/Max. Παρέχει και τις δύο λειτουργίες.	38
4.7	Η max έξοδος του κυκλώματος MIN-MAX με δύο ημιτονειδή ρεύματα εισόδου πλάτους $10nA$ και διαφοράς φάσης 110 deg . . .	40
4.8	Η min έξοδος του κυκλώματος MIN-MAX με δύο ημιτονειδή ρεύματα εισόδου πλάτους $10nA$ και διαφοράς φάσης 110 deg . . .	40
4.9	Η αρχιτεκτονική του μπλοκ απο-ασαφοποίησης εντός του συστήματος ασαφούς συμπερασμού περιλαμβάνει ένα κύκλωμα follower-aggregation.	42
4.10	Μεγάλου εύρους, διασταυρωμένου ζεύγους ενισχυτής διαγωγιμότητας	42
5.1	Η υλοποίηση της διάταξης του προτεινόμενου αναλογικού ασαφούς ελεγκτή στην τεχνολογία TSMC 90nm.	46
5.2	Βηματική απόκριση του συστήματος κλειστού βρόχου. Περιλαμβάνει τόσο τις υλοποιήσεις λογισμικού όσο και με αναλογικά. . .	49
5.3	Βηματική απόκριση της εξόδου του ελεγκτή στην μοναδιαία αναφορά βήματος. Περιλαμβάνει τόσο τις υλοποιήσεις λογισμικού όσο και αναλογικών.	49
5.4	Η βηματική απόκριση της υλοποίησης υλικού του συστήματος κλειστού βρόχου για ανάλυση Μοντε Άρλο με $N = 100$ σημεία για να δοκιμαστεί η ανθεκτικότητα του κυκλώματος.	50
5.5	Βηματική απόκριση του συστήματος κλειστού βρόχου. Περιλαμβάνει τόσο τις υλοποιήσεις λογισμικού όσο και αναλογικών. . .	52

Κατάλογος Πινάκων

4.1	Διαστάσεις των Τρανζίστορ του Κυκλώματος OpAmp.	33
4.2	Διαστάσεις των Τρανζίστορ του Κυκλώματος Bump.	36
4.3	Διαστάσεις των τρανζίστορ του OTA.	42
5.1	Μετρικές σχετικές με τον ελεγχτή ασαφούς λογικής υλοποιη- μένο σε λογισμικό και αναλογικό κύκλωμα.	48
5.2	Μετρικές σχετικές με τον ελεγχτή ασαφούς λογικής υλοποιη- μένο σε λογισμικό και αναλογικό κύκλωμα.	51

ΚΑΤΑΛΟΓΟΣ ΠΙΝΑΚΩΝ

Κεφάλαιο 1

Εισαγωγή

Στο πεδίο των συστημάτων ελέγχου, η εξέλιξη από τη συμβατική λογική σε πιο λεπτομερείς μεθοδολογίες έχει ανοίξει το δρόμο για προηγμένες στρατηγικές ελέγχου. Ένα τέτοιο παράδειγμα, η ασαφής λογική, έχει προσελκύσει σημαντική προσοχή για την ικανότητά της να μιμείται διαδικασίες λήψης αποφάσεων όπως οι ανθρώπινες [1, 2] και να αντιμετωπίζει αποτελεσματικά πολύπλοκα και αβέβαια περιβάλλοντα [3]. Η ασαφής λογική, που εισήχθη από τον Lotfi A. Zadeh τη δεκαετία του 1960 [4], μοντελοποιεί την αβεβαιότητα και την ασάφεια μέσω γλωσσικών μεταβλητών και συναρτήσεων συμμετοχής, προσφέροντας μια γέφυρα μεταξύ της ποσοτικής ακρίβειας των ψηφιακών συστημάτων και της ποιοτικής λογικής της ανθρώπινης νόησης [5].

Η Θεωρία Ασαφών Συνόλων παρέχει απαραίτητα μαθηματικά εργαλεία για την εκτέλεση αριθμητικών υπολογισμών που βασίζονται σε γλωσσικές περιγραφές και μαθηματικά καθορισμένες έννοιες μέσω των συναρτήσεων συμμετοχής ως ασαφή σύνολα [6, 7]. Ένα ασαφές σύνολο υποδηλώνει μια ομάδα οντοτήτων με διαφορετικούς βαθμούς συμμετοχής [8]. Αυτό το σύνολο ορίζεται από μια συνάρτηση συμμετοχής που αναθέτει έναν βαθμό συμμετοχής από το μηδέν έως το ένα σε κάθε οντότητα [9], υποδεικνύοντας τη δύναμη της σύνδεσης της οντότητας με το ασαφές σύνολο. Επιπλέον, μέσα στα Συστήματα Ασαφούς Συμπερασμού, βασικά στοιχεία για τη μίμηση της ανθρώπινης εμπειρογνωμοσύνης και γνώσης περιλαμβάνουν τους κανόνες ασαφούς εάν-τότε [6, 7]. Η συνένωση των Συστημάτων Ασαφούς Συμπερασμού με Νευρωνικά Δίκτυα και βελτιστοποιήσεις Μηχανικής Μάθησης οδηγεί στην εμφάνιση ενός πρωτοποριακού πεδίου γνωστού ως Νευρο-Ασαφής Υπολογισμός. [10].

Ένας σημαντικός τομέας εφαρμογών της ασαφούς λογικής είναι η ενσωμάτωσή της στους ελεγχτές Αναλογικού-Ολοκληρωτικού-Παραγώγου (PID). Οι παραδοσιακοί ελεγχτές PID παρουσιάζουν περιορισμούς όταν αντιμετω-

πίζουν μη γραμμικότητες και αβεβαιότητες συστημάτων [1]. Οι ασαφείς ελεγκτές PID παρακάμπτουν αυτά τα μειονεκτήματα ενσωματώνοντας τις αρχές της ασαφούς λογικής, βελτιώνοντας έτσι την προσαρμοστικότητα και την ανθεκτικότητα του συστήματος.

Σκοπός αυτής της εργασίας είναι η σχεδίαση ενός πλήρως αναλογικού συστήματος σε επίπεδο τρανζίστορ που θα υλοποιεί το παράδειγμα του ασαφούς PID ελέγχου. Αυτό το παράδειγμα επιλέχθηκε λόγω των πολύπλευρων εφαρμογών που μπορεί να έχει σε διάφορα πρακτικά συστήματα ελέγχου και στα οποία πολλές φορές είναι επιθυμητή η χαμηλή κατανάλωση, καθώς μπορεί να τροφοδοτούνται με μπαταρία ή energy-harvesting συστήματα κλπ. Υλοποιήσεις με ψηφιακά συστήματα, FPGA, ενσωματωμένα συστήματα κλπ μπορούν να προσφέρουν τις κατάλληλες υπολογιστικές δυνατότητες με πολύ υψηλότερες απαιτήσεις κατανάλωσης. Η εργασία εστιάζει κυρίως στην σχεδίαση των επί μέρους κυκλωμάτων που συνθέτουν τον ελεγκτή και η κατά το δυνατόν βελτιστοποίηση αυτών, ώστε να επιτευχθεί η επιθυμητή απόδοση με την παράλληλη ελαχιστοποίηση της κατανάλωσης του συστήματος. Για αυτόν τον λόγο, δεν δίνεται τόση βάση στην θεωρητική υλοποίηση του ελεγκτή (π.χ. καθορισμός παραμέτρων, συναρτήσεων συμμετοχής ασαφών συνόλων κλπ.) και στη βελτιστοποίηση της απόκρισής του.

Η παρούσα εργασία είναι διαρθρωμένη σε 6 κεφάλαια ως εξής:

- Στο κεφάλαιο 1 εισάγεται το γενικότερο θέμα που αφορά η εργασία.
- Στο κεφάλαιο 2 παρουσιάζεται το θεωρητικό υπόβαθρο πίσω από το αντικείμενο της εργασίας, δηλαδή η Ασαφής λογική και η χρήση της στον σχεδιασμό συστημάτων ελέγχου. Παράλληλα περιγράφεται η λειτουργία των τρανζίστορ MOSFET με ιδιαίτερη έμφαση στην περιοχή υποκατωφλίου την οποία εκμεταλλεύονται πολλές υπολοποιήσεις με σκοπό την βελτίωση της κατανάλωσης ισχύος.
- Στο κεφάλαιο 3 παρουσιάζεται μια ανασκόπηση της υπάρχουσας βιβλιογραφίας σε θέματα υλοποίησης ελεγκτών ασαφούς λογικής.
- Στο κεφάλαιο 4 παρουσιάζεται η αρχιτεκτονική σε επίπεδο συστήματος του υλοποιημένου ελεγκτή και περιγράφονται και αναλύονται τα υποκυκλώματα που απαιτούνται για την υλοποίηση του συστήματος.
- Στο κεφάλαιο 5 δίνονται αποτελέσματα προσομοιώσεων για την επαλήθευση της σωστής λειτουργίας του ελεγκτή.
- Το κεφάλαιο 6 συνοψίζει την παρούσα εργασία.

Κεφάλαιο 2

Θεωρητικό Υπόβαθρο

Οι ελεγκτές ασαφούς λογικής αντιπροσωπεύουν ένα προηγμένο παράδειγμα στη θεωρία συστημάτων ελέγχου, παρέχοντας ευρωστία και προσαρμοστικότητα [11]. Έχουν τη δυνατότητα να ελέγχουν δυναμικά συστήματα με έντονες μη γραμμικότητες, που οι παραδοσιακοί ελεγκτές θα δυσκολεύονταν να ελέγξουν με ακρίβεια [12]. Επιπλέον, εκμεταλλευόμενοι τη φυσική προσαρμοστικότητα της ασαφούς λογικής, οι ελεγκτές αυτοί χρησιμοποιούν γλωσσικές μεταβλητές (linguistic variables) και συναρτήσεις συμμετοχής (membership functions) για την ερμηνεία ασαφών / ανακριβών δεδομένων και σχέσεων [13].

Προκειμένου η παρούσα υλοποίηση του ασαφούς ελεγκτή να είναι αποδοτική για εφαρμογές χαμηλής κατανάλωσης ισχύος, ακολουθείται μια πλήρως αναλογική κυκλωματική υλοποίηση με τρανζίστορ MOSFET. Η συγκεκριμένη υλοποίηση υστερεί σε ζητήματα υπολογιστικής δύναμης σε σχέση με μία ψηφιακή υλοποίηση σε FPGA ή με μια υλοποίηση με ενσωματωμένα συστήματα, ωστόσο κύριος σκοπός της είναι η βελτιστοποίηση της κατανάλωσης ισχύος σε σύγκριση με τα πολύ πιο ενεργοβόρα προαναφερθέντα συστήματα. Ιδιαίτερα σημαντικό ρόλο σε αυτό παίζει η πόλωση και η περιοχή λειτουργίας των τρανζίστορ των διαφόρων κυκλωμάτων που απαρτίζουν το σύστημα, ως εκ τούτου έχει επιλεγθεί όλα τα τρανζίστορ να λειτουργούν στην περιοχή υποκατωφλίου (subthreshold regime) [14].

2.1 Ασαφής Λογική

Η ασαφής λογική, μια επέκταση της παραδοσιακής δυαδικής λογικής, αντιμετωπίζει την εγγενή ασάφεια των πραγματικών δεδομένων εισάγοντας την έννοια των ασαφών συνόλων. Ένα ασαφές σύνολο αντιπροσωπεύει την συμμετοχή των στοιχείων εντός ενός δεδομένου συνόλου με βαθμούς που κυμαίνονται μεταξύ 0 και 1. Η συνάρτηση συμμετοχής, που συμβολίζεται ως $\mu_A(x)$, ποσοτικοποιεί το βαθμό στον οποίο ένα στοιχείο x ανήκει στο ασαφές σύνολο A [4, 15].

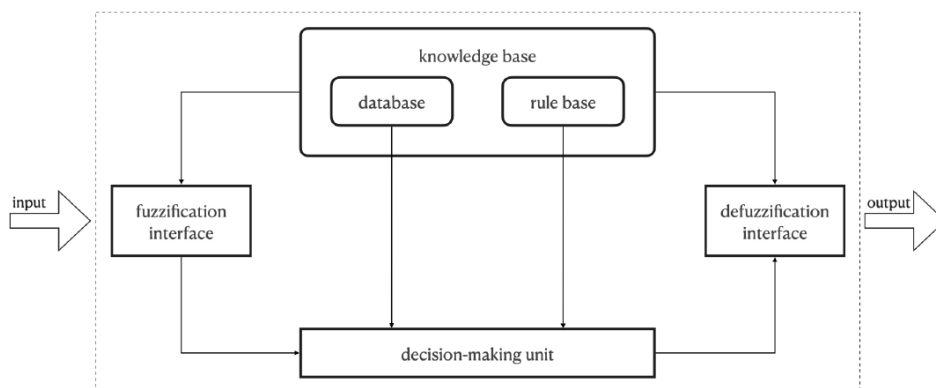
Η ασαφής λογική εφαρμόζει αυτή την έννοια στη λήψη αποφάσεων, επιτρέποντας στα συστήματα να χειρίζονται αποτελεσματικά τα ανακριβή δεδομένα [3]. Αυτή η λογική λειτουργεί μέσω μιας συλλογής ασαφών κανόνων, οι οποίοι συνήθως παρουσιάζονται σε μορφή IF-THEN, όπου το μέρος 'IF' αναφέρεται στις συνθήκες ή την κατάσταση του συστήματος, και το μέρος 'THEN' υπαγορεύει την αντίστοιχη ενέργεια - έξοδο του ελεγκτή. [15]. Τα συστήματα ασαφούς συμπερασμού (Fuzzy Inference Systems) περιλαμβάνουν κανόνες που συνδέουν γλωσσικές μεταβλητές μέσω γλωσσικών εκφράσεων, προσφέροντας έναν τρόπο να μοντελοποιηθούν διαδικασίες σκέψης όπως των ανθρώπων [1, 2]. Η συσσώρευση και ο συνδυασμός πολλαπλών ασαφών κανόνων είναι αναπόσπαστο μέρος της διαδικασίας ασαφούς συμπερασμού. Διάφοροι ασαφείς κανόνες μπορεί να συμβάλλουν στην απόφαση ελέγχου, και οι επιδράσεις τους πρέπει να συντεθούν σε μια συνεκτική ενέργεια ελέγχου. Αυτό περιλαμβάνει τη χρήση τελεστών όπως "AND", "OR" και "NOT" για τη διαχείριση του συνδυασμού των βαθμών συμμετοχής που σχετίζονται με γλωσσικούς όρους. Ο τελεστής "AND" για παράδειγμα, συλλαμβάνει τη διασταύρωση των διαφορετικών γλωσσικών όρων, επιτρέποντας την έκφραση πιο σύνθετων συνθηκών. Από την άλλη, ο τελεστής "OR" μοντελοποιεί την ένωση αυτών των όρων, επιτρέποντας στο σύστημα ελέγχου να αντιδρά σε ένα ευρύτερο φάσμα συνθηκών [15].

2.1.1 Συστήματα Ασαφούς Συμπερασμού

Τα Συστήματα Ασαφούς Συμπερασμού (Fuzzy Inference Systems (FIS)) είναι συστήματα που παράγουν την έξοδό τους βάσει κανόνων της ασαφούς λογικής. Τα βασικά υποσυστήματα ενός συστήματος ασαφούς συμπερασμού όπως απεικονίζεται στο Σχήμα 2.1 είναι

- Η βάση κανόνων (rule base) που περιέχει τους ασαφείς κανόνες του συστήματος σε λογική IF - THEN.
- Η βάση δεδομένων (database) που περιέχει τις συναρτήσεις συμμετοχής των ασαφών συνόλων του συστήματος.

- Η μονάδα λήψης αποφάσεων (decision making unit) που υλοποιεί τη διαδικασία της ασαφούς συλλογιστικής και παράγει στην έξοδό της τη συνολική συνάρτηση συμμετοχής του συμπεράσματος.
- Η μονάδα ασαφοποίησης (fuzzification unit) που μετατρέπει τις εισόδους του συστήματος σε βαθμούς αντιστοιχίας με γλωσσικές μεταβλητές.
- Η μονάδα απο-ασαφοποίησης (defuzzification unit) που μετατρέπει τα ασαφή συμπεράσματα, που προκύπτουν από τη μονάδα λήψης αποφάσεων του συστήματος, σε εξόδους με σαφώς καθορισμένη μορφή συμβατικής (μη ασαφούς) λογικής.



Σχήμα 2.1: Δομή συστήματος ασαφούς συμπερασμού.

Τα Συστήματα Ασαφούς Συμπερασμού Τύπου-2, ιδιαίτερα τα Τύπου-2 Mamdani, επεκτείνουν αυτή την προσέγγιση εξετάζοντας τις αβεβαιότητες τόσο στις εισόδους όσο και στις εξόδους. Σε τέτοια συστήματα, οι συναρτήσεις συμμετοχής για τους γλωσσικούς όρους γίνονται οι ίδιες ασαφή σύνολα, επιτρέποντας μια πιο σθεναρή αναπαράσταση της αβεβαιότητας [16].

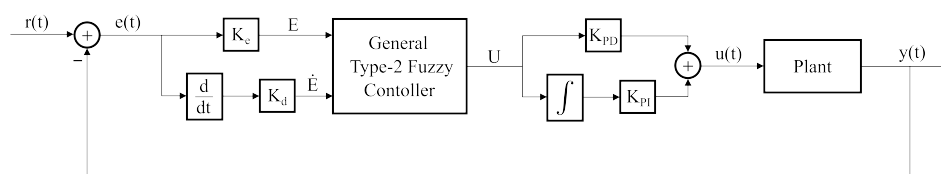
2.2 Ασαφής PID Έλεγχος

Οι ασαφείς ελεγκτές PID προσφέρουν μια σθεναρή και προσαρμοστική λύση για τον έλεγχο σύνθετων συστημάτων που χαρακτηρίζονται από μη γραμμικότητες και αβεβαιότητες. Συνδυάζοντας την ασαφή λογική με τον κλασικό αλγόριθμο PID, αυτοί οι ελεγκτές μπορούν να αντιμετωπίσουν αποτελεσματικά ποικίλες συνθήκες λειτουργίας, παρέχοντας σταθερό και ακριβή έλεγχο. Η ικανότητά

τους να προσαρμόζουν δυναμικά τις παραμέτρους ελέγχου βάσει γλωσσικών κανόνων επιτρέπει ομαλότερη παρακολούθηση του σημείου ρύθμισης, βελτιωμένη απόρριψη διαταραχών και μειωμένες ανάγκες ρύθμισής τους. Οι ασαφείς ελεγκτές PID βρίσκουν εφαρμογή σε διάφορες βιομηχανίες, προσφέροντας ευελιξία και ευκολία στην υλοποίηση, ενώ παρέχουν αξιόπιστη απόδοση σε απαιτητικά σενάρια ελέγχου. Συνολικά, ο συνδυασμός της ανθεκτικότητας, της προσαρμοστικότητας και της ευκολίας χρήσης τους καθιστά ένα πολύτιμο εργαλείο για μηχανικούς που επιδιώκουν αποδοτικές λύσεις ελέγχου για μια ευρεία γκάμα συστημάτων και εφαρμογών.

Ο ασαφής έλεγχος χρησιμοποιεί την ασαφή λογική για να δημιουργήσει στρατηγικές ελέγχου που προσαρμόζονται σε δυναμικά και αβέβαια περιβάλλοντα. Αυτή η μεθοδολογία περιλαμβάνει τρία κύρια συστατικά: την ασάφεια, τον συμπερασμό και την αποασάφεια. Η ασάφεια μεταφράζει ακριβείς εισόδους σε γλωσσικές μεταβλητές που χαρακτηρίζονται από συναρτήσεις συμμετοχής. Η διαδικασία συμπερασμού περιλαμβάνει την εφαρμογή ενός συνόλου ασαφών κανόνων για τον καθορισμό ενεργειών ελέγχου. Το FIS Mamdani Τύπου-2, για παράδειγμα, χειρίζεται τις αβεβαιότητες αναθέτοντας διαστήματα τιμών στους βαθμούς συμμετοχής. Το βήμα της απο-ασαφοποίησης (defuzzification) μετατρέπει τα ασαφή αποτελέσματα του Συστήματος Ασαφούς Συμπερασμού σε ακριβή σήματα ελέγχου [17].

Στο πλαίσιο του ασαφούς ελέγχου PID, τα παραδοσιακά κέρδη του ελεγκτή Αναλογικού-Ολοκληρωτικού-Παραγωγού παραμένουν σταθερά. Ωστόσο, η προσέγγιση αποκλίνει χρησιμοποιώντας ασαφή λογική για την τροποποίηση της εξόδου του ελεγκτή, όπως φαίνεται στο Σχήμα 2.2. Συγκεκριμένα, ο ελεγκτής λαμβάνει δύο εισόδους: το σφάλμα $e(t)$ και την παράγωγο του $\frac{de(t)}{dt}$ και τις κλιμακώνει για να προσαρμοστεί στο πεδίο των συναρτήσεων συμμετοχής ασαφούς λογικής. Αυτές οι συναρτήσεις δίνονται στο σύστημα ασαφούς συμπερασμού, το οποίο, βάσει των κανόνων που έχει αποθηκευμένους, δημιουργεί μια έξοδο $u(t)$, που αφού αποασαφοποιηθεί είναι μία κλιμακωμένη έκδοση του σήματος ελέγχου. Η τροποποιημένη $u(t)$ στη συνέχεια ανακλιμακώνεται και τροφοδοτείται ως είσοδος στο σύστημα υπό έλεγχο [18, 19, 20].



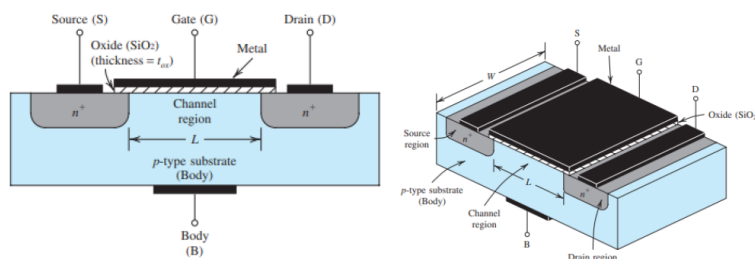
Σχήμα 2.2: Δομή συστήματος PID ελέγχου ασαφούς λογικής.

2.3 Τρανζίστορ MOSFET

2.3.1 Δομή του MOSFET

Το τρανζίστορ MOSFET αποτελείται από τέσσερα βασικά μέρη: την πύλη (Gate), την πηγή (Source), την υποδοχή (Drain), και το σώμα (Body ή Bulk). Το βασικό υλικό του τρανζίστορ είναι το πυρίτιο, ενώ η πύλη είναι κατασκευασμένη από μέταλλο ή πολυκρυσταλλικό πυρίτιο.

Η περιοχή μεταξύ της πηγής και της υποδοχής ονομάζεται κανάλι, το οποίο μπορεί να είναι τύπου n (n-MOSFET) ή τύπου p (p-MOSFET). Ένα λεπτό μονωτικό οξειδωτικό στρώμα (συνήθως διοξείδιο του πυριτίου, SiO₂) χωρίζει την πύλη από το κανάλι. [21]



Σχήμα 2.3: Δομή του MOSFET τρανζίστορ.

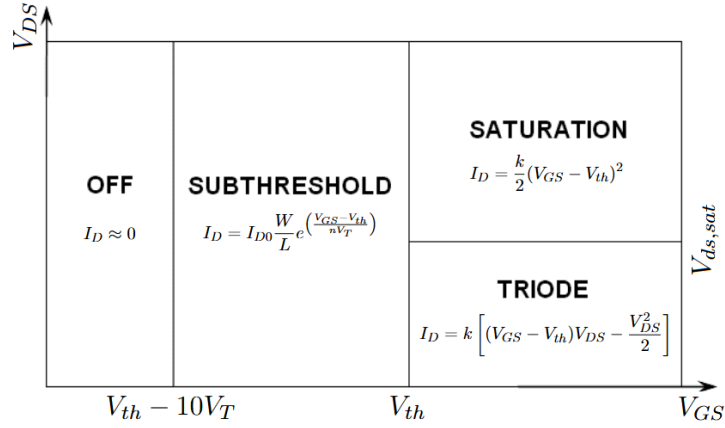
2.3.2 Λειτουργία του MOSFET

Η λειτουργία του MOSFET βασίζεται στη ρύθμιση της αγωγιμότητας του καναλιού μέσω της εφαρμογής μιας τάσης στην πύλη. Υπάρχουν διάφορες περιοχές λειτουργίας ανάλογα με τις εφαρμοζόμενες τάσεις: αποκοπή, τριόδος, κορεσμός και υποκατώφλιο.

Περιοχή Αποκοπής (Cut-off)

Στην περιοχή αποκοπής, η τάση της πύλης προς την πηγή (V_{GS}) είναι μικρότερη από την τάση κατωφλίου (V_{th}). Σε αυτήν την περιοχή, το κανάλι δεν σχηματίζεται και το ρεύμα της υποδοχής (I_D) είναι σχεδόν μηδενικό. [22]

$$I_D \approx 0 \quad \text{για} \quad V_{GS} < V_{th} \quad (2.1)$$



Σχήμα 2.4: Οι περιοχές λειτουργίας του τρανζίστορ MOSFET συναρτήσει των εφαρμοζόμενων τάσεων στους ακροδέκτες του. Οι V_{th} και $V_{ds,sat}$ είναι οι τάσεις κατωφλίου και κορεσμού αντίστοιχα, ενώ με V_T συμβολίζεται η θερμοκή τάση kT/e .

Περιοχή Τριόδου (Triode)

Στην περιοχή τριόδου, η τάση V_{GS} είναι μεγαλύτερη από το V_{th} και η τάση της υποδοχής προς πηγή (V_{DS}) είναι μικρότερη από $V_{GS} - V_{th}$. Το κανάλι είναι πλήρως ανοιχτό και το ρεύμα υποδοχής δίνεται από τη σχέση [22]:

$$I_D = k \left[(V_{GS} - V_{th})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.2)$$

όπου $k = \mu C_{ox} \frac{W}{L}$, με μ την κινητικότητα των ηλεκτρονίων ή των οπών (για nmos ή pmos αντίστοιχα), $C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$ τη χωρητικότητα του οξειδίου ανά μονάδα επιφάνειας, W το πλάτος του καναλιού, και L το μήκος του καναλιού.

Περιοχή Κορεσμού - Ισχυρή Αναστροφή (Saturation - Strong Inversion)

Στην περιοχή κορεσμού, η τάση V_{DS} είναι μεγαλύτερη από $V_{GS} - V_{th}$. Το ρεύμα υποδοχής είναι σχεδόν σταθερό ¹ και δίνεται από την εξίσωση [22]:

$$I_D = \frac{k}{2} (V_{GS} - V_{th})^2 \quad (2.3)$$

¹Στην πραγματικότητα το ρεύμα υποδοχής εξακολουθεί να παρουσιάζει μικρή εξάρτηση από την τάση V_{DS} , καθώς είναι ανάλογο του όρου λV_{DS} , όπου λ ο παράγοντας διαμόρφωσης μήκους καναλιού (φαινόμενο Early).

Περιοχή Υποκατωφλίου (Subthreshold)

Στην περιοχή υποκατωφλίου, η τάση V_{GS} είναι μικρότερη αλλά κοντά στο V_{th} και το ρεύμα υποδοχής ακολουθεί τον εκθετικό νόμο σε σχέση με V_{GS} [22]:

$$I_D = I_{D0} \frac{W}{L} e^{\left(\frac{V_{GS}-V_{th}}{nV_T}\right)} \quad (2.4)$$

όπου $I_{D0} = (n-1) \mu C_{ox} V_T^2$, $n > 1$ είναι ο συντελεστής υποκατωφλίου και $V_T = \frac{kT}{e}$ είναι η θερμοκή τάση. Μια άλλη προσέγγιση [23] του ρεύματος στην περιοχή υποκατωφλίου δίνεται από τις εξής σχέσεις για nmos και pmos αντίστοιχα

$$I_{nmos} = I_{on} e^{k_n(V_{GS}-V_w)/V_T} \left(e^{(V_w-V_S)/V_T} - e^{(V_w-V_D)/V_T} \right) \quad (2.5)$$

$$I_{pmos} = I_{op} e^{-k_p(V_{GS}-V_w)/V_T} \left(e^{-(V_w-V_S)/V_T} - e^{-(V_w-V_D)/V_T} \right) \quad (2.6)$$

όπου I_{on} , I_{op} είναι οι προεκθετικοί όροι ρεύματος για τα δύο τρανζίστορ, V_w η τάση του σώματος και k_n , k_p οι παράγοντες κλίσης (slope factors των τρανζίστορ), ίσοι με το $1/n$ της περιοχής υποκατωφλίου.

Στην περιοχή όπου $V_{DS} > 4V_T$ έχουμε την περιοχή του κορεσμού στην subthreshold και επομένως, ομοίως με την ισχυρή αναστροφή, το ρεύμα της υποδοχής δεν έχει ιδιαίτερη εξάρτηση με την τάση απαγωγού-πηγής.

2.3.3 Λειτουργία με DC

Η στατική λειτουργία του MOSFET αναφέρεται στην ανάλυση του ρεύματος και των τάσεων όταν το τρανζίστορ λειτουργεί σε σταθερή κατάσταση (DC). Οι βασικές εξισώσεις που περιγράφουν το ρεύμα υποδοχής στις διάφορες λειτουργικές περιοχές έχουν ήδη παρουσιαστεί. Στη σχεδίαση αναλογικών κυκλωμάτων, η κατανόηση της DC λειτουργίας του MOSFET είναι κρίσιμη για τη ρύθμιση των σημείων λειτουργίας .

2.3.4 Ανάλυση Μικρού Σήματος (Small Signal Analysis)

Η ανάλυση μικρού σήματος είναι σημαντική για την κατανόηση της απόκρισης του MOSFET σε μικρές διακυμάνσεις γύρω από το σημείο λειτουργίας του. Για την ανάλυση μικρού σήματος, το MOSFET μοντελοποιείται ως γραμμικό στοιχείο με παραμέτρους που εξαρτώνται από το σημείο λειτουργίας του.

Παράμετροι Μικρού Σήματος

Οι βασικές παράμετροι μικρού σήματος περιλαμβάνουν τη διαγωγιμότητα (g_m), την αντίσταση εξόδου (r_o), και τις παρασιτικές χωρητικότητες (C_{gs} και C_{gs}) [22].

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=\text{const}} \quad (2.7)$$

$$r_o = \frac{L}{(\lambda L)I_D} \quad (2.8)$$

όπου λ είναι ο παράγοντας διαμόρφωσης μήκους καναλιού.

Παρασιτικές Χωρητικότητες

Η μεγαλύτερη χωρητικότητα στην περιοχή του κορεσμού του MOSFET σχηματίζεται μεταξύ πύλης και πηγής και οφείλεται

- στις μεταβολές του φορτίου του καναλιού λόγω της μεταβολής της τάσης V_{GS} (ενδογενής χωρητικότητα)
- στην επικάλυψη μεταξύ της επαφής της πύλης και της πηγής σε μήκος L_{ov} και των σχετικών συνοριακών φαινομένων (παρασιτική χωρητικότητα)

Η C_{gs} δίνεται προσεγγιστικά από τη σχέση [22]

$$C_{gs} \simeq \frac{2}{3} W (L + L_{ov}) C_{ox} \quad (2.9)$$

Η παρασιτική χωρητικότητα C_{gd} οφείλεται στην επικάλυψη των δύο περιοχών και δίνεται από τη σχέση [22]

$$C_{gd} \simeq W L_{ov} C_{ox} \quad (2.10)$$

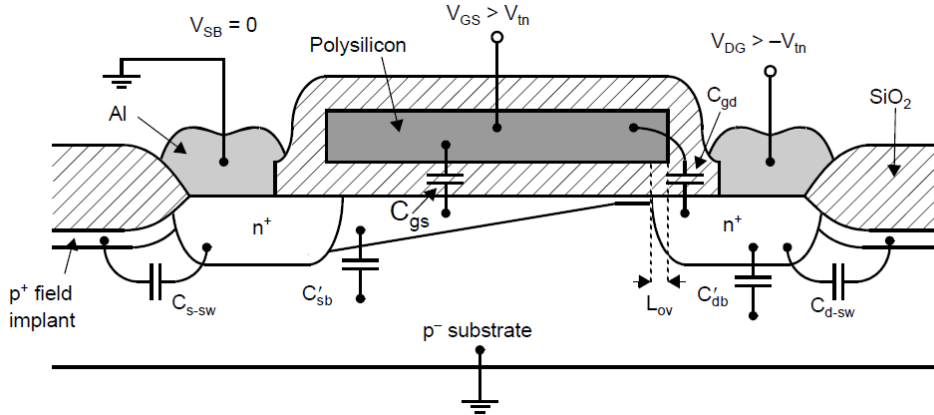
Οι παρασιτικές χωρητικότητες που δημιουργούνται λόγω των ανάστροφα πολωμένων επαφών p_n μεταξύ πηγής-σώματος και υποδοχής-σώματος δίνονται από τις σχέσεις [22]

$$C_{sb} = \frac{C_{sb0}}{\sqrt{1 + \frac{V_{SB}}{V_0}}} \quad (2.11)$$

όπου C_{sb0} η χωρητικότητα σε μηδενική τάση V_{SB} και V_0 το ενσωματωμένο δυναμικό της επαφής πηγής-σώματος και

$$C_{db} = \frac{C_{db0}}{\sqrt{1 + \frac{V_{DB}}{V_0}}} \quad (2.12)$$

όπου C_{db0} η χωρητικότητα σε μηδενική τάση V_{DB} και V_0 το ενσωματωμένο δυναμικό της επαφής πηγής-σώματος.



Σχήμα 2.5: Διατομή ενός NMOS στην οποία απεικονίζονται οι παρασιτικές χωρητικότητες

2.3.5 Τέταρτος Ακροδέκτης (Body Effect)

Ο τέταρτος ακροδέκτης του MOSFET, γνωστός ως σώμα (Body ή Bulk), έχει σημαντική επίδραση στις ηλεκτρικές ιδιότητες του τρανζίστορ. Η τάση σώματος προς πηγή (V_{BS}) επηρεάζει την τάση κατωφλίου (V_{th}) μέσω του φαινομένου σώματος. [22]

$$V_{th} = V_{th0} + \gamma \left(\sqrt{|V_{SB} + 2\phi_F|} - \sqrt{2\phi_F} \right) \quad (2.13)$$

όπου V_{th0} είναι η αρχική τάση κατωφλίου (σε μηδενική τάση V_{BS}), γ είναι ο συντελεστής φαινομένου σώματος, V_{SB} η τάση σώματος προς πηγή, και $2\phi_F$ η τάση Fermi.

Η διαγωγιμότητα λόγω του σώματος (g_{mb}) εκφράζεται ως:

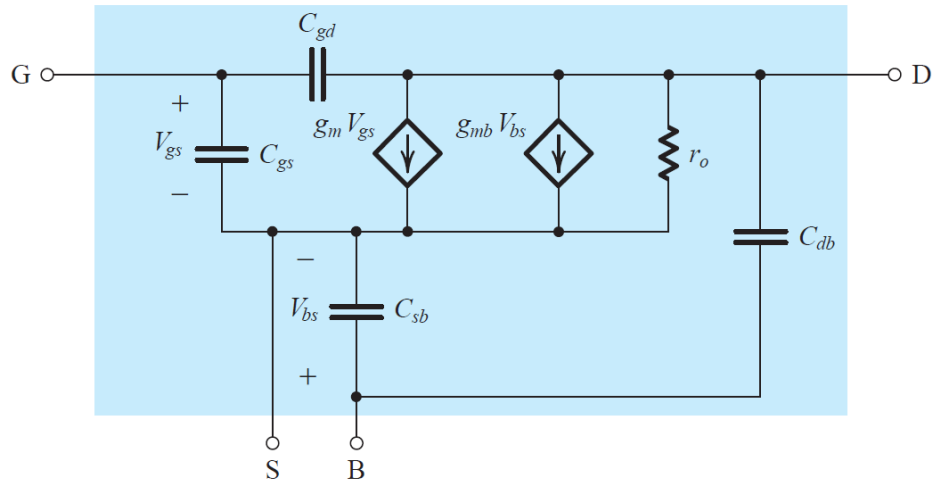
$$g_{mb} = g_m \frac{\partial V_{th}}{\partial V_{SB}} = g_m \gamma \frac{1}{2\sqrt{|V_{SB} + 2\phi_F|}} \quad (2.14)$$

2.3.6 Μοντέλο Μικρού Σήματος

Το ισοδύναμο κύκλωμα μικρού σήματος για το MOSFET περιλαμβάνει τις παραμέτρους g_m , r_o , C_{gs} , C_{gd} , C_{sb} , C_{db} και g_{mb} . Αυτό το μοντέλο χρησιμοποιείται

Θεωρητικό Υπόβαθρο

για την ανάλυση και το σχεδιασμό ενισχυτών και άλλων αναλογικών κυκλωμάτων. [21, 22]



Σχήμα 2.6: Ισοδύναμο κύκλωμα μικρού σήματος του MOSFET.

Κεφάλαιο 3

Ανασκόπηση Βιβλιογραφίας

Η εξέλιξη των ασαφών ελεγκτών, εκτενώς τεκμηριωμένη σε μια τεράστια και ποικίλη βιβλιογραφία, πηγάζει από τις πρωτοποριακές συμβολές του Lotfi Zadeh τη δεκαετία του 1960 [4]. Η πρωτοποριακή αντίληψη των ασαφών συνόλων και της λογικής του Zadeh έθεσε τις πρώτες θεωρητικές βάσεις, αναδιαμορφώνοντας τον τρόπο με τον οποίο τα συστήματα ελέγχου χειρίζονται τα ακριβή δεδομένα [4, 24]. Αυτή η θεμελιώδης φάση ερεύνησε τις συναρτήσεις συμμετοχής, τους κανόνες ασαφούς λογικής και τους μηχανισμούς συμπερασμού, θέτοντας τις βάσεις για τη διαχείριση αβεβαιοτήτων στις διαδικασίες λήψης αποφάσεων εντός των συστημάτων ελέγχου [25].

Καθώς το πεδίο προχωρούσε, η βιβλιογραφία διεύρυνε τους ορίζοντές της, παρουσιάζοντας μια πληθώρα πρακτικών εφαρμογών που καλύπτουν διάφορες βιομηχανίες. Στον τομέα της βιομηχανικής αυτοματοποίησης, οι ασαφείς ελεγκτές βρήκαν θέση σε διάφορες εφαρμογές, από τη βελτιστοποίηση των συστημάτων ισχύος [26, 27, 28] και τη διαχείριση της ροής της κυκλοφορίας [29, 30, 31] μέχρι τον συντονισμό των ρομποτικών λειτουργιών [32, 33, 34]. Αυτές οι πραγματικές υλοποιήσεις έδειξαν την προσαρμοστικότητα και την αποτελεσματικότητα της ασαφούς λογικής σε σενάρια όπου τα παραδοσιακά μαθηματικά μοντέλα δυσκολεύονται λόγω της πολυπλοκότητας του συστήματος και των απρόβλεπτων μεταβλητών. Ειδικότερα, στον τομέα της βιομηχανικής παραγωγής και της μηχανικής αυτοκινήτων, οι επιτυχημένες ιστορίες αφθονούν, δείχνοντας πώς οι ασαφείς ελεγκτές βελτιστοποιούν τις διαδικασίες παραγωγής και ενσωματώνονται ομαλά στα συστήματα ελέγχου οχημάτων, συμπεριλαμβανομένης της κρίσιμης λειτουργικότητας των συστημάτων αντιμπλοκαρίσματος φρένων (ABS) [35, 36].

Τα χρονικά των μεθοδολογιών του ασαφούς ελέγχου αποκαλύπτουν έναν πλούσιο καμβά εξέλιξεων καταγεγραμμένο στη βιβλιογραφία. Τα υβριδικά συ-

στήματα αναδείχθηκαν ως κεντρικό θέμα, αναδεικνύοντας τη συγχώνευση της ασαφούς λογικής με άλλα παραδείγματα ελέγχου όπως τα νευρωνικά δίκτυα [37, 38, 39] ή τους γενετικούς αλγόριθμους [40, 41, 42]. Αυτά τα υβριδικά μοντέλα αξιοποιούν τα συμπληρωματικά πλεονεκτήματα των διαφορετικών μεθοδολογιών, ενισχύοντας την απόδοση, την ανθεκτικότητα και την προσαρμοστικότητα των συστημάτων σε διάφορες εφαρμογές. Η συνεχώς επεκτεινόμενη βιβλιογραφία για τους ασαφείς ελεγκτές ανταποκρίνεται δυναμικά στις αναδυόμενες προκλήσεις και τα νέα σύνορα. Η πρόσφατη έρευνα έχει στραφεί προς την εξηγήσιμη τεχνητή νοημοσύνη (explainable AI), επιδιώκοντας να καταστήσει τους ασαφείς ελεγκτές πιο διαφανείς και κατανοητούς. Αυτή η τάση συμβαδίζει με την επιτακτική ανάγκη για ηθικά και υπεύθυνα συστήματα τεχνητής νοημοσύνης, ιδιαίτερα σε κρίσιμους τομείς όπου η αιτιολόγηση των αποφάσεων έχει ύψιστη σημασία. Συνοπτικά, το τοπίο της βιβλιογραφίας που περιβάλλει τους ασαφείς ελεγκτές προσφέρει ένα εκτενές πανόραμα που όχι μόνο διευκρινίζει τις θεωρητικές βάσεις και τις πρακτικές εφαρμογές αλλά και εξερευνά τα εξελισσόμενα πεδία των διεπιστημονικών συνεργασιών, των τεχνολογικών καινοτομιών και των ηθικών ζητημάτων στον τομέα των συστημάτων ελέγχου και της τεχνητής νοημοσύνης.

Κεφάλαιο 4

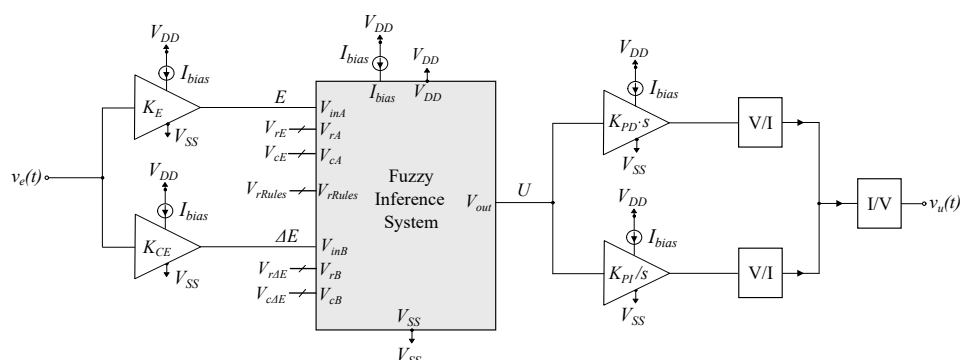
Κυκλωματική Υλοποίηση

Σε αυτό το κεφάλαιο θα παρουσιαστούν τα βασικά κυκλώματα που αναπτύχθηκαν και χρησιμοποιήθηκαν στα πλαίσια της παρούσας διπλωματικής. Θα αναλυθεί ο τρόπος λειτουργίας τους καθώς και οι εγγενείς περιορισμοί τους και η επίδραση στο σύστημα. Όλα τα κυκλώματα έχουν σχεδιαστεί ώστε να λειτουργούν στην sub-threshold περιοχή των τρανζίστορ, ώστε να εκμεταλλεύονται την εκθετική χαρακτηριστική του ρεύματος και τις χαμηλές τιμές ρεύματος. Χρησιμοποιείται διπλή συμμετρική τάση τροφοδοσίας τιμής $0.6V$ ($V_{DD} = -V_{SS} = 0.3V$), με σκοπό την μείωση της κατανάλωσης ισχύος τους, άρα και συνολικά του συστήματος στο οποίο θα χρησιμοποιηθούν [14]. Η σχεδίαση και η προσομοίωση των κυκλωμάτων έγινε στην τεχνολογία ολοκλήρωσης CMOS TSMC $90nm$ χρησιμοποιώντας το Cadence Virtuoso.

4.1 Αρχιτεκτονική συστήματος ασαφούς ελεγκτή

Σε αυτήν την ενότητα, παρουσιάζεται η υψηλού επιπέδου αρχιτεκτονική του προτεινόμενου αναλογικού ασαφούς PID ελεγκτή. Στην Ενότητα 2.2 αναλύθηκαν οι έννοιες των ελεγκτών ασαφούς λογικής.

Η δομή του προτεινόμενου αναλογικού ασαφούς PID ελεγκτή απεικονίζεται στο Σχήμα 4.1. Η είσοδος $v_e(t)$ αντιστοιχεί στο σφάλμα $e(t)$ μεταξύ της εξόδου του συστήματος και της εισόδου αναφοράς, κλιμακωμένη στο εύρος τιμών τάσεως του κυκλώματος. Οι δύο ενισχυτές μονής εισόδου μονής εξόδου παρέχουν τα απαιτούμενα κέρδη K_E και K_{CE} για την κλιμάκωση του σήματος πριν από το Σύστημα Ασαφούς Συμπερασμού, ενώ οι άλλοι δύο ενισχυτές παρέχουν τα κέρδη ελέγχου K_{PD} και K_{PI} , που ρυθμίζονται για να επιτύχουν την επιθυμητή απόδοση για το υπό έλεγχο σύστημα. Ο πυρήνας του ελεγκτή είναι



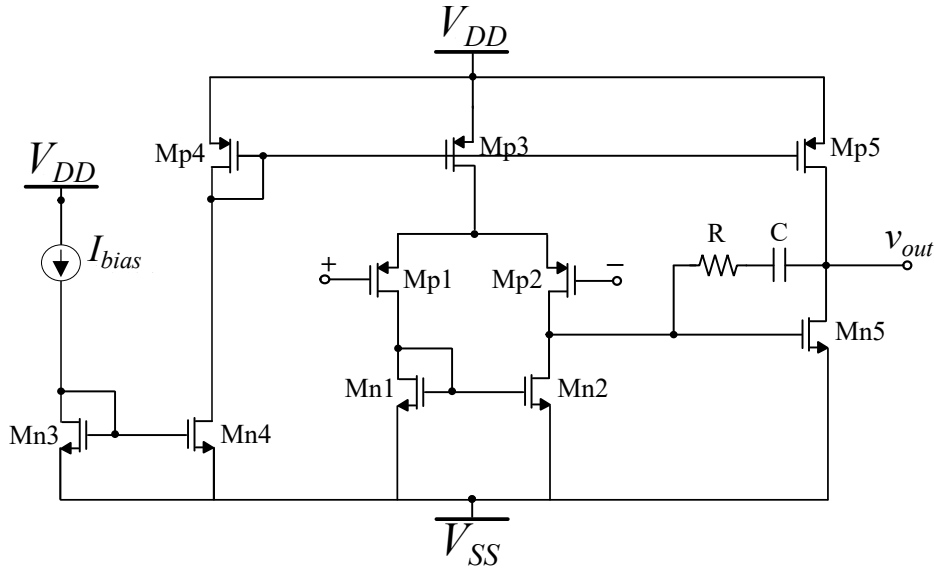
Σχήμα 4.1: Η προτεινόμενη αρχιτεκτονική του ασαφούς PID ελεγκτή. Η είσοδος αντιστοιχεί στο σφάλμα $e(t)$ μεταξύ της εξόδου του συστήματος και της εισόδου αναφοράς, κλιμακωμένη στο εύρος τιμών τάσεων του κυκλώματος, ενώ η έξοδος είναι η τάση που τροφοδοτείται ως είσοδος στο υπό έλεγχο σύστημα.

το Σύστημα Ασαφούς Συμπερασμού (FIS) που αποτελείται από τη βαθμίδα ασαφοποίησης, το σύστημα ασαφούς λογικής που υπολογίζει τα αποτελέσματα των κανόνων και το κύκλωμα απο-ασαφοποίησης που χρησιμοποιεί τη μέθοδο Κέντρου Βάρους (Center of Gravity - COG) για να παρέχει την ακριβή έξοδο. Επιπλέον, χρησιμοποιούνται μετατροπείς τάσης σε ρεύμα (V/I) και ρεύματος σε τάση (I/V) για να πραγματοποιηθεί η πρόσθεση των δύο όρων στην έξοδο του ελεγκτή και στη συνέχεια να μετατραπεί ξανά αυτό το σήμα σε τάση στην έξοδο τάσης του ελεγκτή $u(t)$. Αυτό το σήμα είναι η τάση που τροφοδοτείται στο υπό έλεγχο σύστημα για να ελέγξει την απόκρισή του.

4.2 Βασικά Κυκλώματα

4.2.1 Τελεστικός Ενισχυτής

Στα σημεία που είναι αναγκαία η χρήση τελεστικών ενισχυτών σχεδιάστηκε ένας διασταδιακός ενισχυτής με πρώτο στάδιο ένα διαφορικό ζευγάρι με μετατροπή διαφορικού σήματος σε μονό και δεύτερο στάδιο έναν ενισχυτή κοινής πηγής, όπως φαίνεται στο Σχήμα 4.2. Ο ενισχυτής κοινής πηγής είναι σχεδιασμένος να έχει αρκετά μεγάλη ικανότητα οδήγησης. Το παραπάνω κύκλωμα αντισταθμίζεται με έναν πυκνωτή ο οποίος εκμεταλλεύεται το φαινόμενο Miller που εμφανίζεται λόγω του κέρδους του δεύτερου σταδίου [43, 44].



Σχήμα 4.2: Το κύκλωμα τελεστικού ενισχυτή που υλοποιήθηκε για τις ανάγκες του συστήματος.

Πίνακας 4.1: Διαστάσεις των Τρανζίστορ του Κυκλώματος OpAmp.

Τρανζίστορ	W/L ($\mu m/\mu m$)	Παθητικά	Τιμή
$M_{n1} - M_{n4}$	1.6/0.4	R	$25k\Omega$
M_{n5}	0.8/0.4	C	$0.5pF$
$M_{p1}-M_{p2}$	12.8/0.4		
M_{p3}, M_{p5}	0.8/0.4		
M_{p4}	1.6/0.4		

4.2.2 Κύκλωμα Bump

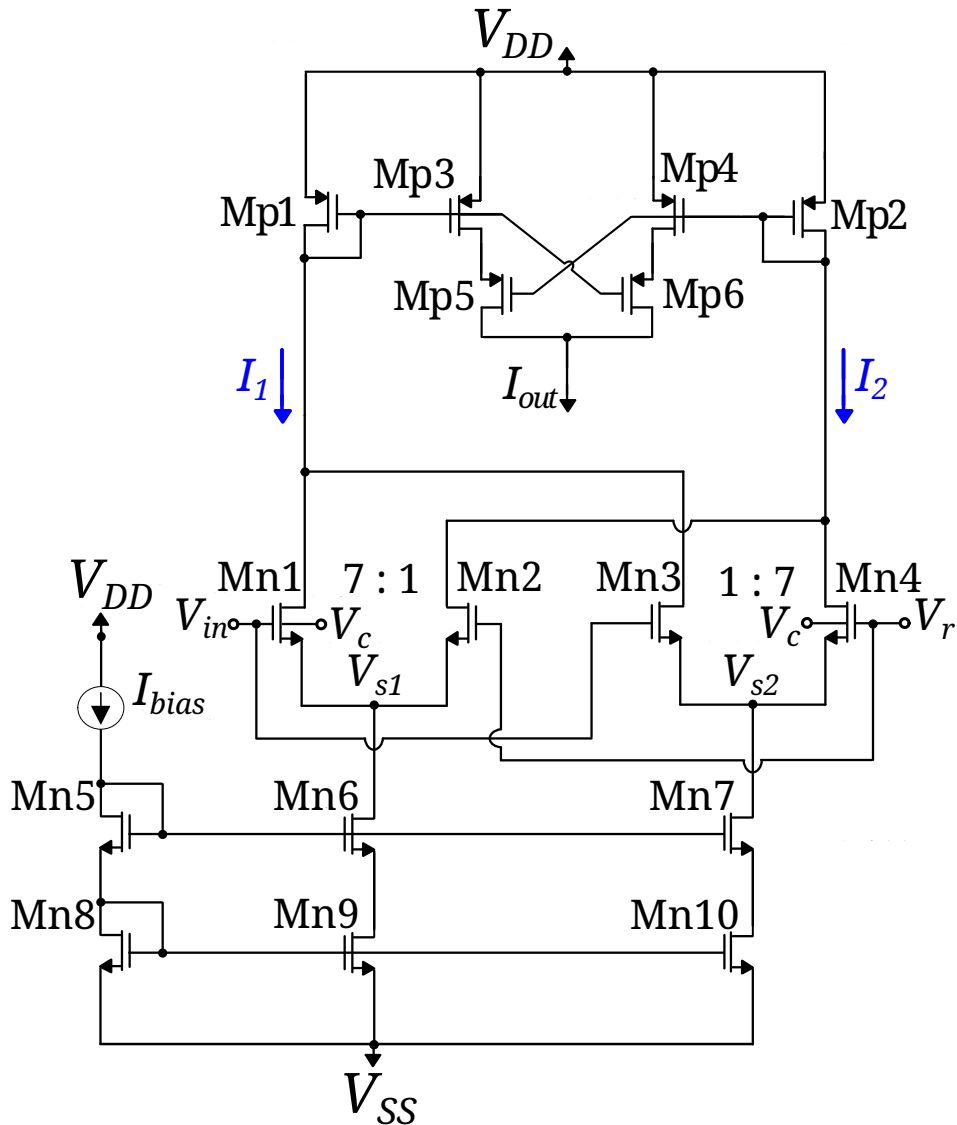
Τα Bump κυκλώματα είναι απλές διατάξεις, που παράγουν μία μονοδιάστατη Γκαουσιανή συνάρτηση με μικρό υλικό και ενεργειακό κόστος [45]. Το πρώτο κύκλωμα Bump (Delbruck's Simple Bump) εισήχθη από τον Delbruck [46, 47] το 1991. Στην βιβλιογραφία, έχουν προταθεί διάφορων ειδών τεχνικές, σχετικά με την υλοποίηση ενός Bump κυκλώματος [45]: βασιζόμενα στο Translinear Principle [48], στην χρήση Bulk-controlled τρανζίστορ [49], στις ιδιότητες των Floating Gate MOSFET [50], στην χρήση μόνο απλών διαφορικών ζευγών ή στην εκμετάλλευση μεικτών αρχιτεκτονικών (χρήση αναλογικών και ψηφιακών κυκλωμάτων) [51]. Κάθε μια από αυτές τις τεχνικές προσφέρει διάφορα πλε-

ονεκτήματα τα οποία χρειάζονται στις εφαρμογές για τις οποίες προορίζονταν. Έχοντας σαν στόχο την χαμηλή κατανάλωση, επιλέγονται οι Bulk-controlled υλοποιήσεις που εκμεταλλεύονται το σώμα (Bulk) των τρανζίστορ για να παράγουν ρυθμιζόμενες γκαουσιανές συναρτήσεις [52].

Το υποσύστημα ασαφοποίησης λειτουργεί ως κρίσιμος ενδιάμεσος μεταξύ του Συστήματος Ασαφούς Συμπερασμού (FIS) και του εξωτερικού περιβάλλοντος, συνήθως διασυνδεδεμένο με αισθητήρες που δίνουν ως εξόδους σήματα σε μορφή αναλογικής τάσης. Επιπλέον, αυτό το υποσύστημα αλληλεπιδρά με το μπλοκ ασαφούς συμπερασμού, ιδίως χρησιμοποιώντας τον τελεστή ελάχιστο-μέγιστο (MIN-MAX). Σε αυτό το πλαίσιο, ένα κύκλωμα Bump λειτουργεί ως το μπλοκ ασαφοποίησης. Ενώ έχουν αναπτυχθεί πολυάριθμα κυκλώματα Bump σε διάφορες εφαρμογές, για τους σκοπούς αυτής της εργασίας, έχει επιλεγεί μία έκδοση του κυκλώματος Bump (με λόγο διαστάσεων 7) για την βελτίωση της ποιότητας της γκαουσιανής καμπύλης. Αυτό το τροποποιημένο κύκλωμα, όπως απεικονίζεται στο Σχήμα 4.3 και περιγράφεται στο [53], διευκολύνει τη βελτιωμένη δημιουργία γκαουσιανής καμπύλης.

Συγκεκριμένα, το κύκλωμα ενσωματώνει έναν συμμετρικό συσχετιστή ρεύματος, που περιλαμβάνει τα τρανζίστορ $M_{p1} - M_{p6}$ στο Σχήμα 4.3 για να εξασφαλίσει συμμετρία γύρω από την μέση τιμή, ακόμη και με πολύ μικρά ρεύματα [54]. Το κίνητρο για αυτήν την τροποποίηση ήταν η ανάγκη για συμμετρικές καμπύλες Γκάους, κατά τη σύγκριση δύο τιμών της συνάρτησης πυκνότητας πιθανότητας. Η έξοδος ρεύματος I_{out} του κυκλώματος Gaussian απεικονίζεται στο Σχήμα 4.4. Επιπλέον, με την ρύθμιση του λόγου των τρανζίστορ στα διαφορικά ζεύγη σε 7, επιτυγχάνεται η διεύρυνση της γραμμικής περιοχής του κυκλώματος, με αποτέλεσμα μεγαλύτερη διακύμανση για την ίδια τιμή V_c . Για να βελτιωθεί περαιτέρω η απόδοση κατοπτρισμού, ιδίως με χαμηλά ρεύματα πόλωσης, έχει ενσωματωθεί ένας καθοδικός καθρέπτης ρεύματος συμπεριλαμβανοντας τους τρανζίστορ $M_{n5} - M_{n10}$ (Σχήμα 4.3). Η μέση τιμή της καμπύλης Gaussian καθορίζεται από την τάση V_r , ενώ η διακύμανση και το ύψος ρυθμίζονται από τις τάσεις V_c και το ρεύμα πόλωσης I_{bias} , αντίστοιχα. Σχετικά με την διασπορά, όμως, η σχέση μεταξύ της και της παραμέτρου τάσης V_c η οποία την ελέγχει, είναι μια σύνθετη μη γραμμική γνησίως αύξουσα συνάρτηση. Οι διαστάσεις των τρανζίστορ που χρησιμοποιούνται στο κύκλωμα συνοψίζονται στον Πίνακα 4.2.

Για να κατανοήσουμε την επίδραση του υποσυστήματος ασαφοποίησης εντός του συνολικού συστήματος ασαφούς συμπερασμού, θεωρούμε το V_{in1} ως την είσοδο του συστήματος, αντιπροσωπεύοντας τη γλωσσική μεταβλητή A . Αυτή η μεταβλητή χαρακτηρίζεται από n γλωσσικούς όρους, που σημειώνονται ως A_1 έως A_n . Αυτοί οι όροι αντιστοιχούν σε ένα ασαφές σύνολο που χαρακτηρίζεται από μια γκαουσιανή συνάρτηση συμμετοχής. Στο επίπεδο του

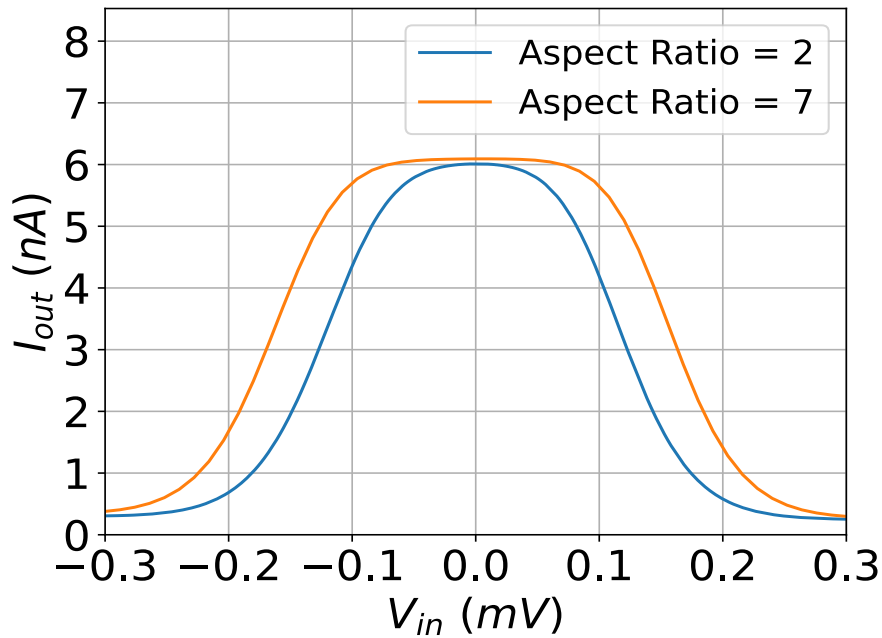


Σχήμα 4.3: Το κύκλωμα Bump που υλοποιήθηκε. Η έξοδος ρεύματος, που σημειώνεται ως I_{out} , είναι η τιμή μιας γκαουσιανής συνάρτησης για τιμή εισόδου - ανεξάρτητη μεταβλητή την τάση V_{in} . Οι παράμετροι τάσης V_r , V_c , και το ρεύμα πόλωσης I_{bias} ρυθμίζουν την μέση τιμή, τη διακύμανση και την μέγιστη τιμή της γκαουσιανής συνάρτησης αντίστοιχα.

συστήματος, το ασαφές σύνολο αυτό καθορίζεται από το αντίστοιχο κύκλωμα

Πίνακας 4.2: Διαστάσεις των Τρανζίστορ του Κυκλώματος Bump.

Διαφορικό	W/L ($\mu m/\mu m$)	Συσχετιστής	W/L ($\mu m/\mu m$)
M_{n1}, M_{n4}	2.8/0.4	M_{p1}, M_{p2}	1.6/1.6
M_{n2}, M_{n3}	0.4/0.4	M_{p3}, M_{p4}	0.4/1.6
$M_{n5}-M_{n8}$	0.4/1.6	M_{p5}, M_{p6}	0.4/1.6
M_{n9}, M_{n10}	1.6/1.6	-	-



Σχήμα 4.4: Η dc συνάρτηση μεταφοράς της εξόδου ρεύματος του κυκλώματος Bump για διάφορες τιμές του λόγου μεγεθών των τρανζίστορ του διαφορικού ζεύγους εισόδου. Η προσομοίωση πραγματοποιήθηκε με το V_r να τίθεται στο $0V$, το V_c στα $180mV$, και το I_{bias} στα $6nA$.

FMF και τις παραμέτρους πόλωσής του, που δεν είναι τίποτα παραπάνω από ένα κύκλωμα Bump με παραμέτρους επιλεγμένες όπως εξηγήθηκε παραπάνω. Όπως αναφέρθηκε προηγουμένως, το ρεύμα εξόδου I_{FMF} από κάθε κύκλωμα FMF σηματοδοτεί τον βαθμό συμμετοχής ή το βαθμό συμβατότητας μεταξύ της εισόδου V_{in1} και του συγκεκριμένου ασαφούς συνόλου που αντιπροσωπεύει. Η δομή υψηλού επιπέδου του μπλοκ ασαφοποίησης στο σύστημα ασαφούς

συμπερασμού απεικονίζεται στο Σχήμα 4.5.

4.2.3 Κύκλωμα MIN-MAX

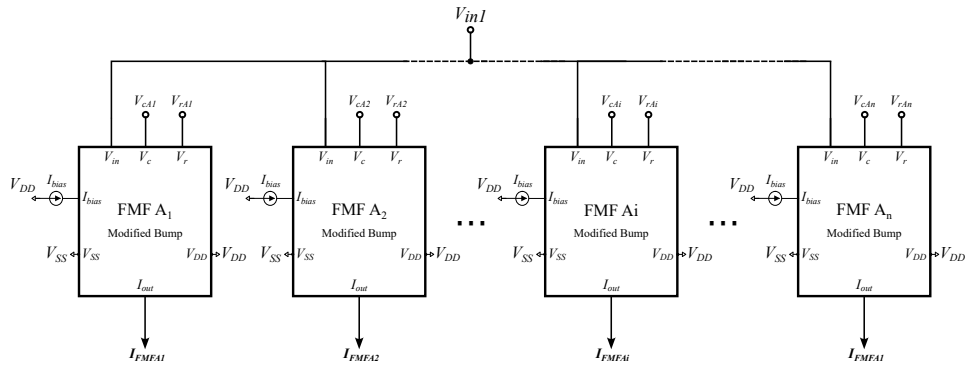
Οι τελεστές MIN/MAX χρησιμοποιούνται ευρέως σε διάφορες εφαρμογές μη γραμμικής επεξεργασίας σήματος ή ελέγχου συστημάτων. Έχουν προταθεί διάφορες μέθοδοι στη βιβλιογραφία, περιλαμβάνοντας κυκλώματα Winner-Take-All ή Loser-Take-All μαζί με συγκριτές, που σχετίζονται με τη ασαφή λογική [55, 56]. Ο σχεδιασμός του τελεστή MIN/MAX που χρησιμοποιείται εδώ, είναι κατάλληλος για συστήματα με δύο εισόδους. Ωστόσο, μπορεί επίσης να χειριστεί ασαφείς κανόνες με πολλαπλές προτάσεις, συνδέοντας κύτταρα κυκλωμάτων MIN/MAX διαδοχικά (cascaded). Παρόλο που αυτή η προσέγγιση δεν δίνει προτεραιότητα στην απόδοση και την αποδοτικότητα ισχύος, διευκολύνει την περίπλοκη ασαφή λογική με κανόνες που συνδυάζουν προτάσεις AND και OR.

Επιπλέον, ο σχεδιασμός που χρησιμοποιείται σε αυτή την αρχιτεκτονική εκτελεί όλες τις λειτουργίες ταυτόχρονα, αποφεύγοντας τα μειονεκτήματα της αυξημένης ενεργού επιφάνειας πυριτίου και κατανάλωσης ισχύος που συνδέονται με τη χρήση ξεχωριστών σχεδίων για τις λειτουργίες MAX και MIN. Διαφορετικά, δεδομένης της έλλειψης κυκλωμάτων πολλών εισόδων που ενσωματώνουν αυτές τις δύο λειτουργίες, θα ήταν αναγκαία η χρήση δύο ξεχωριστών κυκλωμάτων. Το κύκλωμα ασαφούς συμπερασμού που χρησιμοποιείται για τον καθορισμό της ισχύος ενεργοποίησης των ασαφών κανόνων του συστήματος βασίζεται σε ένα κύκλωμα max-min που λειτουργεί με ρεύματα [57], όπως απεικονίζεται στο Σχήμα 4.6.

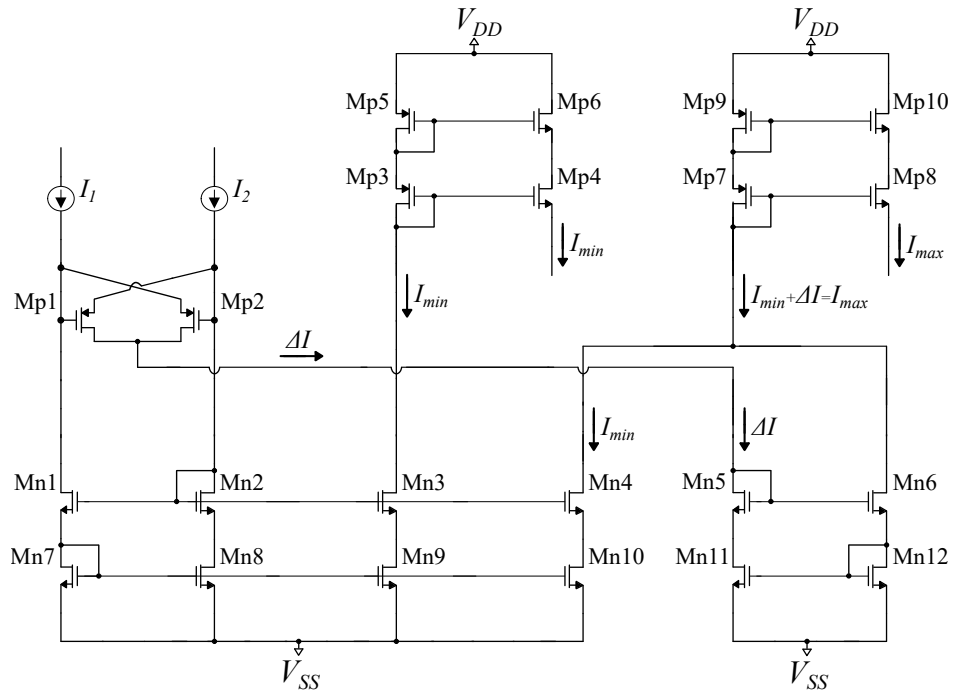
Πρακτικά το κύκλωμα αυτό συνίσταται από 1:1 καθρέφτες ρεύματος (καθοδικούς και Wilson) οι οποίοι εκμεταλλεύονται

- Το γεγονός ότι ισχύει $I_{max} - I_{min} = \Delta I = |I_1 - I_2|$ με $I_{max} = \max\{I_1, I_2\}$.
- Η άθροιση/αφαίρεση ρευμάτων γίνεται απλώς συνδέοντας τους εκάστοτε κλάδους του κυκλώματος (1ος κανόνας του Κίρχοφ).

Για την επεξήγηση της λειτουργίας του κυκλώματος, θεωρούμε ότι αρχικά τα δύο ρεύματα εισόδου είναι ίσα ($I_1 = I_2$) και αυξάνεται το I_2 . Αυτό θα οδηγήσει σε αύξηση της τάσης της πύλης του τρανζίστορ M_{p2} . Λόγω αυτής της διαφοράς το M_{p1} θα είναι ON και το M_{p2} σε αποκοπή, με αποτέλεσμα το ρεύμα I_1 (που είναι το I_{min}) να περνά εξ ολοκλήρου στον καθρέφτη Wilson και με διαδοχικούς καθρεφτισμούς στα $M_{n2}, M_{n3}, M_{n4}, M_{n8}, M_{n9}, M_{n10}$. Από τον 1ο κανόνα του Κίρχοφ στον κόμβο της πηγής του M_{p1} , το ρεύμα που διαρρέει



Σχήμα 4.5: Το μπλοκ ασαφοποίησης εντός του FIS έχει μια αρχιτεκτονική όπου κάθε κύκλωμα FMF_{A_i} αντιστοιχεί σε έναν συγκεκριμένο γλωσσικό όρο, A_i , που σχετίζεται με τη γλωσσική μεταβλητή A . Το ρεύμα πόλωσης I_{bias} παραμένει σταθερό σε όλα τα κυκλώματα FMF, ρυθμισμένο στα $3nA$ στην περίπτωση αυτή. Αντίθετα, οι τάσεις V_r και V_c είναι μεταβλητές, κυμαίνόμενες από $-300mV$ έως $+300mV$. Το προκύπτον ρεύμα εξόδου I_{FMF} σηματοδοτεί τον βαθμό συμμετοχής που υπάρχει μεταξύ της εισόδου V_{in} του FMF και του συγκεκριμένου ασαφούς συνόλου που αντιπροσωπεύει.



Σχήμα 4.6: Η υλοποίηση του κυκλώματος Min/Max. Παρέχει και τις δύο λειτουργίες.

αυτό το τρανζίστορ είναι $\Delta I = I_2 - I_1 = I_{max} - I_{min}$ και διά μέσω αυτού περνά στον δεύτερο καθρέφτη Wilson $M_{n5}, M_{n6}, M_{n11}, M_{n12}$. Από την άθροιση των ρευμάτων των δύο καθρεφτών δημιουργείται το $I_{max} = I_{min} + \Delta I$.

Δεδομένου ότι οι εισόδοι (ρεύματα) στο κύκλωμα αναμένεται να είναι μικρές, της τάξης των nA, ενσωματώνονται μεγαλύτερα στοιχεία για να ενισχύσουν την αποδοτικότητα του σχεδίου. Ωστόσο, η αύξηση του μήκους συνεπάγεται την αύξηση της αντίστασης εξόδου, ενώ ταυτόχρονα μειώνεται η αντίσταση εισόδου. Αντίθετα, η μείωση του πλάτους συμβάλλει σε μεγαλύτερη ακρίβεια στην κατοπτρισμό μικρών ρευμάτων. Οι διαστάσεις των τρανζίστορ είναι ίσες με $\frac{W}{L} = \frac{0.2\mu m}{1.6\mu m}$. Στα Σχήματα 4.7,4.8 παρουσιάζονται τα αποτελέσματα για το max και το min ρεύμα που παράγονται από το κύκλωμα εφαρμόζοντας στην είσοδο δύο ημιτονεϊδή ρεύματα εισόδου πλάτους 10nA και διαφοράς φάσης 110 deg.

Εντός του συστήματος ασαφούς συμπερασμού, κάθε υποκύκλωμα συμπεραματολογίας υλοποιεί έναν ασαφή κανόνα που περιλαμβάνει δύο προτάσεις. Το ρεύμα εξόδου του υποκύκλωματος επιλέγεται σκόπιμα είτε ως το MIN είτε ως το MAX ρεύμα, οδηγώντας σε προτάσεις AND ή OR, αντίστοιχα.

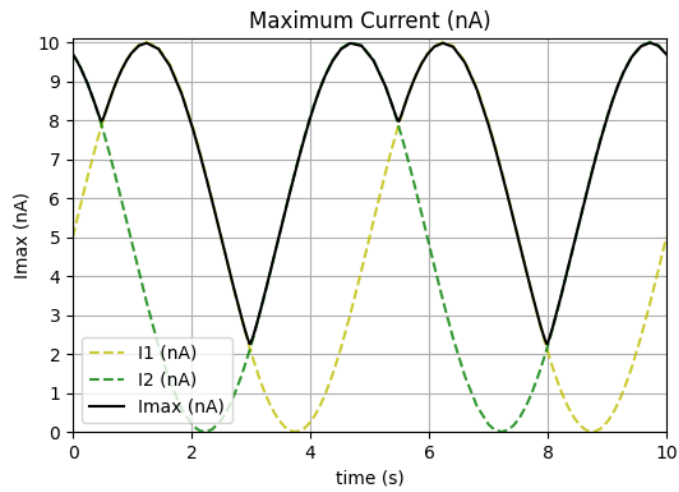
4.2.4 Κύκλωμα COG

Σύμφωνα με το μαθηματικό μοντέλο και λαμβάνοντας υπόψη ότι η ισχύς ενεργοποίησης ω_i του $Rule_i$ ισούται με το ρεύμα εξόδου $I_{FI Rule_i}$ του i -ου μπλοκ ασαφούς συμπερασμού, ενώ το κέντρο της γκαουσιανής συνάρτησης συμμετοχής των συμπερασμάτων (consequents) του ίδιου κανόνα αντιστοιχεί στην τάση $V_{r Rule_i}$, ο καθορισμός του κέντρου βάρους (Center Of Gravity, COG) για την συνολική συνάρτηση συμμετοχής της εξόδου του Συστήματος Ασαφούς Συμπερασμού που περιλαμβάνει m κανόνες εκφράζεται ως εξής:

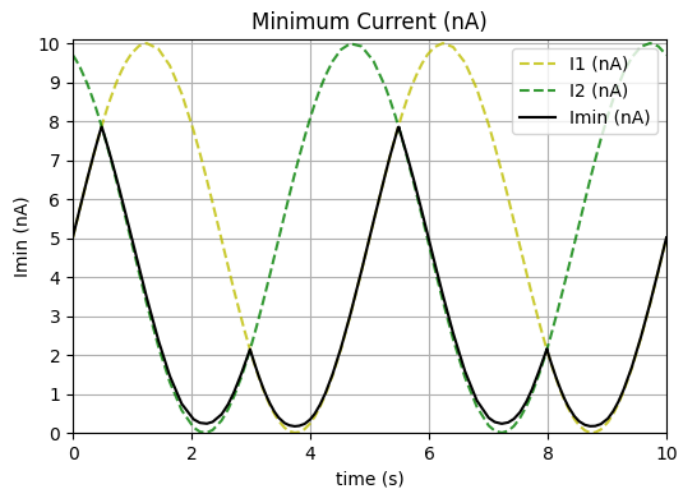
$$COG = \frac{\sum_{i=1}^m I_{FI Rule_i} \cdot V_{r Rule_i}}{\sum_{i=1}^m I_{FI Rule_i}}. \quad (4.1)$$

Μεταξύ των τεχνικών αναλογικών κυκλωμάτων απο-ασαφοποίησης COG που έχουν καταγραφεί στη βιβλιογραφία [58, 59], εδώ έχει επιλεγεί η μέθοδος παρακολούθησης-συγκέντρωσης τάσης (voltage follower-aggregation) που εισήχθη αρχικά από τον Carver Mead στο [60, 61]. Αυτή η τεχνική, που απεικονίζεται στο Σχήμα 4.9, αποτελεί τη θεμελιώδη αρχιτεκτονική.

Χρησιμοποιώντας ένα σύνολο m τελεστικών ενισχυτών διαγωγιμότητας (Operational Transconductance Amplifiers - OTAs), που σημειώνονται ως OTA_1 έως OTA_m , το κύκλωμα συγκεντρώνει (aggregates) τις εισόδους $V_{r Rule_1}$ έως $V_{r Rule_m}$ με συντελεστές βάρους G_{mi} και υπολογίζει τον σταθμισμένο μέσο όρο της εξίσωσης (4.1) σε κάθε διάσταση του διανύσματος εξόδου του συ-



Σχήμα 4.7: Η max έξοδος του κυκλώματος MIN-MAX με δύο ημιτονειδή ρεύματα εισόδου πλάτους $10nA$ και διαφοράς φάσης 110 deg .



Σχήμα 4.8: Η min έξοδος του κυκλώματος MIN-MAX με δύο ημιτονειδή ρεύματα εισόδου πλάτους $10nA$ και διαφοράς φάσης 110 deg .

στήματος [61]. Αυτή η λειτουργία βασίζεται στον βρόχο ανάδρασης που απεικονίζεται στο Σχήμα 4.9 και από τον νόμο ρευμάτων του Κίρχοφ:

$$\sum_{i=1}^m G_{mi} \cdot (V_{rRulei} - V_{out}) = 0 \quad (4.2)$$

Η διαγωγιμότητα G_{mi} του OTA_i , ενώ λειτουργεί εντός της γραμμικής του περιοχής, εκφράζεται ως εξής:

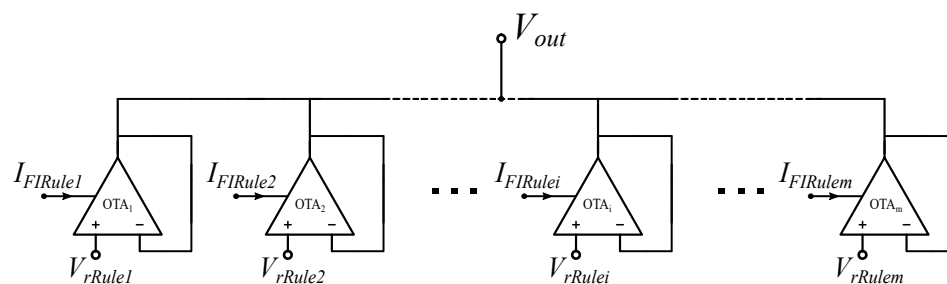
$$G_{mi} = \frac{I_{FI Rulei}}{2kT/(q\kappa)}. \quad (4.3)$$

Σε αυτό το πλαίσιο, το $I_{FI Rulei}$ αντιπροσωπεύει το ρεύμα πόλωσης του OTA_i .

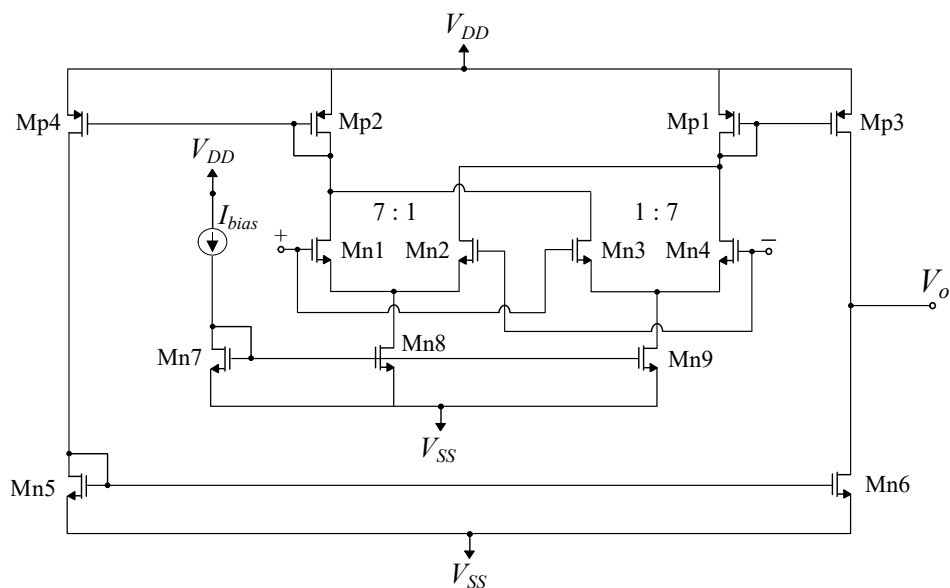
Για την περιοχή τιμών εισόδου που τα κυκλώματα OTA έχουν ρυθμιστεί να λειτουργούν στην γραμμική τους περιοχή με διαγωγιμότητα που περιγράφεται από την εξίσωση (4.3) και υποθέτοντας ότι τα OTAs Σχήματος 4.9 είναι ταιριασμένα, η εξίσωση (4.2) οδηγεί στο επιθυμητό αποτέλεσμα της εξίσωσης (4.1) ως έξοδο του κυκλώματος follower-aggregation. Λόγω του γεγονότος ότι η διαδικασία της απο-ασαφοποίησης απαιτεί μόνο μία παράμετρο τάσης V_r για κάθε συνάρτηση συμμετοχής, αυτή η υλοποίηση ταιριάζει με την αρχιτεκτονική του συστήματος ασαφούς συμπερασμού. Αυτή η απλότητα προκύπτει από τα ρεύματα πόλωσης των OTAs, που παράγονται από το υποσύστημα ασαφούς συμπερασμού.

Επομένως, αποφεύγεται η χρήση μετατροπών τάσης σε ρεύμα και ρεύματος σε τάση, καθώς και κυκλωμάτων πολλαπλασιαστών/διαρετών που καταλαμβάνουν μεγάλη επιφάνεια πυριτίου. Αυτό απλοποιεί σημαντικά την αρχιτεκτονική του συστήματος. Για να εξασφαλιστεί η ακρίβεια των απαιτούμενων υπολογισμών, έχει σχεδιαστεί ένας μεγάλου εύρους (wide-range), υψηλού κέρδους ανοιχτού βρόχου (high open-loop gain) OTA, όπως απεικονίζεται στο σχήμα 4.10.

Το διασταυρωμένο διαφορικό ζεύγος που αποτελείται από τα τρανζίστορ M_{n1} - M_{n4} , σχεδιασμένο με λόγο 1:7, λειτουργεί μαζί με καθρέπτες ρεύματος M_{p2} , M_{p4} , M_{p1} , M_{p3} , M_{n5} και M_{n6} , αντιμετωπίζοντας αποτελεσματικά το ενδογενές πρόβλημα των OTAs με την τάση V_{min} , όπως περιγράφεται στο [60]. Αυτή η σχεδίαση επεκτείνει την γραμμική περιοχή λειτουργίας του OTA, βελτιώνοντας την απόδοσή του. Τα τρανζίστορ M_{p3} και M_{n6} προκαλούν σκόπιμα χαμηλή αγωγιμότητα εξόδου, προσδίδοντας στο κύκλωμα υψηλό κέρδος τάσης ανοιχτού βρόχου και υψηλή αντίσταση εξόδου. Αυτές οι σκόπιμες σχεδιαστικές επιλογές βελτιστοποιούν τη λειτουργικότητα και την ευστάθεια του OTA [43]. Οι διαστάσεις όλων των τρανζίστορ που χρησιμοποιούνται στον Πίνακα 4.3.



Σχήμα 4.9: Η αρχιτεκτονική του μπλοκ απο-ασαφοποίησης εντός του συστήματος ασαφούς συμπερασμού περιλαμβάνει ένα κύκλωμα follower-aggregation.



Σχήμα 4.10: Μεγάλου εύρους, διασταυρωμένου ζεύγους ενισχυτής διαγωγιμότητας

Διαφορικό	W/L ($\mu\text{m}/\mu\text{m}$)	Καθρέπτες	W/L ($\mu\text{m}/\mu\text{m}$)
M_{n1}, M_{n4}	1.4/16.0	M_{p1}, M_{p3}	1.8/16.0
M_{n2}, M_{n3}	0.2/16.0	M_{p2}, M_{p4}	0.8/16.0
M_{n7}	0.2/16.0	M_{n5}, M_{n6}	0.2/16.0
M_{n8}, M_{n9}	0.2/16.0	-	-

Πίνακας 4.3: Διαστάσεις των τρανζίστορ του OTA.

4.3 Ικανότητα ρύθμισης της αρχιτεκτονικής

Το Bump κύκλωμα που σχεδιάστηκε για το στάδιο ασαφοποίησης του συστήματος ασαφούς συμπερασμού (βλ. Ενότητα 4.2.2) επιτρέπει την ρύθμιση των συναρτήσεων συμμετοχής του συστήματος. Μεταβάλλοντας τις τιμές των παραμέτρων τάσης V_r και V_c μπορεί να οριστεί οποιαδήποτε γκαουσιανή συνάρτηση - εντός των ορίων του κυκλώματος - ως συνάρτηση συμμετοχής μιας ασαφούς μεταβλητής. Αντίστοιχα, η μέση τιμή των γκαουσιανών συναρτήσεων συμμετοχής του μπλοκ απο-ασαφοποίησης είναι δυνατόν να ρυθμιστεί μέσω της τάσης πόλωσης των αντίστοιχων OTA. Επιπλέον, μηδενίζοντας το ρεύμα πόλωσης των παραπάνω κυκλωμάτων, απενεργοποιούνται, με αποτέλεσμα την απενεργοποίηση της εκάστοτε συνάρτησης συμμετοχής. Ταυτόχρονα, αυτή η αρχιτεκτονική επιτρέπει τροποποιήσεις και στους ασαφείς κανόνες του συστήματος ελέγχοντας αν κάθε κύκλωμα συμπερασμού κανόνων θα είναι ON ή OFF και αν το ρεύμα εξόδου θα είναι το MIN ή το MAX για OR και AND διμελείς ασαφείς σχέσεις αντίστοιχα.

Κεφάλαιο 5

Εφαρμογές και Προσομοιώσεις

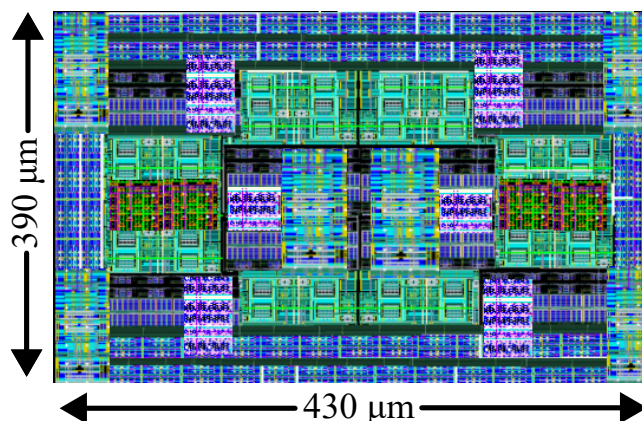
Σε αυτό το κεφάλαιο θα αναλυθούν τα αποτελέσματα της παραπάνω αρχιτεκτονικής σε διαφορετικά συστήματα υπό έλεγχο (plants). Για την επαλήθευση της λειτουργίας του ελεγκτή συγκρίνονται η επίδοση του κυκλώματος μέσω προσομοιώσεων με την αναμενόμενη επίδοση από ένα ισοδύναμο σύστημα υλοποιημένο στο Matlab.

5.1 Φυσική υλοποίηση

Για την εξαγωγή των αποτελεσμάτων έχει σχεδιαστεί το layout του συστήματος και των υποκυκλωμάτων του. Η φυσική σχεδίαση (layout) έγινε με το εργαλείο Layout XL της σουίτας Cadence Virtuoso στην τεχνολογία CMOS 90nm της TSMC. Η υλοποίηση της διάταξης φαίνεται στο Σχ. 5.1.

Για να μετριαστούν οι επιπτώσεις στη λειτουργικότητα του κυκλώματος της μεταβλητότητας της διαδικασίας τύπωσης, λαμβάνονται τα ακόλουθα μέτρα κατά τον φυσικό σχεδιασμό της διάταξης:

- Κάθε καθρέπτης σχεδιάστηκε χρησιμοποιώντας την τεχνική του κοινού κέντρου (common centroid) με πολλαπλά αντίγραφα για κάθε τρανζίστορ και το τρανζίστορ που παράγει το ρεύμα προς καθρεφτισμό (διοδικό) τοποθετείται στο κέντρο της διάταξης των τρανζίστορ που σχηματίζουν τον καθρέπτη.
- Κάθε διαφορικό ζεύγος κατασκευάζεται 'πλέκοντας' (interleaving) τα τρανζίστορ που το σχηματίζει.



Σχήμα 5.1: Η υλοποίηση της διάταξης του προτεινόμενου αναλογικού ασαφούς ελεγκτή στην τεχνολογία TSMC 90nm.

- Προστίθενται αδρανή επιπλέον τρανζίστορ (dummies) γύρω από τα τρανζίστορ που είναι σημαντικό για την λειτουργία να είναι ταιριασμένα.

Για να μειωθεί περαιτέρω η έλλειψη ταιριάσματος (mismatch) μεταξύ των διάφορων τρανζίστορ που πρέπει να είναι ταιριασμένα (π.χ. καθρέπτες και διαφορικά ζεύγη), το μήκος της πύλης τους επιλέγεται να είναι πολύ μεγαλύτερο από την ελάχιστη επιτρεπόμενη τιμή της τεχνολογίας. [62, 63].

5.2 Αποτελέσματα προσομοιώσεων

Η αποτελεσματικότητα του προτεινόμενου ελεγκτή αξιολογείται μέσω εκτεταμένων προσομοιώσεων Matlab και Cadence σε επιλεγμένα μοντέλο συστημάτων.

5.2.1 Υπό έλεγχο σύστημα # 1

Επιλέξαμε ένα μη γραμμικό σύστημα πρώτης τάξης με χρόνο καθυστέρησης λόγω της σημασίας και της συνάφειάς του με φυσικές διαδικασίες, καθιστώντας το ένα αντιπροσωπευτικό παράδειγμα για στρατηγικές ελέγχου:

$$\dot{y}(t) = y(t) + \sin^2\left(\sqrt{|y(t)|}\right) + u(t - L) \quad (5.1)$$

όπου $u(t)$, $y(t)$ είναι η είσοδος και η έξοδος του συστήματος αντίστοιχα και η παράμετρος L αντιπροσωπεύει τον χρόνο καθυστέρησης. Η είσοδος αναφοράς

$r(t)$ που το σύστημα πρέπει να ακολουθήσει είναι μια συνάρτηση βήματος. Επιπλέον, προστίθεται μια εξωτερική διαταραχή στο σύστημα στις $t = 10s$ για να δοκιμαστεί η ικανότητα του ελεγκτή να αντισταθμίζει αυτή τη διαταραχή, διατηρώντας το σύστημα στην απαιτούμενη κατάσταση.

Τα πλεονεκτήματα του επιλεγμένου συστήματος μας έγκεινται στην ικανότητά του να προσομοιώνει πολύπλοκες και ρεαλιστικές συμπεριφορές που συναντώνται σε διαδικασίες όπως χημικές αντιδράσεις, μηχανικά συστήματα και βιολογικά συστήματα [64]. Η παρουσία της μη γραμμικότητας και του χρόνου καθυστέρησης εισάγει προκλήσεις που πρέπει να ξεπεράσουν οι ελεγκτές, αντικατοπτρίζοντας την στιβαρότητα (robustness) και την προσαρμοστικότητα (adaptability) που απαιτείται για πρακτικές εφαρμογές ελέγχου. Χρησιμοποιώντας αυτό το συγκεκριμένο σύστημα, οι προσομοιώσεις μας στοχεύουν στην επίδειξη της απόδοσης του ελεγκτή υπό συνθήκες που αντικατοπτρίζουν τις πολυπλοκότητες των δυναμικών συστημάτων που βρίσκονται σε διάφορους τομείς, ενισχύοντας έτσι τη γενικευμένη ικανότητα και εφαρμοσιμότητα της προτεινόμενης στρατηγικής ασαφούς ελέγχου PID. Επίσης, πραγματοποιείται μια ολοκληρωμένη σύγκριση της συμπεριφοράς του αναλογικού ολοκληρωμένου ασαφούς ελεγκτή σε σχέση με τον ισοδύναμο ελεγκτή υλοποιημένο στο λογισμικό.

Στο [65, 66] οι επιλεγμένοι ελεγκτές είναι πιθανό να αντιπροσωπεύουν ένα ευρύ φάσμα στρατηγικών ελέγχου, καθένας με τα μοναδικά του πλεονεκτήματα και περιορισμούς. Η σύγκριση περιλαμβάνει την αξιολόγηση της απόκρισης κάθε ελεγκτή σε σχέση με τους Βασικούς Δείκτες Απόδοσης (Key Performance Indicators - KPIs). Μετρικές όπως ο χρόνος ανόδου (rising time), η υπερύψωση (overshoot), ο χρόνος αποκατάστασης (settling time), το σφάλμα μόνιμης κατάστασης (steady state error) και η ανθεκτικότητα στις διαταραχές λαμβάνονται υπόψη. Αυτές οι μετρικές παρέχουν ποσοτικές πληροφορίες σχετικά με την ικανότητα των ελεγκτών να επιτυγχάνουν τους επιθυμητούς στόχους, να ανταποκρίνονται στις αλλαγές του συστήματος και να διατηρούν τη σταθερότητα παρουσία αβεβαιοτήτων. Επιπλέον, διεξάγονται προσομοιώσεις για την ανάλυση των παροδικών και μόνιμων συμπεριφορών των ελεγκτών. Οι αποκρίσεις σε βηματικές διεγέρσεις, στις εισαγόμενες διαταραχές και τις εξωτερικές διαταραχές παρατηρούνται για να αξιολογηθεί η ανθεκτικότητα και η προσαρμοστικότητα των ελεγκτών σε διαφορετικά σενάρια λειτουργίας.

Ο όρος 'βασισμένο σε λογισμικό' αναφέρεται στην υλοποίηση του κλειστού βρόχου συστήματος (τόσο του συστήματος υπό έλεγχο όσο και του ελεγκτή) στο περιβάλλον του Matlab/Simulink χρησιμοποιώντας το Fuzzy Logic Toolbox [67] για τον ασαφή ελεγκτή. Η υλοποίηση 'με αναλογικά' αναφέρεται στα αποτελέσματα των προσομοιώσεων επί του κυκλώματος του ελεγκτή που προέκυψε από το σχεδιασμένο φυσικό σχέδιο μετά τον υπολογισμό/εξαγωγή των παρασιτικών του στοιχείων (RC parasitic extraction). Οι προσομοιώσεις

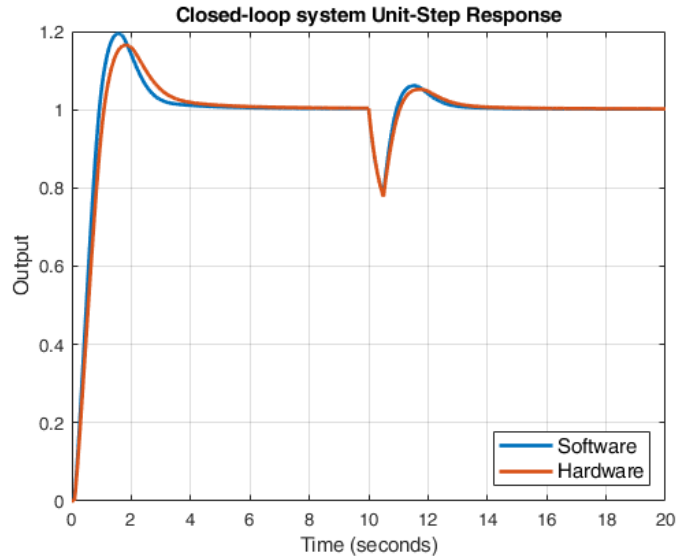
KPI	Λογισμικό	Αναλογικά
Χρόνος ανόδου (10%-90%)	0.54s	0.67s
Υπερύψωση	19.78%	17.45%
Χρόνος αποκατάστασης	3.97s	4.12s
Σφάλμα μόνιμης κατάστασης	3.22%	3.74%

Πίνακας 5.1: Μετρικές σχετικές με τον ελεγκτή ασαφούς λογικής υλοποιημένο σε λογισμικό και αναλογικό κύκλωμα.

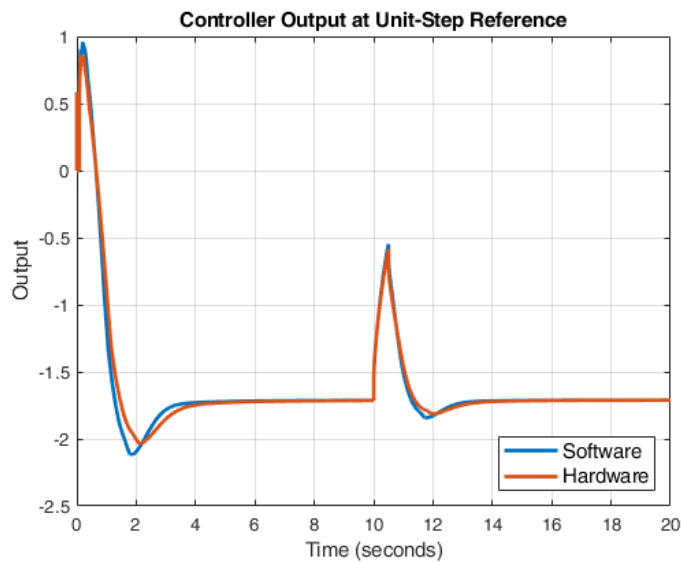
διεξήχθησαν στο ίδιο σύστημα υπό έλεγχο (υλοποιημένο με το συμπεριφορικό του μοντέλο Verilog-A) στο Cadence IC Virtuoso Suite.

Η λειτουργική προσομοίωση της προτεινόμενης τοπολογίας κυκλώματος πραγματοποιήθηκε μέσω του Cadence Virtuoso. Μια ανάλυση της απόδοσης του ελεγκτή στο πεδίο του χρόνου πραγματοποιήθηκε υποβάλλοντας τον σε βηματική είσοδο τάσης με μέγεθος $150mV$. Στη συνέχεια, η εξαγόμενη απόκριση του κλειστού βρόχου κλιμακώνεται για να συγκριθεί με το αντίστοιχο βασισμένο σε λογισμικό αποτέλεσμα. Η προκύπτουσα κυματομορφή εξόδου, συγκρινόμενη με την αντίστοιχη θεωρητική απόκριση του συστήματος κλειστού βρόχου, απεικονίζεται στο Σχήμα 5.2. Η απόδοση τόσο των ελεγκτών λογισμικού όσο και υλικού συνοφίζεται στον Πίνακα 5.1. Ο χρόνος αποκατάστασης του ελεγκτή μετρήθηκε στις 4.12 δευτερόλεπτα, συνοδευόμενος από υπερύψωση 17.5%. Η απόκριση βήματος της εξόδου του ελεγκτή στην αναφορά βήματος μονάδας φαίνεται στο Σχήμα 5.3. Είναι σημαντικό να παρατηρήσουμε ότι το παρατηρούμενο σφάλμα μόνιμης κατάστασης στη σύγκριση των δύο αποκρίσεων στο Σχήμα 5.2 οφείλεται σε ατέλειες/ασυμμετρίες στα OTAs καθώς και σε ατέλειες που εισάγει στο κύκλωμα η εξαγωγή των παρασιτικών του φυσικού σχεδίου. Αυτές οι ατέλειες περιλαμβάνουν μη γραμμικότητες και αυξημένες τιμές χωρητικότητας, παράγοντες που συντελούν στις διαφορές μεταξύ των δύο αποτελεσμάτων.

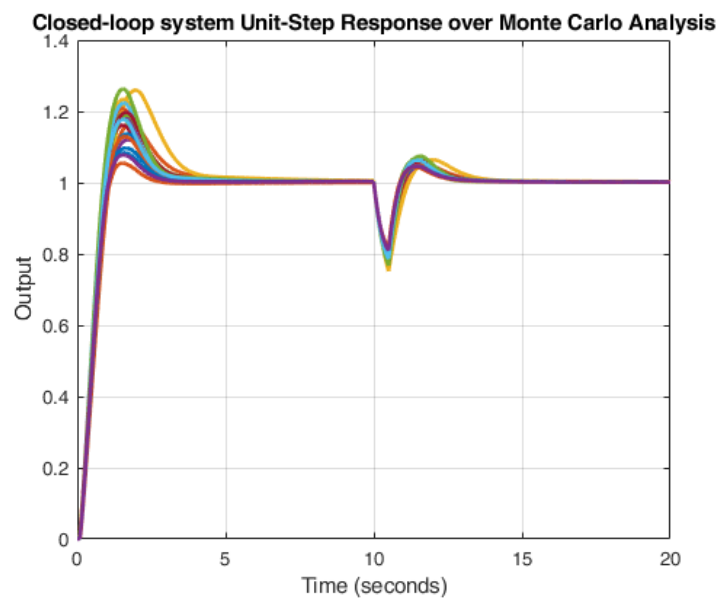
Επιπλέον, είναι απαραίτητη η αξιολόγηση της ευαισθησίας του κυκλώματος ως προς τις τυχαίες μεταβολές της διαδικασίας κατασκευής, των ασυμμετριών που μπορεί να εισάγει αλλά και της μεταβλητότητας των παραμέτρων, όπως η θερμοκρασία. Σχετικά με την ανάλυση ευαισθησίας, πραγματοποιήθηκε προσομοίωση Monte-Carlo με $N = 100$ σημεία. Οι τυχαίες μεταβολές αφορούσαν τόσο την διαδικασία κατασκευής όσο και τις ατέλειες/ασυμμετρίες (Process + Mismatch). Τα αποτελέσματα της χρονικής απόκρισης του ελεγκτή εμφανίζονται στο Σχήμα 5.4. Παρατηρούμε ότι το κύκλωμα παρουσιάζει μια ανθεκτική συμπεριφορά σε σχέση με τυχαίες παραλλαγές της διαδικασίας και των ασυμμετριών.



Σχήμα 5.2: Βηματική απόκριση του συστήματος κλειστού βρόχου. Περιλαμβάνει τόσο τις υλοποιήσεις λογισμικού όσο και με αναλογικά.



Σχήμα 5.3: Βηματική απόκριση της εξόδου του ελεγκτή στην μοναδιαία αναφορά βήματος. Περιλαμβάνει τόσο τις υλοποιήσεις λογισμικού όσο και αναλογικών.



Σχήμα 5.4: Η βηματική απόκριση της υλοποίησης υλικού του συστήματος κλειστού βρόχου για ανάλυση Μοντε άρλο με $N = 100$ σημεία για να δοκιμαστεί η ανθεκτικότητα του κυκλώματος.

KPI	Λογισμικό	Υλικό
Χρόνος ανόδου (10%-90%)	19.62s	20.07s
Υπερύψωση	0%	0%
Χρόνος αποκατάστασης	48.71s	52.15s
Σφάλμα μόνιμης κατάστασης	0.11%	2.32%

Πίνακας 5.2: Μετρικές σχετικές με τον ελεγκτή ασαφούς λογικής υλοποιημένο σε λογισμικό και αναλογικό κύκλωμα.

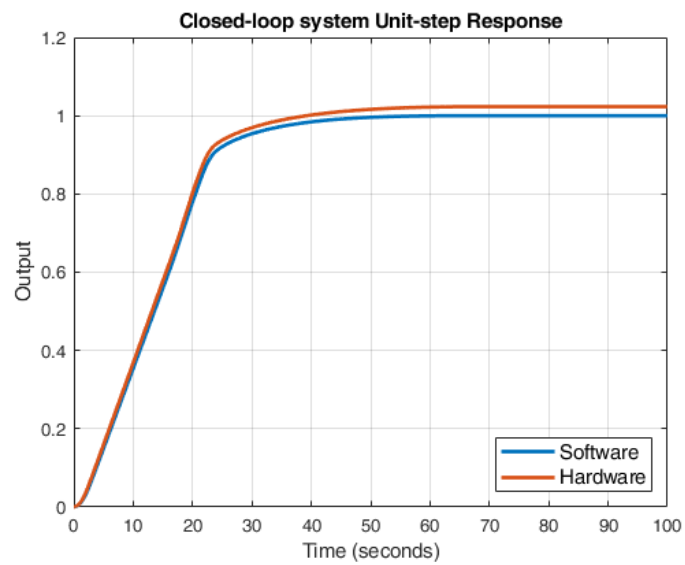
5.2.2 Υπό έλεγχο σύστημα # 2

Ως περαιτέρω επιβεβαίωση της σωστής λειτουργίας της προτεινόμενης αναλογικής υλοποίησης του συστήματος ελέγχου, το κύκλωμα δοκιμάζεται σε ένα μη γραμμικό σύστημα 2ης τάξης, μοντελοποιώντας τη δυναμική της κίνησης ενός τρένου σε τροχιά [68]. Η διαφορική εξίσωση που αντιπροσωπεύει το υπό έλεγχο σύστημα είναι η εξής:

$$\ddot{y}(t) = -k\dot{y}(t) - r\dot{y}(t)|\dot{y}(t)| + u(t) \quad (5.2)$$

Όπως και στο 1ο σύστημα, σε αυτή την περίπτωση έχουν δοκιμαστεί τόσο ο ελεγκτής υλοποιημένος σε λογισμικό (Matlab/Simulink) όσο και ο ισοδύναμος ελεγκτής υλοποιημένος με αναλογικά κυκλώματα (προσομοίωση στο RC-extracted κύκλωμα) για να αξιολογηθούν η αποτελεσματικότητα και η ακρίβεια της αναλογικής υλοποίησης.

Τα αποτελέσματα των κυματομορφών της χρονικής απόκρισης σε βηματική είσοδο του κλειστού βρόχου συστήματος των δύο υλοποιήσεων απεικονίζονται στο Σχήμα 5.5. Οι τιμές των Βασικών Δεικτών Απόδοσης (KPIs) συνοψίζονται στον Πίνακα 5.2. Όπως και στην πρώτη περίπτωση, μικρές αναμενόμενες διαφορές στην απόδοση μεταξύ λογισμικού και κυκλώματος εξηγούνται στο πλαίσιο των ενδογενών προσεγγίσεων και ατελειών που εισάγει η υλοποίηση των μαθηματικών μοντέλων σε επίπεδο τρανζίστορ.



Σχήμα 5.5: Βηματική απόκριση του συστήματος κλειστού βρόχου. Περιλαμβάνει τόσο τις υλοποιήσεις λογισμικού όσο και αναλογικών.

Κεφάλαιο 6

Συμπεράσματα και Μελλοντική Δουλειά

Η παρούσα εργασία παρουσιάζει έναν ολοκληρωμένο αναλογικό, χαμηλής κατανάλωσης, ρυθμιζόμενο ασαφή PID ελεγκτή και εξερευνά την πρακτική του εφαρμογή. Το ολοκληρωμένο κύκλωμα που υλοποιήθηκε χρησιμεύει ως βασικό δομικό στοιχείο για την ανάπτυξη προηγμένων και περίπλοκων συστημάτων ελέγχου. Η αρχιτεκτονική αναλύθηκε σε επίπεδο συστήματος και τα βασικά δομικά στοιχεία της εξηγήθηκαν λεπτομερώς σε επίπεδο τρανζίστορ. Η σχεδίαση ενσωματώνει ενισχυτές/υποβαθμιστές τάσης για τα ρυθμιζόμενα κέρδη ελέγχου, κυκλώματα Bump για τη δημιουργία γκαουσιανών συναρτήσεων συμμετοχής, κυκλώματα MIN/MAX που λειτουργούν με ρεύμα για ασαφή συμπερασμό και OTAs για αποσαφοποίηση με τη μέθοδο Κέντρου Βάρους (COG). Η σχεδίαση του προτεινόμενου ελεγκτή υλοποιήθηκε με τη σουίτα Cadence IC χρησιμοποιώντας έναν την τεχνολογία 90nm της TSMC και προσομοιώθηκε για την ορθότητα της λειτουργίας της, επιδεικνύοντας χαμηλή κατανάλωση ισχύος 861.8nW. Για να διασφαλιστεί η σωστή απόδοση του συστήματος, πραγματοποιήθηκε σύγκριση με έναν ισοδύναμο ασαφή PID ελεγκτή υλοποιημένο σε software στο ίδιο σύστημα υπό έλεγχο.

Μελλοντικές εργασίες που σχετίζονται με αυτήν την αρχιτεκτονική θα μπορούσαν να περιλαμβάνουν την κατασκευή και την ρύθμιση ενός πραγματικού chip. Για να γίνει αυτό χρειάζεται ακόμα να σχεδιαστούν αναλογικά και χαμηλής ισχύος κυκλώματα για τη διασύνδεση μνήμης με την προτεινόμενη αρχιτεκτονική, με στόχο την αποθήκευση τιμών παραμέτρων. Επιπλέον, θα ήταν δυνατή η υλοποίηση - μεταφορά των κυκλωμάτων που σχεδιάστηκαν και εκμεταλλεύονται την τεχνική της πόλωσης του σώματος των τρανζίστορ (body biasing / bulk control) σε προηγμένες τεχνολογίες πυριτίου μορφής Πλήρως Απογυμνωμένου

Πυριτίου Σε Μονωτή (Fully Depleted Silicon On Insulator, FD-SOI), όπως οι τεχνολογίες ST 28nm/18nm και GlobalFoundries 22FDX. Στις κλασσικές bulk CMOS τεχνολογίες, όπως η TSMC 90nm, η επίδραση της πόλωσης του σώματος είναι πολύ περιορισμένη λόγω του ρεύματος διαρροής των τρανζίστορ. Χάρη στην κατασκευή των τρανζίστορ στις FD-SOI τεχνολογίες και του υπερ-λεπτού μονωτικού σώματος, τα ρεύματα διαρροής είναι πολύ μικρότερα και η επίδραση της πόλωσης του σώματος πολύ αποδοτικότερη, επιτρέποντας τον ακριβή έλεγχο της τάσης κατωφλίου του τρανζίστορ και επομένως και της συμπεριφοράς του. Εναλλακτικά, εκτός από την υλοποίηση του PID ασαφούς ελεγκτή, τα βασικά δομικά στοιχεία αυτής της αρχιτεκτονικής θα μπορούσαν να τροποποιηθούν ώστε να χρησιμοποιηθούν σε άλλες υλοποιήσεις όπως ο Προγνωστικός Έλεγχος Μοντέλου (Model Predictive Control- MPC), ο Έλεγχος Ολίσθησης Κατάστασης (Sliding Mode Control - SMC) ή οι αλγόριθμοι Προσαρμοστικού Ελέγχου (Adaptive Control)

Bibliography

- [1] H. Jang and E. Topal, “A review of soft computing technology applications in several mining problems,” *Applied Soft Computing*, vol. 22, pp. 638–651, 2014.
- [2] L. A. Zadeh, “Soft computing and fuzzy logic,” *IEEE software*, vol. 11, no. 6, pp. 48–56, 1994.
- [3] J. Jang, C. Sun, and E. Mizutani, *Neuro-fuzzy and Soft Computing: A Computational Approach to Learning and Machine Intelligence*. MATLAB curriculum series, Prentice Hall, 1997.
- [4] L. A. Zadeh, “Fuzzy sets,” *Information and control*, vol. 8, no. 3, pp. 338–353, 1965.
- [5] C. A. Seger and E. K. Miller, “Category learning in the brain,” *Annual review of neuroscience*, vol. 33, pp. 203–219, 2010.
- [6] M. Smithson and J. Verkuilen, *Fuzzy set theory: Applications in the social sciences*. No. 147, Sage, 2006.
- [7] W. Pedrycz and F. Gomide, *An introduction to fuzzy sets: analysis and design*. MIT press, 1998.
- [8] G. Klir and B. Yuan, *Fuzzy sets and fuzzy logic*, vol. 4. Prentice hall New Jersey, 1995.
- [9] L. A. Zadeh, “A computational approach to fuzzy quantifiers in natural languages,” in *Computational linguistics*, pp. 149–184, Elsevier, 1983.
- [10] K. Shihabudheen and G. N. Pillai, “Recent advances in neuro-fuzzy system: A survey,” *Knowledge-Based Systems*, vol. 152, pp. 136–162, 2018.

BIBLIOGRAPHY

- [11] R. Sharma, K. Rana, and V. Kumar, “Performance analysis of fractional order fuzzy pid controllers applied to a robotic manipulator,” *Expert systems with applications*, vol. 41, no. 9, pp. 4274–4289, 2014.
- [12] R. Matuš, “Application of fractional order calculus to control theory,” *International journal of mathematical models and methods in applied sciences*, vol. 5, no. 7, pp. 1162–1169, 2011.
- [13] H. Delavari, R. Ghaderi, A. Ranjbar, and S. Momani, “Fuzzy fractional order sliding mode controller for nonlinear systems,” *Communications in Nonlinear Science and Numerical Simulation*, vol. 15, no. 4, pp. 963–978, 2010.
- [14] A. Wang, B. H. Calhoun, and A. P. Chandrakasan, *Sub-threshold design for ultra low-power systems*, vol. 95. Springer, 2006.
- [15] S. Sivanandam, S. Sumathi, and S. Deepa, *Introduction to fuzzy logic using MATLAB*. Springer, 2007.
- [16] E. H. Mamdani and S. Assilian, “An experiment in linguistic synthesis with a fuzzy logic controller,” *International journal of man-machine studies*, vol. 7, no. 1, pp. 1–13, 1975.
- [17] H. T. Nguyen, N. R. Prasad, C. L. Walker, and E. A. Walker, *A first course in fuzzy and neural control*. CRC press, 2002.
- [18] M. M. JERRY, *Uncertain rule-based fuzzy systems: Introduction and New Directions*. Springer, 2019.
- [19] I. Pan, S. Das, and A. Gupta, “Tuning of an optimal fuzzy pid controller with stochastic algorithms for networked control systems with random time delay,” *ISA transactions*, vol. 50, no. 1, pp. 28–36, 2011.
- [20] M. Barakat, “Optimal design of fuzzy-pid controller for automatic generation control of multi-source interconnected power system,” *Neural Computing and Applications*, vol. 34, no. 21, pp. 18859–18880, 2022.
- [21] A. S. Sedra, K. C. Smith, T. C. Carusone, and G. Vincent, *Microelectronic Circuits*. Oxford university press, 2004.
- [22] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and design of analog integrated circuits*. John Wiley & Sons, 2024.
- [23] S.-C. Liu, *Analog VLSI: circuits and principles*. MIT press, 2002.

BIBLIOGRAPHY

- [24] J. Yen, *Fuzzy logic: intelligence, control, and information*. Pearson Education India, 1999.
- [25] Q. Yang, D. Yao, J. Garnett, and K. Muller, “Using a trust inference model for flexible and controlled information sharing during crises,” *Journal of Contingencies and Crisis Management*, vol. 18, no. 4, pp. 231–241, 2010.
- [26] Y. A. Al-Turki, A.-F. Attia, and H. F. Soliman, “Optimization of fuzzy logic controller for supervisory power system stabilizers,” *Acta Polytechnica*, vol. 52, no. 2, 2012.
- [27] Y. Arya, “A new optimized fuzzy fopi-fopd controller for automatic generation control of electric power systems,” *Journal of the Franklin Institute*, vol. 356, no. 11, pp. 5611–5629, 2019.
- [28] Y. Arya, “Automatic generation control of two-area electrical power systems via optimal fuzzy classical controller,” *Journal of the Franklin Institute*, vol. 355, no. 5, pp. 2662–2688, 2018.
- [29] J. Liu and O. W. Yang, “Using fuzzy logic control to provide intelligent traffic management service for high-speed networks,” *IEEE Transactions on Network and Service Management*, vol. 10, no. 2, pp. 148–161, 2013.
- [30] M. S. Islam, M. Bhuyan, M. A. Azim, L. Teng, and M. Othman, “Hardware implementation of traffic controller using fuzzy expert system,” in *2006 International Symposium on Evolving Fuzzy Systems*, pp. 325–330, IEEE, 2006.
- [31] V. M. Madrigal Arteaga, J. R. Pérez Cruz, A. Hurtado-Beltrán, and J. Trumpold, “Efficient intersection management based on an adaptive fuzzy-logic traffic signal,” *Applied Sciences*, vol. 12, no. 12, p. 6024, 2022.
- [32] S. Sánchez-Solano, A. J. Cabrera, I. Baturone, F. J. Moreno-Velo, and M. Brox, “Fpga implementation of embedded fuzzy controllers for robotic applications,” *IEEE Transactions on Industrial Electronics*, vol. 54, no. 4, pp. 1937–1945, 2007.
- [33] S. N. Silva, F. F. Lopes, C. Valderrama, and M. A. Fernandes, “Proposal of takagi–sugeno fuzzy-pi controller hardware,” *Sensors*, vol. 20, no. 7, p. 1996, 2020.

BIBLIOGRAPHY

- [34] V. Varshavsky, V. Marakhovsky, I. Levin, and H. Saito, “Hardware implementation of fuzzy controllers,” *Fuzzy Controller, Theory and Applications*, pp. 34–44, 2011.
- [35] E. Uzunsoy, “A brief review on fuzzy logic used in vehicle dynamics control,” *Journal of Innovative Science and Engineering (JISE)*, vol. 2, no. 1, pp. 1–7, 2018.
- [36] Z. Wang and S.-B. Choi, “A fuzzy sliding mode control of anti-lock system featured by magnetorheological brakes: performance evaluation via the hardware-in-the-loop simulation,” *Journal of Intelligent Material Systems and Structures*, vol. 32, no. 14, pp. 1580–1590, 2021.
- [37] A. Rubaai, A. R. Ofoli, L. Burge, and M. Garuba, “Hardware implementation of an adaptive network-based fuzzy controller for dc-dc converters,” *IEEE Transactions on industry applications*, vol. 41, no. 6, pp. 1557–1565, 2005.
- [38] G. Bosque, I. del Campo, and J. Echanobe, “Fuzzy systems, neural networks and neuro-fuzzy systems: A vision on their hardware implementation and platforms over two decades,” *Engineering Applications of Artificial Intelligence*, vol. 32, pp. 283–331, 2014.
- [39] Y.-H. Kuo, C.-I. Kao, and J.-J. Chen, “A fuzzy neural network model and its hardware implementation,” *IEEE Transactions on Fuzzy Systems*, vol. 1, no. 3, pp. 171–183, 1993.
- [40] A. Lotfy, M. Kaveh, M. Mosavi, and A. Rahmati, “An enhanced fuzzy controller based on improved genetic algorithm for speed control of dc motors,” *Analog Integrated Circuits and Signal Processing*, vol. 105, pp. 141–155, 2020.
- [41] F. Herrera, M. Lozano, and J. L. Verdegay, “Tuning fuzzy logic controllers by genetic algorithms,” *International Journal of Approximate Reasoning*, vol. 12, no. 3-4, pp. 299–315, 1995.
- [42] S. Khan, S. F. Abdulazeez, L. W. Adetunji, A. Z. Alam, M.-J. E. Salami, S. A. Hameed, A. H. Abdalla, and M. R. Islam, “Design and implementation of an optimal fuzzy logic controller using genetic algorithm,” 2008.
- [43] B. Razavi, *Design of analog CMOS integrated circuits*. McGraw-Hill Education, 2017.

BIBLIOGRAPHY

- [44] D. Johns, T. C. Carusone, and K. C. Martin, *Analog Integrated Circuit Design*. John Wiley & Sons, 2011.
- [45] V. Alimisis, M. Gourdouparis, G. Gennis, C. Dimas, and P. P. Sotiriadis, “Analog gaussian function circuit: Architectures, operating principles and applications,” *Electronics*, vol. 10, no. 20, p. 2530, 2021.
- [46] T. Delbrück, “bump,” in *circuits for computing similarity and dissimilarity of analog voltages*. In *Proceedings of the International Joint Conference on Neural Networks*, 1991.
- [47] T. Delbrueck and C. Mead, “Bump circuits,” in *Proceedings of International Joint Conference on Neural Networks*, vol. 1, pp. 475–479, Citeseer, 1993.
- [48] B. Gilbert, “Translinear circuits: A proposed classification,” *Electronics letters*, vol. 1, no. 11, pp. 14–16, 1975.
- [49] F. Khateb, D. Biolek, N. Khatib, and J. Vávra, “Utilizing the bulk-driven technique in analog circuit design,” in *13th IEEE Symposium on Design and Diagnostics of Electronic Circuits and Systems*, pp. 16–19, IEEE, 2010.
- [50] P. Pavan, L. Larcher, and A. Marmiroli, *Floating gate devices: operation and compact modeling*. Springer Science & Business Media, 2007.
- [51] M. Burns, G. W. Roberts, *et al.*, *An introduction to mixed-signal IC test and measurement*, vol. 2001. IET, 2001.
- [52] R. He and L. Zhang, “Evaluation of modern mosfet models for bulk-driven applications,” in *2008 51st Midwest Symposium on Circuits and Systems*, pp. 105–108, IEEE, 2008.
- [53] V. Alimisis, V. Mouzakis, G. Gennis, E. Tsouvalas, and P. P. Sotiriadis, “An analog nearest class with multiple centroids classifier implementation, for depth of anesthesia monitoring,” in *2022 International Conference on Smart Systems and Power Management (IC2SPM)*, pp. 176–181, IEEE, 2022.
- [54] V. Alimisis, N. P. Eleftheriou, A. Kamperi, G. Gennis, C. Dimas, and P. P. Sotiriadis, “General methodology for the design of bell-shaped analog-hardware classifiers,” *Electronics*, vol. 12, no. 20, p. 4211, 2023.

BIBLIOGRAPHY

- [55] C. Dualibe, M. Verleysen, and P. Jespers, *Design of analog fuzzy logic controllers in CMOS technologies: implementation, test and application*. Springer Science & Business Media, 2007.
- [56] L. A. Sánchez-Gaspariano and A. Díaz-Sánchez, “Cmos analog max/min operators: a qualitative comparison,” in *XV congreso interuniversitario de Electrónica, Computación y Eléctrica, CIECE 2005*, pp. 7–9, 2005.
- [57] A. Alikhani and A. Ahmadi, “A novel current-mode min–max circuit,” *Analog Integrated Circuits and Signal Processing*, vol. 72, pp. 343–350, 2012.
- [58] I. Baturone, S. Sánchez-Solano, A. Barriga, and J. Huertas, “Implementation of inference/defuzzification methods via continuous-time analog circuits,” in *IFSA World Congress*, pp. 623–626, 1995.
- [59] M. Daneshvar, S. Aminifar, and G. Yosefi, “Design and analysis of current-mode cmos analog defuzzification circuits for fuzzy controllers,” 2011.
- [60] C. Mead and M. Ismail, *Analog VLSI implementation of neural systems*, vol. 80. Springer Science & Business Media, 1989.
- [61] E. Georgakilas, V. Alimisis, G. Gennis, C. Aletraris, C. Dimas, and P. P. Sotiriadis, “An ultra-low power fully-programmable analog general purpose type-2 fuzzy inference system,” *AEU-International Journal of Electronics and Communications*, vol. 170, p. 154824, 2023.
- [62] A. K. Sharma, M. Madhusudan, S. M. Burns, P. Mukherjee, S. Yaldiz, R. Harjani, and S. S. Sapatnekar, “Common-centroid layouts for analog circuits: Advantages and limitations,” in *2021 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, pp. 1224–1229, IEEE, 2021.
- [63] P. R. Kinget, “Device mismatch and tradeoffs in the design of analog circuits,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 6, pp. 1212–1224, 2005.
- [64] A. Columbu, S. Frassu, and G. Viglialoro, “Properties of given and detected unbounded solutions to a class of chemotaxis models,” *arXiv preprint arXiv:2303.15039*, 2023.

BIBLIOGRAPHY

- [65] A. Kumar and V. Kumar, “A novel interval type-2 fractional order fuzzy pid controller: Design, performance evaluation, and its optimal time domain tuning,” *ISA transactions*, vol. 68, pp. 251–275, 2017.
- [66] J. Carvajal, G. Chen, and H. Ogmen, “Fuzzy pid controller: Design, performance evaluation, and stability analysis,” *Information sciences*, vol. 123, no. 3-4, pp. 249–270, 2000.
- [67] “Fuzzy logic toolbox. available online: <https://www.mathworks.com/products/fuzzy-logic.html>,”
- [68] A. Cunillera, N. Bešinović, R. M. Lentink, N. van Oort, and R. M. Goverde, “A literature review on train motion model calibration,” *IEEE Transactions on Intelligent Transportation Systems*, 2023.