



Εθνικό Μετσόβιο Πολυτεχνείο

Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής
Εργαστήριο Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων

Υλοποίηση ενός χαμηλής κατανάλωσης
αναλογικού ταξινομητή για διαθεματικές
εφαρμογές με ενσωματωμένα κυκλώματα
διαχείρισης ενέργειας

Διπλωματική Εργασία

του

Παπαθανασίου
Ανδρέα

Επιβλέπων: Πάυλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Αθήνα, Σεπτέμβριος 2024



Εθνικό Μετσόβιο Πολυτεχνείο

Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής
Εργαστήριο Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων

**Υλοποίηση ενός χαμηλής κατανάλωσης
αναλογικού ταξινομητή για διαθεματικές
εφαρμογές με ενσωματωμένα κυκλώματα
διαχείρισης ενέργειας**

Διπλωματική Εργασία

του

**Παπαθανασίου
Ανδρέα**

Επιβλέπων: Παύλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 26^η Σεπτεμβρίου
2024:

.....
Παύλος Π. Σωτηριάδης
Καθηγητής
Ε.Μ.Π.

.....
Ευάγγελος Χριστοφόρου
Καθηγητής
Ε.Μ.Π.

.....
Νεκτάριος Κοζύρης
Καθηγητής
Ε.Μ.Π.

Αθήνα, Σεπτέμβριος 2024

.....

Παπαθανασίου Ανδρέας

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών,
Ε.Μ.Π.

Copyright © Παπαθανασίου Ανδρέας, 2024.

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα. Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Στην εργασία αυτή παρουσιάζεται η σχεδίαση ενός αναλογικού ταξινομητή ψηφιακής εισόδου, η λειτουργία του οποίου βασίζεται στο Μπεϋζιανό μοντέλο, καθώς και μίας μονάδας διαχείρισης ενέργειας για την τροφοδοσία του. Στην προτεινόμενη αρχιτεκτονική του ταξινομητή προστίθενται μετατροπείς Digital-to-Analog για μετατροπή ψηφιακών εισόδων στα αναλογικά σήματα που απαιτεί ο ταξινομητής. Το μοντέλο του ταξινομητή εκπαιδεύεται με χρήση python και όλα τα κυκλώματα σχεδιάζονται για πολύ χαμηλή κατανάλωση ισχύος έχοντας εξωτερική τροφοδοσία τάσης 0.9V και ρεύματα πόλωσης της τάξης μερικών nA. Το προτεινόμενο σύστημα υλοποιείται στην τεχνολογία TSMC 90nm και η επίδοσή του επιβεβαιώνεται με προσομοιώσεις στο Cadence IC Suite.

Λέξεις Κλειδιά: Μπεϋζιανός Ταξινομητής, Μονάδα Διαχείρισης Ενέργειας, κύκλωμα Winner-Take-All, κύκλωμα Bump, Bandgap Αναφορά Τάσης, κύκλωμα Constant-gm, Low-Dropout Regulator, Digital to Analog μετατροπείς, mixed-signal αρχιτεκτονική, σχεδίαση χαμηλής κατανάλωσης ισχύος, περιοχή υπο-κατωφλίου, πλήρως ρυθμίσιμη υλοποίηση.

Abstract

This paper presents the design of an analog classifier with digital input, whose operation is based on the Bayesian model, as well as a power management unit for its supply. In the proposed classifier architecture, Digital-to-Analog converters are added to convert digital inputs into the analog signals required by the classifier. The classifier model is trained using Python, and all circuits are designed for very low power consumption, with an external supply voltage of 0.9V and bias currents in the range of a few nA. The proposed system is implemented in TSMC 90nm technology, and its performance is validated through simulations in the Cadence IC Suite.

Keywords: Bayesian Classifier, Power Management Unit, Winner-Take-All circuit, Bump Circuit, Bandgap Reference Voltage, Constant-gm, Low-Dropout Regulator, Digital to Analog Converter, mixed-signal architecture, Ultra-Low Power Design, Subthreshold Region, Fully Tunable Implementation.

Ευχαριστίες

Θα ήθελα αρχικά να ευχαριστήσω την οικογένειά μου καθώς και το φιλικό μου περιβάλλον για τη διαρκή συμπαράσταση και στήριξη καθ' όλη τη διάρκεια των σπουδών μου.

Επιπλέον θέλω να ευχαριστήσω τον επιβλέποντα καθηγητή μου, κ. Παύλο Πέτρο Σωτηριάδη για τη βοήθεια και καθοδήγησή του σε ζητήματα της εργασίας, καθώς και το ενδιαφέρον και την εμπιστοσύνη που μου έδειξε από την αρχή της ενασχόλησής μου με την παρούσα εργασία.

Ευχαριστώ επίσης τον διδάκτορα Βασίλη Αλιμήση για τη συνεχή καθοδήγηση και τις συμβουλές επάνω στο θέμα της διπλωματικής εργασίας μου και για την ανεκτίμητη συνεργασία μας τον τελευταίο καιρό.

Παπαθανασίου Ανδρέας,
Σεπτέμβριος 2024

Περιεχόμενα

Περίληψη	5
Abstract	7
Ευχαριστίες	9
Ευρετήριο Εικόνων	13
Κατάλογος Πινάκων	15
1 Εισαγωγή	17
1.1 Εισαγωγή στην Μηχανική Μάθηση	17
1.2 Υλοποίηση Αρχιτεκτονικών Μηχανικής Μάθησης	18
1.3 Αναλογικά Κυκλώματα στη Μηχανική Μάθηση	18
2 Θεωρητικό Υπόβαθρο	21
2.1 Το Μπεϋζιανό Μοντέλο Ταξινομητή	21
2.2 Το MOS Τρανζίστορ	22
2.2.1 Περιοχή Τριόδου	24
2.2.2 Περιοχή Κορεσμού	24
2.2.3 Περιοχή Υπο-Κατωφλίου	26
2.3 Ατέλειες στην Σχεδίαση CMOS Κυκλωμάτων	27
3 Βασικά Κυκλώματα	31
3.1 Το Κύκλωμα Bump	31
3.1.1 Το απλό Bump του Delbrück	31
3.1.2 Το Τροποποιημένο Κύκλωμα Bump	34
3.1.3 Υλοποίηση Πολυδιάστατης Γκαουσιανής Συνάρτησης	35
3.2 Κύκλωμα Winner-Take-All	36
3.3 Constant-gm	38

3.4	Bandgap Αναφορά Τάσης	43
3.5	Low-Dropout Regulator	48
3.5.1	Ο Error Amplifier	49
3.5.2	Ανάλυση Ευστάθειας	50
3.5.3	Απόρριψη Τροφοδοσίας	53
3.5.4	Ανάλυση Θορύβου	55
3.6	Ο Digital-to-Analog Converter	59
4	Αρχιτεκτονική Συστήματος	67
4.1	Ο Μπεϋζιανός Ταξινομητής	67
4.2	Η Μονάδα Διαχείρισης Ισχύος	70
4.3	Το Συνολικό Σύστημα	73
5	Συμπεράσματα και Μελλοντική Δουλειά	77

Ευρετήριο Εικόνων

2.1	Η φυσική δομή ενός MOSFET τύπου n.	23
2.2	Η χαρακτηριστική καμπύλη $I_D - V_{DS}$ ενός MOSFET για διάφορες τιμές της V_{GS} [16]	25
2.3	Η σχέση $I_D - V_{GS}$ στην περιοχή υπο-κατωφλίου	27
3.1	Το απλό Bump του Delbrück [26].	32
3.2	Ένα παράδειγμα της τυπικής εξόδου του απλού Bump όπως αυτό παρουσιάστηκε από τον Delbrück [26].	33
3.3	Το τροποποιημένο κύκλωμα Bump.	35
3.5	Το πολυδιάστατο Bump για τη γενική περίπτωση k διαστάσεων.	36
3.6	Υλοποίηση του κυκλώματος WTA [36] με δύο νευρώνες.	37
3.7	Οι έξοδοι του κυκλώματος WTA ως συνάρτηση του ρεύματος εισόδου I_{in2} για τη περίπτωση όπου $I_{in1} = 8nA$ και $I_{bias} = 7nA$	38
3.8	Το κύκλωμα Constant-gm [19]. Αποτελείται από τον πυρήνα του κυκλώματος, το κύκλωμα κασκοδικής πόλωσης και ένα στοιχειώδες startup κύκλωμα.	41
3.9	Ο ενισχυτής που χρησιμοποιήθηκε στο Constant-gm κύκλωμα του Σχήματος 3.8. Είναι ένα διαφορικό ζεύγος με απλή έξοδο και πολώνεται από μία κασκοδική πηγή ρεύματος.	41
3.10	Ένα απλοποιημένο σχέδιο της Bandgap Αναφοράς Τάσης [19].	44
3.11	Η προτεινόμενη τοπολογία sub-BGR [38].	45
3.12	Η γεννήτρια PTAT τάσης που χρησιμοποιεί η sub-BGR.	46
3.14	Η τοπολογία LDO που χρησιμοποιήθηκε. Αξιοποιεί ένα native NMOS τρανζίστορ, έναν Error Amplifier και τον πυκνωτή αντιστάθμισης.	49
3.15	Ο Error Amplifier του LDO. Πρόκειται για έναν τροποποιημένο folded cascode ενισχυτή.	50
3.16	Τα μονοπάτια θορύβου από την εξωτερική τροφοδοσία $V_{DD,ext}$ στην έξοδο του LDO.	54

3.17 Η σύγκριση της μορφής του $PSRR^{-1}$ για τους C-LDOs και τους CL-LDOs [63].	55
3.18 Το μοντέλο του LDO για την ανάλυση θορύβου.	56
3.19 Οι πηγές θορύβου στο στάδιο εισόδου το EA.	58
3.20 Ο προτεινόμενος Digital-to-Analog μετατροπέας τάσης.	60
3.21 Ο ενισχυτής που χρησιμοποιείται στον βρόχο του DAC. Αποτελείται από έναν τροποποιημένο folded cascode ενισχυτή και ένα στάδιο ακόλουθου εκπομπού. Περιλαμβάνεται επίσης ο πυκνωτής αντιστάθμισης C_C	61
3.22 Η υλοποίηση της μεταβλητής αντίστασης του DAC.	62
4.1 Η δομή του προτεινόμενου Μπεϋζιανού ταξινομητή.	69
4.3 Η προτεινόμενη αρχιτεκτονική για την PMU.	71
4.4 Το πλήρες σύστημα του Μπεϋζιανού ταξινομητή.	74
4.6 Η ακρίβεια του πλήρους ταξινομητή σε PVT προσομοίωση για την περίπτωση όπου η ονομαστική περίπτωση επιτυγχάνει ακρίβεια 93.85%.	75

Κατάλογος Πινάκων

3.1	Διαστάσεις τρανζίστορ (Σχήμα 3.3).	34
3.2	Διαστάσεις τρανζίστορ και τιμές παθητικών στοιχείων για το Constant-gm κύκλωμα πόλωσης του Σχήματος 3.8.	42
3.3	Αποτελέσματα του κυκλώματος Constant-gm	43
3.4	Διαστάσεις τρανζίστορ για την sub-BGR.	48
3.5	Αποτελέσματα του κυκλώματος sub-BGR	48
3.6	Αποτελέσματα του LDO	59
3.7	Διαστάσεις τρανζίστορ και τιμές παθητικών στοιχείων για τον LDO του Σχήματος 3.14 και τον Error Amplifier του Σχήματος 3.15.	59
3.8	Αποτελέσματα του DAC για τη 4-bit υλοποίηση.	65
3.9	Διαστάσεις τρανζίστορ και τιμές παθητικών στοιχείων για τον DAC του Σχήματος 3.20 και τον ενισχυτή του Σχήματος 3.21.	66
4.1	Τα αποτελέσματα ακρίβειας του Μπεϋζιανού ταξινομητή.	70
4.2	Αποτελέσματα της PMU.	73
4.3	Τα αποτελέσματα ακρίβειας του συνολικού συστήματος.	75

Κεφάλαιο 1

Εισαγωγή

1.1 Εισαγωγή στην Μηχανική Μάθηση

Η μηχανική μάθηση είναι ένα ταχέως εξελισσόμενο πεδίο της τεχνητής νοημοσύνης που επικεντρώνεται στην ανάπτυξη αλγορίθμων ικανών να μαθαίνουν και να κάνουν προβλέψεις βάσει δεδομένων. Σε αντίθεση με τον παραδοσιακό προγραμματισμό, όπου παρέχονται ρητές οδηγίες, τα συστήματα μηχανικής μάθησης βελτιώνουν την απόδοσή τους μέσω της εμπειρίας, προσαρμόζοντας τα νέα δεδομένα χωρίς ανθρώπινη παρέμβαση.[1]. Αυτή η δυνατότητα καθιστά τη μηχανική μάθηση ιδιαίτερα πολύτιμη σε διάφορες εφαρμογές, συμπεριλαμβανομένης της αναγνώρισης εικόνας [2], της επεξεργασίας φυσικής γλώσσας [3] και των αυτόνομων συστημάτων. Ο πυρήνας της μηχανικής μάθησης έγκειται στην ικανότητά της να εντοπίζει μοτίβα και σχέσεις μέσα σε μεγάλα σύνολα δεδομένων, επιτρέποντας τη δημιουργία μοντέλων που μπορούν να γενικεύσουν από προηγούμενες εμπειρίες για τη λήψη τεκμηριωμένων αποφάσεων σε αόρατα σενάρια.

Το ευρύ φάσμα εφαρμογών μηχανικής μάθησης χρησιμεύει ως ακρογωνιαίος λίθος σε πολλούς τομείς της σύγχρονης κοινωνίας, όπως η βιοϊατρική μηχανική [4], με πρωταρχικό στόχο την προώθηση διαγνωστικών και θεραπευτικών διαδικασιών για μια ποικιλία καταστάσεων. Επιπλέον, η τεχνητή νοημοσύνη βρίσκει τη χρησιμότητά της στην αναγνώριση ομιλίας, την τεχνολογία αυτόνομης οδήγησης, ακόμη και στο χρηματιστήριο για την πρόβλεψη κυμαινόμενων τιμών. Ως αποτέλεσμα, το τεράστιο δυναμικό της μηχανικής μάθησης οδηγεί σε καινοτομίες που επαναπροσδιορίζουν συστηματικά και διευρύνουν τους ορίζοντες της ανθρώπινης γνώσης, διαμορφώνοντας το μέλλον διαφόρων βιομηχανιών και κοινωνικών τοπίων.

1.2 Υλοποίηση Αρχιτεκτονικών Μηχανικής Μάθησης

Η μηχανική μάθηση λειτουργεί κυρίως σε λογισμικό, αλλά καθώς αυξάνεται ο όγκος των δεδομένων, η ζήτηση για υπολογιστική ισχύ και μνήμη κλιμακώνεται αντίστοιχα. Αυτή η αυξανόμενη ανάγκη μπορεί να κάνει το cloud computing δαπανηρό και αργό, προκαλώντας μια στροφή προς την τοπική ανάλυση απευθείας στους αισθητήρες. Για την αντιμετώπιση αυτών των προκλήσεων, μπορούν να χρησιμοποιηθούν εξειδικευμένα ψηφιακά υπολογιστικά συστήματα όπως FPGAs (Field-Programmable Gate Arrays), ASICs (Application-Specific Integrated Circuits) και GPUs (Graphics Processing Units) αντί των συμβατικών CPU.

Οι ψηφιακές εφαρμογές υλικού υπερέχουν στο χειρισμό σύνθετων μαθηματικών λειτουργιών που απαιτούνται για εκπαίδευση και συμπεράσματα σε μοντέλα μηχανικής μάθησης. Οι CPU είναι ευέλικτες και μπορούν να χειριστούν ένα ευρύ φάσμα εργασιών, καθιστώντας τους κατάλληλους για υπολογιστές γενικής χρήσης. Από την άλλη πλευρά, οι GPU είναι κατάλληλες για εργασίες που περιλαμβάνουν μεγάλες ποσότητες παραλληλισμού δεδομένων, όπως αλγόριθμοι βαθιάς μάθησης. Τα FPGA και τα ASIC είναι εξειδικευμένο υλικό που μπορεί να βελτιστοποιηθεί για συγκεκριμένες εργασίες μηχανικής μάθησης, προσφέροντας υψηλότερη απόδοση και ενεργειακή απόδοση σε σύγκριση με CPU και GPU γενικής χρήσης.

Τέτοιες ψηφιακές υλοποιήσεις είναι ιδιαίτερα χρήσιμες για εφαρμογές που απαιτούν επεξεργασία σε πραγματικό χρόνο, χαμηλή καθυστέρηση και υψηλή απόδοση. Ωστόσο, ενώ οι ψηφιακές υλοποιήσεις της μηχανικής μάθησης παρέχουν ακριβή αποτελέσματα και ευελιξία όσον αφορά τον προγραμματισμό και την προσαρμογή, μπορεί να είναι δαπανηρές όσον αφορά την κατανάλωση ενέργειας και την επεκτασιμότητα. Καθώς αυξάνεται η ζήτηση για ταχύτερα και πιο αποτελεσματικά συστήματα μηχανικής μάθησης, οι εφαρμογές υλικού καλούνται να προσαρμοστούν στις μοντέρνες απαιτήσεις, όπως βελτιωμένη απόδοση, μειωμένη κατανάλωση ενέργειας και δυνατότητες επεξεργασίας σε πραγματικό χρόνο.

1.3 Αναλογικά Κυκλώματα στη Μηχανική Μάθηση

Ένας από τους βασικούς τομείς έρευνας στις εφαρμογές υλικού της μηχανικής μάθησης είναι η χρήση αναλογικών κυκλωμάτων. Οι αναλογικές υλοποιήσεις έχουν κερδίσει την προσοχή λόγω της δυνατότητάς τους να εκτελούν ορι-

σμένες εργασίες μηχανικής μάθησης πιο αποτελεσματικά από τις αντίστοιχες ψηφιακές. Το αναλογικό κύκλωμα αξιοποιεί τη συνεχή φύση των σημάτων για την επεξεργασία δεδομένων με πιο ενεργειακά αποδοτικό τρόπο, καθιστώντας το κατάλληλο για ορισμένους τύπους αλγορίθμων μηχανικής μάθησης. Αναλογικές εφαρμογές υλικού μηχανικής μάθησης, όπως νευρομορφικά κυκλώματα, παρέχουν υψηλότερη υπολογιστική πυκνότητα και ενεργειακή απόδοση, καθιστώντας τις ελκυστικές για εφαρμογές όπως το IoT που απαιτούν εξαιρετικά χαμηλή κατανάλωση ενέργειας με χαμηλό κόστος [5, 6]. Τα αναλογικά κυκλώματα μπορεί να είναι δύσκολο να βελτιστοποιηθούν και μπορεί να απαιτούν πλήρεις προσομοιώσεις κυκλωμάτων SPICE, αλλά προσφέρουν πλεονεκτήματα όπως χαμηλότερη καθυστέρηση και κατανάλωση ενέργειας σε σύγκριση με τα ψηφιακά αντίστοιχα [6]. Επιπλέον, τα αναλογικά υπολογιστικά κυκλώματα μπορούν να διασταυρωθούν σε διαφορετικούς κόμβους διεργασίας, επιτρέποντας την επεκτασιμότητα στην ακρίβεια, την ταχύτητα και την ισχύ [7].

Αναλογικές εφαρμογές τεχνικών μηχανικής μάθησης έχουν διερευνηθεί σε διάφορες εφαρμογές, όπως νευρωνικά δίκτυα (Artificial Neural Networks) [8, 9, 10, 11, 12, 13], support vector machines (SVMs) [7, 14] και αλγόριθμοι clustering [15] μεταξύ αρκετών άλλων. Αυτές οι υλοποιήσεις έχουν δείξει υπόσχεση στην επιτάχυνση των διαδικασιών εκπαίδευσης και εξαγωγής συμπερασμάτων, καθώς και στη μείωση της κατανάλωσης ενέργειας των συστημάτων μηχανικής μάθησης. Επιπλέον, οι αναλογικές υλοποιήσεις προσφέρουν τη δυνατότητα επεξεργασίας σε πραγματικό χρόνο, καθιστώντας τις κατάλληλες για εφαρμογές που απαιτούν χαμηλή καθυστέρηση και υψηλή απόδοση. Συνολικά, οι εφαρμογές υλικού τεχνικών μηχανικής μάθησης, ιδιαίτερα αναλογικές υλοποιήσεις, έχουν σημαντικές υποσχέσεις για την επιτάχυνση της ανάπτυξης και της ανάπτυξης συστημάτων μηχανικής μάθησης. Αξιοποιώντας τα πλεονεκτήματα του αναλογικού υπολογισμού, οι ερευνητές μπορούν να δημιουργήσουν πιο αποτελεσματικά και ισχυρά συστήματα μηχανικής μάθησης που μπορούν να καλύψουν τις αυξανόμενες απαιτήσεις διάφορων εφαρμογών.

Κεφάλαιο 2

Θεωρητικό Υπόβαθρο

2.1 Το Μπεϋζιανό Μοντέλο Ταξινομητή

Το Μπεϋζιανό μοντέλο βασίζεται στον κανόνα του Bayes, ο οποίος συνδέει την εκ των υστέρων πιθανότητα $P(A|B)$ του γεγονότος A δεδομένης της πληροφορίας B με την πιθανότητα $P(B|A)$ ότι το αποτέλεσμα B που θα παρατηρηθεί οφείλεται στην αιτία A , καθώς και την εκ των προτέρων πιθανότητα $P(A)$ του γεγονότος A , όπως φαίνεται στην εξίσωση 2.1.

$$P(A|B) = \frac{P(A)P(B|A)}{P(B)} \quad (2.1)$$

Αντίστοιχα, στο Μπεϋζιανό μοντέλο ταξινομητή η πιθανότητα $P(C_i|X)$ το διάνυσμα εισόδου X να ανήκει στη κλάση C_i συνδέεται με τη πιθανότητα $P(X|C_i)$ της X δεδομένης της κλάσης C_i στην εξίσωση 2.2.

$$P(C_i|X) = \frac{P(C_i)P(X|C_i)}{P(X)} \quad (2.2)$$

Η πιθανότητα $P(C_i)$ είναι η συνολική πιθανότητα εμφάνισης της κλάσης C_i , η οποία γίνεται γνωστή από τα δεδομένα εκπαίδευσης του ταξινομητή και η $P(X)$ είναι η εκ των προτέρων πιθανότητα εμφάνισης της εισόδου X , ο ρόλος της οποίας θα εξηγηθεί παρακάτω. Θεωρώντας κάθε ένα από τα επιμέρους χαρακτηριστικά x_n της εισόδου (δηλαδή τα στοιχεία του διανύσματος εισόδου) ακολουθεί μία Γκαουσιανή κατανομή και όλα τα x_n είναι ανεξάρτητα μεταξύ τους η πιθανότητα $P(X|C_i)$ γράφεται:

$$P(X|C_i) = \prod_{n=1}^{N_d} \frac{1}{\sqrt{2\pi\sigma_{n,i}^2}} e^{-(x_n - \mu_{n,i})/2\sigma_{n,i}^2} \quad (2.3)$$

Όπου N_d είναι η διάσταση του διανύσματος εισόδου και τα $\mu_{n,i}$ και $\sigma_{n,i}^2$ εκφράζουν τη μέση τιμή και διασπορά αντίστοιχα για την κατανομή του n -οστού στοιχείου της εισόδου όταν αυτό ανήκει στη i -οστή κλάση.

Αξιοποιώντας λοιπόν την εξίσωση 2.2 μπορούμε να υπολογίσουμε τη δεσμευμένη πιθανότητα $P(C_i|X)$ που εκφράζει τη πιθανότητα η είσοδος X να ανήκει στη κλάση C_i . Το συμπέρασμα του ταξινομητή προκύπτει ως η κλάση με τη μεγαλύτερη δεσμευμένη πιθανότητα $P(C_i|X)$. Αυτό γίνεται εφαρμόζοντας τον τελεστή $\argmax$ στις πιθανότητες $P(C_i|X)$ για κάθε i στο $[1, N_{class}]$. Επειδή η $P(X)$ είναι σταθερή για όλες τις κλάσεις μπορεί να αγνοηθεί κατά τη τελική σύγκριση των πιθανοτήτων, θεωρώντας την ως μία σταθερά που κανονικοποιεί όλα τα επιμέρους ορίσματα της συνάρτησης $\argmax$. Τελικά η έξοδος y του Μπεϋζιανού ταξινομητή δίνεται από τη σχέση 2.4:

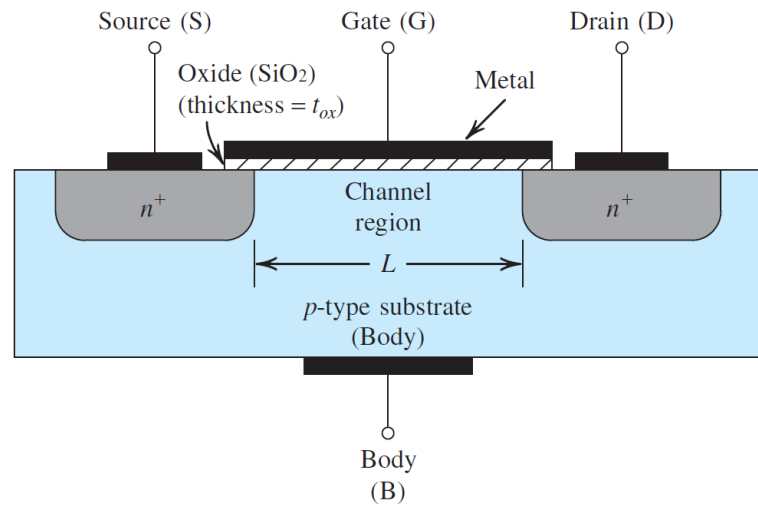
$$\begin{aligned} y &= \argmax_{i \in [1, N_{class}]} \{P(C_i|X)\} \\ &= \argmax_{i \in [1, N_{class}]} \{P(C_i)P(X|C_i)\} \end{aligned} \quad (2.4)$$

2.2 Το MOS Τρανζίστορ

Το MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) είναι το πιο ευρέως χρησιμοποιούμενο ηλεκτρονικό στοιχείο στα ολοκληρωμένα κυκλώματα. Πληθώρα ψηφιακών αλλά και αναλογικών κυκλωμάτων αξιοποιούν τρανζίστορ MOS στις υλοποιήσεις τους, γεγονός που οφείλεται στην απλότητα κατασκευής του αλλά και στη διαρκή μείωση των διαστάσεων και της κατανάλωσης ισχύος του ως αποτέλεσμα του νόμου του Moore.

Η δομή του MOS τρανζίστορ φαίνεται στο Σχήμα 2.1, όπου παρουσιάζεται η τομή ενός τύπου n ή NMOS τρανζίστορ πυριτίου. Σε ένα υποστρώμα τύπου p δημιουργούνται δύο περιοχές νόθευσης τύπου n υψηλής πυκνότητας (n^+) πάνω από τις οποίες τοποθετούνται μεταλλικά ηλεκτρόδια δημιουργώντας τις επαφές πηγής (S) και απογωγού (D). Η τρίτη επαφή του MOSFET είναι η πύλη (G) που βρίσκεται πάνω από την επιφάνεια μεταξύ των source και drain. Ένα στρώμα διοξειδίου του πυριτίου παρεμβάλλεται μεταξύ της πύλης και του υποστρώματος πυριτίου. Η τελευταία επαφή του τρανζίστορ είναι η επαφή του p τύπου υποστρώματος ή σώματος (B) και, για τρανζίστορ τύπου n συνδέεται συνήθως στο χαμηλότερο δυνατό δυναμικό για τρανζίστορ τύπου n και στο υψηλότερο δυναμικό για τρανζίστορ τύπου p. Σε όλα τα κυκλώματα που θα παρουσιαστούν θεωρείται δεδομένο ότι το σώμα των τρανζίστορ συνδέεται με αυτό το τρόπο εκτός από περιπτώσεις όπου αναφέρεται κάτι διαφορετικό.

Όταν εφαρμόζεται θετική τάση v_{GS} μεταξύ πύλης και πηγής ενός MOSFET τύπου n, δημιουργείται ένα ηλεκτρικό πεδίο που απωθεί τις ελεύθερες



Σχήμα 2.1: Η φυσική δομή ενός MOSFET τύπου n.

οπές στο υπόστρωμα τύπου p, δημιουργώντας μια περιοχή απογύμνωσης που αποτελείται από άτομα αποδέκτη με επανασυνδεδεμένα ηλεκτρόνια. Για επαρκώς μεγάλες τάσεις V_{GS} , ηλεκτρόνια από τις περιοχές πηγής και απαγωγού έλκονται προς την περιοχή του καναλιού κάτω από την πύλη, σχηματίζοντας τελικά ένα στρώμα αναστροφής τύπου n που συνδέει την πηγή και τον απαγωγό. Αυτό το στρώμα λειτουργεί ως αγωγίμο κανάλι μέσω του οποίου μπορεί να ρεύσει ρεύμα όταν εφαρμόζεται μια τάση v_{DS} μεταξύ του απαγωγού και της πηγής. Η ελάχιστη τιμή της τάσης V_{GS} που απαιτείται για την επαγωγή αυτού του αγωγίμου καναλιού ονομάζεται τάση κατωφλίου (V_{th}). Η λειτουργία του MOSFET βασίζεται στο ηλεκτρικό πεδίο που δημιουργείται από την τάση της πύλης, το οποίο ελέγχει τη συσσώρευση φορτίου στο κανάλι και άρα την αγωγιμότητα καναλιού, οδηγώντας στην ονομασία της συσκευής ως τρανζίστορ επίδρασης πεδίου (FET). Επιπλέον, ο χαρακτηρισμός του τρανζίστορ ως τύπου n οφείλεται στο είδος φορέων που χρησιμοποιεί το κανάλι. Έτσι, αντίστοιχη λειτουργία έχει μία διάταξη όμοια με αυτή του Σχήματος 2.1 όπου οι πολικότητες των περιοχών τύπου n και p έχουν αντιστραφεί. Λόγω του ότι σε αυτή τη διάταξη το κανάλι που δημιουργείται είναι τύπου p, το τρανζίστορ αυτό καλείται τύπου p ή PMOS.

Η συμπεριφορά του MOSFET έχει μοντελοποιηθεί πολλές φορές και σε διαφορετικά επίπεδα αφάιρεσης. Για τους σκοπούς της παρούσας εργασίας θα επικεντρωθούμε στη πιο δημοφιλή μαθηματική μοντελοποίηση για υπολογισμούς με το χέρι, σύμφωνα με την οποία η λειτουργία του τρανζίστορ χωρίζεται

σε περιοχές. Παρακάτω θα παρουσιαστούν περιληπτικά οι εξισώσεις που χαρακτηρίζουν κάθε μία από αυτές τις περιοχές για την περίπτωση του NMOS τρανζίστορ.

2.2.1 Περιοχή Τριόδου

Η γραμμική περιοχή ή περιοχή τριόδου (linear/triode region) χαρακτηρίζει τη λειτουργία του τρανζίστορ για μικρές τιμές v_{DS} όταν $V_{GS} - V_{th} > 0$. Το πεδίο που δημιουργείται εξαιτίας της V_{GS} προκαλεί τη δημιουργία καναλιού κάτω από την επιφάνεια της πύλης, με αποτέλεσμα τη ροή ρεύματος μέσω του καναλιού. Το ρεύμα αυτό, το οποίο αποκαλείται ρεύμα απαγωγού (drain current) εξαρτάται γραμμικά από τη v_{DS} όταν αυτή είναι σχετικά μικρή. Γενικότερα αποδεικνύεται ότι όσο ισχύει $V_{DS} < V_{GS} - V_{th}$ το ρεύμα απαγωγού δίνεται από τη σχέση:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.5)$$

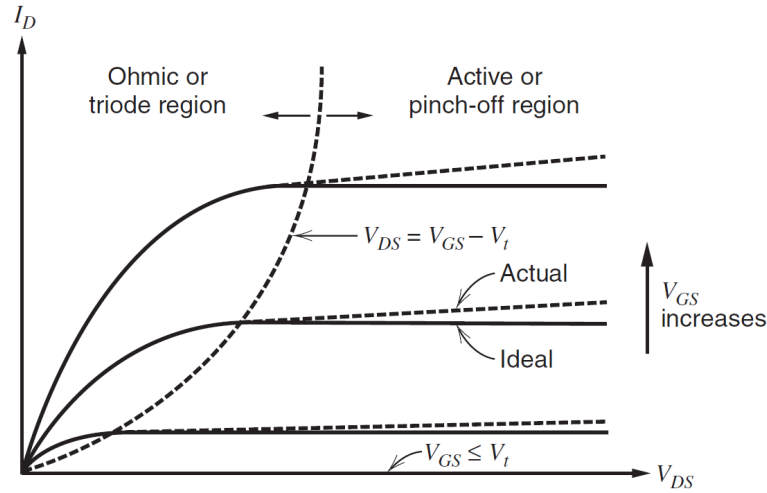
Στην παραπάνω εξίσωση τα μ_n, C_{ox} είναι παράμετροι που καθορίζονται κυρίως από τη τεχνολογία κατασκευής των τρανζίστορ. Τα W και L είναι το πλάτος και το μήκος αντίστοιχα του καναλιού που δημιουργείται και είναι περίπου ίσα με τις διαστάσεις της πύλης. Η περιοχή τριόδου χαρακτηρίζεται από τη μικρή αντίσταση καναλιού που επιδεικνύει το MOSFET. Αυτό είναι που καθιστά το MOS τρανζίστορ ιδανικό για χρήση ως διακόπτη σε ψηφιακά κυκλώματα.

2.2.2 Περιοχή Κορεσμού

Η περιοχή κορεσμού (saturation region) ή ενεργός περιοχή είναι η πιο συνήθης περιοχή λειτουργίας για MOS τρανζίστορ στις αναλογικές εφαρμογές και, πιο συγκεκριμένα, για εφαρμογές του τρανζίστορ ως βαθμίδα ενίσχυσης. Όταν $V_{DS} > V_{GS} - V_{th} > 0$, το κανάλι που έχει δημιουργηθεί μεταξύ πηγής και απαγωγού "στραγγαλίζεται" στο άκρο του απαγωγού, δηλαδή το βάθος της περιοχής αντιστροφής γίνεται πολύ μικρό. Ως αποτέλεσμα, το ρεύμα απαγωγού παραμένει σχεδόν σταθερό για αύξηση της V_{DS} πάνω από τη τιμή $V_{GS} - V_{th}$, η οποία καλείται ενεργός τάση και συμβολίζεται ως V_{eff} . Η τιμή του ρεύματος απαγωγού δίνεται από τη σχέση:

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} V_{eff}^2 (1 + \lambda(V_{DS} - V_{eff})) \quad (2.6)$$

Ο όρος λ μοντελοποιεί τη πεπερασμένη αντίσταση καναλιού εξαιτίας του φαινομένου της διαμόρφωσης μήκους καναλιού (επιτάχυνση των ηλεκτρονίων



Σχήμα 2.2: Η χαρακτηριστική καμπύλη $I_D - V_{DS}$ ενός MOSFET για διάφορες τιμές της V_{GS} [16]

του καναλιού προς την υποδοχή εξαιτίας της τάσης μεταξύ των άκρων του καναλιού).

Τα χαρακτηριστικά μικρού σήματος σε αυτή την περιοχή λειτουργίας είναι αυτά που την καθιστούν ιδανική για τη λειτουργία του MOS τρανζίστορ ως ενισχυτή. Τα κυριότερα μεγέθη μικρού σήματος είναι η διαγωγιμότητα g_m και η αντίσταση απαγωγού πηγής r_{ds} :

$$g_m = \frac{dI_D}{dV_{GS}} = \frac{2I_D}{V_{eff}} \quad (2.7)$$

$$r_{ds} = \frac{1}{\lambda I_D} \quad (2.8)$$

Το Σχήμα 2.2 [16] απεικονίζει το ρεύμα απαγωγού συναρτήσει της τάσης V_{DS} για διάφορες V_{GS} . Διακρίνονται ξεκάθαρα οι δύο διαφορετικές περιοχές λειτουργίας που έχουν παρουσιαστεί μέχρι στιγμής. Για κάθε V_{GS} η αντίσταση του καναλιού, δηλαδή η αντίσταση μεταξύ απαγωγού και πηγής είναι το αντίστροφο της κλίσης του αντίστοιχου διαγράμματος I_D ενάντια στη V_{DS} . Εύκολα συμπεραίνουμε ότι η αντίσταση του καναλιού στη περιοχή τριόδου είναι αρκετά χαμηλή σε σχέση με την αντίσταση στη περιοχή κορεσμού.

Αναφορικά με τη τάση κατωφλίου V_{th} , έχει αποδειχθεί ότι είναι κατά προσέγγιση αντιστρόφως ανάλογη με τη θερμοκρασία [16, 17, 18]. Επιπλέον η V_{th} εξαρτάται από τη τάση του ακροδέκτη σώματος του τρανζίστορ. Η εξάρτηση

αυτή αποκαλείται φαινόμενο σώματος και περιγράφεται από την εξίσωση:

$$V_{th} = V_{th0} + \gamma \left[\sqrt{V_{SB} + 2\phi_B} - \sqrt{2\phi_B} \right] \quad (2.9)$$

Η τάση V_{th0} είναι η τάση κατωφλίου όταν δεν υπάρχει φαινόμενο σώματος, δηλαδή όταν η V_{SB} είναι μηδενική. Για θετική V_{SB} η εξίσωση 2.9 υποδεικνύει ότι η V_{th} αυξάνεται. Έτσι η δημιουργία καναλιού για την αγωγή του τρανζίστορ απαιτεί μεγαλύτερη V_{GS} . Ο ακροδέκτης σώματος του MOSFET μπορεί λοιπόν να χρησιμοποιηθεί για περεταίρω έλεγχο της συμπεριφοράς του τρανζίστορ.

2.2.3 Περιοχή Υπο-Κατωφλίου

Η τελευταία περιοχή λειτουργίας του MOSFET είναι η περιοχή υπο-κατωφλίου (sub-threshold). Σε αντίθεση με τις περιοχές τριόδου και κορεσμού, στη sub-threshold περιοχή η τάση V_{GS} δε ξεπερνά την V_{th} , ωστόσο λαμβάνει τιμές αρκετά μεγάλες ώστε να προκαλέσουν δημιουργία περιοχής απογύμνωσης κάτω από την πύλη. Για το λόγο αυτό η περιοχή αυτή ονομάζεται και περιοχή ασθενούς αναστροφής. Σε αυτή την περίπτωση το τρανζίστορ άγει ρεύμα απαγωγού το οποίο είναι τάξεις μεγέθους μικρότερο από την αγωγή στην ενεργό περιοχή. Εξαιτίας της πολύ χαμηλής κατανάλωσης ρεύματος των τρανζίστορ σε αυτή την περιοχή η σχεδίαση κυκλωμάτων με sub-threshold MOSFETs ενδείκνυται για εφαρμογές όπου είναι επιθυμητή η χαμηλή κατανάλωση ισχύος.

Αποδεικνύεται ότι για $V_{DS} > 4V_T$ η σχέση μεταξύ του ρεύματος I_D και της τάσης V_{GS} στην sub-threshold περιοχή είναι εκθετική - όπως απεικονίζεται στο Σχήμα 2.3 - και δίνεται από την εξής σχέση [16, 19]:

$$I_D = I_{D0} \frac{W}{L} e^{\frac{V_{GS}-V_{th}}{nV_T}} \left[1 - e^{-\frac{V_{DS}}{V_T}} \right] \quad (2.10)$$

$$I_{D0} = (n-1)\mu_n C_{ox} V_T^2 \quad (2.11)$$

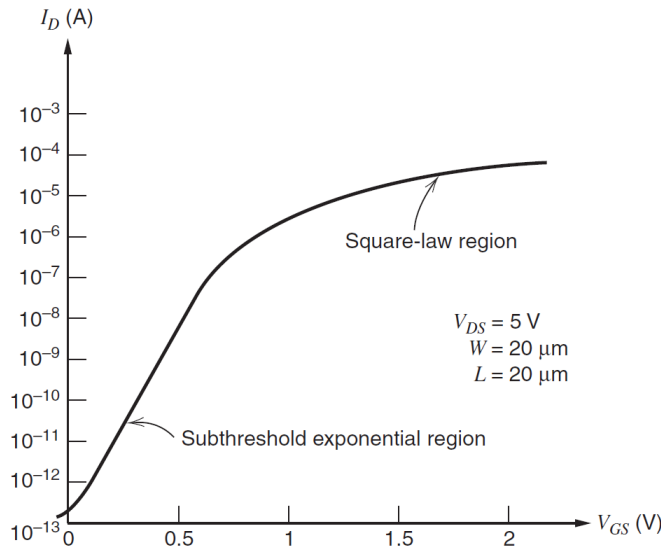
Η παράμετρος n είναι τυπικά περίπου ίση με 1.5 και εξαρτάται κατά κύριο λόγο από το οξείδιο της πύλης και τη χωρητικότητα της περιοχής απογύμνωσης [16]. Η τάση V_T είναι η λεγόμενη θερμική τάση και ισούται με kT/q . Όσον αφορά τις παραμέτρους μικρού σήματος σε αυτή τη περιοχή έχουμε τις εξής εκφράσεις:

$$g_m = \frac{I_D}{nV_T} \quad (2.12)$$

$$r_{ds} = \frac{1}{\lambda I_D} \quad (2.13)$$

Στη λειτουργία μικρού σήματος έχουμε λοιπόν παρόμοια συμπεριφορά με αυτή της περιοχής κορεσμού, άρα είναι δυνατή η κατασκευή ενισχυτών σε αυτή τη

περιοχή λειτουργίας. Ωστόσο στη πράξη συνήθως παρατηρείται ότι το κέρδος διατάξεων με sub-threshold MOSFETs είναι υποδεέστερο του κέρδους στην ενεργό περιοχή.



Σχήμα 2.3: Η σχέση $I_D - V_{GS}$ στην περιοχή υπο-κατωφλίου

Η παραπάνω ανάλυση παρουσιάστηκε για τη περίπτωση ενός NMOS τρανζίστορ. Ωστόσο όλες οι παραπάνω εξισώσεις ισχύουν και για PMOS τρανζίστορ με τη διαφορά ότι χρησιμοποιούνται οι τάσεις V_{SG} , V_{SD} και V_{BS} αντί των V_{GS} , V_{DS} και V_{SB} , η κινητικότητα μ_n αντικαθίσταται από τη μ_p και, επειδή τα μεγέθη V_{th} , V_{th0} , λ είναι αρνητικά χρησιμοποιούνται οι απόλυτες τιμές αυτών. Τέλος, σημειώνεται ότι ενώ στο NMOS η ονομαστική φορά του ρεύματος I_D είναι από τον απαγωγό προς τη πηγή, η ονομαστική φορά για τα PMOS τρανζίστορ είναι η αντίθετη.

2.3 Ατέλειες στην Σχεδίαση CMOS Κυκλωμάτων

Οι μη ιδανικότητες στον σχεδιασμό ολοκληρωμένων κυκλωμάτων CMOS αποτελούν κρίσιμες παραμέτρους που επηρεάζουν σημαντικά την απόδοση, την απόδοση παραγωγής και την αξιοπιστία αυτών των συσκευών. Μεταξύ των πιο σημαντικών μη ιδανικοτήτων είναι οι μεταβολές στη διαδικασία, τη θερμοκρασία και την τάση, γνωστές ως PVT variations (Process, Voltage, Temperature)

[20]. Αυτές οι μεταβολές οδηγούν σε αποκλίσεις στα ηλεκτρικά χαρακτηριστικά των τρανζίστορ και άλλων στοιχείων μέσα στο IC, κάτι που μπορεί να επηρεάσει την απόδοση και τη λειτουργικότητα του κυκλώματος.

Οι μεταβολές διαδικασίας (process variations) προκύπτουν από εγγενείς διακυμάνσεις κατά τη διάρκεια της κατασκευής ημιαγωγών. Αυτές οι μεταβολές περιλαμβάνουν διαφορές στις συγκεντρώσεις πρόσμειξης, το πάχος του οξειδίου και τις διαστάσεις των γραμμών, μεταξύ άλλων. Οι διαφορές αυτές μπορεί να εμφανιστούν τόσο εντός ενός wafer (intra-die variations) όσο και μεταξύ διαφορετικών wafers ή παρτίδων παραγωγής (inter-die variations). Τα process variations συνήθως μοντελοποιούνται χρησιμοποιώντας "process corners" που αντιπροσωπεύουν τα ακραία σενάρια των παραμέτρων της διαδικασίας. Τυπικά χαρακτηρίζονται από ένα εκ των γραμμάτων T, F, S (Typical, Fast, Slow) για κάθε τύπο στοιχείου (NMOS/PMOS transistors, παθητικά στοιχεία κ.λ.π.) μίας τεχνολογίας. Οι ονομασίες οφείλονται στην επίδραση που το αντίστοιχο corner έχει στην ταχύτητα ψηφιακών κυκλωμάτων. Στην πραγματικότητα κάθε corner αντανακλά έναν συγκεκριμένο συνδυασμό μεταβολών στα χαρακτηριστικά των τρανζίστορ, κάτι που μπορεί να οδηγήσει σε μεταβολές στην συμπεριφορά του κυκλώματος, την κατανάλωση ισχύος και τη συνολική απόδοση [21]. Οι σχεδιαστές πρέπει να λαμβάνουν υπόψη αυτά τα corners για να διασφαλίσουν ότι το κύκλωμα λειτουργεί σωστά σε όλες τις πιθανές συνθήκες παραγωγής.

Οι θερμοκρασιακές μεταβολές (Temperature variations) αποτελούν μια άλλη σημαντική πηγή μη ιδανικότητας. Η απόδοση των συσκευών CMOS εξαρτάται σε μεγάλο βαθμό από τη θερμοκρασία. Για παράδειγμα, η τάση κατωφλίου V_{th} τυπικά μειώνεται με την αύξηση της θερμοκρασίας. Επιπλέον, τα ρεύματα διαρροής, τα οποία συμβάλλουν στην κατανάλωση ισχύος, αυξάνονται με τη θερμοκρασία. Στην πράξη, αναμένεται ότι τα ολοκληρωμένα κυκλώματα θα λειτουργούν σε ευρύ φάσμα θερμοκρασιών, συχνά από -40°C έως 125°C ή και περισσότερο. Η διασφάλιση αξιόπιστης λειτουργίας σε αυτό το εύρος απαιτεί προσεκτικό σχεδιασμό και προσομοίωση σε διάφορες θερμικές συνθήκες για να μετριάστούν οι επιπτώσεις της υποβάθμισης απόδοσης λόγω θερμοκρασίας.

Οι μεταβολές τάσης (Voltage variations) επηρεάζουν επίσης τη συμπεριφορά των CMOS κυκλωμάτων. Οι διακυμάνσεις της τάσης τροφοδοσίας λόγω θορύβου τροφοδοσίας, σταδιακής μείωσης της τάσης μίας μπαταρίας κ.ά., μπορούν να οδηγήσουν σε μεταβολές στην λειτουργία των τρανζίστορ. Οι χαμηλότερες τάσεις τροφοδοσίας γενικά μειώνουν την κατανάλωση ισχύος αλλά επίσης μειώνουν τα περιθώρια διαθέσιμης πτώσης τάσης για τη λειτουργία των τρανζίστορ. Αντίθετα, οι υψηλότερες τάσεις τροφοδοσίας αυξάνουν την κατανάλωση ισχύος και τα πιθανά προβλήματα αξιοπιστίας λόγω αυξημένων

ηλεκτρικών πεδίων. Ενδεικτικά αναφέρεται ότι τα τρανζίστορ με τα οποία υλοποιήθηκαν τα κυκλώματα της παρούσας εργασίας αντέχουν σε τάσεις το πολύ 1V μεταξύ οποιωνδήποτε δύο ακροδεκτών τους.

Η ασυμφωνία (mismatch) αποτελεί μια πιο τοπική μορφή μεταβολής της διαδικασίας που εμφανίζεται μεταξύ παραπλήσιων συσκευών στο ίδιο die. Αυτό το φαινόμενο είναι ιδιαίτερα προβληματικό σε αναλογικά και mixed-signal κυκλώματα, όπου η αντιστοίχιση των τρανζίστορ είναι κρίσιμη για τη σωστή λειτουργία (π.χ., σε διαφορικά ζεύγη ή current mirrors). Η ασυμφωνία προκύπτει από μικρές διαφορές στις διαστάσεις των τρανζίστορ, τα επίπεδα πρόσμειξης και άλλους τοπικούς παράγοντες της διαδικασίας, οδηγώντας σε μεταβολές στη τάση κατωφλίου, το ρεύμα απαγωγού και άλλες βασικές παραμέτρους [22]. Τεχνικές όπως η αύξηση του εμβαδού του τρανζίστορ και η συμμετρική common-centroid διάταξη [23] χρησιμοποιούνται συνήθως για τη μείωση της ασυμφωνίας, αν και αυτές οι προσεγγίσεις μπορεί να αυξήσουν την πολυπλοκότητα του σχεδιασμού.

Συνολικά, η περίπλοκη συμπεριφορά των MOSFET και η εξάρτηση των παραμέτρων λειτουργίας τους από πληθώρα παραγόντων καθιστά απαραίτητη την εκτεταμένη επαλήθευση σε όλες τις σχετικές συνθήκες. Τα κυκλώματα που παρουσιάζονται παρακάτω δοκιμάζονται σε εύρος process corners, θερμοκρασίας και τάσης και επιπλέον στο τελικό σύστημα εκτελείται προσομοίωση Monte Carlo για αξιολόγηση των επιδράσεων του mismatch στο κύκλωμα.

Κεφάλαιο 3

Βασικά Κυκλώματα

Σε αυτό το κεφάλαιο περιγράφονται όλα τα υποκυκλώματα που χρησιμοποιούνται στο τελικό σύστημα. Παρουσιάζονται αρχικά τα κυκλώματα που αξιοποιούνται στην υλοποίηση του Μπεϋζιανού ταξινομητή. Έπειτα αναλύονται τα δομικά στοιχεία της Μονάδας Διαχείρισης Ενέργειας (Power Management Unit - PMU) που χρησιμοποιείται για μετατροπή της εξωτερικής τάσης τροφοδοσίας $V_{DD,ext} = 0.9V$ σε τάση $V_{DD} = 0.6V$ για την τροφοδοσία του low-power ταξινομητή. Εξηγείται η βασική αρχή λειτουργίας τους και παρέχονται αποτελέσματα προσομοίωσης για την επιβεβαίωση της σωστής λειτουργίας κάθε κυκλώματος. Όλα τα κυκλώματα σχεδιάστηκαν στη τεχνολογία CMOS 90nm της TSMC και ο σχεδιασμός και οι προσομοιώσεις έγιναν στο περιβάλλον του Cadence IC Suite.

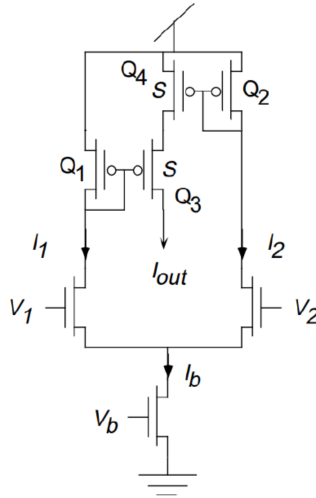
3.1 Το Κύκλωμα Bump

Η ενότητα αυτή αναλύει τη λειτουργία του απλού κυκλώματος Bump, καθώς και της τροποποιημένης παραλλαγής που αξιοποιείται στην προτεινόμενη αρχιτεκτονική του ταξινομητή. Τα κυκλώματα Bump χρησιμοποιούνται για την υλοποίηση της Γκαουσσισιανής συνάρτησης. Διακρίνονται για τις χαμηλές απαιτήσεις ισχύος τους και την εύκολη υλοποίησή τους με μικρό αριθμό τρανζίστορ [24].

3.1.1 Το απλό Bump του Delbrück

Η πρωταρχική αρχιτεκτονική που παρουσιάζεται στο Σχήμα 3.1 προτάθηκε το 1991 από τον Delbrück [25, 26] με σκοπό τον υπολογισμό ενός μέτρου ομοιότητας ή απόστασης μεταξύ σημάτων εισόδου για χρήση σε Radial-Basis-Function

(RBF) νευρωνικά δίκτυα. Από τότε έχουν προταθεί πολλές τοπολογίες Bump κυκλωμάτων στη βιβλιογραφία, κάθε μία από τις οποίες αποσκοπεί σε βελτιώσεις διαφόρων χαρακτηριστικών του απλού Bump[27, 28, 29, 30]. Προς το παρόν θα εξεταστεί η βασική αρχή λειτουργίας του απλού Bump του Delbrück.



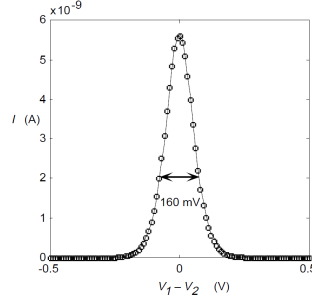
Σχήμα 3.1: Το απλό Bump του Delbrück [26].

Το κύκλωμα του Σχήματος 3.1 αποτελείται από τρία υποκύκλώματα τα οποία εξηγούνται παρακάτω. Το πρώτο είναι ένα τρανζίστορ πολωμένο από τάση V_b στη πύλη του που λειτουργεί ως πηγή ρεύματος I_b . Το I_b πολώνει ένα διαφορικό ζεύγος που δέχεται ως εισόδους τις τάσεις V_1 και V_2 και, βάσει αυτών, χωρίζει το ρεύμα πόλωσης στα ρεύματα I_1 και I_2 . Έχει αποδειχθεί ότι τα ρεύματα ενός διαφορικού ζεύγους έχουν σιγμοειδή μορφή όταν η διαφορά των τάσεων εισόδου $\Delta V = V_1 - V_2$ ξεπερνά κατ' απόλυτη τιμή τα λίγα kT/q [31, 16, 32]. Συγκεκριμένα, τα ρεύματα έχουν τη μορφή της εξίσωσης 3.1 όπου $\kappa = (nV_T)^{-1}$.

$$I_{1,2} = \frac{I_b}{1 + e^{\mp \kappa \Delta V}} \quad (3.1)$$

Το τρίτο υποκύκλωμα είναι το κύκλωμα του συσχετιστή (Correlator) που στο Σχήμα 3.1 αποτελείται από τα τρανζίστορ Q_1 , Q_2 , Q_3 , Q_4 . Το "S" δίπλα στα Q_3 και Q_4 δηλώνει τον λόγο διαστάσεων μεταξύ αυτών και των Q_1 και Q_2 . Ισχύει δηλαδή ότι:

$$\left(\frac{W}{L}\right)_{Q_{3,4}} = S \left(\frac{W}{L}\right)_{Q_{1,2}} \quad (3.2)$$



Σχήμα 3.2: Ένα παράδειγμα της τυπικής εξόδου του απλού Bump όπως αυτό παρουσιάστηκε από τον Delbrück [26].

Η διαισθητική εξήγηση για τη λειτουργία του Correlator είναι ότι τα συνδεδεμένα σε σειρά τρανζίστορ συμπεριφέρονται σαν ένα είδος αναλογικής AND λειτουργίας. Ο T. Delbrück επεκτείνει αυτό το συμπέρασμα για την περίπτωση όπου όλα τα τρανζίστορ λειτουργούν στη sub-threshold περιοχή δίνοντας την εξίσωση για το ρεύμα εξόδου του Correlator η οποία παρουσιάζεται στην εξίσωση 3.3 [25, 26].

$$I_{out} = S \frac{I_1 I_2}{I_1 + I_2} \quad (3.3)$$

Το αποτέλεσμα λοιπόν είναι μία self-normalized συσχέτιση. Η παράμετρος S μπορεί να χρησιμοποιηθεί για fine tuning του ρεύματος εξόδου σε περίπτωση που η μέγιστη τιμή του ρεύματος εξόδου αποκλίνει από την αναμενόμενη τιμή της. Αποδεικνύεται με συνδυασμό των εξισώσεων 3.1 και 3.3 ότι η τελική έξοδος του κυκλώματος στο Σχήμα 3.1 είναι αυτή της εξίσωσης 3.4:

$$\begin{aligned} I_{out} &= I_b \frac{S}{4} \operatorname{sech}^2 \left(\frac{\kappa \Delta V}{2} \right) \\ &= \frac{I_b}{\frac{4}{S} \cosh^2 \left(\frac{\kappa \Delta V}{2} \right)} \end{aligned} \quad (3.4)$$

Η τελευταία εξίσωση είναι μία συνάρτηση με σχήμα καμπάνας (Bell-shaped), η οποία αποτελεί μία αρκετά καλή προσέγγιση μίας Γκαουσιανής συνάρτησης. Η έξοδος έχει μέγιστη τιμή το $I_b \frac{S}{4}$ που επιτυγχάνεται όταν $\Delta V = 0$. Αυτό σημαίνει ότι μεταβάλλοντας τις V_1, V_2 μεταβάλλεται και το κέντρο της συνάρτησης, ενώ η μεταβολή του I_b ορίζει το μέγιστο ύψος της. Το Σχήμα 3.2 απεικονίζει ένα παράδειγμα της εξόδου του απλού Bump συναρτήσεως της διαφοράς τάσεων εισόδου ΔV .

3.1.2 Το Τροποποιημένο Κύκλωμα Bump

Για βελτίωση της ποιότητας της εξόδου το κύκλωμα του απλού Bump τροποποιείται όπως φαίνεται στο Σχήμα 3.3. Αρχικά, η πηγή ρεύματος πόλωσης υλοποιείται με κασχοδικούς καθρέφτες ρεύματος σε αντίθεση με τη πηγή ρεύματος ενός τρανζίστορ του Σχήματος 3.1. Αυτό βελτιώνει την ακρίβεια με την οποία το ρεύμα I_{bias} αναπαράγεται για την πόλωση του κυκλώματος και άρα την ακρίβεια του ρεύματος εξόδου.

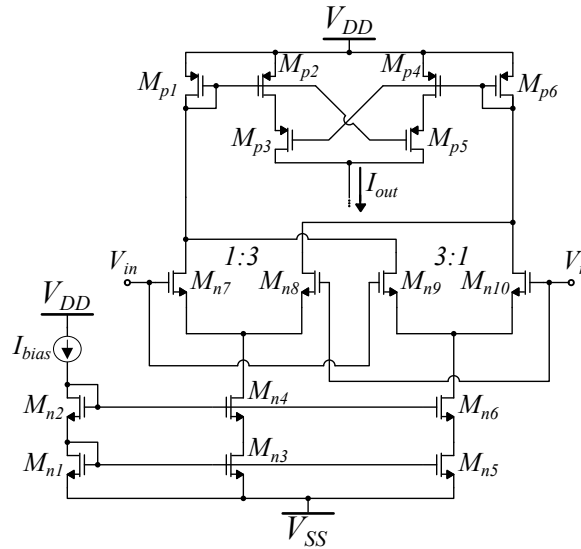
Το διαφορικό ζεύγος αντικαθίσταται από τον συνδυασμό των δύο διαφορικών ζευγών (differential difference pair) που είναι συνδεδεμένα όπως φαίνεται στο σχήμα 3.3 και το καθένα πολώνεται από ρεύμα I_{bias} μέσω του κασχοδικού καθρέφτη. Οι λόγοι διαστάσεων των τρανζίστορ του differential difference pair έχουν τις αναλογίες που φαίνονται στο Σχήμα 3.3. Μεταβάλλοντας τον λόγο (W/L) των τρανζίστορ M_{n7} και M_{n10} σε σχέση με το (W/L) των M_{n8} και M_{n9} τα σιγμοειδή ρεύματα εξόδου των δύο διαφορικών ζευγών μετατοπίζονται συμμετρικά σε αντίθετες κατευθύνσεις. Έτσι η γραμμική περιοχή των σιγμοειδών ρευμάτων I_1 και I_2 που τελικά προκύπτουν αυξάνεται εάν $(W/L)_{7,10} > (W/L)_{8,9}$ ή μειώνεται εάν $(W/L)_{7,10} < (W/L)_{8,9}$, γεγονός που επιφέρει όμοια αλλαγή στη διασπορά της Γκαουσσισιανής εξόδου. Στη συγκεκριμένη εφαρμογή βρέθηκε ότι απαιτούνται σχετικά μικρές τιμές διασποράς στις Γκαουσσισιανές, συνεπώς τέθηκε $(W/L)_{8,9} = 3(W/L)_{7,10}$.

Επιπλέον, ο Correlator έχει αντικατασταθεί από ένα συμμετρικό αντίστοιχο. Εξαιτίας της πλήρους συμμετρίας του νέου κυκλώματος μειώνεται το σφάλμα του ρεύματος εξόδου όταν η τάση εισόδου του κυκλώματος λαμβάνει τιμές κοντά στη θετική ή την αρνητική τροφοδοσία [33, 34, 35]. Τέλος σημειώνεται ότι η μία εκ των εισόδων του differential difference pair τίθεται στη τιμή V_T και η είσοδος του κασχοδικού καθρέφτη ρεύματος τίθεται ως I_{bias} , ορίζοντας έτσι το κέντρο και τη μέγιστη τιμή της καμπύλης εξόδου. Τα διαγράμματα του Σχήματος 3.4 απεικονίζουν παραμετρικές προσομοιώσεις του τροποποιημένου κυκλώματος Bump.

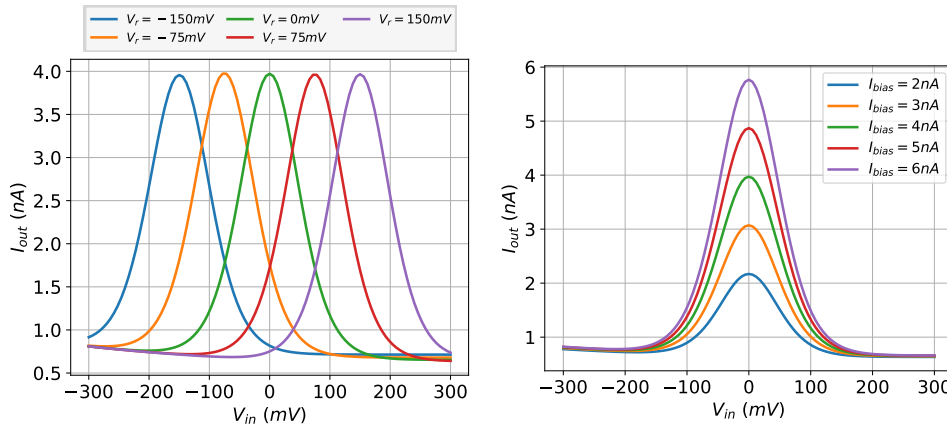
Οι διαστάσεις των τρανζίστορ συνοψίζονται στον Πίνακα 3.1.

Πίνακας 3.1: Διαστάσεις τρανζίστορ (Σχήμα 3.3).

Transistor	W/L($\mu m/\mu m$)	Transistor	W/L ($\mu m/\mu m$)
$M_{n1}-M_{n6}$	0.5/2	M_{p1}, M_{p6}	1.2/2
M_{n7}, M_{n10}	0.5/2	$M_{p2}-M_{p5}$	1/2
M_{n8}, M_{n9}	1.5/2	-	-



Σχήμα 3.3: Το τροποποιημένο κύκλωμα Bump.

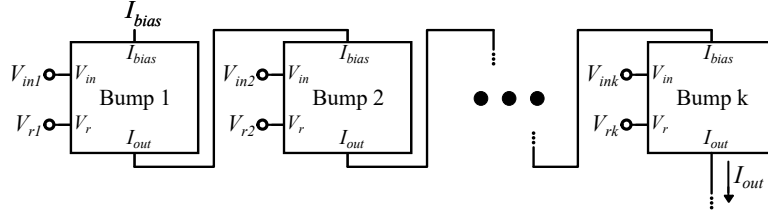


(α') Το ρεύμα εξόδου I_{out} του τροποποιημένου Bump (Σχήμα 3.3) συναρτήσει της V_{in} για διάφορες τιμές της τάσης V_r .

(β') Το ρεύμα εξόδου I_{out} του τροποποιημένου Bump (Σχήμα 3.3) συναρτήσει της V_{in} για διάφορες τιμές του ρεύματος I_{bias} .

3.1.3 Υλοποίηση Πολυδιάστατης Γκαουσιανής Συνάρτησης

Ένα κύκλωμα Bump παράγει μία μονοδιάστατη Γκαουσιανή συνάρτηση. Ωστόσο, πολλές φορές απαιτείται η χρήση πολυδιάστατων συναρτήσεων σε πραγματικές εφαρμογές [1]. Ένα βασικό χαρακτηριστικό των Bump κυκλωμάτων είναι η δυνατότητα τους να υλοποιήσουν πολυδιάστατες Γκαουσιανές συναρ-



Σχήμα 3.5: Το πολυδιάστατο Bump για τη γενική περίπτωση k διαστάσεων.

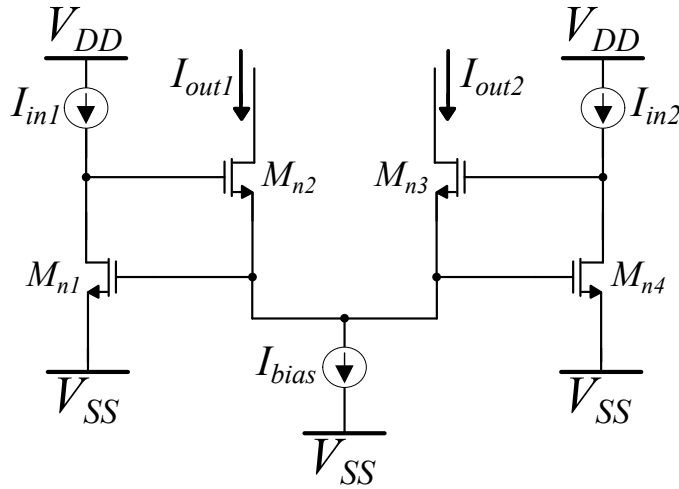
τήσεις με πολύ εύκολο τρόπο, αφού δεν απαιτούνται βοηθητικά κυκλώματα. Αυτό γίνεται με την κασκοδική σύνδεση δύο ή περισσότερων Bump με τον τρόπο που φαίνεται στο Σχήμα 3.5. Η διάταξη αυτή ονομάζεται Bump k διαστάσεων ή απλούστερα $k - D$ Bump. Στη τοπολογία του Σχήματος κάθε ένα από τα k κυκλώματα Bump είναι το τροποποιημένο Bump του Σχήματος 3.3. Κάτι τέτοιο ισοδυναμεί με τον πολλαπλασιασμό των ρευμάτων εξόδου των επιμέρους κυκλωμάτων [35]. Τότε η έξοδος του τελευταίου Bump της σειράς ισούται με την τιμή μιας πολυδιάστατης Γκαουσιανής συνάρτησης με διαγώνιο πίνακα συν-διασποράς. Σε μία τέτοια υλοποίηση το πρώτο Bump πολώνεται με ένα προκαθορισμένο ρεύμα, ενώ κάθε ένα από τα υπόλοιπα Bumps πολώνεται με το ρεύμα εξόδου του προηγούμενου κυκλώματος.

3.2 Κύκλωμα Winner-Take-All

Όπως αναφέρθηκε και στο Κεφάλαιο 2, η υλοποίηση του ταξινομητή απαιτεί ένα κύκλωμα που θα εκτελεί τη σύγκριση των εξόδων από κάθε κλάση για τη λήψη της τελικής απόφασης. Απαιτείται, με άλλα λόγια, η υλοποίηση του τελεστή $argmax$. Μία από τις πιο δημοφιλείς υλοποιήσεις αυτής της συνάρτησης είναι το κύκλωμα Winner-Take-All (WTA) που προτάθηκε από τον Lazzaro [36]. Το κύκλωμα απεικονίζεται στο Σχήμα 3.6. Σε γενικές γραμμές το κύκλωμα αυτό μπορεί να περιέχει αυθαίρετα μεγάλο αριθμό νευρώνων. Η εκδοχή του Σχήματος αποτελείται από δύο νευρώνες.

Η λειτουργία του κυκλώματος εξηγείται για τη περίπτωση δύο νευρώνων αλλά η ίδια αρχή λειτουργίας διέπει τη γενική περίπτωση όπου χρησιμοποιούνται περισσότεροι νευρώνες. Κάθε νευρώνας αποτελείται από δύο τρανζίστορ όμοια μεταξύ τους και συνδεδεμένα όπως φαίνεται στο Σχήμα 3.6. Αναφέρεται σε αυτό το σημείο ότι όλοι οι νευρώνες χρησιμοποιούν τρανζίστορ ίδιων διαστάσεων. Διαφορετικά, εάν ένας νευρώνας διέθετε τρανζίστορ έστω n φορές μεγαλύτερου πλάτους, αυτό θα είχε την ίδια επίδραση στο κύκλωμα με μείωση του ρεύματος εισόδου σε I_{in}/n σε ένα κύκλωμα WTA με όλα τα τρανζίστορ

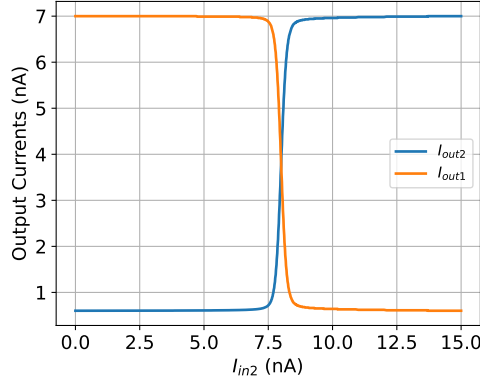
του όμοια. Κατά συνέπεια, προκειμένου να επιτευχθεί το σύνολο του ρεύματος πόλωσης που απαιτεί αυτός ο νευρώνας, χρειάζεται η φορές περισσότερο ρεύμα σε σύγκριση με το σενάριο όπου όλα τα τρανζίστορ είναι όμοια, καθώς η τάση πύλης του μεγαλύτερου τρανζίστορ θα είναι χαμηλότερη για το ίδιο ρεύμα πόλωσης. Έτσι, προκύπτει η ανάγκη επαναφοράς της τάσης της πύλης στο αρχικό επίπεδο, πράγμα που απαιτεί ένα ρεύμα εισόδου n φορές υψηλότερο από την προηγούμενη κατάστασή του.



Σχήμα 3.6: Υλοποίηση του κυκλώματος WTA [36] με δύο νευρώνες.

Όταν στο Σχήμα 3.6 είναι $I_{in1} = I_{in2}$ λόγω συμμετρίας και επειδή όλα τα τρανζίστορ είναι όμοια είναι προφανές ότι θα ισχύει $I_{out1} = I_{out2} = I_{bias}/2$. Στην περίπτωση που $I_{in1} < I_{in2}$ η τάση στη πύλη του M_{n3} αυξάνεται σε σχέση με τη περίπτωση ίσων ρευμάτων εισόδου εξαιτίας του φαινομένου διαμόρφωσης μήκους καναλιού. Επειδή το ρεύμα I_{out2} δε μπορεί να αυξηθεί χωρίς να μειωθεί το I_{out1} και άρα προς το παρόν είναι σταθερό, η τάση στην πύλη του M_{n4} αυξάνεται, αφού παραμένει σταθερή η V_{GS3} (επειδή το I_{out2} είναι σταθερό) και η V_{G3} αυξάνεται. Αύξηση της V_{G4} χωρίς αλλαγή του I_{in1} προκαλεί τη πτώση της τάσης απαγωγού του M_{n1} (αφού το ρεύμα απαγωγού εξαρτάται και από τη V_{DS}). Συνεπώς μειώνεται και η V_{G2} , πράγμα που οδηγεί στη μείωση του I_{out1} , επιτρέποντας έτσι στο I_{out2} να αυξηθεί. Όσο μεγαλύτερο γίνεται το I_{in2} από το I_{in1} , η παραπάνω διαδικασία συνεχίζεται μέχρις ότου όλο το ρεύμα πόλωσης I_{bias} να διέρχεται από το M_{n3} . Αντίστοιχα, όταν $I_{in1} > I_{in2}$, το ρεύμα I_{out1} αυξάνεται μέχρι να γίνει ίσο με το I_{bias} και το I_{out2} μειώνεται μέχρι να μηδενιστεί.

Στο Σχήμα 3.7 παρουσιάζεται ένα παράδειγμα λειτουργίας του κυκλώματος.



Σχήμα 3.7: Οι έξοδοι του κυκλώματος WTA ως συνάρτηση του ρεύματος εισόδου I_{in2} για τη περίπτωση όπου $I_{in1} = 8nA$ και $I_{bias} = 7nA$

Οι διαστάσεις των τρανζίστορ είναι $W/L = 400nm/1.6\mu m$. Μία σημαντική παρατήρηση στο Σχήμα 3.7 είναι η διακύμανση των ρευμάτων εξόδου γύρω από την περιοχή όπου $I_{in1} \approx I_{in2}$. Παρατηρείται ότι η μετάβαση από το I_{bias} στο μηδέν γίνεται σταδιακά και όχι απότομα. Αυτό σημαίνει ότι στη περίπτωση που τα ρεύματα εισόδου του WTA λαμβάνουν κοντινές τιμές το ρεύμα I_{bias} θα καταναλωθεί στις εξόδους των νευρώνων αντί να καταλήξει αποκλειστικά σε μία από τις εξόδους. Στην αρχιτεκτονική του ταξινομητή αυτό θα έχει ως αποτέλεσμα την ενεργοποίηση πάνω από μίας εξόδου, προκαλώντας το πρόβλημα περισσότερων από μίας νικητρίων κλάσεων (multiple winners). Το πρόβλημα αυτό τελικά δεν επηρέασε σημαντικά την επίδοση της αρχιτεκτονικής που παρουσιάζεται σε αυτή την εργασία, ωστόσο υπάρχει ενδεχόμενο να αποδειχθεί σημαντικό σε διαφορετικές τοπολογίες ταξινομητών. Σε τέτοιες περιπτώσεις το κύκλωμα μπορεί να βελτιωθεί συνδέοντας διαδοχικά NMOS και PMOS εκδοχές του απλού WTA.

3.3 Constant-gm

Το κύκλωμα Constant-gm υλοποιείται για να παρέχει τις απαραίτητες τάσεις και ρεύματα πόλωσης για τα υπόλοιπα κυκλώματα. Παράγει τις τάσεις V_{bias-n} , V_{casc-n} , V_{bias-p} , V_{casc-p} που χρησιμοποιούνται εκτενώς για την πόλωση όλων των κυκλωμάτων του συνολικού συστήματος.

Η βασική ιδέα για το εν λόγω κύκλωμα πόλωσης προτάθηκε πρώτη φορά από τον Steininger το 1990 [37] για παραγωγή διαγωγιμότητας εξαρτημένης μόνο από τη τιμή μίας αντίστασης. Πολλά κυκλώματα πόλωσης που έχουν προταθεί από τότε χρησιμοποιούν την ίδια αρχή λειτουργίας [38, 39, 40, 41, 42].

Η υλοποίηση που παρουσιάζεται στο Σχήμα 3.8 βασίζεται σε μία παραλλαγή που ενσωματώνει wide-swing καθρέφτες ρεύματος (δηλαδή καθρέφτες πολωμένους ώστε να λειτουργούν σωστά με χαμηλότερη τάση στην έξοδό τους σε σχέση με τους συμβατικούς [43, 44]) και παρέχει επιπλέον τάσεις πόλωσης για κασχοδικούς καθρέφτες [19].

Ο πυρήνας του κυκλώματος βρίσκεται στην αριστερή πλευρά του Σχήματος 3.8 και αποτελείται από τον ενισχυτή και τα τρανζίστορ M_{n1} , M_{n3} που δρουν ως καθρέφτες ρεύματος, καθώς και τα M_{p1} , M_{p2} και την αντίσταση R , των οποίων η λειτουργία εξηγείται παρακάτω. Υποθέτοντας ότι όλα τα τρανζίστορ λειτουργούν στη sub-threshold περιοχή εξαιτίας της χαμηλής τροφοδοσίας, εύκολα φαίνεται από το Σχήμα 3.8 ότι ισχύει:

$$\begin{aligned} V_{SG,p2} &= V_{SG,p1} + I_{D,p1}R \Rightarrow \\ V_{eff,p2} &= V_{eff,p1} + I_{D,p1}R \end{aligned} \quad (3.5)$$

Όπου έχει υποθετηθεί ότι τα M_{p1} , M_{p2} είναι τρανζίστορ του ίδιου τύπου, αρκετά όμοια ώστε να έχουν την ίδια V_{th} . Για να ισχύει αυτό, ο ακροδέκτης σώματος του M_{p1} συνδέεται στη πηγή του, προκειμένου να εξουδετερωθεί το φαινόμενο σώματος. Αυτός είναι και ο λόγος που επιλέχθηκαν PMOS τρανζίστορ για την υλοποίηση, καθώς το η τύπου "πηγάδι" στο οποίο υλοποιούνται παρέχει έναν ελεύθερο ακροδέκτη σώματος, σε αντίθεση με τις τυπικές υλοποιήσεις NMOS όπου απαιτούνται πιο περίπλοκες τεχνικές για σύνδεση του σώματος σε δυναμικό διαφορετικό από τη V_{SS} . Επιπλέον υποθέτουμε ότι $I_{D0,p1} = I_{D0,p2}$. Χρησιμοποιώντας τις εξισώσεις 2.11 και 2.12 η 3.5 γράφεται:

$$\begin{aligned} nV_T \ln \left(\frac{I_{D,p2}}{K_{p2}I_{D0,p2}} \right) &= nV_T \ln \left(\frac{I_{D,p1}}{K_{p1}I_{D0,p1}} \right) + I_{D,p1}R \Rightarrow \\ I_{D,p1} &= \frac{nV_T}{R} \ln \left(\frac{K_{p1}I_{D,p2}}{K_{p2}I_{D,p1}} \right) \Rightarrow \end{aligned} \quad (3.6)$$

$$g_{m,p1} = \frac{1}{R} \ln \left(\frac{K_{p1}}{K_{p2}} \right) \quad (3.7)$$

Τα K_{p1} , K_{p2} είναι οι λόγοι διαστάσεων (W/L) των M_{p1} , M_{p2} αντίστοιχα. Τα ρεύματα απαγωγού $I_{D,p1}$, $I_{D,p2}$ απλοποιήθηκαν γιατί ο ενισχυτής και τα M_{n1} , M_{n3} τα εξισώνουν μεταξύ τους.

Η εξίσωση 3.7 δείχνει ότι η διαγωγιμότητα του M_{p1} εξαρτάται μόνο από τη τιμή της αντίστασης R και τους λόγους διαστάσεων των M_{p1} , M_{p2} , σταθεροποιώντας έτσι τη διαγωγιμότητα όλων των τρανζίστορ ίδιου τύπου με το M_{p1} που πολώνονται από το $I_{D,p1}$. Το $I_{D,p1}$ μπορεί να αναπαράχθει για πόλωση κυκλωμάτων, ωστόσο, όπως φαίνεται από την εξίσωση 3.7 είναι ανάλογο της θερμοκρασίας.

Αξίζει να αναφερθεί ότι οι on-chip αντιστάσεις όπως αυτή που χρησιμοποιείται στο κύκλωμα πόλωσης παρουσιάζουν μη αμελητέες μεταβολές στην τιμή τους σε διαφορετικές θερμοκρασίες και process variations. Έτσι, αντί για μία σταθεροποιημένη τιμή διαγωγιμότητας θα λάβουμε ένα εύρος δυνατών διαγωγιμότητων, εξαιτίας του εύρους τιμών που λαμβάνει η αντίσταση R . Παρατηρείται επίσης η αύξηση της θερμοκρασιακής εξάρτησης στα παραγόμενα ρεύματα πόλωσης που παράγονται από το κύκλωμα πόλωσης εξαιτίας της εξάρτησης της R από τη θερμοκρασία.

Οι τάσεις που παράγονται στον πυρήνα του κυκλώματος χρησιμοποιούνται από το μεσαίο υποκύκλωμα του Σχήματος 3.8 για τη παραγωγή τάσεων πόλωσης κασχοδικών πηγών ρεύματος. Αυτό υλοποιείται αξιοποιώντας wide-swing καθρέφτες ρεύματος [43, 44] προκειμένου οι πηγές που πολώνονται από τις παραγόμενες τάσεις να λειτουργούν σωστά ακόμα και με χαμηλή τάση στην έξοδό τους.

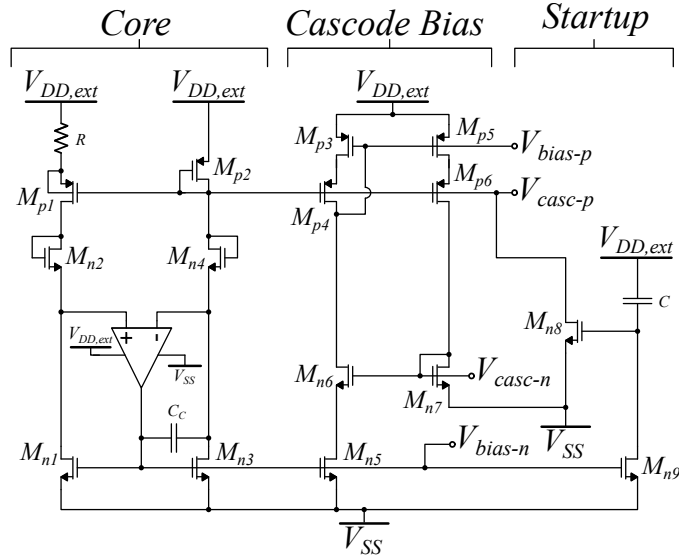
Το κύκλωμα εκκίνησης (Startup) παρουσιάζεται στο δεξί μέρος του Σχήματος 3.8 [45]. Λόγω του ότι ο πυκνωτής C είναι αρχικά αφορτιστος, η τάση της πύλης του M_{n8} ακολουθεί τη $V_{DD,ext}$ και άρα με την άνοδο της $V_{DD,ext}$ κατά την εκκίνηση το M_{n8} ξεκινάει να άγει. Εισάγει με αυτό τον τρόπο ρεύμα στον κύριο βρόχο πόλωσης, ο οποίος θα ξεκινήσει το κύκλωμα. Μόλις ο βρόχος ξεκινήσει, το M_{n9} θα ενεργοποιηθεί, φορτίζοντας τον πυκνωτή C και τραβώντας τη πύλη του M_{n8} χαμηλά, και έτσι θα το απενεργοποιήσει ώστε να μην επηρεάζει πλέον τον βρόχο πόλωσης. Ο C τίθεται σε μία μικρή τιμή προκειμένου να μην καταλαμβάνει μεγάλο εμβαδόν.

Για τον ενισχυτή στο Σχήμα 3.8 υλοποιήθηκε ένας απλός ενισχυτής ενός σταδίου - ένα διαφορικό ζεύγος με απλή έξοδο. Τα διοδικά συνδεδεμένα M_{n2} , M_{n4} μετατοπίζουν το common mode επίπεδο τάσης ούτως ώστε να δουλεύει σωστά ο ενισχυτής.

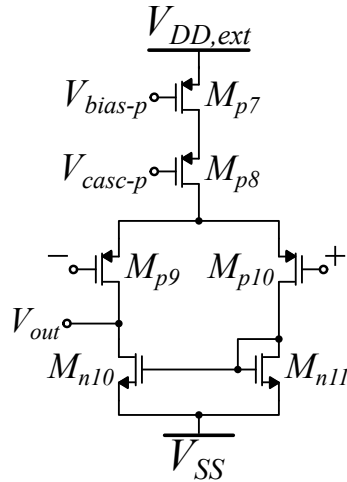
Για ευστάθεια του αρνητικού βρόχου τοποθετείται ένας πυκνωτής αντιστάθμισης C_C στην έξοδο του ενισχυτή. Η τοποθέτησή του μεταξύ της εξόδου του ενισχυτή και του απαγωγού του M_{n3} εχμεταλλεύεται το φαινόμενο Miller [31, 19], δημιουργώντας έτσι φαινομενικά μεγαλύτερη χωρητικότητα από την εξόδου του ενισχυτή στη V_{SS} . Σε σύγκριση με τη τοποθέτηση της ίδιας χωρητικότητας μεταξύ της εξόδου του ενισχυτή και της V_{SS} αυτή η μέθοδος επιτυγχάνει σημαντικά μεγαλύτερο περιθώριο φάσης.

Όσον αφορά τον θετικό βρόχο ανάδρασης που δημιουργείται από τα M_{n3} , M_{p2} , M_{p1} , το κέρδος του είναι αρκετά μικρότερο από 1 εξαιτίας της μεγάλης τιμής της αντίστασης R που περιορίζει το κέρδος της βαθμίδας κοινού εκπομπού του M_{p1} . Έτσι και ο θετικός βρόχος ανάδρασης είναι ευσταθής.

Η προσομοίωση του κυκλώματος εκτελείται για διάφορα process corners. Συγκεκριμένα, δοκιμάστηκαν τα process corners TT_T, FF_F, SS_S, F-



Σχήμα 3.8: Το κύκλωμα Constant-gm [19]. Αποτελείται από τον πυρήνα του κυκλώματος, το κύκλωμα κασκοδικής πόλωσης και ένα στοιχειώδες startup κύκλωμα.



Σχήμα 3.9: Ο ενισχυτής που χρησιμοποιήθηκε στο Constant-gm κύκλωμα του Σχήματος 3.8. Είναι ένα διαφορικό ζεύγος με απλή έξοδο και πολώνεται από μία κασκοδική πηγή ρεύματος.

S_T, SF_T, FS_F, SF_F, FS_S, SF_S όπου το πρώτο και δεύτερο γράμμα εκφράζουν τη συμπεριφορά για τα NMOS και PMOS, ενώ το τρίτο γράμμα αντιπροσωπεύει τη συμπεριφορά όλων των υπόλοιπων στοιχείων της τεχνο-

λογίας (αντιστάσεις, πυκνωτές κλπ.). Επιπλέον εκτός από την ονομαστική τιμή των $0.9V$ για την τάση τροφοδοσίας $V_{DD,ext}$ δοκιμάστηκαν και οι τιμές $0.8V$ και $1V$ προσομοιώνοντας έτσι πιθανές διακυμάνσεις στην τάση τροφοδοσίας. Τέλος το κύκλωμα προσομοιώθηκε σε ένα εύρος θερμοκρασιών από $-25^{\circ}C$ έως $125^{\circ}C$. Αυτές οι συνθήκες καθορίζουν τα PVT corners στα οποία δοκιμάστηκαν και όλα τα υπόλοιπα κυκλώματα.

Οι πίνακες 3.2 και 3.3 περιέχουν τις διαστάσεις των τρανζίστορ του κυκλώματος και τα αποτελέσματα προσομοίωσης αντίστοιχα. Επιλέχθηκαν σχετικά μεγάλες διαστάσεις για το μήκος και πλάτος των τρανζίστορ για ελαχιστοποίηση της επίδρασης του mismatch. Επιπρόσθετα, επιλογή μεγάλου μήκους καναλιού αποτρέπει φαινόμενα short-channel όπως drain-induced-barrier-lowering ή κορεσμού ταχύτητας των φορέων του καναλιού [32]. Τέτοια φαινόμενα δυσκολεύουν τη σχεδίαση σε νανομετρικές κλίμακες καθώς προκαλούν διαφόρων ειδών αποκλίσεις από την ιδανική συμπεριφορά των τρανζίστορ.

Πίνακας 3.2: Διαστάσεις τρανζίστορ και τιμές παθητικών στοιχείων για το Constant-gm κύκλωμα πόλωσης του Σχήματος 3.8.

Transistor	$W/L(\mu m/\mu m)$	Transistor	$W/L(\mu m/\mu m)$
$M_{n1,3}$	10/6	M_{p1}	9.6/3
$M_{n2,4,5,6,7,9}$	2/6	$M_{p2,3,4}$	2.4/3
M_{n8}	1/8	$M_{p5,6}$	12/3
$M_{n10,11}$	2/6	$M_{p7,8,9,10}$	1.2/3
Component	Value		
C_C	$1pF$		
C	$400fF$		
R	$635k\Omega$		

Όσον αφορά τα αποτελέσματα, παρατηρούμε ότι τόσο τα παραγόμενα ρεύματα πόλωσης όσο και η διαγωγιμότητα των PMOS τρανζίστορ παρουσιάζουν διακύμανση από την ονομαστική τους τιμή. Αυτό εξηγείται παρατηρώντας ότι και η αντίσταση R - για την οποία δε χρησιμοποιήθηκε ιδανικό στοιχείο αλλά αντίσταση της τεχνολογίας στην οποία υλοποιήθηκαν τα τρανζίστορ - παρουσιάζει επίσης σημαντικές διακυμάνσεις γύρω από την ονομαστική τιμή της. Ο βρόχος ανάδρασης αποδεικνύεται ευσταθής με ικανό περιθώριο φάσης και το συνολικό κύκλωμα έχει μέγιστη κατανάλωση ισχύος ίση με $412.2nW$.

Πίνακας 3.3: Αποτελέσματα του κυκλώματος Constant-gm

Parameter	Minimum	Nominal	Maximum
Phase Margin (degrees)	66.58	81.95	109.1
Bias Currents (nA)	10.66	14.51	22.37
PMOS g_m (μS)	1.865	2.332	2.792
R ($k\Omega$)	555.3	634.8	722.9
V_{bias-n} (mV)	40.21	132.3	194.9
V_{casc-n} (mV)	120.5	192.9	248
V_{bias-p} (mV)	636.9	786.5	943.7
V_{casc-p} (mV)	582.9	727.4	886.5
Power Consumption (nW)	165.5	240.1	412.2

3.4 Bandgap Αναφορά Τάσης

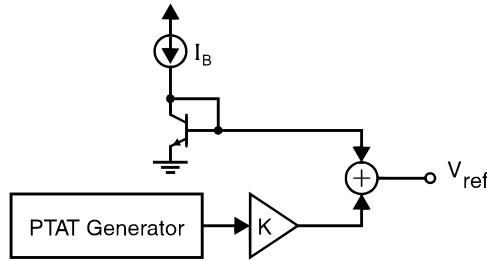
Η παραγωγή μίας ποιοτικής τάσης αναφοράς είναι ζωτικής σημασίας για μία PMU. Η τάση αυτή χρησιμοποιείται από τον LDO για τη δημιουργία της τάσης εξόδου που θα τροφοδοτήσει το φορτίο. Για μία σταθερή τάση εξόδου του LDO απαιτείται λοιπόν μία τάση αναφοράς η οποία είναι σταθερή και ανεξάρτητη από το process, την τάση τροφοδοσίας και τη θερμοκρασία.

Η πιο δημοφιλής μέθοδος για τη παραγωγή τάσης αναφοράς ανεξάρτητης από τη θερμοκρασία αξιοποιεί το ενεργειακό διάκενο (Band Gap) του πυριτίου. Το κύκλωμα αυτό έχει ονομαστεί Band-Gap αναφορά (BandGap Reference - BGR) και μία απλοποιημένη εκδοχή του απεικονίζεται στο Σχήμα 3.10 [19]. Η βασική αρχή λειτουργίας είναι ο συνδυασμός μίας τάσης αντιστρόφως ανάλογης της απόλυτης θερμοκρασίας - Complementary To Absolute Temperature (CTAT) - με μία τάση ανάλογη της απόλυτης θερμοκρασίας - Proportional To Absolute Temperature (PTAT). Κατάλληλος σχεδιασμός επιτρέπει αλληλοανίρεση των θερμοκρασιακών εξαρτήσεων, δίνοντας έτσι μία τάση εξόδου προσεγγιστικά σταθερή με τη θερμοκρασία.

Για τον CTAT όρο χρησιμοποιείται η τάση βάσης-εκπομπού ενός διπολικού τρανζίστορ, η οποία έχει αποδειχθεί [19, 46, 47, 48] ότι ισούται με:

$$V_{BE} = V_{G0} \left(1 - \frac{T}{T_0}\right) + V_{BE0} \frac{T}{T_0} + \frac{nkT}{q} \ln \left(\frac{T}{T_0}\right) + \frac{kT}{q} \ln \left(\frac{J_C}{J_{C0}}\right) \quad (3.8)$$

Το V_{G0} είναι η Bandgap τάση του πυριτίου στους 0 K, όπου είναι περίπου ίση με 1.2V, το k είναι η σταθερά του Boltzmann και το n είναι μια σταθερά. Τα J_C και V_{BE} είναι η πυκνότητα ρεύματος συλλέκτη και η τάση βάσης-εκπομπού σε θερμοκρασία T . Η θερμοκρασία T_0 είναι μία θερμοκρασία αναφοράς στην



Σχήμα 3.10: Ένα απλοποιημένο σχέδιο της Bandgap Αναφοράς Τάσης [19].

οποία μετρώνται οι ποσότητες J_{C0} και V_{BE0} . Κάνοντας μία προσέγγιση πρώτης τάξης η V_{BE} είναι αντιστρόφως ανάλογη της θερμοκρασίας με κλίση περίπου $-2mV/^{\circ}K$.

Ο ΡΤΑΤ όρος μπορεί να δημιουργηθεί λαμβάνοντας τη διαφορά δύο τάσεων βάσης-εκπομπού που αντιστοιχούν σε τρανζίστορ με διαφορετικές πυκνότητες ρεύματος συλλέκτη. Από την εξίσωση 3.8 προκύπτει:

$$\Delta V_{BE} = \frac{kT}{q} \ln \left(\frac{J_1}{J_2} \right) \quad (3.9)$$

Θέτοντας $J_1 > J_2$ λαμβάνουμε μία τάση ανάλογη της θερμοκρασίας.

Ο ενισχυτής κέρδους K που παρεμβάλλεται μετά την PTAT τάση στο Σχήμα 3.10 ρυθμίζει την κλίση της PTAT τάσης περίπου στα $2mV/^{\circ}K$ ώστε να αναιρέσει τη κλίση της V_{BE} κατά τη πρόσθεση. Αποδεικνύεται τελικά ότι για μία θερμοκρασία T_{0TC} όπου ο θερμοκρασιακός συντελεστής της V_{ref} είναι μηδενικός η V_{ref} δίνεται από την εξίσωση 3.10, όπου τα α και γ είναι σταθερές [16].

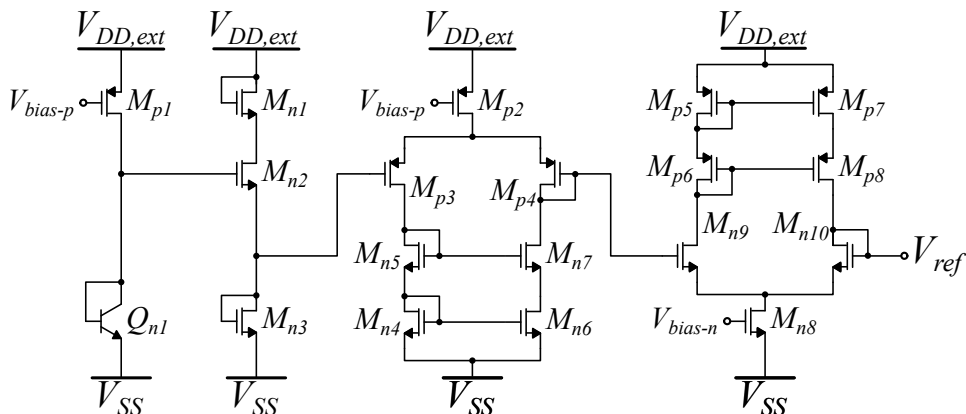
$$V_{ref}|_{T=T_{0TC}} = V_{G0} + (\gamma - \alpha) \frac{kT_{0TC}}{q} \quad (3.10)$$

Τελικά η V_{ref} είναι λίγο μεγαλύτερη από τη Bandgap τάση του πυριτίου (εξού και η ονομασία του κυκλώματος) και προσεγγιστικά ανεξάρτητη της θερμοκρασίας. Στην πραγματικότητα, εξαιτίας των θερμοκρασιακών όρων μεγαλύτερης τάξης ο θερμοκρασιακός συντελεστής της V_{ref} είναι μηδενικός για συγκεκριμένες μόνο θερμοκρασίες. Ο στόχος λοιπόν είναι συνήθως η ελαχιστοποίηση της θερμοκρασιακής εξάρτησης της V_{ref} .

Για τους σκοπούς αυτής της εργασίας απαιτείται μία τάση αναφοράς ίση με 600mV. Όπως αναφέρθηκε και νωρίτερα, η τάση αναφοράς από συμβατικά Bandgap κυκλώματα κυμαίνεται σε τιμές άνω των 1 – 1.2V [49, 50, 51, 52]. Παράλλαγές των συμβατικών αρχιτεκτονικών που παράγουν τάσεις αναφοράς

χαμηλότερες από τη Bandgap τάση του πυριτίου (sub-Bandgap) έχουν προταθεί [53, 54, 55, 56], ωστόσο η κατανάλωση ισχύος των περισσότερων (τυπικά μερικά μW) τις καθιστά ακατάλληλες για τη παρούσα εφαρμογή.

Η τοπολογία που επιλέχθηκε για την παρούσα εφαρμογή προτάθηκε στο [38] και απεικονίζεται στο Σχήμα 3.11. Αξιοποιεί ένα διπολικό τρανζίστορ πολωμένο από μία απλή πηγή ρεύματος για τη παραγωγή της CTAT V_{BE} , η οποία στη συνέχεια διαιρείται διά δύο από τα τρανζίστορ $M_{n2,3}$ που συνιστούν έναν NMOS διαιρέτη τάσης. Σημειώνεται ότι για αποφυγή διαφορών στην V_{th} των M_{n2} , M_{n3} εξαιτίας του φαινομένου σώματος χρησιμοποιούνται τα λεγόμενα deep n-well NMOS τρανζίστορ στα οποία ο ακροδέκτης σώματος είναι ελεύθερος και μπορεί να συνδεθεί απευθείας στην πηγή. Λαμβάνουμε έτσι μία χαμηλότερη CTAT τάση που επιπλέον έχει μικρότερη (κατ' απόλυτη τιμή) κλίση, διευκολύνοντας την αντιστάθμιση του αρνητικού θερμοκρασιακού συντελεστή.

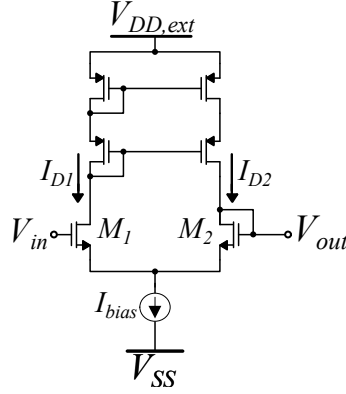


Σχήμα 3.11: Η προτεινόμενη τοπολογία sub-BGR [38].

Το τρανζίστορ M_{n1} τοποθετείται για τον περιορισμό του ρεύματος του διαιρέτη τάσης στις περιπτώσεις όπου τα τρανζίστορ άγουν πιο εύκολα (δηλαδή στα Fast process corners και όταν το κύκλωμα λειτουργεί σε υψηλές θερμοκρασίες).

Το υπόλοιπο κύκλωμα αποτελείται από δύο διαφορεικά ζεύγη που παράγουν τον PTAT όρο και τον προσθέτουν στην έξοδο του διαιρέτη τάσης (PTAT γεννήτριες). Η αρχή λειτουργίας τους βασίζεται στην λειτουργία των MOS τρανζίστορ στην sub-threshold περιοχή.

Τα NMOS τρανζίστορ $M_{1,2}$ του Σχήματος 3.12 διαρρέονται από ρεύματα I_{D1} και I_{D2} αντίστοιχα. Αξιοποιώντας τη σχέση 2.11, η διαφορά τάσης μεταξύ



Σχήμα 3.12: Η γεννήτρια PTAT τάσης που χρησιμοποιεί η sub-BGR.

των πυλών τους αποδεικνύεται ότι είναι [38]:

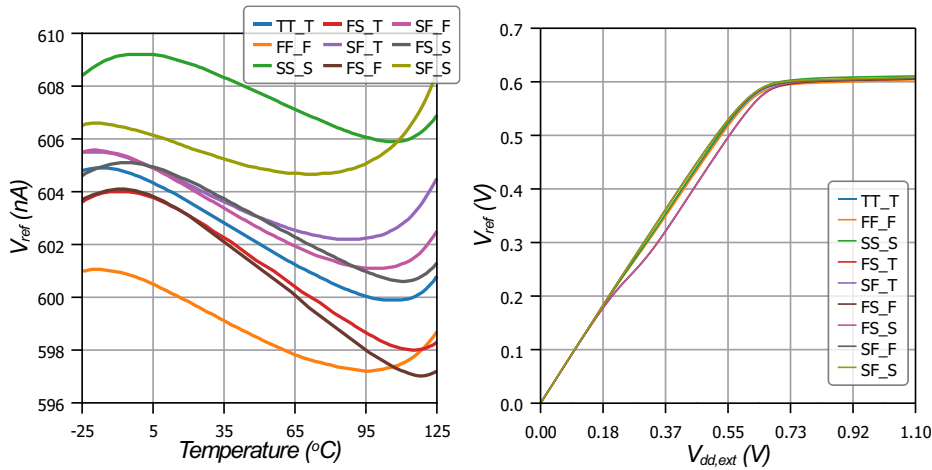
$$\begin{aligned}
 V_{out} - V_{in} &= V_{GS2} - V_{GS1} \\
 &= V_{th2} - V_{th1} + \eta V_T \ln \left(\frac{I_{D2}}{K_2 I_{D02}} \frac{K_1 I_{D01}}{I_{D1}} \right) \\
 &\approx \eta V_T \ln \left(\frac{I_{D2} K_1}{I_{D1} K_2} \right)
 \end{aligned} \tag{3.11}$$

Όπου έγινε η παραδοχή ότι $V_{th2} \approx V_{th1}$ και $I_{D02} \approx I_{D01}$. Με συμβολίζονται οι λόγοι W/L των αντίστοιχων τρανζίστορ. Για $I_{D2} K_1 > I_{D1} K_2$ λαμβάνουμε μία PTAT διαφορά τάσης ανάμεσα στη είσοδο και την έξοδο του κυκλώματος του Σχήματος 3.12, η κλίση της οποίας ορίζεται από τις διαστάσεις των τρανζίστορ της τοπολογίας. Πολλαπλές όμοιες PTAT γεννήτριες μπορούν να συνδεθούν στη σειρά, παρέχοντας τάση με πολλαπλάσιο θερμοκρασιακό συντελεστή. Σημειώνεται ότι για αντίστοιχη υλοποίηση του Σχήματος 3.12 με PMOS διαφορικό ζεύγος πρέπει να τεθεί $I_{D2} K_1 < I_{D1} K_2$ για θετική τάση εξόδου.

Αξίζει να αναφερθεί ότι η PTAT τάση δεν εξαρτάται από το ρεύμα πόλωσης του διαφορικού ζεύγους, παρά μόνο όταν η πηγή που το παρέχει υφίσταται πλήρη αποκοπή όπου η τάση της PTAT γεννήτριας σταματά να αυξάνεται με τη θερμοκρασία. Έτσι το I_{bias} μπορεί να ρυθμιστεί ώστε να είναι ένα πολύ μικρό μη μηδενικό ρεύμα χωρίς αυτό να επηρεάζει αρνητικά τη λειτουργία του κυκλώματος. Ωστόσο για ευρωστία στις περιπτώσεις όπου το κύκλωμα που συνδέεται στην έξοδο της sub-BGR εμφανίζει σημαντικό ρεύμα διαρροής οι πηγές ρυθμίζονται ώστε να παρέχουν λίγες δεκάδες nA.

Στο Σχήμα 3.11 αμέσως μετά τον διαιρέτη τάσης τοποθετείται μία γεννήτρια PTAT τάσης με PMOS διαφορικό ζεύγος, καθώς η τάση εξόδου του

διαρέτη φτάνει αρκετά χαμηλά για να οδηγήσει τη πηγή ρεύματος πόλωσης μιας PTAT γεννήτριας με NMOS διαφορικό ζεύγος σε αποκοπή. Έπειτα τοποθετείται μία NMOS PTAT γεννήτρια για τη δημιουργία της τελικής τάσης αναφοράς V_{ref} .



(α') Η τάση αναφοράς V_{ref} συναρτήσει της (β') Η τάση αναφοράς V_{ref} συναρτήσει της θερμοκρασίας για διάφορα process corners και εξωτερικής τροφοδοσίας για διάφορα process corners σε θερμοκρασία δωματίου. $V_{DD,ext} = 0.9V$.

Το Σχήμα 3.13 περιλαμβάνει τα αποτελέσματα προσομοίωσης για τη προτεινόμενη sub-BGR. Πιο συγκεκριμένα, στο Σχήμα 3.13α' παρουσιάζεται η τάση V_{ref} συναρτήσει της θερμοκρασίας με ονομαστική εξωτερική τάση τροφοδοσίας. Η διαφορά της μέγιστης από την ελάχιστη τιμή σε αυτό το διάγραμμα μετρήθηκε ότι είναι περίπου $12mV$. Επιπλέον για κάθε process corner φαίνεται ότι η τιμή της V_{ref} δεν αλλάζει περισσότερο από λίγα mV σε όλο το θερμοκρασιακό εύρος. Για επιβεβαίωση της ανεξαρτησίας της V_{ref} από τη τάση τροφοδοσίας εκτελείται η προσομοίωση του Σχήματος 3.13β', όπου δοκιμάζονται τιμές τροφοδοσίας από 0 έως 1.1V. Παρατηρούμε πως για $V_{DD,ext} \gtrsim 0.7V$ η V_{ref} παραμένει σταθερά περίπου στα $600mV$. Οι διαστάσεις των τρανζίστορ του Σχήματος 3.11 δίνονται στον πίνακα 3.4 και ο πίνακας 3.5 απεικονίζει το πλήρες εύρος της V_{ref} στην προσομοίωση over PVT, καθώς και την κατανάλωση ισχύος που στη χειρότερη περίπτωση δε ξεπερνά τα $563nW$.

Πίνακας 3.4: Διαστάσεις τρανζίστορ για την sub-BGR.

Transistor	$W/L(\mu m/\mu m)$	Transistor	$W/L(\mu m/\mu m)$
$M_{n1,2,3,6,7}$	1/6	$M_{p1,5,6}$	1.2/3
$M_{n4,5}$	2/6	M_{p2}	3.6/3
M_{n8}	6/6	M_{p3}	24/1
M_{n9}	128/1	M_{p4}	384/1
M_{n10}	4/1	$M_{p7,8}$	4.8/3

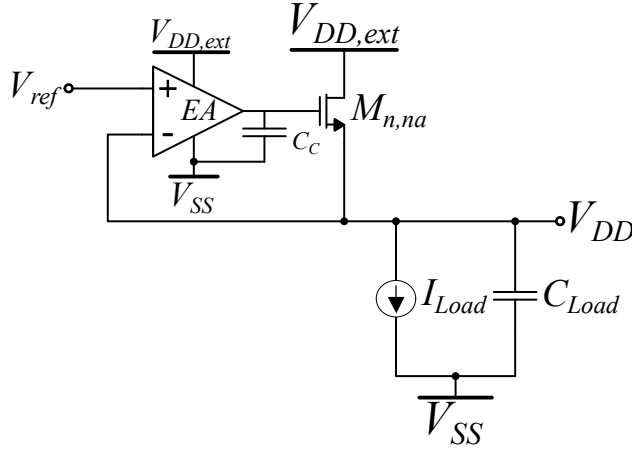
Πίνακας 3.5: Αποτελέσματα του κυκλώματος sub-BGR

Parameter	Minimum	Nominal	Maximum
V_{ref} (mV)	594.8	603.3	611
Power Consumption (nW)	212.4	336.5	562.6

3.5 Low-Dropout Regulator

Ο Low-Dropout Regulator (LDO) είναι το θεμελιώδες στοιχείο μίας PMU, καθώς είναι το κύκλωμα που παρέχει την τελική τάση τροφοδοσίας και το ρεύμα φορτίου. Ο ρόλος του LDO είναι η παραγωγή μίας σταθερής τάσης V_{DD} μέσω της οποίας μπορούν να τροφοδοτηθούν κυκλώματα με απαίτηση ρεύματος I_{Load} . Αξιοποιεί μία εξωτερική τάση τροφοδοσίας $V_{DD,ext}$ για παροχή του ρεύματος I_{Load} και τη τροφοδοσία των κυκλωμάτων του ίδιου του LDO, καθώς και μία σταθερή τάση αναφοράς V_{ref} για τη παραγωγή της V_{DD} . Ο όρος Dropout που χρησιμοποιείται στην ονομασία αναφέρεται στην ελάχιστη διαφορά μεταξύ της εξωτερικής τροφοδοσίας $V_{DD,ext}$ και της τάσης εξόδου για την οποία ο LDO λειτουργεί σωστά. Ο LDO είναι, στη πιο απλή του μορφή ένας βρόχος αρνητικής ανάδρασης σε συνδεσμολογία Σειρά-Παράλληλα. Αποτελείται από τον Ενισχυτή Σφάλματος (Error Amplifier - EA), το Pass Transistor και, προαιρετικά, ένα δίκτυο ανάδρασης.

Στο Σχήμα 3.14 φαίνεται η τοπολογία του LDO που υλοποιήθηκε. Χρησιμοποιεί ένα native NMOS Pass Transistor, το $M_{n,na}$. Το Pass Transistor παρέχει το ρεύμα φορτίου και, ανάλογα με το είδος του διακρίνονται δύο ευρύτερες κατηγορίες LDO - NMOS LDO και PMOS LDO. Οι NMOS LDOs έχουν μικρότερη αντίσταση εξόδου και άρα καλύτερη απόρριψη τροφοδοσίας στις μεσαίες-υψηλές συχνότητες από τους PMOS LDOs. Ωστόσο έχουν σημαντικά υψηλότερο Dropout σε σχέση με τους PMOS LDOs, γεγονός που κάνει τους NMOS LDOs να μοιάζουν ακατάλληλοι για εφαρμογές χαμηλής τροφοδοσίας. Το native NMOS τρανζίστορ της παρούσας υλοποίησης επιλέ-



Σχήμα 3.14: Η τοπολογία LDO που χρησιμοποιήθηκε. Αξιοποιεί ένα native NMOS τρανζίστορ, έναν Error Amplifier και τον πυκνωτή αντιστάθμισης.

χρήκε γιατί παρέχει ικανοποιητική απόρριψη τροφοδοσίας και η αρνητική τάση κατωφλίου του επιτρέπει χαμηλές τάσεις πύλης ακόμα και για συνθήκες υψηλού φόρτου του LDO. Έτσι τα πλεονεκτήματα των NMOS LDOs συνδυάζονται με σχετικά χαμηλό Dropout στη προτεινόμενη υλοποίηση.

3.5.1 Ο Error Amplifier

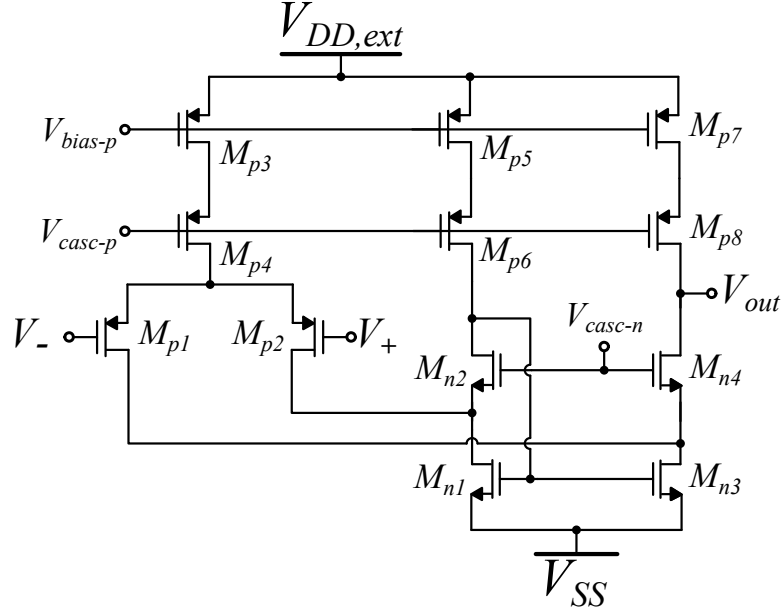
Ο EA είναι ο ακρογωνιαίος λίθος του LDO αφού καθορίζει σε μεγάλο βαθμό την επίδοσή του από άποψη ευστάθειας, απόρριψης τροφοδοσίας και θορύβου, όπως θα εξηγηθεί στη συνέχεια. Η τοπολογία του EA που χρησιμοποιείται παρουσιάζεται στο Σχήμα 3.15. Πρόκειται για μία παραλλαγή της δημοφιλούς folded cascode αρχιτεκτονικής. Οι NMOS πηγές ρεύματος του συμβατικού folded ενισχυτή έχουν αντικατασταθεί με έναν NMOS καθρέφτη ρεύματος. Επιπλέον, αντί για PMOS καθρέφτη ρεύματος που δρα σαν ενεργό φορτίο αξιοποιούνται PMOS κασχοδικές πηγές ρεύματος. Αυτή η παραλλαγή διατηρεί την αντίσταση εξόδου και το κέρδος του κλασσικού folded cascode ενισχυτή, ωστόσο, σε αντίθεση με τη συμβατική τοπολογία, ο προτεινόμενος ενισχυτής είναι πιο ανθεκτικός σε αλλαγές των ρευμάτων που ρέουν στους κλάδους του ενισχυτή.

Όπως έχει αποδειχθεί πολλές φορές το DC κέρδος του folded cascode ενισχυτή του Σχήματος 3.15 είναι περίπου [31, 19, 16, 57]:

$$\begin{aligned} A_a &= g_{mp1}g_{mn4}r_{dsn4}r_{dsn3}/2 \\ &= g_{m,EA}r_{out,EA} \end{aligned} \quad (3.12)$$

Η αντίσταση εξόδου του ενισχυτή είναι η $r_{out,EA} = g_{mn4}r_{dsn4}r_{dsn3}$ και είναι αρκετά μεγάλη ώστε τοποθετώντας έναν πυκνωτή αντιστάθμισης στην έξοδο του ενισχυτή να είναι έγκυρη η προσέγγιση επικρατούντος πόλου για τον ΕΑ.

Καθώς το συνολικό σύστημα σχεδιάζεται για όσο το δυνατόν χαμηλότερη κατανάλωση ισχύος, ο ΕΑ πολώνεται με συνολικό ρεύμα πόλωσης της τάξης των περίπου $300nA$. Επομένως όλα τα τρανζίστορ του λειτουργούν στη sub-threshold περιοχή. Για ικανό DC κέρδος το ρεύμα πόλωσης πρέπει να διαμοιραστεί ώστε το διαφορικό ζεύγος να λαμβάνει το μεγαλύτερο μέρος προκειμένου να αυξηθεί η διαγωγιμότητα g_{mp1} και ένα μικρό ποσοστό του συνολικού ρεύματος πόλωσης να κατευθυνθεί στα τρανζίστορ M_{n2} , M_{n4} . Κάτι τέτοιο μεγιστοποιεί την αντίσταση εξόδου, η οποία με χρήση των εξισώσεων 2.12 και 2.13 προκύπτει πως είναι αντιστρόφως ανάλογη του ρεύματος πόλωσης.



Σχήμα 3.15: Ο Error Amplifier του LDO. Πρόκειται για έναν τροποποιημένο folded cascode ενισχυτή.

3.5.2 Ανάλυση Ευστάθειας

Υποθέτοντας ότι ο ΕΑ έχει έναν κύριο πόλο ω_a σε πολύ πιο χαμηλή συχνότητα από όλους τους υπόλοιπους πόλους του, το κέρδος ανοιχτού βρόχου του LDO

είναι:

$$\begin{aligned} L(s) &= A_{EA}(s)A_{PT}(s)\beta \\ &= \frac{A_a}{1 + s/\omega_a} \frac{A_o}{1 + s/\omega_o} \beta \end{aligned} \quad (3.13)$$

Η ω_o είναι η συχνότητα του πόλου στην έξοδο του LDO και τα A_a και A_o είναι τα DC κέρδη του EA και του Pass Transistor αντίστοιχα. Για τον NMOS LDO όπου το Pass Transistor είναι συνδεδεμένο σαν ακόλουθος εκπομπού είναι $A_o \approx 1$. Το β είναι το κέρδος του δικτύου ανάδρασης. Στην παρούσα αρχιτεκτονική του LDO είναι $\beta = 1$. Εύκολα αποδεικνύεται για τη τοπολογία του Σχήματος 3.14 ότι για τους πόλους ω_o και ω_a ισχύουν:

$$\omega_o \approx \frac{g_{m,na}}{C_L} \propto (I_{Load})^a \quad (3.14)$$

$$\omega_a = \frac{1}{r_{out,EA}C_C} \quad (3.15)$$

Και η συχνότητα μοναδιαίου κέρδους ω_t στην οποία η φάση του βρόχου ισούται με το περιθώριο φάσης είναι:

$$\begin{aligned} \omega_t &= A_a A_o \omega_a \approx \frac{g_{m,EA} r_{out,EA}}{r_{out,EA} C_C} \\ &= \frac{g_{m,EA}}{C_C} \end{aligned} \quad (3.16)$$

Η εξίσωση 3.15 δείχνει ότι η συχνότητα του κύριου πόλου του ενισχυτή εξαρτάται μόνο από τον πυκνωτή αντιστάθμισης και την αντίσταση εξόδου του EA και είναι ανεξάρτητο του ρεύματος φορτίου (σε αντίθεση με τη περίπτωση PMOS Pass Transistor όπου $\omega_a \propto \sqrt{I_{Load}}$ [58]). Επίσης, η συχνότητα μοναδιαίου κέρδους είναι κι αυτή ανεξάρτητη από το ρεύμα φορτίου, υποθέτοντας ότι το κέρδος του Pass Transistor είναι περίπου ίσο με 1. Ο εκθέτης a στην εξίσωση 3.15 ισούται με 1 όταν το Pass Transistor λειτουργεί στην sub-threshold περιοχή και 0.5 όταν λειτουργεί σε κορεσμό. Σε κάθε περίπτωση, η συχνότητα του πόλου στην έξοδο του LDO μειώνεται για χαμηλότερες τιμές του I_{Load} .

Αναφορικά με την τοποθέτηση του κύριου πόλου του συστήματος διακρίνουμε δύο περιπτώσεις σημαντικά διαφορετικές μεταξύ τους και άρα δύο ευρύτερες κατηγορίες LDO. Για λόγους ευστάθειας πρέπει οι πόλοι ω_a και ω_o να είναι αρκετά διαχωρισμένοι μεταξύ τους. Έτσι για τους C-LDO ισχύει $\omega_o \ll \omega_a$ και για CL-LDO $\omega_a \ll \omega_o$, επειδή ο κύριος πόλος είναι ο ω_o και ο ω_a αντίστοιχα. Προκειμένου ο κύριος πόλος του βρόχου τοποθετηθεί στην

έξοδο του LDO - κάτι που όπως θα αποδειχθεί αργότερα είναι επιθυμητό όταν απαιτείται μεγάλη απόρριψη τροφοδοσίας - απαιτείται η χρήση ενός μεγάλου πυκνωτή φορτίου. Η χωρητικότητα αυτή είναι πολύ μεγάλη για ολοκλήρωση στο chip και άρα ο πυκνωτής τοποθετείται εκτός του chip. Οι LDOs αυτής της κατηγορίας αποκαλούνται Capacitor LDOs ή C-LDOs. Αντίθετα, η τοποθέτηση του κύριου πόλου στην πύλη του Pass Transistor απαιτεί πολύ μικρότερη χωρητικότητα που πολύ πιο εύκολα κατασκευάζεται on-chip, αποφεύγοντας έτσι το κόστος τοποθέτησης εξωτερικού πυκνωτή. Αυτή η κατηγορία των LDOs ονομάζεται Capacitor-less LDO ή CL-LDO και σε αυτή ανήκει και η προτεινόμενη τοπολογία.

Η κυριότερη μετρική της ευστάθειας ενός συστήματος είναι το περιθώριο φάσης. Το περιθώριο φάσης ισούται με τη φάση του βρόχου στη συχνότητα μοναδιαίου κέρδους ω_i και μετρά πόσο κοντά βρίσκεται ένα σύστημα με ανάδραση στην αστάθεια. Ποσοτικοποιεί την επιπλέον αλλαγή φάσης που απαιτείται στη συχνότητα ενότητας κέρδους για να προκληθεί αστάθεια σε ένα σταθερό σύστημα ανάδρασης [59].

Στον σχεδιασμό ενισχυτών για συστήματα με ανάδραση, συνήθως καθορίζεται ένα ελάχιστο περιθώριο φάσης για να διασφαλιστεί η σταθερότητα. Ωστόσο, μια κοινή παρανόηση είναι ότι οι προδιαγραφές αυτές απλώς προστατεύουν από την αστάθεια λόγω αλλαγών στις παραμέτρους του κυκλώματος. Στην πραγματικότητα, είναι απαραίτητο μεγαλύτερο περιθώριο φάσης, συνήθως μεταξύ 45 και 90 μοιρών, για να αποφευχθεί η ανεπιθύμητη δυναμική συμπεριφορά και να διατηρηθούν καλές αποκρίσεις συχνότητας και βήματος [19, 59]. Τα συστήματα με περιθώριο φάσης κάτω των 60 μοιρών μπορεί να εμφανίζουν αιχμές γύρω από τη συχνότητα μοναδιαίου κέρδους, οδηγώντας σε ανεπιθύμητο overshoot στις μεταβατικές αποκρίσεις. Επομένως, ένας αξιόπιστος ενισχυτής πρέπει όχι μόνο να είναι σταθερός, αλλά και να διατηρεί μεγάλο περιθώριο φάσης - κατά κανόνα μεγαλύτερο των 60 μοιρών.

Το περιθώριο φάσης του συστήματος μειώνεται όταν οι πόλοι ω_o και ω_a βρίσκονται κοντά μεταξύ τους. Αυτό συμβαίνει διότι κάθε ευσταθής πόλος αφαιρεί 90 μοίρες από τη φάση του βρόχου σε συχνότητες μεγαλύτερες από τη συχνότητα του πόλου. Έτσι η παρουσία δεύτερου πόλου κοντά στον κύριο πόλο του συστήματος μειώνει τη φάση του βρόχου στη συχνότητα ω_i και άρα μειώνεται το περιθώριο φάσης του συστήματος.

Άρα με κύριο πόλο τον ω_a η χειρότερη περίπτωση όσον αφορά την ευστάθεια του LDO είναι οι συνθήκες μηδενικού φορτίου. Στα κυκλώματα του τελικού συστήματος που καλείται να τροφοδοτήσει ο LDO περιλαμβάνεται ένα μικρό στατικό φορτίο λίγων εκατοντάδων nA που αποτρέπει συνθήκες μηδενικού ρεύματος φορτίου για τον LDO. Πρόκειται για διαιρέτες τάσης που χρησιμοποιούνται από τους DAC που θα περιγραφούν στην επόμενη ενότη-

τα. Σε περιπτώσεις που το κύκλωμα που τροφοδοτεί ο LDO δεν έχει στατική κατανάλωση μπορεί να εγκατασταθεί ένα κύκλωμα "bleeder" [60, 61] δηλαδή μία ελεγχόμενη πηγή ρεύματος που θα συμπεριφέρεται ως φορτίο του LDO σε συνθήκες πολύ χαμηλού ρεύματος φορτίου και θα το διατηρεί ευσταθές.

Ανεξάρτητα από το ρεύμα φορτίου, μπορούμε να εξασφαλίσουμε μεγάλο περιθώριο φάσης θέτοντας τον πόλο ω_a ή και τη συχνότητα μοναδιαίου κέρδους ω_t σε χαμηλές συχνότητες. Αυτό γίνεται μέσω του πυκνωτή αντιστάθμισης C_C που καθορίζει τον κύριο πόλο του συστήματος. Χρησιμοποιώντας έναν σχετικά μεγάλο πυκνωτή αντιστάθμισης C_C στην έξοδο του ΕΑ μειώνουμε τις συχνότητες ω_a και ω_t , όπως υποδεικνύεται από τις εξισώσεις 3.15 και 3.16 αντίστοιχα. Το μειονέκτημα αυτής της προσέγγισης είναι το μεγάλο εμβαδόν που απαιτεί ο πυκνωτής αντιστάθμισης.

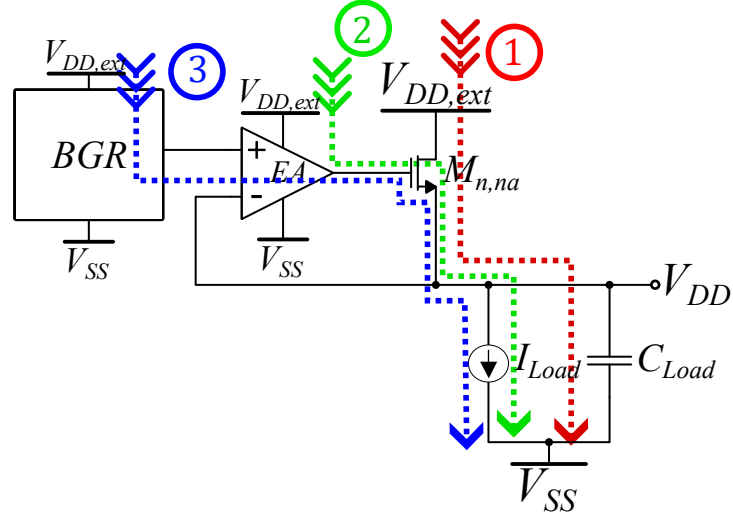
Με αυτό τον τρόπο εξασφαλίζεται η ευστάθεια του LDO ακόμα και για μικρό ρεύμα φορτίου. Ενδεικτικά, η τελική τοπολογία επιτυγχάνει περιθώριο φάσης περίπου 64° στη χειρότερη περίπτωση (over PVT) για ρεύμα φορτίου $I_{Load} = 500nA$.

3.5.3 Απόρριψη Τροφοδοσίας

Η απόρριψη τροφοδοσίας (Power Supply Rejection - PSR) έχει να κάνει με την εξασθένιση μικρού σήματος από τη $V_{DD,ext}$ στη V_{DD} . Για τη καλύτερη δυνατή ποιότητα εξόδου του LDO, πρέπει η PSR να είναι ικανοποιητική σε όσο το δυνατόν μεγαλύτερο μέρος του φάσματος.

Τα κυριότερα μονοπάτια διαταραχών από τη τροφοδοσία στην έξοδο του LDO είναι τα τρία που απεικονίζονται στο Σχήμα 3.16. Το πρώτο μονοπάτι είναι αυτό που διέρχεται από το Pass Transistor και είναι καθοριστικό για την απόρριψη διαταραχών στις μεσαίες συχνότητες. Το δεύτερο μονοπάτι από τη τροφοδοσία διέρχεται από τον ΕΑ, μέσω του οποίου καθορίζεται η απόρριψη στο DC και τις χαμηλές συχνότητες. Ορισμένες τοπολογίες ενισχυτών είναι πλήρως αναίσθητες στην τροφοδοσία τους, ενώ στις υπόλοιπες περιπτώσεις το μικρό σήμα από την τροφοδοσία περνάει σχεδόν ανεμπόδιστο στην έξοδο του ενισχυτή. Οι τοπολογίες αυτές έχουν ονομαστεί στη βιβλιογραφία τύπου B και A αντίστοιχα [62]. Τέλος, το τρίτο μονοπάτι αφορά τη Bandgap αναφορά τάσης. Οι διαταραχές από την τροφοδοσία που φτάνουν στην έξοδο της BGR περνούν στην έξοδο του LDO και μπορεί ακόμα και να ενισχύονται εάν ο LDO περιλαμβάνει δίκτυο ανάδρασης κέρδους $\beta < 1$. Σημειώνεται ότι σε αυτές τις διαταραχές προστίθεται και ο θόρυβος της BGR.

Η κύρια μετρική για την απόρριψη τροφοδοσίας είναι ο λόγος απόρριψης τροφοδοσίας (Power Supply Rejection Ratio - PSRR) και ορίζεται ως $\frac{v_{dd,ext}}{v_{dd}}$. Εκφράζει την εξασθένιση μικρού σήματος από την εξωτερική τροφοδοσία έως



Σχήμα 3.16: Τα μονοπάτια θορύβου από την εξωτερική τροφοδοσία $V_{DD,ext}$ στην έξοδο του LDO.

την έξοδο του LDO. Η μορφή του PSRR εξαρτάται σημαντικά από το αν έχουμε C-LDO ή CL-LDO τοπολογία. Συγκεκριμένα, το PSRR μπορεί να εκφραστεί ως εξής [63]:

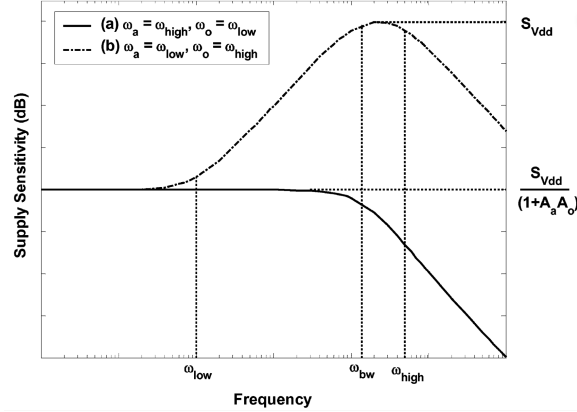
$$PSRR = \frac{(1 + s/\omega_o)(1 + s/\omega_a) + A_a A_o}{S_{V_{DD,ext}}(1 + s/\omega_a)} \quad (3.17)$$

Στην παραπάνω εξίσωση το $S_{V_{DD,ext}}$ είναι ο λόγος του ωμικού διαρέτη τάσης που δημιουργείται στον ανοιχτό βρόχο του LDO μεταξύ $V_{DD,ext}$ και V_{DD} εξαιτίας της r_{ds} του Pass Transistor, της ωμικής αντίστασης του φορτίου και (προαιρετικά) των αντιστάσεων του δικτύου ανάδρασης του LDO. Τα A_a και ω_a εκφράζουν το κέρδος του EA και τη συχνότητα πόλου στην έξοδό του. Αντίστοιχα, τα A_o και ω_o είναι το κέρδος του Pass Transistor (από τη πύλη του προς την έξοδο) και η συχνότητα του πόλου στην έξοδο του LDO. Η εξίσωση απλοποιείται όπως φαίνεται παρακάτω χρησιμοποιώντας και την εξίσωση 3.13:

$$\begin{aligned} PSRR &= \frac{1 + s/\omega_o}{S_{V_{DD,ext}}} \left(1 + \frac{A_a A_o}{(1 + s/\omega_o)(1 + s/\omega_a)} \right) \\ &= \frac{1 + s/\omega_o}{S_{V_{DD,ext}}} \left(1 + \frac{L(s)}{\beta} \right) \end{aligned} \quad (3.18)$$

Σχεδιάζοντας το διάγραμμα Bode του αντίστροφου του αποτελέσματος της εξίσωσης 3.18 για τις δύο περιπτώσεις προκύπτουν διαγράμματα όμοια με αυτά

του Σχήματος 3.17 [63]. Στο Σχήμα απεικονίζεται το Supply Sensitivity που ισούται με το $PSRR^{-1}$. Με βάση τη σχέση μεταξύ των πόλων στους C-



Σχήμα 3.17: Η σύγκριση της μορφής του $PSRR^{-1}$ για τους C-LDOs και τους CL-LDOs [63].

LDOs και τους CL-LDOs που περιγράφηκε στην υποενότητα 3.5.2 μπορούμε να αντιστοιχίσουμε το διάγραμμα (a) με τους C-LDO και το διάγραμμα (b) με τους CL-LDO. Είναι λοιπόν φανερό ότι ένας C-LDO έχει καλύτερο PSRR από έναν CL-LDO, του οποίου το PSRR χειροτερεύει κοντά στη συχνότητα μοναδιαίου κέρδους βρόχου, όπου λαμβάνει την ελάχιστη του τιμή.

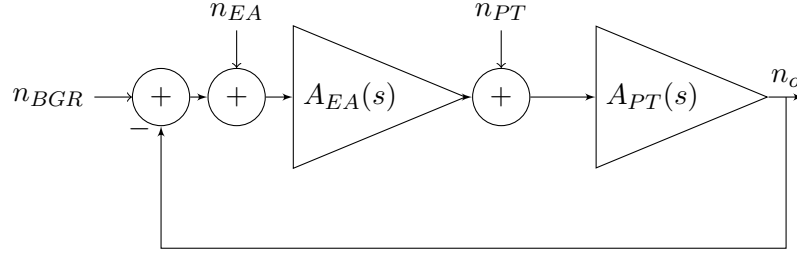
Επιστρέφοντας στην CL-LDO αρχιτεκτονική στο Σχήμα 3.14 εύκολα προκύπτει ότι:

$$S_{V_{DD}, ext} = \frac{(g_{m,na})^{-1}}{(g_{m,na})^{-1} + r_{ds,na}} = \frac{1}{1 + g_{m,na}r_{ds,na}} \quad (3.19)$$

Ένα τυπικό εύρος τιμών του ενδογενούς κέρδους ενός τρανζίστορ σε σχεδιασμό νανομετρικής κλίμακας είναι $g_{m,na}r_{ds,na} \approx 5 - 10$. Έτσι προκύπτει ότι ένας NMOS CL-LDO σαν αυτόν του Σχήματος 3.14 θα έχει ελάχιστο PSRR περίπου ίσο με $13 - 20dB$. Σημειώνεται ότι για μεγάλες τιμές ρεύματος φορτίου το ενδογενές κέρδος του Pass Transistor μειώνεται, οδηγώντας σε χειρότερη απόρριψη τροφοδοσίας. Όσον αφορά τις χαμηλές συχνότητες, το PSRR εκεί καθορίζεται από το κέρδος βρόχου, άρα από το κέρδος του EA.

3.5.4 Ανάλυση Θορύβου

Στο Σχήμα 3.18 σχεδιάζεται το ισοδύναμο μοντέλο του LDO του Σχήματος 3.14 για την ανάλυση θορύβου. Πρόκειται για έναν απλό βρόχο αρνητικής



Σχήμα 3.18: Το μοντέλο του LDO για την ανάλυση θορύβου.

ανάδρασης. Οι n_{PT} , n_{EA} και n_{BGR} συμβολίζουν τον θόρυβο εξαιτίας του Pass Transistor, του EA και της BGR αντίστοιχα. Ο n_{EA} είναι ανηγμένος στον θετικό ακροδέκτη εισόδου του EA και ο n_{PT} είναι ανηγμένος στην πύλη του Pass Transistor. Λόγω μοναδιαίας ανάδρασης το Σχήμα δε περιλαμβάνει το δίκτυο ανάδρασης και τον θόρυβό του, ωστόσο σε τοπολογίες LDO που χρησιμοποιούν δίκτυο ανάδρασης πρέπει να ληφθεί υπόψη και ο θόρυβος που αυτό εισάγει. Η έξοδος n_o εύκολα υπολογίζεται ότι είναι:

$$n_o = \frac{A_{EA}(s)A_{PT}(s)}{1 + A_{EA}(s)A_{PT}(s)\beta}(n_{EA} + n_{BGR}) + \frac{A_{PT}(s)}{1 + A_{EA}(s)A_{PT}(s)\beta}n_{PT} \quad (3.20)$$

Στη συνέχεια, χρησιμοποιώντας τις εξισώσεις 3.13 και 3.16, λαμβάνοντας υπόψη ότι $\beta = 1$ και θεωρώντας ότι $\omega_a \ll \omega_o$ η παραπάνω εξίσωση γίνεται:

$$\begin{aligned} n_o &= \frac{L(s)}{1 + L(s)}n_{EA} + \frac{1}{A_{EA}(s)} \frac{L(s)}{1 + L(s)}n_{PT} \\ &= \frac{A_a A_o}{1 + s/\omega_a + A_a A_o}(n_{EA} + n_{BGR}) + \frac{1}{A_{EA}(s)} \frac{A_a A_o}{1 + s/\omega_a + A_a A_o}n_{PT} \\ &\approx \frac{1}{1 + s/(A_a A_o \omega_a)}(n_{EA} + n_{BGR}) + \frac{1}{A_{EA}(s)} \frac{1}{1 + s/(A_a A_o \omega_a)}n_{PT} \\ &= \frac{1}{1 + s/\omega_t}(n_{EA} + n_{BGR}) + \frac{1}{A_{EA}(s)} \frac{1}{1 + s/\omega_t}n_{PT} \end{aligned} \quad (3.21)$$

Το παραπάνω αποτέλεσμα φανερώνει ότι ο θόρυβος εξόδου έχει έναν πόλο στη συχνότητα μοναδιαίου κέρδους του βρόχου του LDO. Επιπλέον, παρατηρούμε ότι ο θόρυβος του Pass Transistor εξασθενείται κατά παράγοντα ίσο με το κέρδος του EA. Αυτή η παρατήρηση είναι σημαντική για την περίπτωση πολυ-σταδιακού EA όπου το κάθε στάδιο εισάγει το θόρυβό του στο σύστημα. Το συμπέρασμα της εξίσωσης 3.21 επεκτείνεται εύκολα για τη περίπτωση

πολυ-σταδιακού ΕΑ και προκύπτει ότι μόνο ο θόρυβος του σταδίου εισόδου είναι σημαντικός. Επομένως η συμβολή του θορύβου του Pass Transistor στο θόρυβο εξόδου είναι αμελητέα σε σχέση με αυτή του θορύβου του ΕΑ και της BGR. Προκύπτει ότι η μέση τετραγωνική τιμή του θορύβου στην έξοδο είναι:

$$\overline{V_{o,n}^2} \approx \frac{1}{|1 + s/\omega_t|^2} (\overline{V_{EA,n}^2} + \overline{V_{BGR,n}^2}) \quad (3.22)$$

Η παραπάνω εξίσωση, όπως επίσης και η εξίσωση 3.21 φανερώνουν τον καθοριστικό ρόλο της συχνότητας μοναδιαίου κέρδους ω_t στον θόρυβο εξόδου.

Για την εξασθένιση όσο το δυνατόν μεγαλύτερου μέρους του φάσματος θορύβου πρέπει η ω_t να γίνει όσο το δυνατόν μικρότερη. Αυτό συμβαδίζει με το αποτέλεσμα της ανάλυσης ευστάθειας, όπου αποδείχθηκε ότι μείωση της ω_t αυξάνει το περιθώριο φάσης του συστήματος και βελτιώνει την ευστάθειά του. Για τη μείωση της ω_t που δίνεται στην εξίσωση 3.16 θα μπορούσε να μειωθεί η διαγωγιμότητα του διαφορικού ζεύγους του ΕΑ, ωστόσο κάτι τέτοιο θα προκαλούσε μείωση του DC κέρδους και επιπλέον θα αύξανε τον θόρυβο του ΕΑ όπως θα δειχθεί στη συνέχεια. Μονόδρομο αποτελεί επομένως η αύξηση του πυκνωτή αντιστάθμισης C_C . Στο τελικό σχέδιο ο πυκνωτής C_C λαμβάνει τιμή $10pF$.

Όσον αφορά τον θόρυβο του ΕΑ, αρκεί να βρεθεί ο θόρυβος του διαφορικού ζεύγους στην είσοδό του. Για το σκοπό αυτό προστίθενται στη βαθμίδα εισόδου οι πηγές θορύβου των τρανζίστορ που απεικονίζονται στο Σχήμα 3.19. Πρόκειται για πηγές θορύβου τάσης ανηγμένου στη πύλη κάθε MOSFET [16, 32, 64, 65]. Η φασματική πυκνότητα ισχύος κάθε μίας από αυτές τις πηγές δίνεται από την εξίσωση:

$$S_{ni} = 4kT \frac{2}{3} \frac{1}{g_{mi}} + \frac{K}{C_{ox} W_i L_i} \frac{1}{f} \quad (3.23)$$

Υποθέτουμε ότι τα M_1 , M_2 και τα M_3 , M_4 είναι ταιριασμένα μεταξύ τους και άρα ότι $g_{m1} = g_{m2}$ και $g_{m3} = g_{m4}$. Εύκολα αποδεικνύεται ότι στο Σχήμα 3.19 ισχύει:

$$i_o = \frac{1}{2} g_{m1} (V_{n1} + V_{n2}) + g_{m3} (V_{n3} + V_{n4}) \quad (3.24)$$

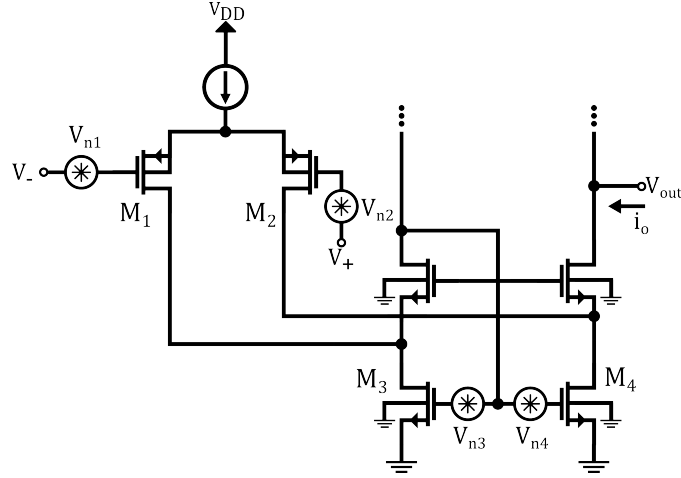
Και, επομένως η φασματική πυκνότητα του ρεύματος i_o είναι:

$$S_{i,o} = \frac{1}{4} g_{m1}^2 (S_{n1} + S_{n2}) + g_{m3}^2 (S_{n3} + S_{n4}) \quad (3.25)$$

Τέλος, διαιρώντας με g_{m1}^2 ανάγουμε τη φασματική πυκνότητα θορύβου του ΕΑ στον θετικό αχροδέκτη εισόδου:

$$S_{n,eq} = \frac{1}{4} (S_{n1} + S_{n2}) + \left(\frac{g_{m3}}{g_{m1}} \right)^2 (S_{n3} + S_{n4}) \quad (3.26)$$

Η εξίσωση 3.26 δείχνει ότι, για να μειωθεί ο θόρυβος του ΕΑ, ο λόγος g_{m3}/g_{m1} πρέπει να είναι όσο το δυνατόν μικρότερος για να μειωθεί η επίδραση των τρανζίστορ M_3 και M_4 του Σχήματος 3.19. Εφόσον ισχύει ότι $I_{D1} \approx I_{D3}$, η εξίσωση 3.26 υπαγορεύει ότι $(W/L)_1 > (W/L)_3$. Λαμβάνοντας υπόψη την εξίσωση 3.23, οι μεγάλες τιμές του g_{m1} οδηγούν σε μικρότερο θερμικό θόρυβο και είναι προτιμητέες. Επίσης, η κλιμάκωση των W_1, L_1 ενώ διατηρείται σταθερή η αναλογία $(W/L)_1$, μειώνει τον $1/f$ θόρυβο του διαφορικού ζεύγους. Συνοψίζοντας, η αύξηση του πλάτους καναλιού και της επιφάνειας των τρανζίστορ του διαφορικού ζεύγους του ΕΑ βοηθά στη μείωση του συνολικού θορύβου εξόδου του LDO.



Σχήμα 3.19: Οι πηγές θορύβου στο στάδιο εισόδου το ΕΑ.

Τα αποτελέσματα για το κύκλωμα του LDO συνοψίζονται στον πίνακα 3.6. Η προσομοίωση εκτελέστηκε για τρεις τιμές ρεύματος φορτίου $I_{Load} = \{500nA, 5\mu A, 50\mu A\}$ και για τα PVT corners που περιγράφηκαν στην ενότητα 3.3 και στον πίνακα δίνονται η μέγιστη και η ελάχιστη τιμή κάθε παραμέτρου, καθώς και η τιμή της ονομαστικής περίπτωσης, στην οποία ο LDO προσομοιώνεται με $I_{Load} = 5\mu A$ και $V_{DD,ext} = 900mV$ σε θερμοκρασία $27^\circ C$ στο Typical process corner.

Πίνακας 3.6: Αποτελέσματα του LDO

Parameter	Minimum	Nominal	Maximum
V_{DD} (mV)	594.3	600.3	606.5
Phase Margin (degrees)	64.03	83.78	91.05
Gain Margin (dB)	19.62	30.48	58.97
PSRR @ 1Hz (dB)	20.97	45.87	53.75
PSRR @ 10kHz (dB)	21.13	42.99	44.09
PSRR @ 100kHz (dB)	23.19	26.85	28.16
PSRR @ 1MHz (dB)	24.86	28.67	37.31
Worst PSRR (dB)	20.97	26.75	28.16
Output Noise @ 1Hz (dBV/ $\sqrt{Hz}$)	-118.4	-117.2	-115.2
Output Noise @ 10kHz (dBV/ $\sqrt{Hz}$)	-138.6	-137.8	-135.6
Output Noise @ 100kHz (dBV/ $\sqrt{Hz}$)	-144.7	-142.3	-138.5
Output Noise @ 1MHz (dBV/ $\sqrt{Hz}$)	-166.7	-160.1	-157.6
Power Consumption (nW)	186.6	319.5	694.3

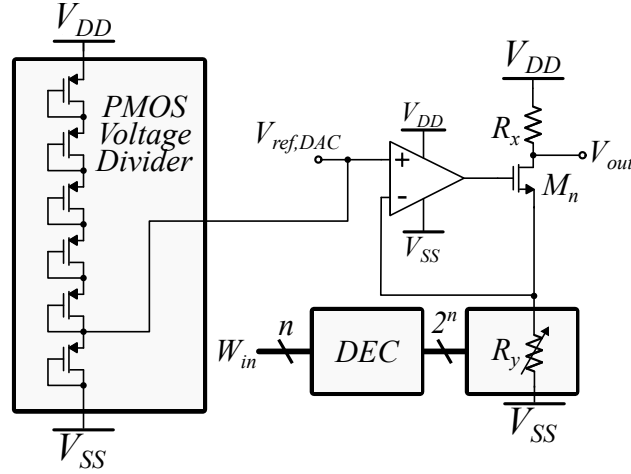
Πίνακας 3.7: Διαστάσεις τρανζίστορ και τιμές παθητικών στοιχείων για τον LDO του Σχήματος 3.14 και τον Error Amplifier του Σχήματος 3.15.

Transistor	$W/L(\mu m/\mu m)$	Transistor	$W/L(\mu m/\mu m)$
$M_{n,na}$	40/1	$M_{p1,2,3,4}$	48/3
$M_{n1,3}$	16/6	$M_{p5,6,7,8}$	4.8/3
Component	Value		
C_C	10pF		

3.6 Ο Digital-to-Analog Converter

Οι αναλογικοί ταξινομητές εκπαιδεύονται μέσω λογισμικού που βρίσκει τις βέλτιστες τιμές για τις παραμέτρους του ταξινομητή [10, 8, 66, 67, 68, 69]. Σε επίπεδο κυκλώματος, αυτές οι παράμετροι εκπροσωπούνται από τάσεις ή ρεύματα που χρησιμοποιούνται ως είσοδοι στο κύκλωμα του ταξινομητή. Ένας μετατροπέας Ψηφιακού σε Αναλογικό (Digital to Analog Converter - DAC) παρέχει τα μέσα για να μετατρέψει τα ψηφιακά δεδομένα που παρέχονται από τον αλγόριθμο εκπαίδευσης στις αναλογικές τιμές που απαιτούνται από το κύκλωμα.

Η προτεινόμενη τοπολογία του DAC χρησιμοποιεί έναν βρόχο ανάδρασης παρόμοιο με αυτόν του LDO. Συνεπώς η διαδικασία σχεδίασης που ακολου-

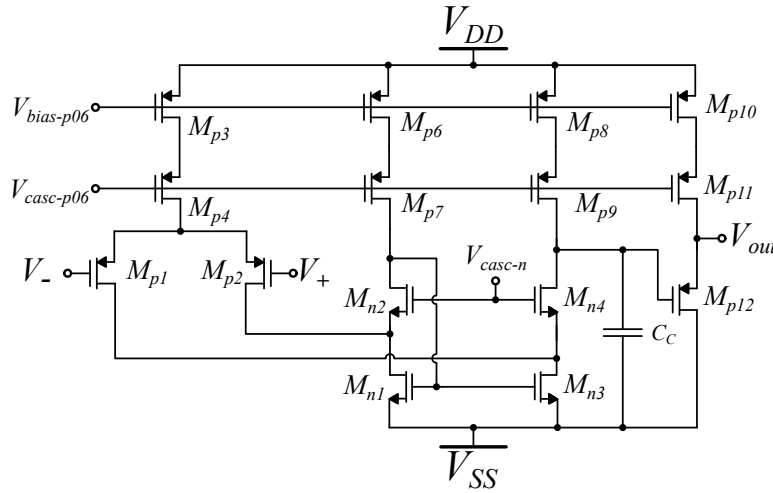


Σχήμα 3.20: Ο προτεινόμενος Digital-to-Analog μετατροπέας τάσης.

θείται δανείζεται στοιχεία της μελέτης ευστάθειας και θορύβου του LDO. Ο ενισχυτής είναι επίσης παρόμοιος με αυτόν του LDO, με τη διαφορά ότι στον ενισχυτή του Σχήματος 3.21 έχει προστεθεί μία βαθμίδα ακόλουθου εκπομπού. Βρέθηκε ότι αυτή η προσθήκη μειώνει το DC offset μεταξύ του θετικού και αρνητικού ακροδέκτη της εισόδου του ενισχυτή, βελτιώνοντας έτσι την ακρίβεια του μετατροπέα. Ο πυκνωτής C_C καθορίζει τον κύριο πόλο του συστήματος, ο οποίος - όπως και στη περίπτωση του LDO είναι επιθυμητό να τοποθετηθεί στην έξοδο του ενισχυτή. Ωστόσο, επειδή η αντίσταση εξόδου του ενισχυτή είναι χαμηλή εξαιτίας του ακόλουθου εκπομπού, ο C_C (και άρα και ο κύριος πόλος του βρόχου) τοποθετείται στην έξοδο του folded cascode, όπως απεικονίζεται στο Σχήμα 3.21. Σημειώνεται επίσης ότι η αντίσταση εξόδου του ακόλουθου εκπομπού είναι αρκετά μικρή ώστε να μη δημιουργείται πρόβλημα στην ευστάθεια εξαιτίας του πόλου στην έξοδο του ενισχυτή. Η τοπολογία του DAC σχεδιάζεται για λειτουργία με ένα πολύ μικρότερο εύρος ρευμάτων από τον LDO και χωρίς μεγάλη χωρητικότητα φορτίου, κάνοντας την αντιστάθμιση του βρόχου πολύ ευκολότερη και επιτρέποντας πολύ μικρότερο πυκνωτή αντιστάθμισης σε σχέση με τη περίπτωση του LDO.

Για τη πόλωση του ενισχυτή δε μπορούμε να χρησιμοποιήσουμε τις τάσεις V_{bias-p} , V_{casc-p} του κυκλώματος Constant-gm όπως έγινε στη περίπτωση του LDO, καθώς η τάση τροφοδοσίας του ενισχυτή είναι διαφορετική από αυτή του κυκλώματος πόλωσης. Επομένως, πρέπει να δημιουργηθούν νέες τάσεις πόλωσης των PMOS τρανζίστορ για τα κυκλώματα που τροφοδοτούνται από τη V_{DD} . Οι τάσεις αυτές είναι οι $V_{bias-p06}$, $V_{casc-p06}$ και δημιουργούνται με έναν πολύ απλό τρόπο που θα παρουσιαστεί στο επόμενο κεφάλαιο. Αντίθετα, οι

τάσεις πόλωσης για NMOS τρανζίστορ V_{bias-n} , V_{casc-n} εξακολουθούν να είναι έγκυρες ακόμα και για χαμηλότερες τροφοδοσίες, γι' αυτό και χρησιμοποιείται η τάση V_{casc-n} στο Σχήμα 3.21.



Σχήμα 3.21: Ο ενισχυτής που χρησιμοποιείται στον βρόχο του DAC. Αποτελείται από έναν τροποποιημένο folded cascode ενισχυτή και ένα στάδιο ακόλουθου εκπομπού. Περιλαμβάνεται επίσης ο πυκνωτής αντιστάθμισης C_C .

Ο πυρήνας του κυκλώματος αποτελείται από έναν αρνητικό βρόχο ανάδρασης που θέτει την τάση στην πηγή του M_n ίση με την τάση αναφοράς $V_{ref,DAC}$. Έτσι δημιουργείται μία σταθερή πτώση τάσης στα άκρα της αντίστασης R_y . Στη συνέχεια, ρυθμίζοντας την R_y μπορεί να ελεγχθεί το ρεύμα απαγωγού I_D του M_n . Το M_n λειτουργεί ουσιαστικά ως ένας buffer ρεύματος που μεταφέρει το I_D στην αντίσταση R_x . Η πτώση τάσης στην R_x για την προαναφερθείσα τιμή ρεύματος καθορίζει την V_{out} .

Για να λειτουργήσει αυτή η αρχιτεκτονική όπως αναμένεται, ο ενισχυτής θα πρέπει να έχει αρκετά μεγάλο κέρδος ώστε να διατηρεί την τάση στην πηγή του M_n σταθερά στο $V_{ref,DAC}$. Πρέπει επίσης να εξεταστεί η σταθερότητα του βρόχου ανάδρασης. Επιπλέον, το M_n πρέπει να βρίσκεται στην περιοχή κορεσμού (ή στην περιοχή υπο-κατωφλίου). Επομένως, πρέπει να διασφαλίσουμε ότι η τάση $V_{DS} \approx V_{out} - V_{ref,DAC}$ είναι αρκετή ακόμα και όταν η V_{out} είναι στο ελάχιστο.

Ας υποθέσουμε ότι V_S είναι η τάση στην πηγή του τρανζίστορ. Τότε, λόγω της αρνητικής ανάδρασης, έχουμε $V_S = V_{ref,DAC}$, και το ρεύμα απαγωγού του M_n δίνεται από τον νόμο του Ohm ως:

$$I_D \approx \frac{V_{ref,DAC}}{R_y}$$

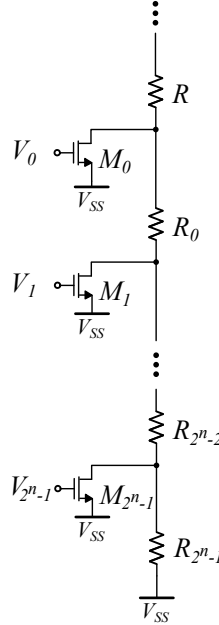
Επειδή το I_D διαρρέει επίσης την αντίσταση R_x , η τάση εξόδου υπολογίζεται ως:

$$V_{out} = V_{DD} - R_x \cdot I_D = V_{DD} - \frac{R_x}{R_y} \cdot V_{ref,DAC}$$

Η παραπάνω εξίσωση μπορεί να επαναγραφεί, δίνοντας τον τρόπο για τον υπολογισμό των απαραίτητων τιμών για την R_y :

$$R_y = \frac{V_{ref}}{V_{DD} - V_{out}} \cdot R_x \quad (3.27)$$

Η μεταβλητή αντίσταση R_y υλοποιείται χρησιμοποιώντας την διάταξη που φαίνεται στο Σχήμα 3.22. Για κάθε μία από τις 2^n πιθανές τιμές εξόδου, η πύλη του αντίστοιχου τρανζίστορ που είναι συνδεδεμένο ως διακόπτης ρυθμίζεται σε υψηλή τάση, ενώ όλες οι άλλες πύλες ρυθμίζονται σε χαμηλή τάση. Αυτό συνδέει τον κόμβο γείωσης απευθείας με τον κατάλληλο ενδιάμεσο κόμβο της διάταξης.



Σχήμα 3.22: Η υλοποίηση της μεταβλητής αντίστασης του DAC.

Συνεπώς, η συνολική αντίσταση R_{total} είναι το άθροισμα των αντιστάσεων από την κορυφή της διάταξης μέχρι το σημείο του διακόπτη που είναι ενεργοποιημένος. Αυτός ο σχεδιασμός απαιτεί τη χρήση ενός αποκωδικοποιητή n -to- 2^n για να μεταφράσει τον n -bit αριθμό στο διακόπτη που πρέπει να ενεργοποιηθεί.

Πριν προχωρήσουμε στον σχεδιασμό, είναι σημαντικό να καθοριστούν ορισμένες προδιαγραφές. Η τάση τροφοδοσίας που παρέχεται από τον LDO είναι η $V_{DD} = 0.6, V$. Κατά την εκπαίδευση του προτεινόμενου ταξινομητή, διαπιστώθηκε ότι το εύρος $\pm 100, mV$ για τις τάσεις εισόδου και εκπαίδευσης ήταν επαρκές για να επιτευχθεί ικανοποιητική ακρίβεια. Δεδομένου ότι αυτό το εύρος αναφέρεται σε διαφορική τροφοδοσία όπου $V_{DD} = -V_{SS} = 0.3, V$, αυτό μεταφράζεται σε εύρος από $200mV$ έως $400, mV$ για την απλή τροφοδοσία όπου $V_{SS} = 0V$ και $V_{DD} = 0.6V$. Έτσι, το επιθυμητό εύρος εξόδου του DAC θα είναι από $200mV$ έως $400mV$. Για να εξασφαλιστεί λειτουργία χαμηλής κατανάλωσης ισχύος, η μέγιστη τιμή του ρεύματος I_D καθορίζεται στα $100nA$ (για typical PVT corner), με τον ενισχυτή να χρησιμοποιεί το μικρότερο δυνατό ρεύμα που επιτρέπει τη σωστή λειτουργία του. Επιπλέον, η τάση $V_{ref,DAC}$ πρέπει να είναι αρκετά χαμηλότερη από την ελάχιστη τιμή της V_{out} ώστε να υπάρχει επαρκές περιθώριο για τη σωστή λειτουργία του M_n . Μια κατάλληλη τιμή για τη $V_{ref,DAC}$ είναι τα $100 mV$ που δίνουν $V_{DS,min} \approx 100mV$ όταν $V_{out} = 200mV$.

Για να καθορίσουμε την αντίσταση R_x , εξετάζουμε την περίπτωση όπου το I_D είναι στο μέγιστο επιτρεπτό του επίπεδο. Για αυτό το σχέδιο, έχουμε ορίσει το μέγιστο ρεύμα $I_{D,max} = 100 nA$. Σε αυτήν την περίπτωση, η πτώση τάσης στην R_x είναι μέγιστη, και συνεπώς η V_{out} είναι ελάχιστη, δηλαδή $200mV$. Χρησιμοποιώντας τον νόμο του Ohm με $V_{DD} = 0.6 V$ λαμβάνουμε:

$$R_x = \frac{0.6V - 0.2V}{100nA} = 4M\Omega$$

Οι τιμές που πρέπει να λαμβάνει η μεταβλητή αντίσταση R_y μπορούν τώρα να υπολογιστούν. Η τάση εξόδου V_{out} μεταβάλλεται από $200mV$ σε $400mV$ σε 2^n βήματα, όπου n είναι ο αριθμός των bits του DAC. Χρησιμοποιώντας την εξίσωση 3.27 για την R_y για όλες τις επιθυμητές τιμές της V_{out} , προκύπτουν οι απαραίτητες τιμές $R_{y0}, \dots, R_{y(2^n-1)}$.

Η πρώτη αντίσταση της κλίμακας του Σχήματος 3.22, R , είναι ίση με R_{y0} και υπολογίζεται θέτοντας $V_{out} = 200mV$ στην εξίσωση 3.27. Οι αντιστάσεις R_0 έως $R_{(2^n-1)}$ είναι ίσες με τη διαφορά μεταξύ δύο διαδοχικών τιμών της R_y και ορίζονται ως:

$$R_i = R_{y(i+1)} - R_{yi}$$

Είναι σημαντικό η τάση αναφοράς $V_{ref,DAC}$ να είναι όσο πιο σταθερή γίνεται. Καθώς η τάση αυτή πρέπει να είναι αρκετά μικρή προκειμένου να ελαχιστοποιη-

θεί η κατανάλωση ισχύος της R_y , η δημιουργία της με Bandgap αναφορά τάσης είναι εξαιρετικά δύσκολη. Η απλούστερη λύση είναι η αξιοποίηση της V_{ref} από την sub-BGR και συγκεκριμένα η χρήση διαιρέτη τάσης για την υποβάθμισή της από $600mV$ σε $100mV$. Ο διαιρέτης αυτός πρέπει να καταναλώνει αρκετά μικρή ισχύ. Στην περίπτωση του κλασσικού διαιρέτη τάσης με αντιστάσεις αυτό συνεπάγεται χρήση πολύ μεγάλων αντιστάσεων και άρα κατάληψη μεγάλου εμβαδού.

Για αυτό τον λόγο χρησιμοποιήθηκαν τα διοδικά συνδεδεμένα PMOS τρανζίστορ του σχήματος 3.20 τα οποία είναι όμοια μεταξύ τους. Καθώς και τα έξι τρανζίστορ διαρρέονται από το ίδιο ρεύμα εύκολα προκύπτει ότι εμφανίζουν την ίδια V_{SG} . Ο διαιρέτης τροφοδοτείται από τον LDO, του οποίου η έξοδος είναι περίπου ίση με τη V_{ref} και ο οποίος, σε αντίθεση με τη BGR, μπορεί να παρέχει το ρεύμα που χρειάζεται ο διαιρέτης χωρίς να προκαλείται σημαντική απόκλιση στη τάση εξόδου του. Επειδή η τροφοδοσία των διόδων (V_{DD}) είναι περίπου $600mV$ αυτό σημαίνει ότι η πτώση τάσης στα άκρα κάθε διοδικά συνδεδεμένου τρανζίστορ είναι $100mV$. Η έξοδος του διαιρέτη λαμβάνεται από το τελευταίο τρανζίστορ του κλάδου, θέτοντας έτσι $V_{ref,DAC} = V_{DD}/6 \approx 100mV$.

Το πλεονέκτημα αυτής της προσέγγισης είναι ότι κατάλληλη επιλογή των διαστάσεων των PMOS διόδων μπορεί να δώσει αυθαίρετα μικρή κατανάλωση ισχύος για τον διαιρέτη τάσης χωρίς την ανάγκη μεγάλης επιφάνειας. Ωστόσο, υπερβολικά μικρό ρεύμα διαιρέτη δημιουργεί προβλήματα, καθώς το ρεύμα διαρροής του ενισχυτή του Σχήματος 3.20 γίνεται συγκρίσιμο με αυτό του διαιρέτη. Σε αυτή τη περίπτωση δημιουργείται ανισότητα ρευμάτων στα τρανζίστορ του τελευταίου με αποτέλεσμα σημαντική απόκλιση της $V_{ref,DAC}$ από την επιθυμητή τιμή της. Ο λόγος για τον οποίο χρησιμοποιήθηκαν PMOS αντί για NMOS τρανζίστορ είναι προκειμένου να βραχυκυκλωθεί ο αχροδέκτης σώματος κάθε τρανζίστορ του διαιρέτη με τον αχροδέκτη πηγής του, κάτι που γίνεται με ευκολότερο τρόπο στα PMOS. Έτσι αποφεύγουμε τη παρουσία φαινομένου σώματος στα τρανζίστορ του διαιρέτη και βελτιώνεται η ακρίβειά του.

Ο αριθμός των bit εισόδου του κυκλώματος στο Σχήμα 3.20 ορίζει τον αριθμό αντιστάσεων στη κλίμακα του Σχήματος 3.22 ή ισοδύναμα σε πόσα μέρη χωρίζεται η αντίσταση R_y . Καθορίζεται από την ανάλυση που απαιτείται από την εφαρμογή αλλά και από την ακρίβεια του ίδιου του κυκλώματος DAC. Για δεδομένη λέξη εισόδου η έξοδος του DAC παρουσιάζει διακύμανση γύρω από την ονομαστική τιμή της σε PVT διακυμάνσεις. Όπως παρουσιάζεται και στα αποτελέσματα προσομοιώσεων του κυκλώματος, παρατηρήθηκε ότι το εύρος αυτής της διακύμανσης τελικά είναι περίπου $10mV$ στην χειρότερη περίπτωση. Επομένως η τελική υλοποίηση έγινε για είσοδο 4 bits που χωρίζουν το εύρος των $200mV$ σε βήματα των $13.33mV$. Η προσέγγιση αυτή είναι μάλλον συντηρητική, ωστόσο εξασφαλίζει προβλέψιμη έξοδο για το κύκλωμα

του DAC ακόμα και στις ακραίες συνθήκες λειτουργίας που αντιπροσωπεύουν τα PVT corners.

Στον πίνακα 3.8 παρατίθενται τα αποτελέσματα του υλοποιημένου DAC με 4 bits εισόδου. Η προσομοίωση έγινε για τα ίδια process corners με τα υπόλοιπα κυκλώματα και για θερμοκρασίες στο εύρος $[-27^{\circ}C, 125^{\circ}C]$. Τα μεγέθη των τρανζίστορ και οι τιμές των στοιχείων της υλοποίησης παρουσιάζονται στον πίνακα 3.9.

Για επιβεβαίωση της σωστής λειτουργίας εξετάζονται οι περιπτώσεις μέγιστης και ελάχιστης τάσης εξόδου. Τα αποτελέσματα και για τις δύο περιπτώσεις είναι ικανοποιητικά, με τη μέγιστη ποσοστιαία απόκλιση από τις αναμενόμενες τιμές να είναι ίση με 2,5%.

Η ευστάθεια του βρόχου ανάδρασης είναι επίσης ικανοποιητική καθώς το περιθώριο φάσης είναι περίπου 63° στη χειρότερη περίπτωση. Ο PMOS διαιρέτης τάσης λειτουργεί σωστά, αφού η μέγιστη απόκλιση της $V_{ref,DAC}$ από την ονομαστική τιμή της είναι μόλις 1.3%. Αντίστοιχης ποιότητας είναι και η τάση V_S , η οποία κυμαίνεται σε εύρος μόλις $2.33mV$ γύρω από την ονομαστική τιμή των $100mV$, επιβεβαιώνοντας την αποτελεσματικότητα του βρόχου ανάδρασης στη σταθεροποίησή της. Η συνολική κατανάλωση του κυκλώματος είναι μόλις $500nW$ στη χειρότερη περίπτωση, καθιστώντας το κατάλληλο για εφαρμογές πολύ χαμηλής κατανάλωσης ισχύος.

Πίνακας 3.8: Αποτελέσματα του DAC για τη 4-bit υλοποίηση.

Parameter	Minimum	Nominal	Maximum
V_{out} (mV) for $W_{in} = (0000)$	194.3	199.2	201.6
V_{out} (mV) for $W_{in} = (1111)$	390.6	399.2	399.5
$V_{ref,DAC}$ (mV)	100	100.1	101.3
V_S (mV)	99.18	100.2	101.5
Phase Margin (degrees)	63.27	76.07	91.01
Maximum Power Consumption (nW)	202.3	272.1	500.6
Minimum Power Consumption (nW)	165.4	227.5	450.1

Πίνακας 3.9: Διαστάσεις τρανζίστορ και τιμές παθητικών στοιχείων για τον DAC του Σχήματος 3.20 και τον ενισχυτή του Σχήματος 3.21.

Transistor	$W/L(\mu m/\mu m)$	Transistor	$W/L(\mu m/\mu m)$
M_n	20/1	$M_{p3,4}$	19.2/3
$M_{n1,3}$	3/6	$M_{p1,2,6,7,8,9}$	4.8/3
$M_{n5,6}$	5/6	$M_{p10,11,12}$	2.4/3
Divider Diodes	2.4/2.2		
Component	Value	Component	Value
C_C	1pF	$R_{y,min}$	1MΩ
R_x	4MΩ	$R_{y,max}$	2MΩ

Κεφάλαιο 4

Αρχιτεκτονική Συστήματος

4.1 Ο Μπεϋζιανός Ταξινομητής

Η προτεινόμενη αρχιτεκτονική για τον Μπεϋζιανό ταξινομητή παρατίθεται στο Σχήμα 4.1. Στο πρόβλημα ταξινόμησης με το οποίο αξιολογήθηκε η ακρίβεια του ταξινομητή αξιοποιήθηκε ένα σχετικά απλό dataset από το UCI Machine Learning Repository [70] που αφορά τη διάγνωση προβλημάτων στον θυρεοειδή. Το dataset περιλαμβάνει πέντε χαρακτηριστικά που χρησιμοποιήθηκαν για να καθορίσουν αν ο ασθενής από τον οποίο ελήφθησαν οι μετρήσεις δεν έχει πρόβλημα, ή αν πάσχει από υπερθυρεοειδισμό ή υποθυρεοειδισμό. Πρόκειται επομένως για ένα πρόβλημα με τρεις κλάσεις και πέντε διαστάσεις εισόδου. Έτσι, στον ταξινομητή στο Σχήμα 4.1 χρησιμοποιείται για κάθε κλάση ένα κύκλωμα 5-D Bump όμοιο με αυτό του Σχήματος 3.5. Κάθε μία από τις 5 διαστάσεις εισόδου κάθε κλάσης ρυθμίζεται από τις τάσεις $V_{r1...5}^{(i)}$ όπου i είναι ο αριθμός της κλάσης. Οι έξοδοι των κλάσεων οδηγούνται σε ένα WTA κύκλωμα σαν αυτό στο Σχήμα 3.6, ωστόσο με έναν επιπλέον νευρώνα. Κάθε μία από τις εξόδους του WTA έχει ως φορτίο μία PMOS δίοδο και τα ρεύματα $I_{out\ i}$ αντιπροσωπεύουν τη νικητήρια κλάση i . Κάθε κλάση πολώνεται από ρεύμα $I_{bias\ i}$ και το WTA πολώνεται από ρεύμα $I_{bias-wta}$. Στην παρούσα υλοποίηση τέθηκαν $I_{bias1} = I_{bias2} = I_{bias3} = 8nA$ και $I_{bias-wta} = 5nA$.

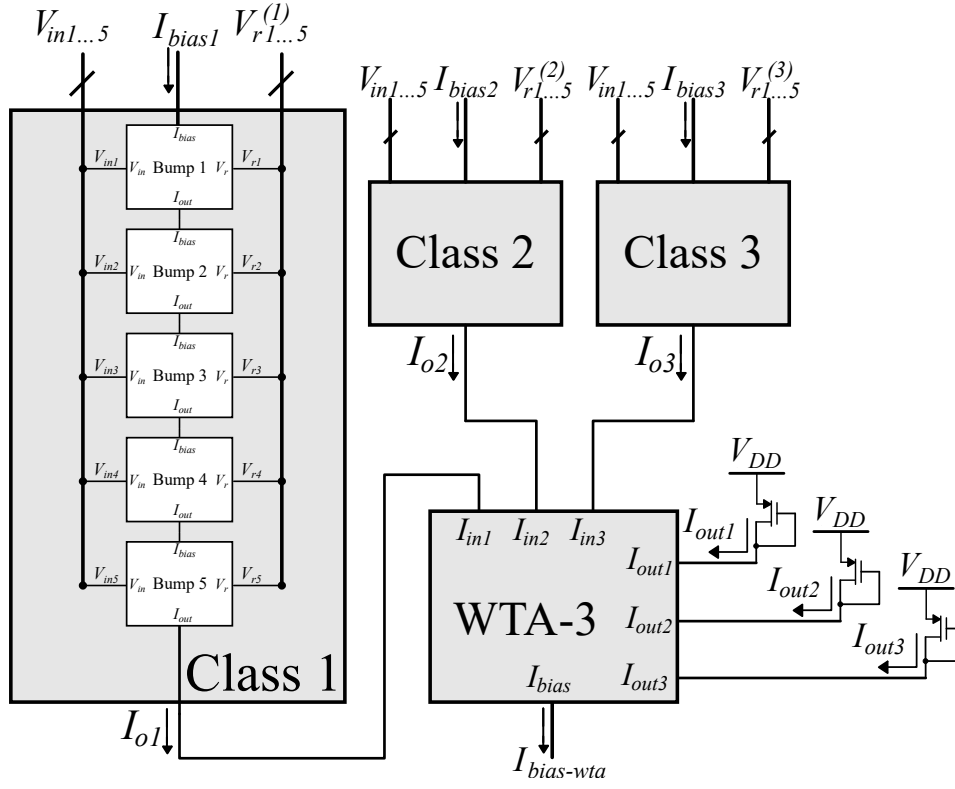
Για την εκπαίδευση του ταξινομητή αξιοποιήθηκε το Γκαουσιανό Μοντέλο Μίξης (Gaussian Mixture Model - GMM). Το GMM είναι ένα πιθανοτικό μοντέλο που υποθέτει ότι τα δεδομένα προέρχονται από ένα μείγμα αρκετών κανονικών κατανομών, καθεμία με το δικό της μέσο (mean) και διακύμανση (variance). Αυτό το μοντέλο αποτελεί επέκταση του αλγορίθμου clustering

k-means, αλλά αντί να αποδίδει κάθε σημείο δεδομένων σε ακριβώς ένα cluster (ομάδα σημείων δεδομένων που είναι παρόμοια μεταξύ τους με βάση ορισμένα χαρακτηριστικά), το GMM αποδίδει πιθανότητες κάθε σημείου δεδομένων για το σε ποια διαφορετικά clusters ανήκει.

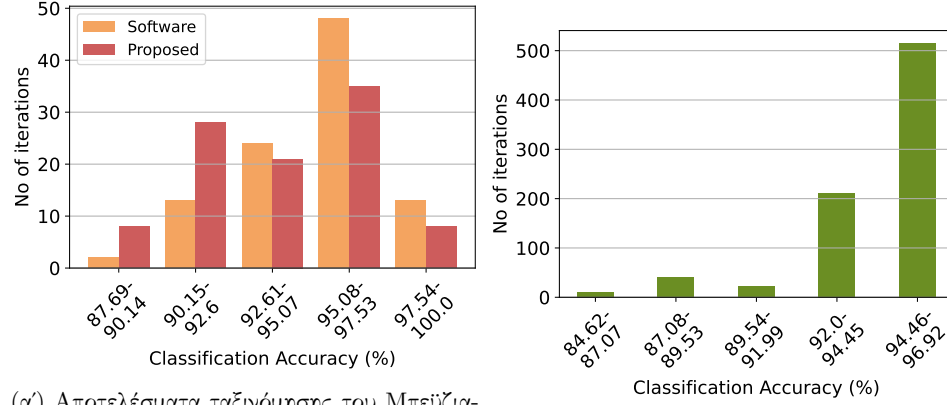
Τα GMMs μπορούν να χρησιμοποιηθούν για την εκπαίδευση ενός ταξινομητή μοντελοποιώντας κάθε κλάση με τις παραμέτρους ανά cluster (τα μέσα, οι συνδιακυμάνσεις και τα βάρη) που επιτυγχάνουν την καλύτερη αναπαράσταση του cluster αυτού. Αυτές οι παράμετροι μαθαίνονται χρησιμοποιώντας τον αλγόριθμο Expectation-Maximization (EM) που λειτουργεί επαναληπτικά για μεγιστοποίηση της posterior πιθανότητας του εκάστοτε δεδομένου εισόδου να ανήκει στο εκάστοτε cluster. Η περίπτωση του Μπεϋζιανού ταξινομητή αποτελεί μία υπο-περίπτωση GMM με ένα cluster ανά κλάση.

Η διαδικασία εκπαίδευσης έγινε με χρήση κώδικα python. Ο κώδικας αρχικά χωρίζει τα δεδομένα του dataset σε υποσύνολα για την εκπαίδευση και την αξιολόγηση του ταξινομητή. Στη συνέχεια χρησιμοποιεί το GMM μέσω έτοιμων συναρτήσεων από python libraries για καθορισμό των παραμέτρων του μοντέλου. Η ακρίβεια αυτού του μοντέλου αξιολογείται αρχικά σε επίπεδο λογισμικού και έπειτα αξιολογούνται τα αποτελέσματα που εξάγονται από την προσομοίωση του κυκλώματος για τις ίδιες παραμέτρους που προέκυψαν από την εκπαίδευση του μοντέλου. Η διαδικασία αυτή επαναλαμβάνεται αρκετές φορές για επιβεβαίωση της αξιοπιστίας της προτεινόμενης αρχιτεκτονικής. Τέλος, με την ίδια μέθοδο αξιολογείται η ακρίβεια του ταξινομητή για προσομοίωση Monte Carlo.

Τα αποτελέσματα συνοψίζονται στο Σχήμα 4.2α' όπου παρουσιάζεται η ακρίβεια του ταξινομητή και του μοντέλου λογισμικού για 100 επαναλήψεις της διαδικασίας εκπαίδευσης και στο Σχήμα 4.2β' όπου παρατίθενται τα αποτελέσματα της προσομοίωσης Monte Carlo 800 σημείων.



Σχήμα 4.1: Η δομή του προτεινόμενου Μπεϋζιανού ταξινομητή.



(α') Αποτελέσματα ταξινόμησης του Μπεϋζιανού ταξινομητή και του ισοδύναμου μοντέλου (β') Αποτελέσματα προσομοίωσης 800 σημείων λογισμικού στο dataset παθήσεων του θυρεοειδούς σε 100 επαναλήψεις.

Πίνακας 4.1: Τα αποτελέσματα ακρίβειας του Μπεϋζιανού ταξινομητή.

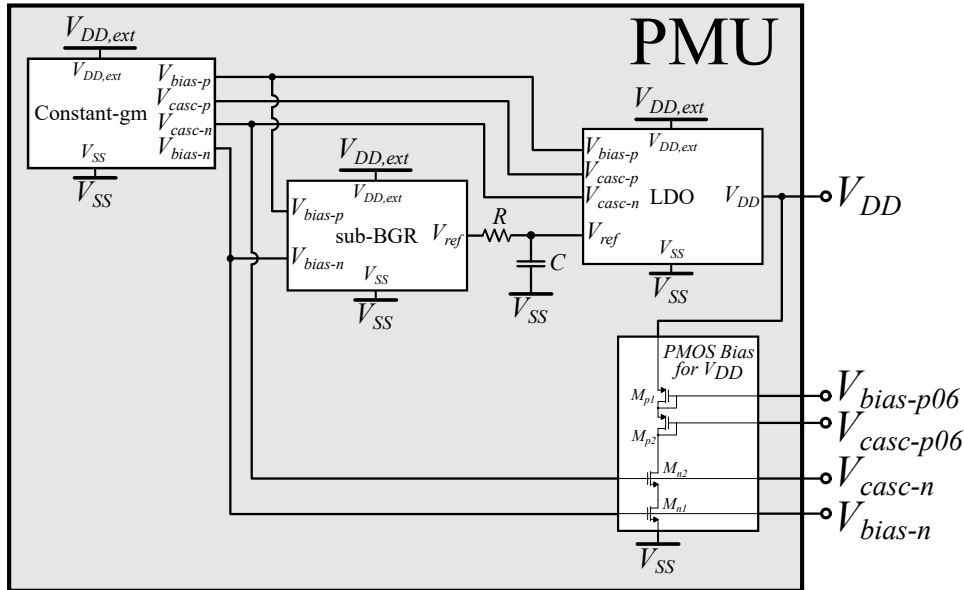
Method	Worst	Median	Best	Std.
Software	89.23%	95.38%	100%	2.09%
Hardware	87.69%	93.85%	100%	2.7%
Monte Carlo	84.62%	95.38%	96.92%	2.05%

Η κυκλωματική υλοποίηση του Μπεϋζιανού ταξινομητή πετυχαίνει ακρίβεια που είναι σε γενικές γραμμές συγκρίσιμη με αυτή του ιδανικού μοντέλου λογισμικού και στο διάγραμμα 4.2β' η συντριπτική πλειοψηφία των προσομοιώσεων καταλήγουν να έχουν ακρίβεια μεγαλύτερη από 92%. Η μέση κατανάλωση του κυκλώματος του ταξινομητή είναι $1.8\mu W$ για τάση τροφοδοσίας $0.6V$.

4.2 Η Μονάδα Διαχείρισης Ισχύος

Η παροχή ποιοτικών τάσεων και ρευμάτων για τη τροφοδοσία των κυκλωμάτων σε ένα chip είναι ύψιστης σημασίας, ειδικά όταν τα τροφοδοτούμενα κυκλώματα είναι αναλογικά. Για το λόγο αυτό χρησιμοποιείται η PMU που παρέχει μία αξιόπιστη τάση τροφοδοσίας $V_{DD} = 0.6V$ και επιπλέον δημιουργεί τάσης και ρεύματα πόλωσης που μπορούν να χρησιμοποιηθούν από τα τροφοδοτούμενα κυκλώματα.

Η high-level αρχιτεκτονική του κυκλώματος της PMU παρουσιάζεται στο Σχήμα 4.3. Η τάση για τη τροφοδοσία του ταξινομητή και των DAC, V_{DD} ,



Σχήμα 4.3: Η προτεινόμενη αρχιτεκτονική για την PMU.

δημιουργείται από τον LDO, στον οποίο παρέχεται η τάση αναφοράς που παράγεται από την sub-BGR. Ένα απλό παθητικό low-pass φίλτρο τοποθετείται στην έξοδο της sub-BGR για αποκοπή του θορύβου από την εξωτερική τροφοδοσία αλλά και του ίδιου του κυκλώματος. Στο συγκεκριμένο σχέδιο χρησιμοποιήθηκαν $R = 40k\Omega$ και $C = 11pF$. Και τα δύο κυκλώματα πολώνονται από τις τάσεις πόλωσης που παράγει το Constant-gm κύκλωμα.

Ένα βοηθητικό κύκλωμα προστίθεται στην αρχιτεκτονική του Σχήματος 4.3 για τη δημιουργία τάσεων πόλωσης τρανζίστορ που τροφοδοτούνται από την V_{DD} . Πρόκειται για δύο PMOS διόδους πολωμένες από μία NMOS κασχοδική πηγή ρεύματος η οποία πολώνεται απευθείας από το Constant-gm κύκλωμα. Αυτές οι διόδους είναι πρακτικά η είσοδος ενός PMOS κασχοδικού καθαρέφτη τροφοδοτούμενου από τη V_{DD} . Οι τάσεις $V_{bias-p06}$ και $V_{casc-p06}$ που δημιουργούνται μπορούν να πολώσουν τις PMOS πηγές ρεύματος που τροφοδοτούνται από τη PMU.

Τα αποτελέσματα της PMU παρουσιάζονται στον πίνακα 4.2. Η προσομοίωση εκτελέστηκε για ρεύμα φορτίου ίσο με $5\mu A$ που είναι παρόμοιο με το ρεύμα που απαιτείται για τροφοδότηση του ταξινομητή και των DACs. Αντίστοιχα αποτελέσματα όμως παρατηρήθηκαν για ρεύματα φορτίου ακόμα και $100\mu A$.

Σε σχέση με τα αποτελέσματα των επιμέρους κυκλωμάτων που παρουσιάστηκαν στο προηγούμενο κεφάλαιο, παρατηρούμε αρχικά ότι έχει αυξηθεί το

εύρος της V_{ref} που παράγει η BGR. Αυτό εξηγείται λαμβάνοντας υπόψη το ρεύμα διαρροής στο στάδιο εισόδου του EA του LDO όπου συνδέεται η V_{ref} . Καθώς η τελευταία βαθμίδα της BGR πολώνεται με μερικά nA είναι λογική η απόκλιση του από την ιδανική λειτουργία σε PVT corners όπου το ρεύμα διαρροής στους ακροδέκτες του EA βρέθηκε ότι φτάνει μέχρι και τα $10nA$. Παρατηρείται ωστόσο ότι ο LDO ακολουθεί τις μεταβολές της V_{ref} στο ίδιο εύρος με πολύ καλή ακρίβεια, επιβεβαιώνοντας έτσι την αποτελεσματικότητα της ανάδρασης.

Μία ακόμα πολύ σημαντική αλλαγή είναι στην απόρριψη τροφοδοσίας, η οποία έγινε σαφώς χειρότερη σε σχέση με το PSRR του LDO. Ο λόγος είναι το μονοπάτι από την τροφοδοσία της BGR έως έξοδο του LDO που εικονίζεται ως το μονοπάτι 3 του Σχήματος 3.16. Η προτεινόμενη BGR έχει σχετικά χαμηλή απόρριψη τροφοδοσίας και στον υλοποιημένο LDO ισχύει $V_{DD}/V_{ref} \approx 1$, επομένως αναμενόμενο είναι να παρατηρείται αυξημένο κέρδος $V_{DD,ext}/V_{DD}$ ή ισοδύναμα μικρότερο PSRR σε σχέση με τη περίπτωση του LDO. Στην ονομαστική περίπτωση το χειρότερο PSRR είναι περίπου $22dB$ που είναι αρκετά ικανοποιητικό αποτέλεσμα.

Αύξηση παρατηρείται και στον θόρυβο για τον ίδιο ακριβώς λόγο. Ωστόσο εδώ η χρήση του low-pass φίλτρου περιορίζει την επίδραση του θορύβου της BGR, όπως φαίνεται και στα αποτελέσματα θορύβου στα $100kHz$ και $1MHz$.

Σημειώνεται ότι οι περισσότερες τοπολογίες ταξινομητών είναι αρκετά ανθεκτικές στον θόρυβο, καθώς η έξοδος έχει συνήθως ψηφιακή μορφή όπως συμβαίνει και στη περίπτωση του Μπεϋζιανού ταξινομητή. Έτσι, όπως θα δειχθεί και στη συνέχεια η ακρίβεια του ταξινομητή δεν επηρεάζεται σημαντικά εξαιτίας του θορύβου από την τροφοδοσία, την ίδια τη PMU και τους DACs.

Αξιοσημείωτη είναι η συνολική κατανάλωση της PMU. Στην ονομαστική περίπτωση η συνολική κατανάλωση είναι περίπου $660nW$ ενώ ακόμα και στη χειρότερη περίπτωση δε ξεπερνά τα $1.3\mu W$. Το αποτέλεσμα αυτό, δηλαδή η πολύ χαμηλή κατανάλωση ισχύος ήταν και ο πρωταρχικός στόχος στη σχεδίαση του συνολικού συστήματος.

Πίνακας 4.2: Αποτελέσματα της PMU.

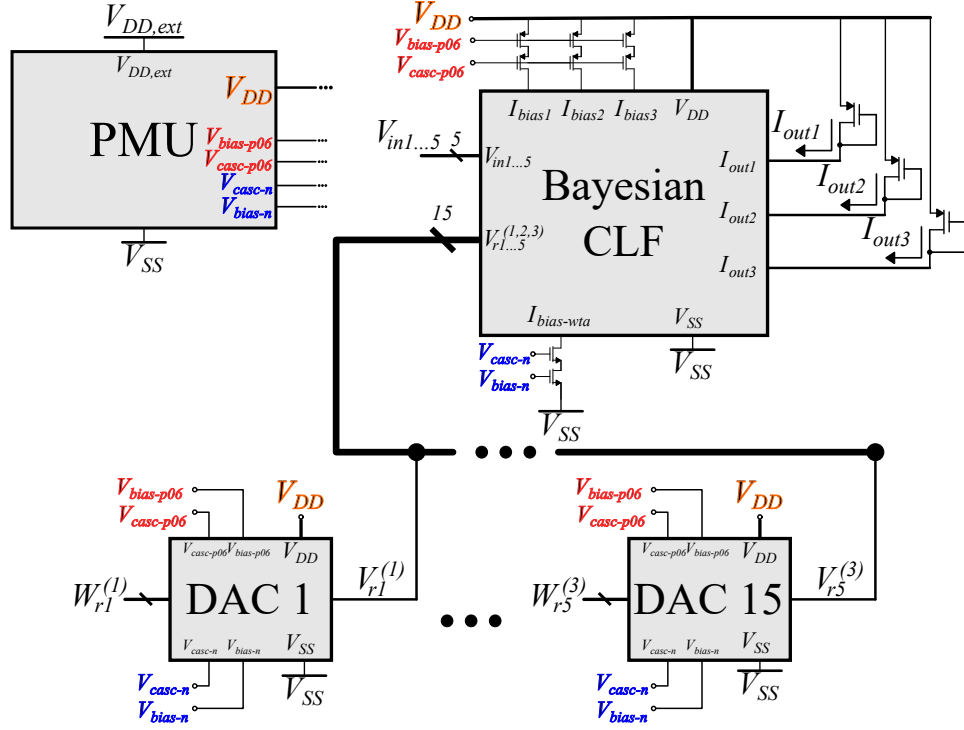
Parameter	Minimum	Nominal	Maximum
V_{DD} (mV)	583.2	599.9	609.1
V_{ref} (mV)	586.2	600.1	609.3
LDO Phase Margin (degrees)	79.95	83.5	86.42
Constant-gm Phase Margin (degrees)	68.73	82.87	111.2
V_{bias-n} (mV)	40.21	132.3	210.4
V_{casc-n} (mV)	120.5	192.9	248
$V_{bias-p06}$ (mV)	435.2	490.7	555.7
$V_{casc-p06}$ (mV)	277.1	381.1	505.6
PSRR @ DC (dB)	13.62	35.44	37.39
PSRR @ 10kHz (dB)	7.592	23.5	24.59
PSRR @ 100kHz (dB)	26.47	30.53	45.15
PSRR @ 1MHz (dB)	26.53	28.96	30.54
Worst PSRR (dB)	6.39	22.05	23.6
Output Noise @ 1Hz (dBV/ $\sqrt{Hz}$)	-100.8	-99.57	-98.17
Output Noise @ 10kHz (dBV/ $\sqrt{Hz}$)	-128.6	-124.1	-122.7
Output Noise @ 100kHz (dBV/ $\sqrt{Hz}$)	-143.8	-141.6	-139
Output Noise @ 1MHz (dBV/ $\sqrt{Hz}$)	-161.7	-160	-157.6
Power Consumption (nW)	408	658	1301

4.3 Το Συνολικό Σύστημα

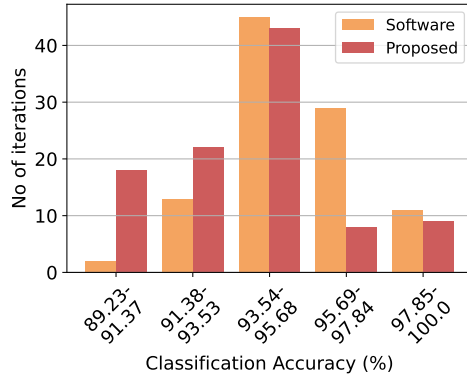
Στο Σχήμα 4.4 παρουσιάζεται η συνολική αρχιτεκτονική του τελικού συστήματος. Η PMU παράγει την V_{DD} από την εξωτερική τροφοδοσία των 0.9V, καθώς και τις τάσεις πόλωσης που φαίνονται στο Σχήμα. Ο Μπεϋζιανός ταξινομητής τροφοδοτείται από τη V_{DD} και μέσω κασκοδικών πηγών ρεύματος πολωμένων από τη PMU του παρέχονται τα ρεύματα $I_{bias1,2,3}$, $I_{bias-wta}$. Στην τοπολογία προστίθενται 15 4-bit DACs που παράγουν τις τάσεις $V_{r1...5}^{(1,2,3)}$ δεδομένων των 4-bit λέξεων $W_{r1...5}^{(1,2,3)}$.

Τα τελικά αποτελέσματα για την ακρίβεια του ταξινομητή δίνονται στο Σχήμα 4.5. Η ακρίβεια που επιτυγχάνεται είναι συγκρίσιμη με αυτή της ενότητας 4.1 όπου η τροφοδοσία του ταξινομητή και οι τάσεις $V_{r1...5}^{(1,2,3)}$ παρέχονται από ιδανικές πηγές τάσης μηδενικού θορύβου.

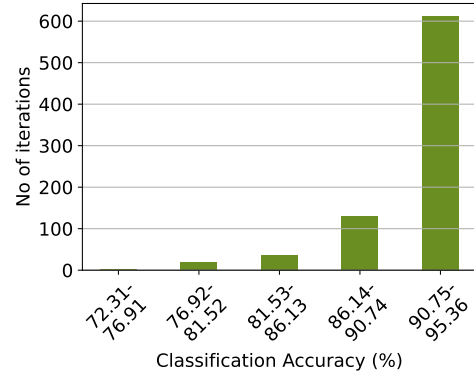
Πιο αναλυτικά, όπως φαίνεται στον πίνακα 4.3 η μέση ακρίβεια της hardware υλοποίησης είναι η ίδια με αυτή του μεμονωμένου ταξινομητή, ωστόσο το συνολικό εύρος τιμών έχει μετατοπιστεί σε χαμηλότερες τιμές. Στα απο-



Σχήμα 4.4: Το πλήρες σύστημα του Μπεϋζιανού ταξινομητή.



(α') Αποτελέσματα ταξινόμησης της προτεινόμενης αρχιτεκτονικής και του ισοδύναμου μοντέλου λογισμικού στο dataset παθήσεων του θυρεοειδούς σε 100 επαναλήψεις.



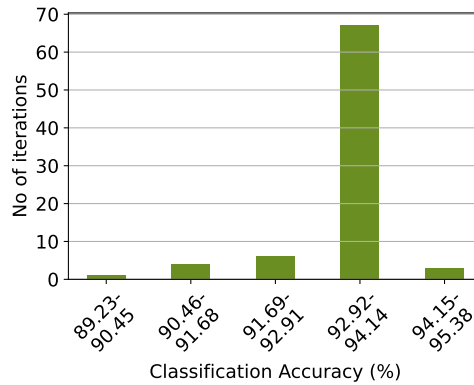
(β') Αποτελέσματα προσομοίωσης 800 σημείων Monte-Carlo της προτεινόμενης αρχιτεκτονικής στο dataset παθήσεων του θυρεοειδούς.

Πίνακας 4.3: Τα αποτελέσματα ακρίβειας του συνολικού συστήματος.

Method	Worst	Median	Best	Std.
Software	89.23%	95.38%	100%	2.09%
Hardware	89.23%	93.85%	98.46%	2.35%
Monte Carlo	72.31%	92.31%	95.38%	3.57%
PVT	89.23%	93.85%	95.38	0.96%

τελέσματα προσομοιώσεων Monte Carlo παρατηρείται μικρή πτώση της μέσης ακρίβειας και, επιπλέον η ελάχιστη ακρίβεια λαμβάνει σημαντικά μικρότερες τιμές. Ωστόσο, ο πολύ μικρός αριθμός εμφάνισης τέτοιων τιμών τις καθιστά ασήμαντες, αφού η τυπική απόκλιση από το μέσο είναι περίπου 3.6%. Η μέση κατανάλωση του συνολικού συστήματος είναι $4.4\mu W$ για εξωτερική τάση τροφοδοσίας $0.9V$.

Για περεταίρω επαλήθευση της ορθής λειτουργίας του συνολικού συστήματος αξιολογήθηκε η ακρίβεια ταξινόμησης για διάφορα PVT corners. Η PVT προσομοίωση έγινε για μία επανάληψη όπου σε typical συνθήκες ο ταξινομητής επιτυγχάνει ακρίβεια ίση με 93.85% που ισούται με τη μέση ακρίβεια των 100 επαναλήψεων. Δοκιμάστηκαν συνολικά 81 corners που προέκυψαν από συνδυασμό 3 τιμών $V_{DD,ext} = 0.8V, 0.9V, 1V$, 3 θερμοκρασιών λειτουργίας $T = -25^{\circ}C, 27^{\circ}C, 125^{\circ}C$ και των 9 process corners στα οποία δοκιμάστηκαν και τα επιμέρους κυκλώματα. Τα αποτελέσματα συνοψίζονται στο Σχήμα 4.6. Η πλειοψηφία των προσομοιώσεων έδωσε ακρίβεια μεγαλύτερη από 92% και συνολικά η ακρίβεια δεν έπεσε κάτω από 89% για κανένα corner.



Σχήμα 4.6: Η ακρίβεια του πλήρους ταξινομητή σε PVT προσομοίωση για την περίπτωση όπου η ονομαστική περίπτωση επιτυγχάνει ακρίβεια 93.85%.

Κεφάλαιο 5

Συμπεράσματα και Μελλοντική Δουλειά

Στην εργασία αυτή παρουσιάστηκε ένα πλήρες σύστημα αναλογικού Μπεϋζιανού ταξινομητή με ενσωματωμένους DAC μετατροπείς δεδομένων και κυκλώματα διαχείρισης ενέργειας. Παρουσιάστηκαν αναλυτικά όλα τα υποκυκλώματα και επεξηγήθηκε η λειτουργία τους. Συγκεκριμένα περιγράφηκαν τα κυκλώματα WTA και τροποποιημένου Bump του Delbrück που χρησιμοποιήθηκαν στον Μπεϋζιανό ταξινομητή, καθώς και υλοποιήσεις Constant-gm, LDO και Bandgap Reference για τη μονάδα διαχείρισης ισχύος. Επιπλέον παρουσιάστηκε και αναλύθηκε μία τοπολογία Digital-to-Analog μετατροπέα χαμηλής κατανάλωσης ισχύος για τη μετατροπή δεδομένων εκπαίδευσης του ταξινομητή σε αναλογική τάση για είσοδο στο κύκλωμα του ταξινομητή. Το προτεινόμενο κύκλωμα επιτυγχάνει αρκετά χαμηλή κατανάλωση ισχύος που ισούται κατά μέσο όρο με $4.4\mu W$, χωρίς ωστόσο αυτό να επιδρά αρνητικά στην ακρίβεια του ταξινομητή, η μέση τιμή της οποίας προέκυψε ότι είναι 93.85%. Η ακρίβεια του συνολικού συστήματος αποδεικνύεται συγκρίσιμη με την περίπτωση του ταξινομητή τροφοδοτούμενου από ιδανικές πηγές τάσης, επιβεβαιώνοντας τη σωστή λειτουργία των μετατροπέων και της μονάδας διαχείρισης ενέργειας.

Μελλοντικές δουλειές θα επικεντρωθούν στην ενσωμάτωση της μονάδας διαχείρισης ενέργειας και των μετατροπέων σε διάφορες αναλογικές υλοποιήσεις αλγορίθμων μηχανικής μάθησης όπως K-means, ANN, SVM και άλλους. Ανάλογα με τις απαιτήσεις κάθε εφαρμογής όσον αφορά τα επιτρεπτά επίπεδα θορύβου και απόρριψης τροφοδοσίας, την σταθερότητα τάσεων και ρευμάτων τροφοδοσίας ή και πόλωσης καθώς και την απαιτούμενη ανάλυση μετατροπέα τα υπάρχοντα κυκλώματα θα περάσουν από fine-tuning ή θα τροποποιηθούν οι υπάρχουσες αρχιτεκτονικές ώστε να είναι κατάλληλες για την εκάστοτε ε-

φαρμογή.

Μακροπρόθεσμος στόχος είναι και η ολοκλήρωση των προτεινόμενων κυκλωμάτων σε ένα πραγματικό chip. Κάτι τέτοιο θα περιλάμβανε εκτός από τη βελτίωση των υπάρχοντων κυκλωμάτων και το εκτενές verification την ενσωμάτωση μνήμης στο σύστημα για την αποθήκευση των δεδομένων εισόδου/εξόδου και των δεδομένων από την εκπαίδευση του ταξινομητή.

Δημοσιεύσεις

- V. Alimisis, E. A. Serlis, A. Papathanasiou, N. P. Eleftheriou and P. P. Sotiriadis, "Power-Efficient Analog Hardware Architecture of the Learning Vector Quantization Algorithm for Brain Tumor Classification," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems
- Vassilis Alimisis, Andreas Papathanasiou, Georgios Georgousis and Paul P. Sotiriadis "An Analog Neural Network for Estimating Sea State or Wave Height from Inertial Sensor Data". In: 2024 IEEE 6th International Conference on AI Circuits and Systems (AICAS). IEEE. 2024, pp. 238–242.
- Vassilis Alimisis, Andreas Papathanasiou, Konstantinos Cheliotis, Nikolaos P. Eleftheriou and Paul P. Sotiriadis "A Memristor-Equivalent Analog Integrated Neural Network for Air Quality Classification". In: 2024 13th International Conference on Modern Circuits and Systems Technologies (MOCAST). IEEE. 2024, pp. 1–4.
- Vassilis Alimisis, Andreas Papathanasiou, Konstantinos Cheliotis, Nikolaos P. Eleftheriou and Paul P. Sotiriadis "An Analog Classifier for Liver Disorders based on Centroid Machine Learning Model". In: 2024 13th International Conference on Modern Circuits and Systems Technologies (MOCAST). IEEE. 2024, pp. 1–4.
- Vassilis Alimisis, Charis Aletraris, Andreas Papathanasiou and Paul P. Sotiriadis "A Robot Execution Failures Classification System Based on Analog IC Neural Networks". In: 2024 19th Conference on Ph. D Research in Microelectronics and Electronics (PRIME). IEEE. 2024, pp. 1–4.
- Vassilis Alimisis, Andreas Papathanasiou, Evangelos Georgakilas, Nikolaos P. Eleftheriou, Paul P. Sotiriadis "An ultra-low power

adjustable current-mode analog integrated general purpose artificial neural network classifier”. In: AEU-International Journal of Electronics and Communications (2024), p. 155467.

Βιβλιογραφία

- [1] Christopher M Bishop και Nasser M Nasrabadi. *Pattern recognition and machine learning*. Τόμ. 4. 4. Springer, 2006.
- [2] Akey Sungheetha και Rajesh Sharma. «3D image processing using machine learning based input processing for man-machine interaction». Στο: *Journal of Innovative Image Processing (JIIP)* 3.01 (2021), σσ. 1–6.
- [3] Fredrik Olsson. «A literature survey of active machine learning in the context of natural language processing». Στο: (2009).
- [4] Cheolsoo Park, Clive Cheong Took και Joon-Kyung Seong. «Machine learning in biomedical engineering». Στο: *Biomedical Engineering Letters* 8 (2018), σσ. 1–3.
- [5] Viraj Bangari κ.ά. «Digital electronics and analog photonics for convolutional neural networks (DEAP-CNNs)». Στο: *IEEE Journal of Selected Topics in Quantum Electronics* 26.1 (2019), σσ. 1–13.
- [6] Paul Quibuyen, Tom Jiao και Hiu Yung Wong. «A Software-Circuit-Device Co-Optimization Framework for Neuromorphic Inference Circuits». Στο: *IEEE Access* 10 (2022), σσ. 41078–41086.
- [7] Vassilis Alimisis κ.ά. «A low-power analog integrated implementation of the support vector machine algorithm with on-chip learning tested on a bearing fault application». Στο: *Sensors* 23.8 (2023), σ. 3978.
- [8] Vassilis Alimisis κ.ά. «An Analog Neural Network for Estimating Sea State or Wave Height from Inertial Sensor Data». Στο: *2024 IEEE 6th International Conference on AI Circuits and Systems (AICAS)*. IEEE. 2024, σσ. 238–242.

- [9] Vassilis Alimisis κ.ά. «A Memristor-Equivalent Analog Integrated Neural Network for Air Quality Classification». Στο: *2024 13th International Conference on Modern Circuits and Systems Technologies (MOCAST)*. IEEE. 2024, σσ. 1–4.
- [10] Vassilis Alimisis κ.ά. «An ultra-low power adjustable current-mode analog integrated general purpose artificial neural network classifier». Στο: *AEU-International Journal of Electronics and Communications* (2024), σ. 155467.
- [11] Vassilis Alimisis κ.ά. «A Robot Execution Failures Classification System Based on Analog IC Neural Networks». Στο: *2024 19th Conference on Ph. D Research in Microelectronics and Electronics (PRIME)*. IEEE. 2024, σσ. 1–4.
- [12] Vassilis Alimisis κ.ά. «An Analog Classifier for Liver Disorders based on Centroid Machine Learning Model». Στο: *2024 13th International Conference on Modern Circuits and Systems Technologies (MOCAST)*. IEEE. 2024, σσ. 1–4.
- [13] Sanjeev T. Chandrasekaran κ.ά. «A fully-integrated analog machine learning classifier for breast cancer classification». Στο: *Electronics* 9.3 (2020), σ. 515.
- [14] Sheng-Yu Peng, Bradley A Minch και Paul Hasler. «Analog VLSI implementation of support vector machine learning and classification». Στο: *2008 IEEE International Symposium on Circuits and Systems (ISCAS)*. IEEE. 2008, σσ. 860–863.
- [15] Junjie Lu κ.ά. «An analog online clustering circuit in 130nm CMOS». Στο: *2013 IEEE Asian Solid-State Circuits Conference (A-SSCC)*. IEEE. 2013, σσ. 177–180.
- [16] Paul R Gray κ.ά. *Analysis and design of analog integrated circuits*. John Wiley & Sons, 2009.
- [17] ZD Prijić, SS Dimitrijević και ND Stojadinović. «Analysis of temperature dependence of CMOS transistors' threshold voltage». Στο: *Microelectronics Reliability* 31.1 (1991), σσ. 33–37.
- [18] Raymond Wang κ.ά. «Threshold voltage variations with temperature in MOS transistors». Στο: *IEEE transactions on Electron Devices* 18.6 (1971), σσ. 386–388.
- [19] David A Johns και Ken Martin. *Analog integrated circuit design*. John Wiley & Sons, 2008.

- [20] Shekhar Borkar κ.ά. «Parameter variations and impact on circuits and microarchitecture». Στο: *Proceedings of the 40th annual Design Automation Conference*. 2003, σσ. 338–342.
- [21] Neil HE Weste και David Harris. *CMOS VLSI design: a circuits and systems perspective*. Pearson Education India, 2015.
- [22] Marcel JM Pelgrom, Aad CJ Duinmaijer και Anton PG Welbers. «Matching properties of MOS transistors». Στο: *IEEE Journal of solid-state circuits* 24.5 (1989), σσ. 1433–1439.
- [23] Arvind K Sharma κ.ά. «Common-centroid layouts for analog circuits: Advantages and limitations». Στο: *2021 Design, Automation & Test in Europe Conference & Exhibition (DATE)*. IEEE. 2021, σσ. 1224–1229.
- [24] Vassilis Alimisis κ.ά. «Analog gaussian function circuit: Architectures, operating principles and applications». Στο: *Electronics* 10.20 (2021), σ. 2530.
- [25] T Delbuck. «‘Bump’circuits for computing similarity and dissimilarity of analog voltage». Στο: *Proc. Int. Neural Network Society* (1991).
- [26] Tobias Delbrueck και C Mead. «Bump circuits». Στο: *Proceedings of International Joint Conference on Neural Networks*. Τόμ. 1. Citeseer. 1993, σσ. 475–479.
- [27] Renyuan Zhang κ.ά. «Design of programmable analog calculation unit by implementing support vector regression for approximate computing». Στο: *IEEE Micro* 38.6 (2018), σσ. 73–82.
- [28] Miguel Melendez-Rodriguez και José Silva-Martínez. «A fully-programmable temperature-compensated analogue circuit for gaussian functions». Στο: *Proceedings of the Third International Workshop on Design of Mixed-Mode Integrated Circuits and Applications (Cat. No. 99EX303)*. IEEE. 1999, σσ. 159–162.
- [29] Bradley A Minch. «A simple variable-width cmos bump circuit». Στο: *2016 IEEE International Symposium on Circuits and Systems (IS-CAS)*. IEEE. 2016, σσ. 1354–1357.
- [30] Richa Srivastava, Maneesha Gupta και Urvashi Singh. «FGMOS transistor based low voltage and low power fully programmable Gaussian function generator». Στο: *Analog Integrated Circuits and Signal Processing* 78 (2014), σσ. 245–252.
- [31] Adel S Sedra κ.ά. *Microelectronic circuits*. Τόμ. 4. Oxford university press New York, 2004.

- [32] Behzad Razavi. *Design of analog CMOS integrated circuits / Behzad Razavi*. eng. Second edition. New York, NY: McGraw-Hill Education, 2017. ISBN: 9780077496128.
- [33] Kyuho Lee, Junyoung Park και Hoi-Jun Yoo. «A low-power, mixed-mode neural network classifier for robust scene classification». Στο: *Journal of Semiconductor Technology and Science* 19.1 (2019), σσ. 129–136.
- [34] Junjie Lu κ.ά. «Nano-power tunable bump circuit using wide-input-range pseudo-differential transconductor». Στο: *Electronics letters* 50.13 (2014), σσ. 921–923.
- [35] Vassilis Alimisis κ.ά. «A 0.6 v, 3.3 nw, adjustable gaussian circuit for tunable kernel functions». Στο: *2021 34th SBC/SBMicro/IEEE/ACM Symposium on Integrated Circuits and Systems Design (SBCCI)*. IEEE. 2021, σσ. 1–6.
- [36] J. Lazzaro κ.ά. «Winner-Take-All Networks of O(N) Complexity». Στο: *Advances in Neural Information Processing Systems*. Επιμέλεια υπό D. Touretzky. Τόμ. 1. Morgan-Kaufmann, 1988. URL: <https://proceedings.neurips.cc/paper/1988/file/a8f15eda80c50adb0e71943adc8015cf-Paper.pdf>.
- [37] John M Steininger. «Understanding wide-band MOS transistors». Στο: *IEEE Circuits and Devices Magazine* 6.3 (1990), σσ. 26–31.
- [38] Yuji Osaki κ.ά. «1.2-V supply, 100-nW, 1.09-V bandgap and 0.7-V supply, 52.5-nW, 0.55-V subbandgap reference circuits for nanowatt CMOS LSIs». Στο: *IEEE Journal of Solid-State Circuits* 48.6 (2013), σσ. 1530–1538.
- [39] Yongjian Shen και Ran Zhang. «Constant-gm bias circuit without off-chip components». Στο: *2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*. IEEE. 2016, σσ. 1309–1311.
- [40] Nasser Talebbeydokhti κ.ά. «Constant transconductance bias circuit with an on-chip resistor». Στο: *2006 IEEE International Symposium on Circuits and Systems (ISCAS)*. IEEE. 2006, 4–pp.
- [41] Mohsen Shahghasemi και Kofi M Odame. «A Constant g m Current Reference Generator with Purely Off-Chip Resistor». Στο: *2020 IEEE 63rd International Midwest Symposium on Circuits and Systems (MWSCAS)*. IEEE. 2020, σσ. 309–312.

- [42] Ching-Yun Chu και Yu-Jiu Wang. «A PVT-independent constant- g_m bias technique based on analog computation». Στο: *IEEE Transactions on Circuits and Systems II: Express Briefs* 61.10 (2014), σσ. 768–772.
- [43] NS Sooch. «MOS Cascode current mirror». Στο: *US patent* (1985).
- [44] Joseph N Babanezhad και Roubik Gregorian. «A programmable gain/loss circuit». Στο: *IEEE Journal of Solid-State Circuits* 22.6 (1987), σσ. 1082–1090.
- [45] Qadeer Ahmad Khan, Sanjay Kumar Wadhwa και Kulbhushan Misri. «Low power startup circuits for voltage and current reference with zero steady state current». Στο: *Proceedings of the 2003 international symposium on Low power electronics and design*. 2003, σσ. 184–188.
- [46] Yannis P Tsividis. «Accurate analysis of temperature effects in I/SUB c/V/SUB BE/characteristics with application to bandgap reference sources». Στο: *IEEE Journal of Solid-State Circuits* 15.6 (1980), σσ. 1076–1084.
- [47] Joseph S Brugler. «Silicon transistor biasing for linear collector current temperature dependence». Στο: *IEEE Journal of Solid-State Circuits* 2.2 (1967), σσ. 57–58.
- [48] Robert J Widlar. «An exact expression for the thermal variation of the emitter base voltage of bi-polar transistors». Στο: *Proceedings of the IEEE* 55.1 (1967), σσ. 96–97.
- [49] Yueming Jiang και Edward KF Lee. «Design of low-voltage bandgap reference using transimpedance amplifier». Στο: *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing* 47.6 (2000), σσ. 552–555.
- [50] Arne E Buck κ.ά. «A CMOS bandgap reference without resistors». Στο: *IEEE Journal of Solid-State Circuits* 37.1 (2002), σσ. 81–83.
- [51] Roubik Gregorian, Glenn A Wegner και WE Nicholson. «An integrated single-chip PCM voice codec with filters». Στο: *IEEE Journal of Solid-State Circuits* 16.4 (1981), σσ. 322–333.
- [52] A Paul Brokaw. «A simple three-terminal IC bandgap reference». Στο: *IEEE Journal of Solid-State Circuits* 9.6 (1974), σσ. 388–393.
- [53] Hironori Banba κ.ά. «A CMOS bandgap reference circuit with sub-1-V operation». Στο: *IEEE Journal of Solid-State Circuits* 34.5 (1999), σσ. 670–674.

- [54] Harry Neuteboom, Ben MJ Kup και Mark Janssens. «A DSP-based hearing instrument IC». Στο: *IEEE Journal of Solid-State Circuits* 32.11 (1997), σσ. 1790–1806.
- [55] Piero Malcovati κ.ά. «Curvature-compensated BiCMOS bandgap with 1-V supply voltage». Στο: *IEEE Journal of Solid-State Circuits* 36.7 (2001), σσ. 1076–1081.
- [56] Ming-Dou Ker, Jung-Sheng Chen και Ching-Yun Chu. «A CMOS bandgap reference circuit for sub-1-V operation without using extra low-threshold-voltage device». Στο: *2004 IEEE International Symposium on Circuits and Systems (ISCAS)*. Τόμ. 1. IEEE. 2004, σσ. I–I.
- [57] Paul R Gray και Robert G Meyer. «MOS operational amplifier design-a tutorial overview». Στο: *Ieee journal of solid-state circuits* 17.6 (1982), σσ. 969–982.
- [58] Joselyn Torres κ.ά. «Low drop-out voltage regulators: Capacitor-less architecture comparison». Στο: *IEEE Circuits and Systems Magazine* 14.2 (2014), σσ. 6–26.
- [59] Richard C Dorf Robert H Bishop. *Modern control systems*. 2011.
- [60] Stafford Hutchins κ.ά. «A high-output power 1-V charge pump and power switch for configurable, in-field-programmable metal eFuse on Intel 4 logic technology». Στο: *IEEE Solid-State Circuits Letters* 6 (2022), σσ. 9–12.
- [61] Ho-Joon Jang κ.ά. «Low drop-out (ldo) voltage regulator with improved power supply rejection». Στο: *JSTS: Journal of Semiconductor Technology and Science* 12.3 (2012), σσ. 313–319.
- [62] Vishal Gupta, Gabriel A Rincón-Mora και Prasun Raha. «Analysis and design of monolithic, high PSR, linear regulators for SoC applications». Στο: *IEEE International SOC Conference, 2004. Proceedings*. IEEE. 2004, σσ. 311–315.
- [63] Elad Alon κ.ά. «Replica compensated linear regulators for supply-regulated phase-locked loops». Στο: *IEEE Journal of Solid-State Circuits* 41.2 (2006), σσ. 413–424.
- [64] Kwok K Hung κ.ά. «A physics-based MOSFET noise model for circuit simulators». Στο: *IEEE Transactions on Electron Devices* 37.5 (1990), σσ. 1323–1333.
- [65] Renuka P Jindal. «Compact noise models for MOSFETs». Στο: *IEEE Transactions on Electron Devices* 53.9 (2006), σσ. 2051–2061.

- [66] Vassilis Alimisis, Christos Dimas κα Paul P Sotiriadis. «A Low-Power Analog Integrated Euclidean Distance Radial Basis Function Classifier». Στο: *Electronics* 13.5 (2024), σ. 921.
- [67] Evangelos Georgakilas κ.ά. «An ultra-low power fully-programmable analog general purpose type-2 fuzzy inference system». Στο: *AEU-International Journal of Electronics and Communications* 170 (2023), σ. 154824.
- [68] Vassilis Alimisis κ.ά. «A hand gesture recognition circuit utilizing an analog voting classifier». Στο: *Electronics* 11.23 (2022), σ. 3915.
- [69] Vassilis Alimisis κ.ά. «An ultra low power analog integrated radial basis function classifier for smart IoT systems». Στο: *Analog Integrated Circuits and Signal Processing* 112.2 (2022), σσ. 225–236.
- [70] Ross Quinlan. *Thyroid Disease*. UCI Machine Learning Repository. DOI: <https://doi.org/10.24432/C5D010>. 1987.