



Εθνικό Μετσόβιο Πολυτεχνείο

Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής
Εργαστήριο Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων

Κυκλώματα Διαχείρισης Ισχύος για Αναλογικά Συστήματα Μηχανικής Μάθησης.

Διπλωματική Εργασία

της

Ντάσιου Ουρανίας

Επιβλέπων: Παύλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Αθήνα, Οκτώβριος 2024



Εθνικό Μετσόβιο Πολυτεχνείο

Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Επικοινωνιών, Ηλεκτρονικής και Συστημάτων Πληροφορικής
Εργαστήριο Σχεδίασης Μικροηλεκτρονικών Κυκλωμάτων

Κυκλώματα Διαχείρισης Ισχύος για Αναλογικά Συστήματα Μηχανικής Μάθησης.

Διπλωματική Εργασία

της

Ντάσιου Ουρανίας

Επιβλέπων: Πάυλος Π. Σωτηριάδης
Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 2^α Οκτωβρίου
2024:

.....
Πάυλος Π. Σωτηριάδης
Καθηγητής
Ε.Μ.Π.

.....
Κωνσταντίνα Νικήτα
Καθηγήτρια
Ε.Μ.Π.

.....
Ευάγγελος Χριστοφόρου
Καθηγητής
Ε.Μ.Π.

Αθήνα, Οκτώβριος 2024

.....
Ντάσιου Ουρανία

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών,
Ε.Μ.Π.

Copyright © Ντάσιου Ουρανία, 2024.

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Στα πλαίσια της παρούσας εργασίας παρουσιάζεται μία πλήρως αναλογική μονάδα διαχείρισης ισχύος, για την τροφοδότηση ενός ταξινομητή βασισμένου στο Γκαουσιανό Μοντέλο Μίξης (Gaussian Mixture Model). Πρωτεύων στόχος της μονάδας είναι η παροχή του επιθυμητού επιπέδου ρεύματος και τάσης για την τροφοδότηση άλλων στοιχείων του συστήματος. Στην προτεινόμενη τοπολογία PMU επιτεύχθηκε εξαιρετικά χαμηλή κατανάλωση ισχύος ($591nW$), και μικρή επιφάνεια on chip (μόλις $0.142mm^2$), ενώ η ακρίβεια που επεδείκνυε το μοντέλο του ταξινομητή σε επίπεδο hardware ανέρχονταν σε 93.23% σε πραγματικό σύνολο δεδομένων για την ασθένεια του θυρεοειδούς. Η εν λόγω υλοποίηση θα μπορούσε να αποτελέσει την απόδειξη της ιδέας σχεδιασμού παρεμφερών μονάδων πολύ χαμηλής κατανάλωσης με δυνατότητα ενσωμάτωσης προηγμένων λειτουργιών, όπως μετατροπείς DC-DC, ή Pulse Width Modulation mode με σύνθετα ψηφιακά τμήματα ελέγχου. Το μοντέλο του ταξινομητή στηρίζεται στις Γκαουσιανές συναρτήσεις πυκνότητας πιθανότητας και η εκπαίδευσή του πραγματοποιήθηκε με χρήση της γλώσσας προγραμματισμού python. Η υλοποίηση και προσομοίωση του προτεινόμενου σχεδιασμού πραγματοποιήθηκε χρησιμοποιώντας το Cadence IC Suite σε τεχνολογία TSMC 90nm CMOS process.

Λέξεις Κλειδιά: Αναλογικά Ολοκληρωμένα Κυκλώματα, Γκαουσιανό Μοντέλο Μίξης, Μπεϋζιανός Ταξινομητής, Μονάδα Διαχείρισης Ισχύος, Χαμηλή Κατανάλωση Ισχύος

Abstract

In the context of the present work, a fully analog Power Management Unit is being presented, for powering a classifier based on the Gaussian Mixture Model. The primary objective of the unit is to provide the desired level of current and voltage to power other system components. In the proposed topology, extremely low power consumption was achieved ($591nW$), along with a small on-chip area (only $0.142mm^2$), while the classifier's hardware model demonstrated accuracy of 93.23% on a real dataset for thyroid disease. This implementation could serve as a proof of concept for the design of similar ultra-low-power units with the potential to integrate advanced features, such as DC-DC converters or Pulse Width Modulation (PWM) mode with complex digital control sections. The classifier model is based on Gaussian probability density functions, and its training was carried out using the Python programming language. The implementation and simulation of the proposed design were conducted using the Cadence IC Suite in TSMC 90nm CMOS process technology.

Keywords: Analog Integrated Circuits, Gaussian Mixture Model, Bayesian Classifier, Power Management Unit, Low-Power Consumption.

Ευχαριστίες

Καθώς ολοκληρώνεται ο κύκλος των προπτυχιακών μου σπουδών, θα ήθελα να ευχαριστήσω όλους εκείνους που στάθηκαν συνοδοιπόροι και αρωγοί σε όλη τη διάρκεια της φοίτησής μου.

Αρχικά, θα ήθελα να ευχαριστήσω θερμά τον επιβλέποντα καθηγητή μου κ. Παύλο-Πέτρο Σωτηριάδη για την εμπιστοσύνη που μου έδειξε, καθώς επίσης και για την πολύτιμη καθοδήγησή του κατά την εκπόνηση της παρούσας διπλωματικής εργασίας. Παράλληλα, θα ήθελα να εκφράσω την ειλικρινή ευγνωμοσύνη μου στον Διδάκτορα Βασίλειο Αλιμήση για την σύλληψη του θέματος της εργασίας, αλλά και την ανεκτίμητη συνεισφορά του σε όλα τα στάδια εκπόνησής της, καθώς επίσης και τα υπόλοιπα μέλη του Εργαστηρίου Μικροηλεκτρονικής για την ευχάριστη συνεργασία και τις όμορφες αναμνήσεις.

Τέλος, θα ήθελα να ευχαριστήσω ιδιαίτερα την οικογένειά μου και τους φίλους μου για την αμέριστη στήριξή τους καθ' όλη την διάρκεια της φοιτητικής μου διαδρομής.

Ουρανία Ντάσιου
Οκτώβριος 2024

Περιεχόμενα

Περίληψη	5
Abstract	7
Ευχαριστίες	9
Ευρετήριο Εικόνων	13
Κατάλογος Πινάκων	15
1 Εισαγωγή	17
2 Θεωρητικό Υπόβαθρο	21
2.1 Στοιχεία Θεωρίας Πιθανοτήτων	21
2.2 Gaussian Mixture Models	23
2.2.1 Clustering	24
2.2.2 Κυκλώματα ταξινόμησης με χρήση GMM	27
2.3 Transistor MOSFET	29
2.3.1 Δομή του MOSFET.	29
2.3.2 Περιοχές Λειτουργίας του MOSFET	30
2.3.3 Μοντέλο Μικρού Σήματος (Small Signal Model)	33
2.3.4 Φαινόμενο Σώματος (Body Effect)	34
3 Βασικά Κυκλώματα του Ταξινομητή	37
3.1 Bump Circuits	37
3.1.1 Delbruck's Simple Bump	37
3.1.2 Neuron Bump	39
3.1.3 Cascode Bump	41
3.1.4 Άλλες τοπολογίες Bump	43
3.1.5 Lazzaro Winner-Take-All Circuit	45

4	Δομικά Στοιχεία Μονάδας Διαχείρισης Ισχύος(Power Management Unit)	51
4.0.1	Bandgap Reference Voltage Circuit	51
4.1	Low-Dropout Regulator (LDO)	56
4.2	Constant Transconductance Circuit.	61
5	Αποτελέσματα Προσομοιώσεων	65
5.0.1	Το Σύνολο Δεδομένων	65
5.0.2	Διαδικασία Εκπαίδευσης	67
5.0.3	Αποτελέσματα Προσομοιώσεων	68
6	Συμπεράσματα και Προτάσεις για Μελλοντική Έρευνα	71

Ευρετήριο Εικόνων

2.1	Γραφική παράσταση κανονικής κατανομής.	23
2.2	Γραφική παράσταση της δομής ενός GMM.	24
2.3	Ένα ενδεικτικό παράδειγμα της τεχνικής του clustering.	25
2.4	Δομή του MOSFET τρανζίστορ.	30
2.5	Οι περιοχές λειτουργίας του MOSFET για την περίπτωση της τριόδου και του κορεσμού.	32
2.6	Ισοδύναμο κύκλωμα μικρού σήματος του MOSFET.	33
2.7	Διατομή ενός NMOS transistor με εμφανείς τις παρασιτικές χωρητικότητες	34
3.1	Delbruck's Simple Bump σε επίπεδο transistor.	38
3.2	Ρεύμα εξόδου του Delbruck's Simple Bump για ενδεικτικές τιμές παραμέτρων ($V_m = 0$, $V_c = -300mV$, $I_{bias} = 30nA$).	38
3.3	Neuron Bump σε επίπεδο transistor.	40
3.4	Παραμετρικές αναλύσεις του Neuron Bump: -Ως προς το I_{bias} (πάνω-αριστερά), για $I_r = 5nA$, $V_c = 0V$ και $M = 1$. -Ως προς το I_r (πάνω δεξιά), για $I_{bias} = 12nA$, $V_c = 0.2V$ και $M = 1$ -Ως προς το V_c (κάτω-αριστερά). για $I_{bias} = 12nA$, $I_r = 5nA$ και $M = 1$. -Ως προς το M (κάτω-δεξιά), για $I_{bias} = 12nA$, $I_r = 5nA$ και $V_c = 0.3V$	41
3.5	Cascode Bump σε επίπεδο transistor.	42
3.6	Γραφική παράσταση ρεύματος εξόδου (I_{out}) συναρτήση της σταθεράς αναλογίας μεταξύ των transistor του διαφορικού ζεύγους, με παραμέτρους $V_r = 0V$, $V_c = 180mV$ και $I_{bias} = 6nA$	43
3.7	Fully-tunable Bump σε επίπεδο transistor.	44

3.8	Παραμετρική ανάλυση συναρτήσεως του V_c προς καθορισμό του πλάτους της bell-curve.	44
3.9	Εναλλακτική υλοποίηση ενός fully-tunable Bump σε επίπεδο transistor.	45
3.10	Η δομή ενός pMOS Lazzaro WTA δύο νευρώνων.	46
3.11	Η γενική μορφή ενός cascaded WTA δύο νευρώνων.	47
3.12	Η τοπολογία του pMOS WTA τριών νευρώνων που σχεδιάστηκε στα πλαίσια της προτεινόμενης υλοποίησης.	47
3.13	Ο κασχοδικός καθρέπτης (CM) στον οποίο εισέρχεται το ρεύμα εξόδου του εκάστοτε Bump.	48
3.14	Η τοπολογία του αναλογικού ταξινομητή με παράλληλα συνδεδεμένα κυκλώματα υλοποίησης Γκαουσιανών συναρτήσεων.	49
4.1	Η γενική ιδέα της αντιστάθμισης θερμοκρασίας σε BGR.	52
4.2	Η κλασική μορφή ενός κυκλώματος τύπου BGR.	53
4.3	Η προτεινόμενη τοπολογία BGR.	54
4.4	Διαγραμματική παρουσίαση των βασικών λειτουργιών ενός LDO.	57
4.5	Η προτεινόμενη τοπολογία LDO. Απαρτίζεται από i) ένα native nMOS pass-device, ii) τον Error-Amplifier και iii) τον current-bleeder.	58
4.6	Η συμβατική τοπολογία folded-cascode.	59
4.7	Η προτεινόμενη τοπολογία τύπου recycling-folded-cascode για τον Error-Amplifier του LDO.	60
4.8	Το κύκλωμα σταθερής διαγωγιμότητας συνοδευόμενο από τους καθρέπτες ρεύματος, οι οποίοι εξυπηρετούν τις ανάγκες της πόλωσης.	62
4.9	Η τοπολογία Ahuja-compensation op-amp που περιλαμβάνεται στο κύκλωμα σταθερής διαγωγιμότητας.	63
5.1	Η ανατομία του θυρεοειδούς αδένα.	66
5.2	Γενική αρχή αλγορίθμων μηχανικής μάθησης.	67
5.3	Η τεχνική K-fold cross-validation.	68
5.4	Το layout της προτεινόμενης PMU, με επιφάνεια $0.142mm^2$	69

Κατάλογος Πινάκων

3.1	Cascode Bump Sizing (Σχήμα 3.5).	43
3.2	pMOS WTA & Cascode Current Mirror Sizing (Σχήμα 3.12, 3.13).	48
4.1	BGR Sizing (Σχήμα 4.3).	56
4.2	LDO Sizing (Σχήματα 4.5, 4.7 και φίλτρο $R - C$).	61
4.3	Constant- g_m Sizing (Σχήματα 4.6, 4.7).	63
5.1	Αποτελέσματα Προσομοίωσης για την PMU	70
5.2	Αποτελέσματα Προσομοίωσης για τον ταξινομητή	70

ΚΑΤΑΛΟΓΟΣ ΠΙΝΑΚΩΝ

Κεφάλαιο 1

Εισαγωγή

Τα τελευταία χρόνια, έχουν σημειωθεί ριζικές αλλαγές στους τομείς της πληροφορικής και των νέων τεχνολογιών. Παράλληλα, η μεγάλη πληθώρα διαθέσιμων δεδομένων για επεξεργασία, έχει οδηγήσει στην άνθιση το κλάδου των “μεγάλων δεδομένων” (Big Data), που χρήζουν ιδιαίτερου χειρισμού από την επιστημονική κοινότητα. Υπό αυτό το πρίσμα, οι τεχνικές μηχανικής μάθησης (Machine Learning) έρχονται στο προσκήνιο, με στόχο την αποτελεσματική και άμεση επεξεργασία τους προς εξαγωγή χρήσιμης πληροφορίας. Οι εν λόγω τεχνικές εντάσσονται στο ευρύτερο σύνολο της τεχνητής νοημοσύνης (AI), στο οποίο υπολογιστές εκπαιδεύονται με χρήση δεδομένων και βελτιώνονται μέσω της εμπειρίας βρίσκοντας μοτίβα και συσχετίσεις, χωρίς να είναι ρητά προγραμματισμένοι [1].

Πρωταρχικό και κυριότερο βήμα κατά την χρήση τεχνικών μηχανικής μάθησης, είναι η διαίρεση του αρχικού-πλήρους συνόλου δεδομένων (dataset) σε δύο πλήρως διακριτά υποσύνολα: το σύνολο εκπαίδευσης (training set) και το σύνολο ελέγχου (test set), χωρίς να υφίσταται καμία απολύτως επικάλυψη μεταξύ τους και με αναλογία που καθορίζεται αναλόγως με την διαθεσιμότητα δεδομένων και τον εκάστοτε τύπο αλγορίθμου που χρησιμοποιείται. Μία πρώτη διάκριση των αλγορίθμων μηχανικής μάθησης, δύναται να πραγματοποιηθεί με κριτήριο την γνώση που διαθέτει το μοντέλο ως προς την έξοδο κατά το στάδιο της εκπαίδευσης. Σύμφωνα με αυτή την κατηγοριοποίηση, οι αλγόριθμοι Machine Learning μπορούν να διακριθούν σε (ημι-)επιβλεπόμενους και μη. Στην περίπτωση που κατά το στάδιο της εκπαίδευσης το προτεινόμενο μοντέλο λαμβάνει τα δεδομένα εισόδου, συμπεριλαμβανομένης της αναμενόμενης εξόδου από το σύστημα, πρόκειται για επιβλεπόμενη μέθοδο μάθησης, ενώ σε αντίθετη περίπτωση για μη-επιβλεπόμενη. Η ημι-επιβλεπόμενη μάθηση αποτελεί μία εφαρμόσιμη λύση

στην περίπτωση που υπάρχουν τεράστιες ποσότητες ακατέργαστων και μη δομημένων δεδομένων, όπου το μοντέλο χρησιμοποιεί τα δεδομένα με ετικέτα (label) προς εξαγωγή συσχετίσεων για εκείνα τα δεδομένα εκπαίδευσης που στερούνται ετικέτας, με πρωτεύοντα στόχο την επίτευξη ακρίβειας και την επιτάχυνση της διαδικασίας εκμάθησης [2].

Η κατανόηση των τεχνικών μηχανικής μάθησης, απαιτεί την χρήση κατάλληλων αλγορίθμων και μαθηματικών εργαλείων, όπως είναι η γραμμική άλγεβρα και η θεωρία πιθανοτήτων επί παραδείγματι [3]. Σε αυτή την κατεύθυνση, χρησιμοποιείται εκτεταμένα η Μπεϋζιανή λογική (Bayesian logic), η οποία βρίσκει εφαρμογή σε προβλήματα ταξινόμησης και βασίζεται στον κανόνα του Bayes για τον υπολογισμό πιθανοτήτων.

Οι προαναφερθείσες καινοτομίες στον κλάδο της πληροφορικής και ειδικότερα οι λύσεις που προτείνει η μηχανική μάθηση σε προβλήματα ταξινόμησης, έχουν πυροδοτήσει σημαντικές αλλαγές και στον τομέα της υγείας, όπου το ενδιαφέρον της επιστημονικής κοινότητας σταδιακά μετατοπίζεται στην διαμόρφωση υποβοηθούμενων από υπολογιστή διαγνωστικών εργαλείων και αλγορίθμων μηχανικής μάθησης. Με τον τρόπο αυτό, η μηχανική μάθηση και η Μπεϋζιανή λογική βρίσκουν πρόσφορο έδαφος στην ιατρική, συνεπικουρώντας στην έγκαιρη διάγνωση, με στόχο την άμεση και αποτελεσματική θεραπεία.

Συγχρόνως, τα τελευταία χρόνια, τα ολοκληρωμένα κυκλώματα χαρακτηρίζονται από ταχύτατη εξάπλωση, κυρίως λόγω των προαναφερθέντων καινοτόμων εξελίξεων στον τομέα των ιατρικών εμφυτευμάτων και της κινητής υπολογιστικής (mobile computing), σε συνδυασμό με την ευρεία διάδοση του Internet of Things (IoT). Το γεγονός αυτό δημιουργεί ένα περιβάλλον συσκευών και αισθητήρων που ενσωματώνονται σε πολυάριθμες καταναλωτικές και βιομηχανικές εφαρμογές. Όλες αυτές οι υλοποιήσεις, μοιράζονται μία κοινή απαίτηση: αυξημένη λειτουργικότητα, παρατεταμένη διάρκεια ζωής της μπαταρίας και μειωμένη απαγωγή θερμότητας.

Δεδομένων των προαναφερθέντων συνθηκών, ο συγκερασμός της μηχανικής μάθησης και των αναλογικών κυκλωμάτων συνιστά πρόκληση, ιδιαιτέρως για προβλήματα ομαδοποίησης, παλινδρόμησης και ταξινόμησης. Σε αυτό το εγχείρημα, απαραίτητη προϋπόθεση είναι ο σχεδιασμός αναλογικών κυκλωμάτων με τα επιθυμητά χαρακτηριστικά, που διακρίνονται πρωτίστως από χαμηλή κατανάλωση ισχύος [4]. Υπό αυτήν την οπτική, η διαχείριση ισχύος ανάγεται σε κρίσιμο ζήτημα στον σχεδιασμό σε επίπεδο hardware, καθώς τέτοιες μονάδες καταφέρνουν να ρυθμίζουν και να διανέμουν την ισχύ μέσα στα ηλεκτρονικά συστήματα με αποτελεσματικό τρόπο.

Στα πλαίσια της παρούσας εργασίας, παρουσιάζεται η σχεδίαση ενός πλήρως αναλογικού συστήματος, το οποίο απαρτίζεται από μία μονάδα

διαχείρισης ισχύος (Power Management Unit), που τροφοδοτεί έναν αναλογικό ταξινομητή. Η συγκεκριμένη μονάδα, αποτελείται από επιμέρους κυκλώματα και πιο συγκεκριμένα από ένα κύκλωμα δημιουργίας τάσης αναφοράς bandgap, το οποίο παρέχει μία σταθερή τάση για το σύστημα και ένα RC χαμηλοπερατό (low-pass) φίλτρο, το οποίο καταστέλλει τον θόρυβο υψηλών συχνοτήτων εξασφαλίζοντας σταθερότητα στην έξοδο. Θεμελιώδες τμήμα της, συνιστά επίσης ο Low Dropout Regulator (LDO), ο οποίος υποβαθμίζει μία συνεχή (DC) τάση, απορρίπτοντας συγχρόνως την κυμάτωση που τυχόν παρατηρείται από την είσοδο προς την έξοδό του, ενώ την σχεδιαζόμενη μονάδα διαχείρισης ισχύος, συμπληρώνει ένα κύκλωμα σταθερής διαγωγιμότητας (constant g_m), που -συνοδευόμενο από πολλαπλούς καθρέπτες ρεύματος- κατορθώνει να παράγει το απαιτούμενο ρεύμα πόλωσης για κάθε επιμέρους κύκλωμα του συστήματος.

Η παρούσα εργασία είναι δομημένη ως ακολούθως:

- Στο Κεφάλαιο 1, πραγματοποιείται μία γενική εισαγωγή στο κυρίως θέμα που πραγματεύεται η εργασία.
- Στο Κεφάλαιο 2, παρουσιάζεται το θεωρητικό υπόβαθρο της εργασίας. Ειδικότερα πραγματοποιείται μία ανασκόπηση των μαθηματικών εργαλείων που διέπουν τους αλγορίθμους μηχανικής μάθησης που χρησιμοποιούνται για την υλοποίηση του αναλογικού ταξινομητή και παρουσιάζονται οι περιοχές λειτουργίας του MOSFET transistor, που χρησιμοποιείται κατά κόρον στην κυκλωματική σχεδίαση.
- Στο Κεφάλαιο 3, αναλύονται τα επιμέρους κυκλώματα που διαρθρώνουν την μονάδα του ταξινομητή.
- Στο Κεφάλαιο 4, παρουσιάζονται τα επιμέρους δομικά στοιχεία της μονάδας διαχείρισης ισχύος και επεξηγείται ο τρόπος λειτουργίας τους.
- Στο Κεφάλαιο 5, παρατίθενται τα πειραματικά αποτελέσματα της υλοποίησης, όπως αυτά προκύπτουν μέσω προσομοιώσεων.
- Στο Κεφάλαιο 6, παρατίθενται τα κύρια συμπεράσματα που πηγάζουν από την παρούσα εργασία και διατυπώνονται ενδεικτικές προτάσεις για μελλοντική έρευνα.

Κεφάλαιο 2

Θεωρητικό Υπόβαθρο

Όπως αναφέρθηκε και προηγουμένως, ο συγκερασμός των αναλογικών κυκλωμάτων και των τεχνικών μηχανικής μάθησης, διέπεται από νόμους γραμμικής άλγεβρας και στοιχεία πιθανοτήτων και στατιστικής. Κατά συνέπεια, με στόχο την πληρέστερη κατανόηση της προτεινόμενης υλοποίησης, κρίνεται απαραίτητη η παρουσίαση του κατάλληλου μαθηματικού υποβάθρου.

2.1 Στοιχεία Θεωρίας Πιθανοτήτων

Ένα από τα πλέον βασικά εργαλεία της θεωρίας πιθανοτήτων, είναι ο ορισμός της δεσμευμένης πιθανότητας, που εκφράζει την πιθανότητα να συμβεί ένα ενδεχόμενο (έστω A), γνωρίζοντας πως ισχύει κάποιο άλλο ενδεχόμενο (έστω B). Η μαθηματική περιγραφή του προαναφερθέντος ορισμού, είναι η ακόλουθη:

$$P(A|B) = \frac{P(A \cap B)}{P(B)} \quad (2.1)$$

Σε αυτή την βάση, ένα ιδιαίτερος χρήσιμο εργαλείο είναι ο κανόνας του Bayes. Πρόκειται για μία μαθηματική μοντελοποίηση, που χρησιμοποιείται για να περιγράψει πιθανότητες γεγονότων υπό συνθήκη, αξιοποιώντας πρότερη γνώση που μπορεί να είναι συναφής με το υπό εξέταση ενδεχόμενο.

Έστω ένα σύνολο ενδεχομένων $A_1, A_2, \dots, A_i$ που ανήκουν σε έναν χώρο δειγμάτων S και καθένα από τα οποία έχει μη-μηδενική πιθανότητα να συμβεί [5].

$$A_1, A_2, \dots, A_i \in S \quad (2.2)$$

$$0 \leq P(A_n) \leq 1, n = 1, 2, \dots, i \quad (2.3)$$

Τότε, για κάθε ενδεχόμενο B που συμβαίνει ως $A_1 \cup A_2 \cup \dots \cup A_i$, σύμφωνα με το θεώρημα του Bayes θα ισχύει:

$$P(A_i|B) = \frac{P(B|A_i) \cdot P(A_i)}{P(B)}, P(B) \neq 0 \quad (2.4)$$

Σύμφωνα με την παραπάνω μαθηματική σχέση, καθίσταται εμφανές πως ο κανόνας του Bayes επιτρέπει την εύρεση συσχετίσεων μεταξύ δεδομένων εισόδου και προβλεπόμενης εξόδου. Συνεπώς, συνιστά βασικό πυλώνα πολυάριθμων αλγορίθμων μηχανικής μάθησης με εφαρμογή σε προβλήματα ταξινόμησης, όπου δεδομένου ενός διανύσματος χαρακτηριστικών (έστω X), εκφράζει την πιθανότητα το δεδομένο εισόδου να ανήκει σε μία κλάση (έστω C_k) και περιγράφεται μαθηματικά με την ακόλουθη σχέση:

$$P(C_k|X) = \frac{P(C_k) \cdot P(X|C_k)}{P(X)} \quad (2.5)$$

όπου:

- $P(C_k|X)$: η (εκ των υστέρων) a posterior πιθανότητα να ανήκει το δεδομένο εισόδου στην κλάση C_k , δεδομένου του διανύσματος χαρακτηριστικών του (X).
- $P(C_k)$: η (εκ των προτέρων) prior πιθανότητα να ανήκει η είσοδος στην κλάση C_k ανεξαρτήτως του διανύσματος χαρακτηριστικών της.
- $P(X|C_k)$: η πιθανότητα να περιγράφεται η είσοδος από το διάνυσμα χαρακτηριστικών X , δεδομένου ότι ανήκει στην κλάση C_k .
- $P(X)$: η πιθανότητα παρατήρησης του διανύσματος χαρακτηριστικών X , η οποία ονομάζεται μερική πιθανότητα ή κανονικοποιητική σταθερά κι εξασφαλίζει πως οι πιθανότητες $P(C_k|X)$ αθροίζουν στην μονάδα, σύμφωνα με την ιδιότητα της συνάρτησης πυκνότητας πιθανότητας (Probability Density Function)

$$\sum_{-\infty}^{+\infty} f_X(x) = 1 \quad (2.6)$$

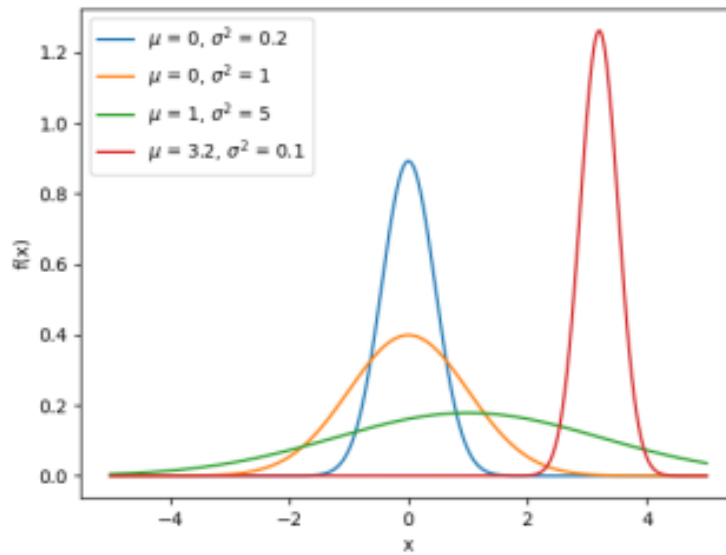
για διακριτή συνάρτηση $f(x)$ ή εναλλακτικά

$$\int_{-\infty}^{+\infty} f_X(x) dx = P(-\infty < X < +\infty) = 1 \quad (2.7)$$

για την περίπτωση συνεχούς συνάρτησης $f(x)$.

2.2 Gaussian Mixture Models

Μία ιδιαίτερως σημαντική κατηγορία κυκλωμάτων που συνδυάζουν την μηχανική μάθηση με αμιγώς αναλογικές υλοποιήσεις, είναι τα κυκλώματα ταξινόμησης που βασίζονται στην κανονική (Gaussian) κατανομή, η γραφική παράσταση της οποίας ονομάζεται “καμπάνα” (bell curve) και απεικονίζεται στο Σχήμα (2.1).

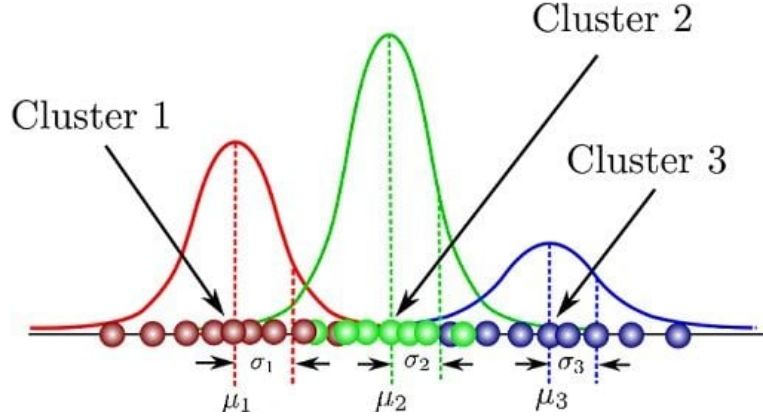


Σχήμα 2.1: Γραφική παράσταση κανονικής κατανομής.

$$\mathcal{N}(x|\mu, \sigma^2) = \frac{1}{(2\pi\sigma^2)^{\frac{1}{2}}} e^{-\frac{1}{(2\sigma^2)}(x-\mu)^2} \quad (2.8)$$

- μ : η μέση τιμή της κανονικής κατανομής, που καθορίζει το σημείο του οριζόντιου άξονα στο οποίο θα βρίσκεται το κέντρο της bell curve.
- σ : η τυπική απόκλιση, μέσω της οποίας μεταβάλλεται το άνοιγμα της bell curve.
- σ^2 : η διασπορά της κανονικής κατανομής.

Στην περίπτωση των ταξινομητών που βασίζονται στην κανονική κατανομή, κάθε κλάση ταξινόμησης C_k περιγράφεται από μία Gaussian bell-curve, επομένως θεωρείται ότι αντιστοιχίζεται σε μοναδικό ζεύγος τιμών μ, σ^2 .



Σχήμα 2.2: Γραφική παράσταση της δομής ενός GMM.

Το γεγονός αυτό υποδηλώνει πως η πιθανότητα η είσοδος (με διάνυσμα χαρακτηριστικών X) να ανήκει στην κλάση C_k , διέπεται από την κάτωθι σχέση, στην οποία με N συμβολίζεται ο αριθμός των κλάσεων στο υπό εξέταση πρόβλημα ταξινόμησης:

$$P(X|C_k) = P(X|\mu_i, \sigma_i^2) = \prod_{n=1}^N \mathcal{N}(x|\mu, \sigma^2) \implies$$

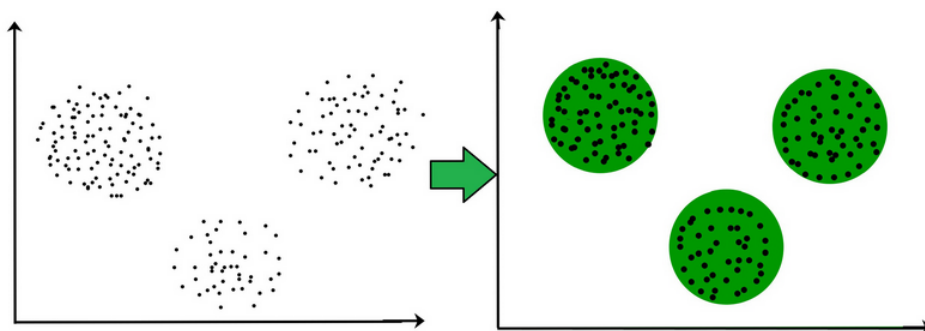
$$P(X|C_k) = \prod_{n=1}^N \frac{1}{(2\pi\sigma^2)^{\frac{1}{2}}} e^{-\frac{1}{(2\sigma^2)}(x-\mu)^2} \quad (2.9)$$

Τα Γκαουσιανά Μοντέλα Μίξης (Gaussian Mixture Models) είναι δομές που βασίζονται στην κανονική κατανομή και χρησιμοποιούνται για τον προσδιορισμό της πιθανότητας ένα σημείο του συνόλου δεδομένων να υπάγεται σε ένα συγκεκριμένο σύμπλεγμα, που στην γλώσσα της μηχανικής μάθησης αποκαλείται “cluster” [6].

2.2.1 Clustering

Η ομαδοποίηση (Clustering) είναι μία τεχνική μη-επιβλεπόμενης μάθησης κατά την οποία δεδομένα ταξινομούνται σε “συστάδες” (clusters) ανάλογα με την ομοιότητα που εμφανίζουν μεταξύ τους. Κύριος στόχος της εν λόγω τεχνικής, είναι η δημιουργία ομάδων που απαρτίζονται από ομογενή δεδομένα ενός ευρύτερου, ετερογενούς συνόλου δεδομένων.

Στο Σχήμα (2.2) παριστάνεται ένα ενδεικτικό παράδειγμα της τεχνικής του clustering για την περίπτωση τριών ομογενών υποσυνόλων. Ο λόγος για



Σχήμα 2.3: Ένα ενδεικτικό παράδειγμα της τεχνικής του clustering.

τον οποίο επισημαίνεται πως πρόκειται για παράδειγμα, είναι ο τρόπος με τον οποίο συντελείται η ομαδοποίηση. Τυπικά, υπάρχουν δύο δυνατοί τρόποι ομαδοποίησης:

- **Hard clustering:** σε αυτόν τον τρόπο ομαδοποίησης, κάθε στοιχείο του αρχικού συνόλου δεδομένων ανήκει ολοκληρωτικά σε ένα cluster ή όχι.
- **Soft clustering:** εν ποκειμένω, σε κάθε στοιχείο του αρχικού συνόλου δεδομένων αποδίδεται μία πιθανότητα να ανήκει σε καθένα από τα δυνατά clusters.

Σε αδρές γραμμές, η τεχνική του clustering συνδράμει στην ανάλυση μη δομημένων δεδομένων. Εποπτικά, η μικρότερη απόσταση, καθώς επίσης και η πυκνότητα των δεδομένων σε γράφημα, συνιστούν μερικούς από τους παράγοντες που επηρεάζουν την τελική διαμόρφωση των ομάδων. Μέσω της ομαδοποίησης των δεδομένων, εκτιμάται ο βαθμός συσχέτισης των ακατέργαστων δεδομένων μεταξύ τους, σύμφωνα με μία μετρική που αποκαλείται μέτρο ομοιότητας (similarity measure) [7, 8]. Ο προσδιορισμός της κατάλληλης μετρικής συνιστά πρόκληση, καθώς σχετίζεται με το μέγεθος του συνόλου δεδομένων. Για μικρότερα σύνολα η εύρεση της κατάλληλης μετρικής είναι πιο απλή σε σύγκριση με τα μεγαλύτερα σύνολα δεδομένων, όπου η πολυπλοκότητα αυξάνεται πολλές φορές σημαντικά.

Στην μηχανική μάθηση, οι τεχνικές που χρησιμοποιούνται για την ομαδοποίηση των δεδομένων είναι άρρηκτα συνδεδεμένες με τον τύπο του αλγορίθμου clustering που χρησιμοποιείται κατά το στάδιο της εξόρυξης δεδομένων (data mining).

- **Centroid-based clustering (Partitioning method):** πρόκειται για τους απλούστερους αλγορίθμους clustering, μιας και ομαδοποιούν τα δεδομένα ανάλογα με τη εγγύτητά τους. Οι μετρικές που χρησιμοποιούνται συνήθως σε τέτοιου είδους αλγορίθμους είναι η Ευκλείδεια απόσταση, η απόσταση Manhattan και η απόσταση Minkowski (γνωστή και ως L_g νόρμα).

$$d(x, y) = \sqrt{(x_i - y_i)^2 + (x_j - y_j)^2} \quad (2.10)$$

Ευκλείδεια Απόσταση

$$d(x, y) = \sum_{i=1}^p |x_i - y_i| \quad (2.11)$$

Απόσταση Manhattan

$$d(x, y) = \left[\sum_{i=1}^p |x_i - y_i|^q \right]^{\frac{1}{q}} \quad (2.12)$$

Απόσταση Minkowski

Τα δεδομένα κατηγοριοποιούνται σε προκαθορισμένο αριθμό ομάδων [είτε διαισθητικά, είτε μέσω κατάλληλης μεθόδου (π.χ. Elbow method)], γεγονός που συνιστά και το κυριότερο μειονέκτημα των συγκεκριμένων αλγορίθμων. Ο πλέον δημοφιλής αλγόριθμος αυτού του είδους, είναι ο αλγόριθμος K-means, στον οποίο τα όρια του εκάστοτε cluster εποπτικά, αντιστοιχούν σε κύκλο δεδομένης ακτίνας.

- **Density-based clustering (Model-based method):** στους εν λόγω αλγορίθμους σημαντικό ρόλο διαδραματίζει η πυκνότητα των δεδομένων. Σε αντίθεση με τις μεθόδους συμμετοχής που αναφέρθηκαν προηγουμένως, αυτού του είδους οι αλγόριθμοι δεν απαιτούν αρχικοποίηση του συνόλου των clusters, αλλά το επιλέγουν αυτόνομα και συγχρόνως διαθέτουν την ευχέρεια να χειρίζονται ομάδες διαφορετικού μεγέθους και μορφής, καθιστώντας τους την ιδανική επιλογή για σύνολα δεδομένων με επικαλυπτόμενα clusters. Ο κυριότερος αλγόριθμος αυτής της κατηγορίας, είναι ο Density-Based Spatial Clustering Of applications With Noise.

- **Connectivity-based clustering (Hierarchical clustering):** πρόκειται για μεθόδους οι οποίες εμπίπτουν σε δύο κατηγορίες. Στην πρώτη εξ αυτών, που ονομάζεται bottom-up προσέγγιση, κάθε σημείο του συνόλου δεδομένων λαμβάνεται σαν ξεχωριστό cluster στην βάση μίας δομής δέντρου και συνδυάζεται με εκείνα τα clusters που εμφανίζει την μεγαλύτερη ομοιότητα, ώστε να σχηματιστεί μία μεγαλύτερη ομάδα. Με τον τρόπο αυτό, σχηματίζεται μία ιεραρχική δομή τύπου δέντρου, στην οποία όσο μεγαλύτερη ομοιότητα παρουσιάζουν δύο αντικείμενα, τόσο μικρότερη είναι γραφικά η μεταξύ τους απόσταση. Η δεύτερη κατηγορία, καλείται top-down προσέγγιση και σε αυτή όλα τα σημεία του συνόλου δεδομένων θεωρείται πως αποτελούν ένα μεγάλο cluster, το οποίο εν συνεχεία χωρίζεται σε επιμέρους.
- **Distribution-based clustering:** σε αυτή την κατηγορία clustering, τα σημεία δεδομένων δημιουργούνται και οργανώνονται με βάση την τάση τους να εμπίπτουν στην ίδια κατανομή πιθανότητας (όπως είναι επί παραδείγματι η Gaussian και η διωνυμική κατανομή) μέσα στα δεδομένα. Ένα αξιοσημείωτο μειονέκτημα των προσεγγίσεων αυτών, είναι η ανάγκη καθορισμού των συστάδων εκ των προτέρων (a priori) για ορισμένους αλγόριθμους, καθώς επίσης και της μορφής των clusters. Ωστόσο, η ομαδοποίηση αυτού του είδους, έχει ένα σαφές πλεονέκτημα έναντι των προσεγγίσεων εγγύτητας και των τεχνικών centroid-based, αναφορικά με την ευελιξία, την ακρίβεια και την δομή των clusters. Με στόχο την αποφυγή του προβλήματος της υπερπροσαρμογής (overfitting), οι περισσότερες τεχνικές ομαδοποίησης λειτουργούν μόνο με προσομοιωμένα ή κατασκευασμένα δεδομένα, ή όταν η πλειοψηφία των σημείων δεδομένων ανήκει με βεβαιότητα σε μία προκαθορισμένη κατανομή. Ο πιο γνωστός αλγόριθμος αυτής της κατηγορίας είναι το Gaussian Mixture Model, που εξετάζεται και στα πλαίσια της παρούσας εργασίας.

2.2.2 Κυκλώματα ταξινόμησης με χρήση GMM

Εφόσον έχει προηγηθεί η παρουσίαση των τεχνικών ομαδοποίησης, ώστε να καταστεί εμφανής ο λόγος για τον οποίο επιλέγονται τα GMM έναντι του αλγόριθμου K-means επί παραδείγματι, στο σημείο αυτό περιγράφεται ο τρόπος με τον οποίο τα GMM υλοποιούν την ταξινόμηση.

Όπως έχει ήδη αναφερθεί, το GMM αποτελεί μία μέθοδο clustering που απαρτίζεται από δύο ή περισσότερες Γκαουσιανές κατανομές, καθεμία εκ των

οποίων περιγράφει μία “συστάδα”, με μοναδική μέση τιμή και διασπορά. Ο γενικός τύπος που περιγράφει ένα μοντέλο μίξης είναι ο ακόλουθος:

$$f(x) = \sum_{i=1}^N \pi_i f_i(x) \quad (2.13)$$

όπου:

- π_i : τα βάρη των επιμέρους κατανομών, που καθορίζονται από την πιθανότητα κάθε δεδομένου εισόδου να ανήκει σε ένα cluster και στην περίπτωση του Γκαουσιανού μοντέλου, καθορίζουν το ύψος της εκάστοτε Gaussian bell-curve.
- f_i : η πυκνότητα κατανομής του εκάστοτε στοιχείου i
- N : η διάσταση του συγκεκριμένου μοντέλου μίξης.

Ειδικότερα, για την περίπτωση των Γκαουσιανών μοντέλων μίξης, όπου κάθε cluster περιγράφεται από την κανονική κατανομή, η ανωτέρω σχέση μετασχηματίζεται στην ακόλουθη:

$$P(X|C_k) = \sum_{k=1}^N \pi_i \mathcal{N}(X|M_k^C, \Sigma_k^C) \quad (2.14)$$

όπου:

- $P(X|C_k)$: η εκ των υστέρων πιθανότητα η είσοδος να περιγράφεται από το διάλυσμα χαρακτηριστικών X , δεδομένου ότι ανήκει στην κλάση C_k .
- $\mathcal{N}(X|M_k^C, \Sigma_k^C)$: η πολυδιάστατη κανονική κατανομή για N clusters σε κάθε κλάση C .
- N : η διάσταση του συγκεκριμένου μοντέλου μίξης.

Εν συνεχεία, γίνεται χρήση της Εκτίμησης Μέγιστης Πιθανότητας (Maximum Likelihood Estimation), η οποία προσδιορίζει τις τιμές των παραμέτρων C_k που μεγιστοποιούν την δεσμευμένη πιθανότητα $P(C_k|X)$, σύμφωνα με την σχέση:

$$\theta = \operatorname{argmax}_k [P(C_k|X)] = \operatorname{argmax} [P(C_k) \cdot L(X|C_k)] \quad (2.15)$$

όπου:

- θ : η Maximum Likelihood Estimation.
- $P(C_k|X)$: η εκ των υστέρων πιθανότητα η είσοδος να ανήκει στην κλάση C_k , δεδομένου ότι περιγράφεται από το διάλυσμα χαρακτηριστικών X .

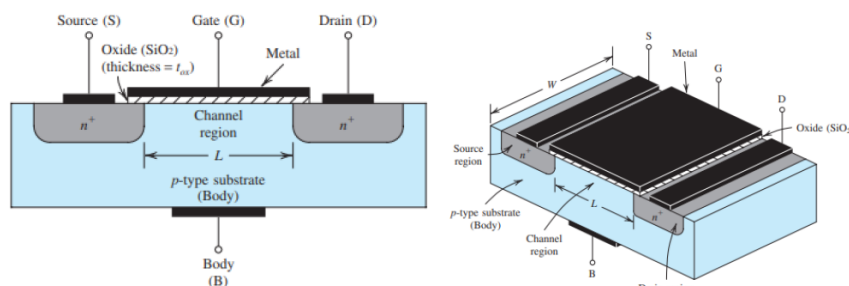
2.3 Transistor MOSFET

Το transistor MOSFET είναι ένας τύπος ημιαγωγίμου στοιχείου τριών ακροδεκτών [αγνοώντας τον ακροδέκτη του σώματος (Body/Bulk)], που μπορεί να χρησιμοποιηθεί σε πλειάδα εφαρμογών -από ενίσχυση σήματος, μέχρι ψηφιακή λογική και στοιχεία μνήμης. Η βασική αρχή που διέπει την λειτουργία τέτοιου είδους στοιχείων, συνίσταται στην αξιοποίηση της διαφοράς δυναμικού μεταξύ των δύο ακροδεκτών, για τον έλεγχο του ρεύματος που διαρρέει τον τρίτο ακροδέκτη. Το transistor επίδρασης πεδίου, μετάλλου-οξειδίου-ημιαγωγού (Metal-Oxide Semiconductor Field-Effect Transistor), αποτελεί το ευρύτερα χρησιμοποιούμενο ηλεκτρονικό στοιχείο, ιδιαιτέρως για την σχεδίαση ολοκληρωμένων κυκλωμάτων (Integrated Circuits) που κατασκευάζονται σε μία μεμονωμένη ψηφίδα πυριτίου (chip), για πλήθος λόγων [9, 10]. Αρχικά, τα transistor MOSFET σε αντίθεση με τα διπολικά (Bipolar Junction Transistors), μπορούν να λάβουν αρκετά μικρές διαστάσεις στην επιφάνεια του chip και απαιτούν σημαντικά λιγότερη ισχύ για την λειτουργία τους. Εκτός αυτού, τα MOSFET transistors μπορούν να χρησιμοποιηθούν πλέον σχεδόν αποκλειστικά για την υλοποίηση τόσο αναλογικών, όσο και ψηφιακών λειτουργιών, με ελάχιστες έως και καθόλου αντιστάσεις.

2.3.1 Δομή του MOSFET.

Όπως αναφέρθηκε προηγουμένως, το MOSFET συνιστά ένα είδος ημιαγωγίμου στοιχείου. Ανάλογα με τον τρόπο της νόθευσης, διακρίνονται τα nMOS και τα pMOS transistors, για τα οποία ισχύουν τα ακριβώς αντίθετα πράγματα αναφορικά με τις νοθεύσεις. Η δομή του nMOS transistor είναι αυτή που παρουσιάζεται στο Σχήμα (2.4). Πάνω σε ένα υπόστρωμα μονοκρυσταλλικού πυριτίου τύπου p , δημιουργούνται δύο περιοχές νόθευσης τύπου n με υψηλή συγκέντρωση νόθευσης, οπότε και καλούνται τύπου n^+ . Ακριβώς πάνω από αυτές τις περιοχές υψηλής νόθευσης τοποθετούνται μεταλλικές επαφές, που αναπαριστούν τους ακροδέκτες πηγής (Source) και υποδοχής (Drain), μεταξύ των οποίων σχηματίζεται το κανάλι. Η περιοχή μεταξύ των δύο αυτών ακροδεκτών πάνω από το υπόστρωμα, καλύπτεται με ένα λεπτό στρώμα διοξειδίου του πυριτίου (SiO_2) πάχους t_{ox} (τυπικά 1-10nm), που είναι άριστος μονωτής. Πάνω από το στρώμα του μονωτικού υλικού εναποτίθεται μέταλλο για τον σχηματισμό του ηλεκτροδίου της πύλης (Gate). Στην περιοχή του υποστρώματος τοποθετείται ένας ακόμη μεταλλικός ακροδέκτης, που αναπαριστά την περιοχή του σώματος (Body ή Bulk).

Όπως έχει ήδη αναφερθεί, κομβικό σημείο στην λειτουργία του MOSFET



Σχήμα 2.4: Δομή του MOSFET τρανζίστορ.

αποτελεί η διαφορά δυναμικού μεταξύ δύο ακροδεκτών του -πιο συγκεκριμένα των ακροδεκτών πύλης και πηγής-, η οποία καθορίζει και την τιμή του ρεύματος που διαρρέει τον ακροδέκτη της υποδοχής. Σε ένα transistor τύπου nMOS, εφαρμόζοντας μηδενική τάση στην πύλη του ($V_G = 0$), προκύπτουν δύο εν σειρά δίοδοι, που σχηματίζονται μέσω των pn ενώσεων ανάμεσα στις n^+ περιοχές του *drain* και του *source* αντίστοιχα και το p τύπου υπόστρωμα. Αυτές οι δίοδοι εμποδίζουν την αγωγή ρεύματος από το *drain* προς τον ακροδέκτη *source*, όταν εφαρμόζεται τάση V_{DS} , λόγω της πολύ μεγάλης αντίστασης (τάξης $10^{12} \Omega$) μεταξύ τους.

Αντίθετα, εφαρμόζοντας θετική τάση στην πύλη ως προς την πηγή ($V_{GS} > 0$), τα ελεύθερα ηλεκτρόνια των περιοχών αυξημένης νόθευσης n^+ έλκονται προς την πύλη, ενώ οι ελεύθερες οπές απωθούνται προς την περιοχή του υποστρώματος. Το αποτέλεσμα αυτής της διαδικασίας είναι η δημιουργία ενός n -τύπου καναλιού στο διάστημα μεταξύ πηγής και υποδοχής. Ανάλογα με τα επίπεδα των επιμέρους τάσεων που εφαρμόζονται μεταξύ των ακροδεκτών, διακρίνονται διάφορες περιοχές λειτουργίας για το MOSFET. Ιδιαίτερος σημαντικό στοιχείο για τον καθορισμό των περιοχών λειτουργίας του αποτελεί η τάση κατωφλίου, που συμβολίζεται ως " V_{th} " και ορίζεται ως τιμή της τάσης V_{GS} στην οποία οι πυκνότητες ηλεκτρονίων και οπών κάτω από την περιοχή του gate εξισώνονται.

2.3.2 Περιοχές Λειτουργίας του MOSFET

Οι διάφορες περιοχές στις οποίες διακρίνεται η λειτουργία του MOSFET είναι η αποκοπή, η τριόδος, η περιοχή κορεσμού (ενεργός περιοχή) και η περιοχή υποκατωφλίου.

Περιοχή Αποκοπής (Cut-off)

Ένα MOSFET θεωρείται πως βρίσκεται σε περιοχή αποκοπής, όταν η τάση V_{GS} δεν υπερβαίνει την τάση κατωφλίου V_{th} και κατά συνέπεια αποτρέπεται η διέλευση ρεύματος μεταξύ source και drain.

$$I_D \approx 0 \quad , \text{ με } V_{GS} < V_{th} \quad (2.16)$$

Περιοχή Τριόδου (Triode)

Στη περιοχή τριόδου (ονομάζεται επίσης και ωμική περιοχή), η τάση υπεροδήγησης (V_{ov} ή V_{eff}) που ορίζεται ως η διαφορά $V_{GS} - V_{th}$ είναι αρνητική, δηλαδή η τάση V_{GS} δεν υπερβαίνει την τάση κατωφλίου. Παράλληλα, η τάση V_{DS} είναι μικρότερη από την τάση υπεροδήγησης. Η εξίσωση που διέπει την λειτουργία του transistor σε αυτή την περιοχή, είναι η ακόλουθη:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[V_{eff} V_{DS} - \frac{V_{DS}^2}{2} \right], \text{ με } V_{GS} < V_{th} \text{ και } V_{DS} < V_{th} \quad (2.17)$$

όπου:

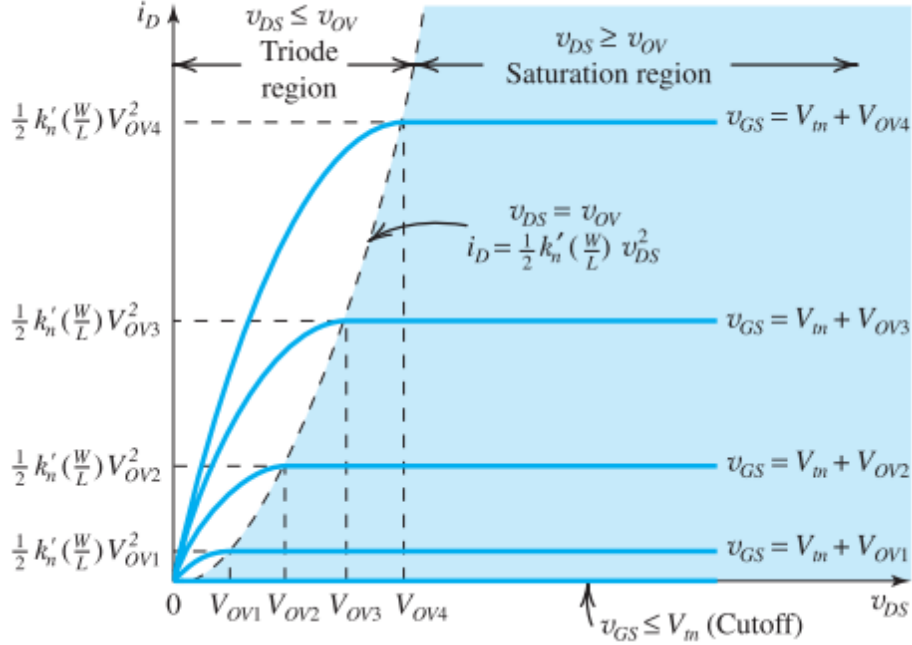
- μ_n : η κινητικότητα των φορέων
- C_{ox} : η χωρητικότητα του οξειδίου πύλης ανά μονάδα επιφανείας
- W : το πλάτος της πύλης
- L : το μήκος της πύλης

Περιοχή Κορεσμού - Ισχυρή Αναστροφή (Saturation - Strong Inversion)

Το MOSFET εισέρχεται στην περιοχή κορεσμού (ενεργός περιοχή), όταν η τάση V_{DS} υπερβαίνει την τάση υπεροδήγησης $V_{eff} = V_{GS} - V_{th}$. Η τάση V_{DS} που ισούται ακριβώς με την τάση V_{ov} συμβολίζεται ως V_{DSsat} . Στην περίπτωση αυτή, η εξίσωση που διέπει το ρεύμα υποδοχής, είναι η ακόλουθη:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_{eff}^2 [1 + \lambda(V_{DS} - V_{eff})], \text{ με } V_{DS} > V_{eff} \quad (2.18)$$

όπου το λ είναι μία σταθερά (σε μονάδες V^{-1}) που σχετίζεται με το φαινόμενο σώματος και θεωρείται συνήθως αμελητέα στους υπολογισμούς, καθιστώντας έτσι το ρεύμα υποδοχής ανεξάρτητο από την τάση V_{DS} .



Σχήμα 2.5: Οι περιοχές λειτουργίας του MOSFET για την περίπτωση της τριόδου και του κορεσμού.

Περιοχή Υποκατωφλίου (Subthreshold)

Η περιοχή υποκατωφλίου χρησιμοποιείται ευρέως σε περιπτώσεις που απαιτείται σχεδίαση με πολύ χαμηλή κατανάλωση ισχύος. Ένα MOSFET transistor θεωρείται ότι εισέρχεται στην περιοχή υποκατωφλίου, όταν η τάση V_{GS} είναι ελαφρώς μικρότερη από την τάση V_{th} . Στην περίπτωση αυτή, για το ρεύμα υποδοχής θα ισχύει ο εκθετικός νόμος και άρα η μαθηματική έκφραση που θα το περιγράφει, είναι η ακόλουθη:

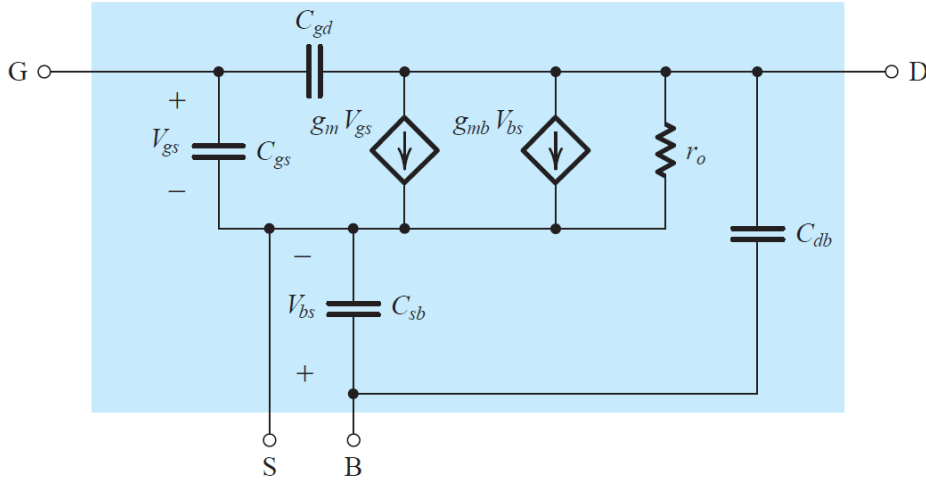
$$I_D = I_{D0} \frac{W}{L} e^{\left(\frac{V_{GS} - V_{th}}{n V_T}\right)} \quad (2.19)$$

όπου:

- $I_{D0} = (n - 1) \mu C_{ox} V_T^2$, $n > 1$
- $V_T = \frac{kT}{q}$: η θερμική τάση, με q το στοιχειώδες φορτίο του ηλεκτρονίου.
- $n = \frac{C_{ox} + C_{j0}}{C_{ox}} \approx 1.5$

2.3.3 Μοντέλο Μικρού Σήματος (Small Signal Model)

Η ανάλυση μικρού σήματος στην περίπτωση των MOSFET διαδραματίζει πολύ σημαντικό ρόλο στην σχεδίαση αναλογικών ολοκληρωμένων κυκλωμάτων και εξετάζει τις αποκλίσεις ενός κυκλώματος από το προκαθορισμένο σημείο λειτουργίας του.



Σχήμα 2.6: Ισοδύναμο κύκλωμα μικρού σήματος του MOSFET.

Οι κυριότερες παράμετροι μικρού σήματος για τα MOSFET είναι η διαγωγιμότητα (g_m), η αντίσταση εξόδου (r_o), το κέρδος (A_v , intrinsic gain) και οι παρασιτικές χωρητικότητες που απεικονίζονται και στο Σχήμα (2.6).

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=\text{const}} \mapsto \text{Διαγωγιμότητα } g_m \quad (2.20)$$

$$r_o = \frac{\partial I_D}{\partial V_{DS}}^{-1} \Rightarrow r_o = \frac{1}{\lambda I_D} \Rightarrow \quad (2.21)$$

$$r_o \propto \frac{L^2}{(V_{DSsat})^2} \mapsto \text{Αντίσταση εξόδου } r_o$$

$$A_v = g_m r_o \mapsto \text{Intrinsic gain } A_v \quad (2.22)$$

$$C_{sb} = \frac{C_{sb0}}{\sqrt{1 + \frac{V_{SB}}{V_0}}} \quad (2.23)$$

όπου C_{sb0} η χωρητικότητα όταν $V_{SB} = 0$ και V_0 το ενσωματωμένο δυναμικό της αντίστοιχης επαφής και

$$C_{db} = \frac{C_{db0}}{\sqrt{1 + \frac{V_{DB}}{V_0}}} \quad (2.24)$$

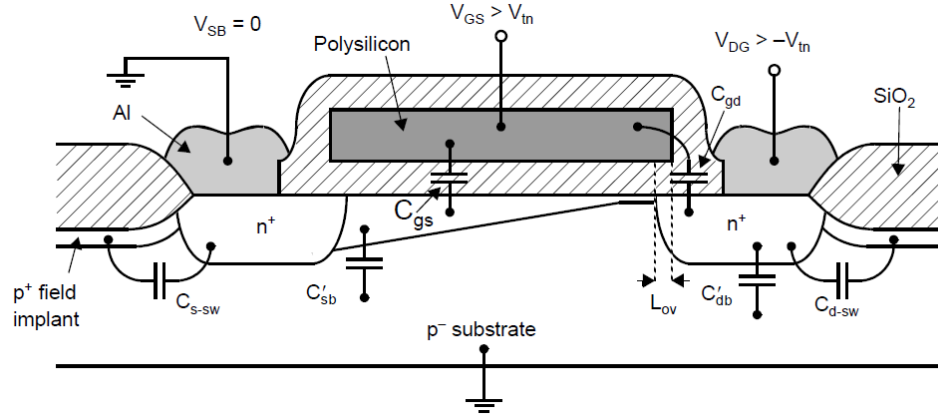
όπου C_{db0} η χωρητικότητα όταν $V_{DB} = 0$ και V_0 το ενσωματωμένο δυναμικό της αντίστοιχης επαφής.

Αναφορικά με τις υπόλοιπες χωρητικότητες, ορίζονται ανάλογα με την περιοχή λειτουργίας του MOSFET, ως εξής:

$$C_{gd} = \begin{cases} C_{gs} & \text{for triode region} \\ WL_{ov}C_{ox} & \text{(Miller capacitor) for saturation mode} \end{cases} \quad (2.25)$$

$$C_{gs} = \begin{cases} \frac{1}{2}WLC_{ox} + WL_{ov}C_{ox} & \text{for triode region} \\ \frac{2}{3}WLC_{ox} + WL_{ov}C_{ox} & \text{(Miller capacitor) for saturation mode} \end{cases} \quad (2.26)$$

Σημειώνεται, πως στην περιοχή του κορεσμού ο πυκνωτής C_{gs} είναι ο μεγαλύτερος όλων στην διάταξη [11].



Σχήμα 2.7: Διατομή ενός NMOS transistor με εμφανείς τις παρασιτικές χωρητικότητες

2.3.4 Φαινόμενο Σώματος (Body Effect)

Σε πλήθος εφαρμογών ο ακροδέκτης source είναι συνδεδεμένος στο υπόστρωμα, γεγονός που δημιουργεί μία διόδο pn μεταξύ του υποστρώματος

και του επαγόμενου καναλιού. Σε μία τέτοια περίπτωση, το υπόστρωμα δεν επηρεάζει καθόλου την λειτουργία του κυκλώματος και άρα η ύπαρξή του μπορεί να αγνοηθεί πλήρως. Ωστόσο, στα ολοκληρωμένα κυκλώματα το υπόστρωμα είναι κοινό σε πολλά MOSFETs. Προκειμένου να διατηρηθεί η κατάσταση αποκοπής για όλες τις συνδέσεις υποστρώματος-καναλιού, το υπόστρωμα συνήθως συνδέεται στην αρνητική τροφοδοσία για την περίπτωση ενός nMOS transistor (αντίθετα για pMOS). Η προκύπτουσα ανάστροφη τάση μεταξύ υποστρώματος και ακροδέκτη source θα επηρεάσει την λειτουργία του transistor. Η επίδραση της τάσης V_{SB} στο κανάλι μπορεί να αναπαρασταθεί ως μεταβολή στην τάση κατωφλίου V_{th} . Ειδικότερα, έχει αποδειχθεί πως η αύξηση της ανάστροφης τάσης V_{SB} επιφέρει αύξηση της V_{th} , σύμφωνα με την σχέση [9, 10]:

$$V_{th} = V_{th0} + \gamma \left(\sqrt{|V_{SB} + 2\phi_F|} - \sqrt{2\phi_F} \right) \quad (2.27)$$

όπου:

- V_{th0} : η τάση κατωφλίου όταν $V_{SB} = 0$.
- γ : ο συντελεστής του φαινομένου σώματος.
- $2\phi_F$: η τάση Fermi.

Τέλος, η διαγωγιμότητα λόγω του σώματος (g_{mb}) ορίζεται ως ακολούθως:

$$g_{mb} = g_m \frac{\partial V_{th}}{\partial V_{SB}} = g_m \gamma \frac{1}{2\sqrt{|V_{SB} + 2\phi_F|}} \quad (2.28)$$

Κεφάλαιο 3

Βασικά Κυκλώματα του Ταξινομητή

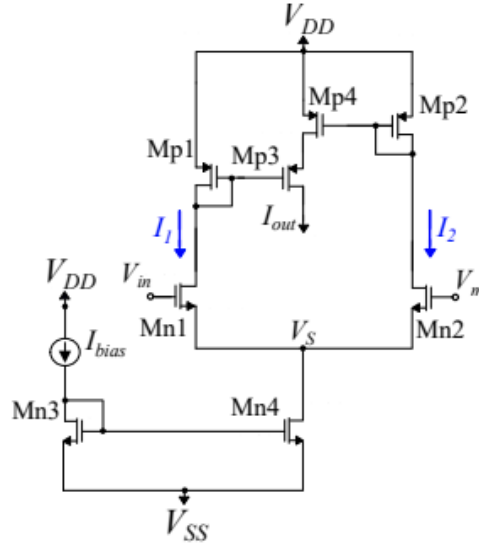
Στο παρόν κεφάλαιο πρόκειται να παρουσιαστούν ορισμένα θεμελιώδη κυκλώματα που συνθέτουν την μονάδα ταξινόμησης. Ειδικότερα, πραγματοποιείται περιγραφή του τρόπου λειτουργίας τους και για καθένα εξ αυτών, παρουσιάζονται οι τροποποιήσεις που έχουν σημειωθεί στην υπάρχουσα βιβλιογραφία, με στόχο να γίνουν αντιληπτοί οι λόγοι που οδήγησαν στην επιλογή των κυκλωμάτων που εντοπίζονται στην προτεινόμενη υλοποίηση.

3.1 Bump Circuits

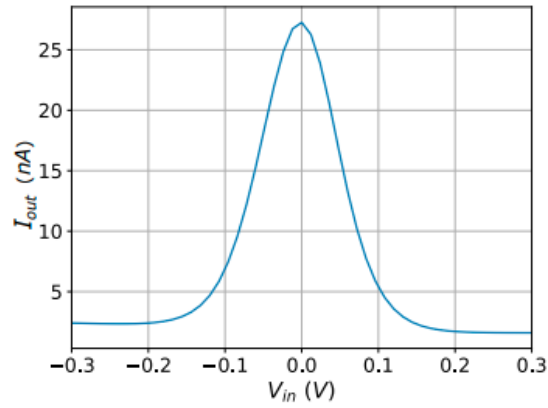
Ένα κύκλωμα ταξινόμησης χαρακτηρίζεται από έναν αριθμό κλάσεων, στις οποίες κατηγοριοποιεί τα δεδομένα εισόδου, με βάση το διάνυσμα χαρακτηριστικών που τα περιγράφει. Ως “Bump Circuits” χαρακτηρίζονται εκείνα τα ηλεκτρονικά κυκλώματα που παράγουν ως έξοδο μία καμπύλη σύμφωνη με την Γκαουσιανή κατανομή, δηλαδή μία bell-curve. Κάθε bell-curve έχει μοναδική μέση τιμή και διασπορά και περιγράφει μία κλάση ταξινόμησης.

3.1.1 Delbruck’s Simple Bump

Το πρώτο κύκλωμα Bump που υλοποιεί την Γκαουσιανή συνάρτηση, προτάθηκε από τον Delbruck περί το 1991 και ακολουθεί την δομή που απεικονίζεται στο Σχήμα (3.1).



Σχήμα 3.1: Delbruck's Simple Bump σε επίπεδο transistor.



Σχήμα 3.2: Πεύμα εξόδου του Delbruck's Simple Bump για ενδεικτικές τιμές παραμέτρων ($V_m = 0$, $V_c = -300mV$, $I_{bias} = 30nA$.)

Είναι εμφανές πως το ρεύμα πόλωσης (I_{bias}) καθρεφτίζεται μέσω του

καθρέπτη ρεύματος $M_{n3} - M_{n4}$, σύμφωνα με τον λόγο:

$$\frac{I_{M_{n4}}}{I_{bias}} = \frac{\frac{W_{M_{n4}}}{L_{M_{n4}}}}{\frac{W_{M_{n3}}}{L_{M_{n3}}}} \quad (3.1)$$

Σημειώνεται, πως σε μεταγενέστερες υλοποιήσεις, ο καθρέπτης $M_{n3} - M_{n4}$ μετατράπηκε σε κασχοδικό, με στόχο να περιοριστεί η εξάρτηση του ρεύματος εξόδου I_{out} από την τάση V_S [12, 13]. Ακολουθως, ανάλογα με τις τιμές των τάσεων εισόδου (V_{in}, V_m) στο διαφορικό ζεύγος (M_{n1}, M_{n2}), το ρεύμα $I_{M_{n4}}$ επιμερίζεται στους δύο κλάδους ως I_1 και I_2 . Εφόσον οι τάσεις V_{in} και V_m είναι κοντινές μεταξύ τους, τα ρεύματα είναι συγκρίσιμα. Σε διαφορετική περίπτωση, το ρεύμα $I_{M_{n4}}$ θα αποδίδεται εξ ολοκλήρου σε έναν από τους δύο κλάδους και ο άλλος θα τίθεται αυτόματα σε κατάσταση OFF. Τα transistor $M_{p1} - M_{p4}$ διαμορφώνουν μία δομή που ονομάζεται Current Correlator και συσχετίζει τα δύο σιγμοειδή ρεύματα, με αποτέλεσμα η έξοδος του να έχει την μορφή Γκαουσιανής καμπύλης, η οποία θα αναπαριστά μία κλάση ταξινόμησης. Θεωρώντας πως τα transistor M_{p3}, M_{p4} είναι μεγαλύτερα από τα transistor M_{p1}, M_{p2} κατά έναν παράγοντα S και πως όλα λειτουργούν στην περιοχή υποκατωφλίου subthreshold, αποδεικνύεται πως το ρεύμα εξόδου του Bump θα περιγράφεται από τον τύπο [14]:

$$I_{out} = S \frac{I_1 I_2}{I_1 + I_2} \quad (3.2)$$

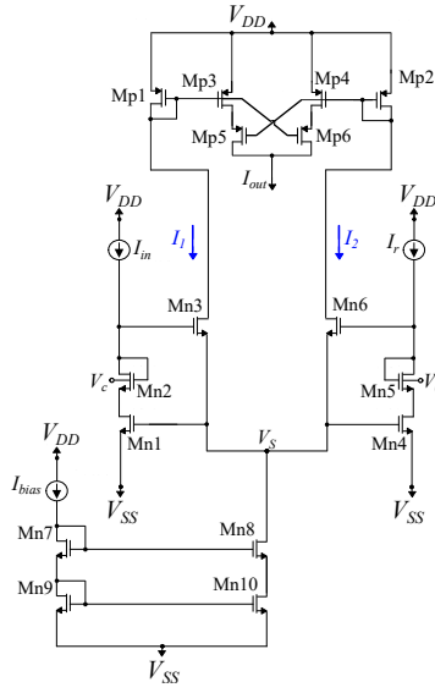
Επισημαίνεται, πως κάθε παράμετρος του κυκλώματος ελέγχει και ένα χαρακτηριστικό της Γκαουσιανής καμπύλης που παράγεται στην έξοδο του Bump υπό μορφή του ρεύματος εξόδου. Πιο συγκεκριμένα, το ρεύμα πόλωσης της διάταξης (I_{bias}) ελέγχει το ύψος της bell-curve, ενώ η τάση V_m καθορίζει την μέση τιμή της Γκαουσιανής κατανομής. Δεδομένου πως στα προβλήματα ταξινόμησης στόχος είναι η επίτευξη της μέγιστης δυνατής ακρίβειας, θα πρέπει το ρεύμα εξόδου να ισούται ακριβώς με το ρεύμα εισόδου, όταν $V_{in} = V_m$ σε κάθε Γκαουσιανή καμπύλη που προσομοιώνει μία κλάση.

Με στόχο την μεγιστοποίηση της ακρίβειας, τον καλύτερο έλεγχο των παραμέτρων της Γκαουσιανής καμπύλης και την ελαχιστοποίηση της κατανάλωσης ισχύος, στη βιβλιογραφία έχουν προταθεί διάφορες τροποποιήσεις του πρότυπου κυκλώματος του Delbruck, που περιγράφονται στα κάτωθι [15, 16, 17].

3.1.2 Neuron Bump

Το Neuron Bump αποτελεί μία παραλλαγή του κυκλώματος του Delbruck, που χρησιμοποιείται ευρύτατα σε προβλήματα ταξινόμησης με πολύ κοντινές

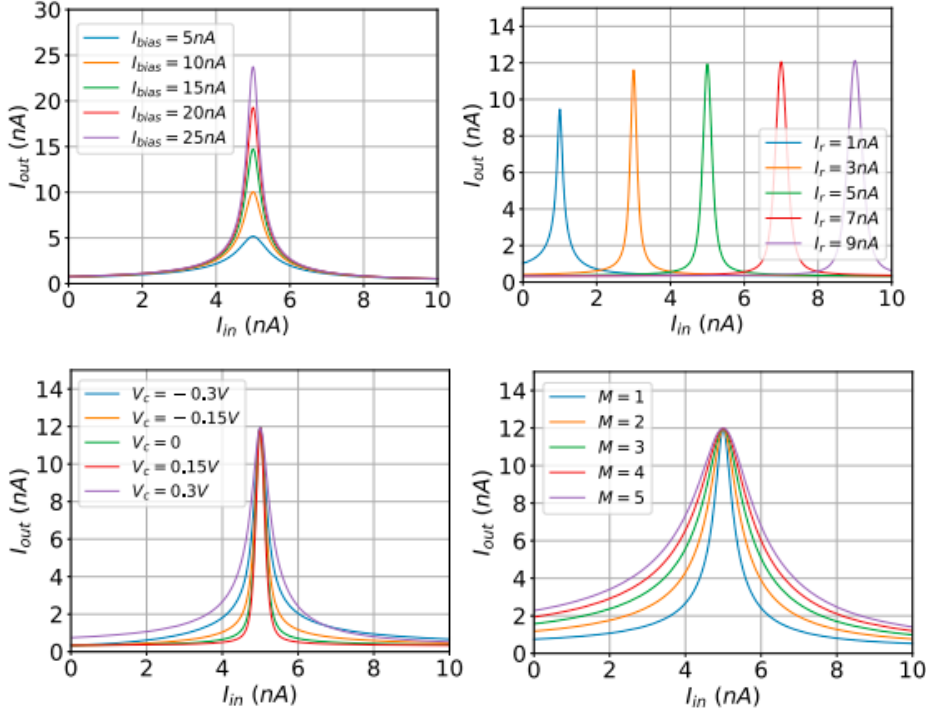
γειτονικές κλάσεις, λόγω της δυνατότητάς του να υλοποιεί Γκαουσιανές κατανομές με πολύ μικρή διασπορά, όπως φαίνεται και στα αντίστοιχα γραφήματα. Στο Σχήμα (3.3) απεικονίζεται η κυκλωματική υλοποίηση του



Σχήμα 3.3: Neuron Bump σε επίπεδο transistor.

Neuron Bump σε επίπεδο transistor. Είναι εμφανές πως οι βασικές διαφοροποιήσεις σε σχέση με την βασική τοπολογία του Delbruck αφορούν την ύπαρξη κασχοδικού καθρέπτη αντί του απλού για την πόλωση του κυκλώματος και την αντικατάσταση των transistor του διαφορικού ζεύγους στην είσοδο από δύο νευρώνες τύπου Lazzaro Winner-Take-All, που θα αναλυθούν περαιτέρω σε μεταγενέστερη υποενότητα (βλ. 3.1.5). Το σύστημα των νευρώνων παράγει δύο σιγμοειδή ρεύματα μεγάλης κλίσης, με αποτέλεσμα ο συσχετισμός τους στο στάδιο του Current Correlator να δίνει στην έξοδο μία Γκαουσιανή καμπύλη πολύ μικρής διασποράς. Τα transistor M_{n2} , M_{n5} χρησιμοποιούνται με στόχο τον αποτελεσματικό έλεγχο τη κλίσης των σιγμοειδών ρευμάτων I_1 , I_2 . Παράλληλα, ο Current Correlator έχει μετατραπεί σε συμμετρικό, προκειμένου να διατηρείται η συμμετρία στην είσοδο ακόμη και για πολύ χαμηλές τιμές ρευμάτων.

Η σημαντικότερη διαφορά που παρουσιάζει το συγκεκριμένο κύκλωμα σε



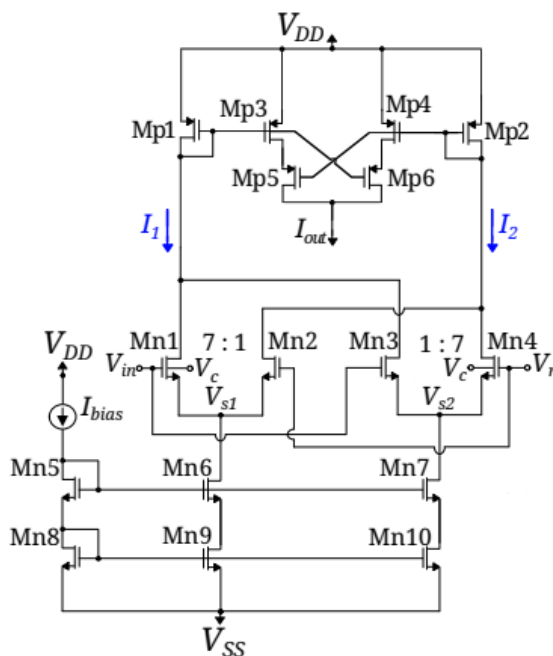
Σχήμα 3.4: Παραμετρικές αναλύσεις του Neuron Bump:

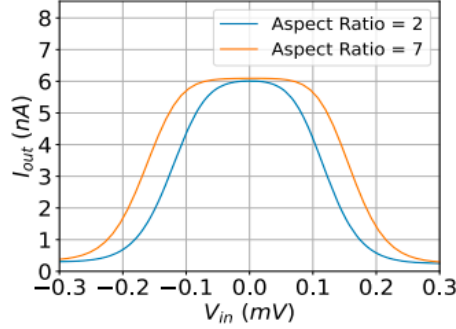
- Ως προς το I_{bias} (πάνω-αριστερά), για $I_r = 5nA$, $V_c = 0V$ και $M = 1$.
- Ως προς το I_r (πάνω δεξιά), για $I_{bias} = 12nA$, $V_c = 0.2V$ και $M = 1$.
- Ως προς το V_c (κάτω-αριστερά), για $I_{bias} = 12nA$, $I_r = 5nA$ και $M = 1$.
- Ως προς το M (κάτω-δεξιά), για $I_{bias} = 12nA$, $I_r = 5nA$ και $V_c = 0.3V$.

σχέση με την τυπική τοπολογία, έγκειται στον τρόπο με τον οποίο καθορίζονται τα χαρακτηριστικά της Γκαουσιανής καμπύλης του ρεύματος εξόδου, αφού τα σήματα τάσης (V_{in} , V_m) έχουν αντικατασταθεί από σήματα ρεύματος (I_{in} , I_r), προσφέροντας μεγαλύτερη ευχέρεια στην ρύθμιση του εύρους τους [13]. Το ρεύμα I_r καθορίζει την μέση τιμή της καμπύλης κανονικής κατανομής, η τάση V_c ελέγχει την διασπορά και το ρεύμα πόλωσης I_{bias} προσαρμόζει το ύψος της bell-curve.

3.1.3 Cascode Bump

Η τοπολογία Cascode Bump αναπτύχθηκε με στόχο την δημιουργία υψηλής ποιότητας Γκαουσιανών καμπυλών -υπό την έννοια ότι τα χαρακτηριστικά τους μπορούν να μεταβάλλονται σε μεγάλο εύρος- με μικρή παραμόρφωση





Σχήμα 3.6: Γραφική παράσταση ρεύματος εξόδου (I_{out}) συναρτήση της σταθεράς αναλογίας μεταξύ των transistor του διαφορικού ζεύγους, με παραμέτρους $V_r = 0V$, $V_c = 180mV$ και $I_{bias} = 6nA$.

είσοδος ανήκει με την μέγιστη πιθανότητα στην συγκεκριμένη κλάση ταξινόμησης.

Η συγκεκριμένη τοπολογία Bump επιλέχθηκε και στα πλαίσια της παρούσας υλοποίησης του ταξινομητή, λόγω των προαναφερθέντων πλεονεκτημάτων που παρουσιάζει. Στον Πίνακα (3.1) παρουσιάζονται οι διαστάσεις όλων των transistor που συνθέτουν το κύκλωμα.

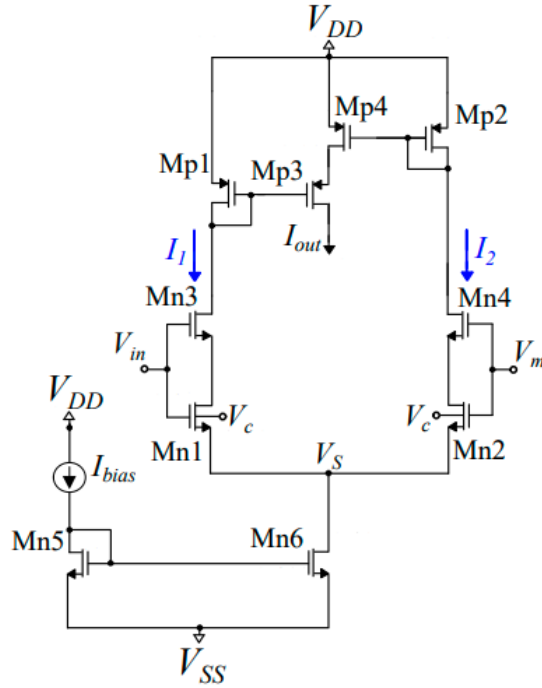
Πίνακας 3.1: Cascode Bump Sizing (Σχήμα 3.5).

NMOS	W/L ($\mu m/\mu m$)	PMOS	W/L ($\mu m/\mu m$)
M_{n1}, M_{n4}	5.6/1.5	M_{p1}, M_{p2}	3.2/1.6
M_{n2}, M_{n3}	0.8/1.5	$M_{p3}-M_{p6}$	0.8/1.6
M_{n5}, M_{n8}	0.8/1.7	-	-
M_{n6}, M_{n7}	0.8/1.6	-	-
M_{n9}, M_{n10}	3.2/1.6	-	-

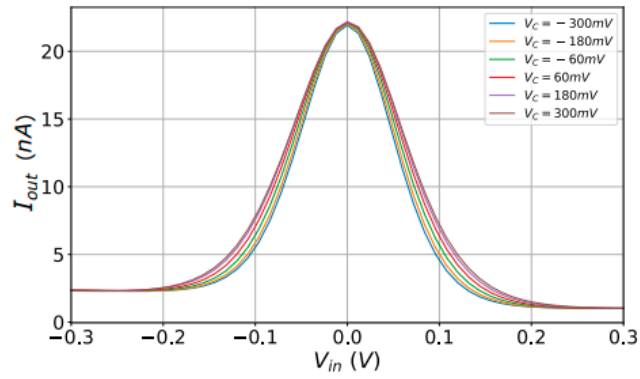
3.1.4 Άλλες τοπολογίες Bump

Πέραν των προαναφερθέντων τοπολογιών, υπάρχουν και μερικές ακόμη, με μικρότερες αλλαγές σε σχέση με την βασική τοπολογία του Delbruck. Στο Σχήμα (3.7) παριστάνεται μία ελαφρώς διαφοροποιημένη μορφή του κλασικού Bump, πλήρως ρυθμιζόμενη (fully-tunable), καθώς πέραν της μέσης τιμής, του ύψους και της διασποράς της Γκαουσιανής καμπύλης, μπορεί να ρυθμίσει και το πλάτος της, μέσω της ελεγχόμενης τάσης V_c που εφαρμόζεται στο bulk των

transistor (triple n-well) του διαφορικού ζεύγους (M_{n1} , M_{n2}) [15, 19].



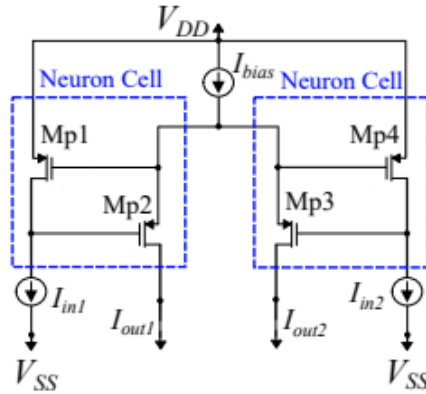
Σχήμα 3.7: Fully-tunable Bump σε επίπεδο transistor.



Σχήμα 3.8: Παραμετρική ανάλυση συνάρτησης του V_c προς καθορισμό του πλάτους της bell-curve.

Αντίστοιχη πλήρως ρυθμιζόμενη υλοποίηση, είναι αυτή του Σχήματος (3.9),

νευρώνας με την υψηλότερη πιθανότητα παραμένει ενεργός, ενώ όλοι οι υπόλοιποι νευρώνες αδρανοποιούνται, γεγονός από το οποίο το κύκλωμα έχει λάβει και την ονομασία του [20].



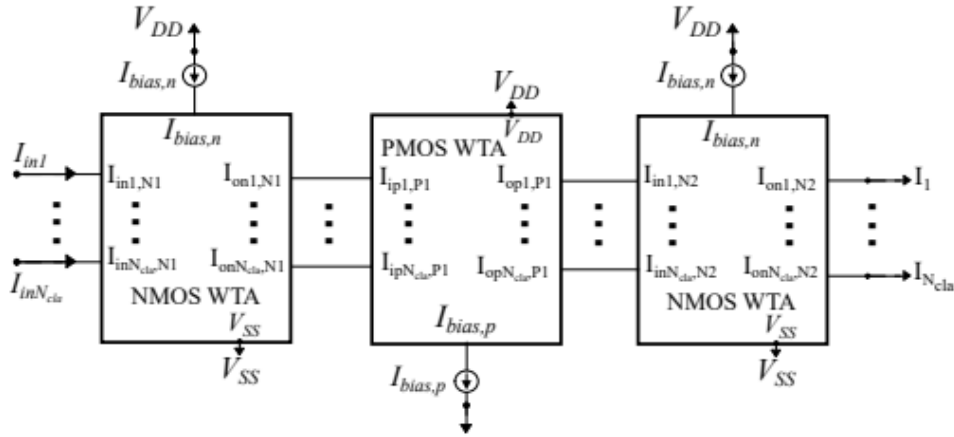
Σχήμα 3.10: Η δομή ενός pMOS Lazzaro WTA δύο νευρώνων.

Όπως φαίνεται και στο Σχήμα (3.10), το Lazzaro WTA απαρτίζεται από N-εισόδους και N-εξόδους, όσες είναι και οι δυνατές κλάσεις στο αντίστοιχο πρόβλημα ταξινόμησης. Η βασική αρχή λειτουργίας του έγκειται στην απόκλιση που εμφανίζουν τα σήματα εισόδου (που εν προκειμένω αντιστοιχούν σε τιμές ρευμάτων) μεταξύ τους. Κάθε φορά, μεγιστοποιείται η έξοδος εκείνου του νευρώνα που έχει την μέγιστη είσοδο, ενώ όλες οι υπόλοιπες εξοδοί λαμβάνουν σχεδόν μηδενική τιμή.

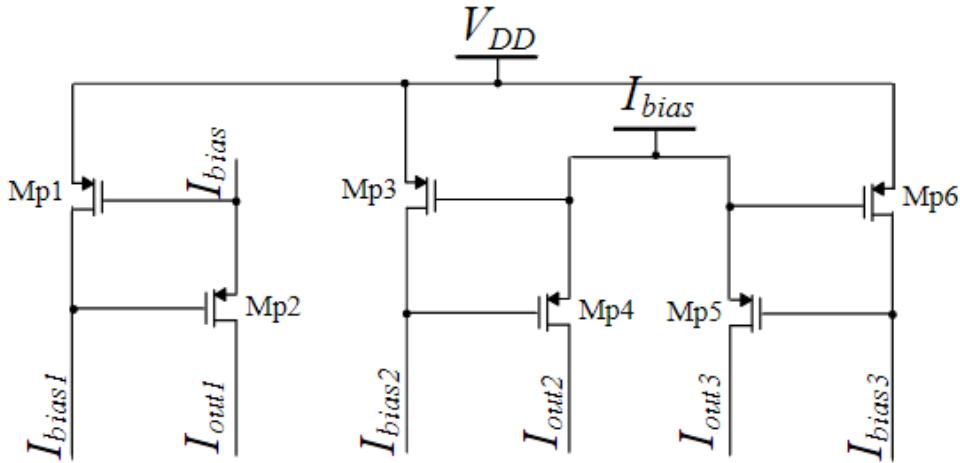
Το τρωτό σημείο ενός WTA είναι το εύρος της περιοχής απόφασης και για αυτόν τον λόγο συνήθως χρησιμοποιούνται περισσότεροι του ενός συνδεδεμένοι εν σειρά (cascaded WTA), προς ελαχιστοποίηση των “πολλαπλών νικητών” (multiple winners), όπως ονομάζονται. Μέσω της σειριακής σύνδεσης δύο ή περισσότερων κυκλωμάτων WTA, επιτυγχάνεται η ελάττωση της γραμμικής περιοχής, με αποτέλεσμα να πραγματοποιείται η ταξινόμηση με μεγαλύτερη βεβαιότητα. Προκειμένου να ικανοποιούνται οι σωστές συνθήκες πόλωσης, καθίσταται προφανές πως στην σειριακή σύνδεση επιμέρους WTA κυκλωμάτων, θα πραγματοποιείται σύνδεση nMOS με διαδοχικό pMOS κάθε φορά, όπως φαίνεται και στο Σχήμα (3.11).

Ωστόσο, επισημαίνεται πως στα πλαίσια της παρούσας εργασίας δεν κρίθηκε απαραίτητη η χρήση cascaded WTA κυκλωμάτων, μιας και το ποσοστό των πολλαπλών νικητών δεν ήταν μεγάλο λόγω της φύσης του συνόλου δεδομένων.

Στον προτεινόμενο σχεδιασμό, κάθε κύκλωμα συνάρτησης τύπου Gauss λειτουργεί υπό την ίδια τιμή ρεύματος πόλωσης I_{bias} , με αποτέλεσμα μία



Σχήμα 3.11: Η γενική μορφή ενός cascaded WTA δύο νευρώνων.

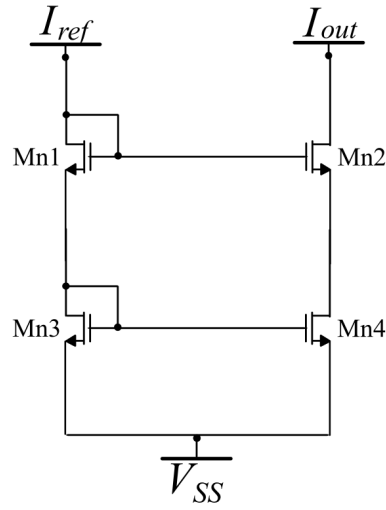


Σχήμα 3.12: Η τοπολογία του pMOS WTA τριών νευρώνων που σχεδιάστηκε στα πλαίσια της προτεινόμενης υλοποίησης.

μη-σταθμισμένη υλοποίηση του Bayesian ταξινομητή ψηφοφορίας, υπό την έννοια πως όλα τα χαρακτηριστικά συμβάλλουν εξίσου στην εξαγωγή του αποτελέσματος ταξινόμησης, δηλαδή στην ανάδειξη της νικήτριας κλάσης. Το σύνολο των ψήφων που λαμβάνει μία συγκεκριμένη κατηγορία για ένα διάνυσμα εισόδου X , υπολογίζεται ως το άθροισμα της ισχύος ψήφου κάθε χαρακτηριστικού με σεβασμό στην κλάση [21]. Αυτό το άθροισμα πραγματοποιείται σε κάθε κυψέλη ψηφοφορίας (voting cell), με την χρήση καθρεπτών ρεύματος (CM), με στόχο την ελαχιστοποίηση των

παραμορφώσεων που μπορεί να προκύψουν στους υπολογισμούς, λόγω ανεπιθύμητων φαινομένων που μπορεί να παρουσιαστούν στα ρεύματα εξόδου των Γκαουσσιανών κυκλωμάτων [22].

Σε σύγκριση με μία πολυδιάστατη αλληλοδιαδοχική (cascaded) υλοποίηση των συναρτήσεων κατανομής πιθανότητας Gauss, εν προκειμένω το ρεύμα δεν υποβαθμίζεται, μιας και τα κυκλώματα Bump δεν συνδέονται σειριακά [17], αλλά παράλληλα (άθροισμα ρευμάτων εξόδου), όπως φαίνεται και στο Σχήμα (3.14).

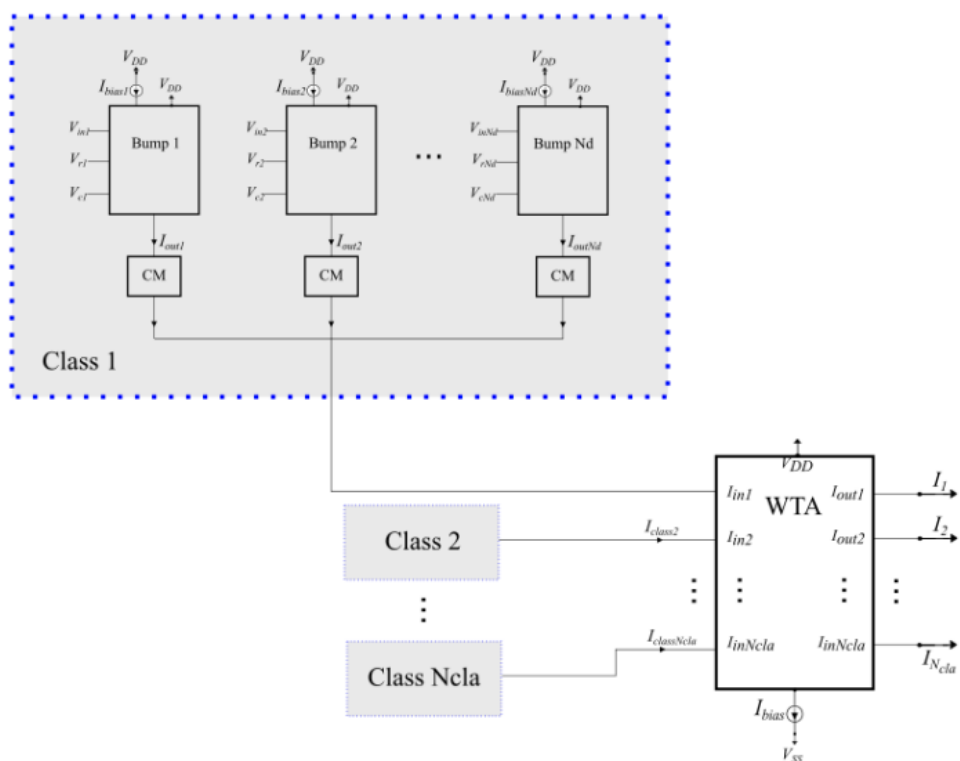


Σχήμα 3.13: Ο κασκοδικός καθρέπτης (CM) στον οποίο εισέρχεται το ρεύμα εξόδου του εκάστοτε Bump.

Οι διαστάσεις των transistor που σχηματίζουν το κύκλωμα WTA και τους κασκοδικούς καθρέπτες (CM) στα πλαίσια της παρούσας υλοποίησης, συνοψίζονται στον Πίνακα (3.2).

Πίνακας 3.2: pMOS WTA & Cascode Current Mirror Sizing (Σχήμα 3.12, 3.13).

NMOS	W/L ($\mu m/\mu m$)	PMOS	W/L ($\mu m/\mu m$)
$M_{n1}-M_{n4}$	1.6/1.6	$M_{p1}-M_{p6}$	0.4/1.6



Σχήμα 3.14: Η τοπολογία του αναλογικού ταξινομητή με παράλληλα συνδεδεμένα κυκλώματα υλοποίησης Γκαουσιανών συναρτήσεων.

Κεφάλαιο 4

Δομικά Στοιχεία Μονάδας Διαχείρισης Ισχύος(Power Management Unit)

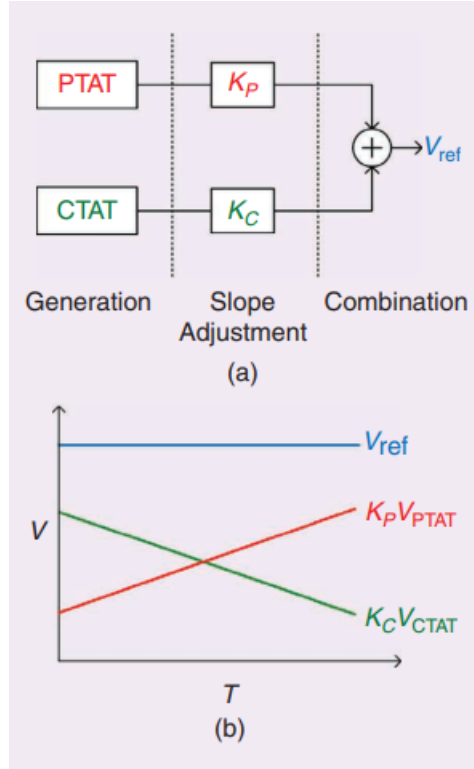
Σε αυτό το κεφάλαιο περιγράφεται η γενική αρχιτεκτονική της προτεινόμενης μονάδας διαχείρισης ισχύος, η οποία τροφοδοτεί το κύκλωμα ταξινόμησης. Ακολούθως παρουσιάζονται τα επιμέρους δομικά κομμάτια της και αναλύεται ο τρόπος λειτουργίας καθενός από αυτά.

4.0.1 Bandgap Reference Voltage Circuit

Τα τελευταία χρόνια παρατηρείται ένα ολοένα και αυξανόμενο ενδιαφέρον για εφαρμογές περιβαλλοντικών και βιοϊατρικών αισθητήρων. Τέτοιου είδους συστήματα, περιλαμβάνουν αναλογικά τμήματα, όπως γραμμικούς ρυθμιστές (linear regulators), μετατροπείς αναλογικού σήματος σε ψηφιακό (Analog-to-Digital-Converters) και τηλεπικοινωνιακά κομμάτια που λειτουργούν στο φάσμα των ραδιοσυχνοτήτων (Radio Frequencies) [23]. Τα κυκλώματα δημιουργίας τάσεων αναφοράς, γνωστά ως “Bandgap Reference Voltage Circuits” (εν συντομία θα αναφερόμαστε σε αυτά με τον όρο “BGR”), αναδεικνύονται σε μονάδες κεφαλαιώδους σημασίας για τέτοιου είδους υλοποιήσεις. Τα εν λόγω κυκλώματα, όπως υποδηλώνει και το όνομά τους, κατασκευάζουν επίπεδα συνεχούς (DC) τάσης, η οποία παραμένει κατά το δυνατόν σταθερή σε τυχόν μεταβολές της τάσης τροφοδοσίας, της θερμοκρασίας ή σε παραλλαγές στην λειτουργία των devices (process variations).

Προκειμένου οι διατάξεις αυτού του είδους να επιτύχουν “άνοσία” ως προς

τις θερμοκρασιακές μεταβολές, αξιοποιούν ποσότητες με θετικό (PTAT) και ποσότητες με αρνητικό (CTAT) θερμοκρασιακό συντελεστή, έτσι ώστε ο συγκερασμός τους να δημιουργεί κατά προσέγγιση σταθερό θερμοκρασιακό συντελεστή στην τάση εξόδου, με λογική παρόμοια με αυτή που παρουσιάζεται στο Σχήμα (4.1).

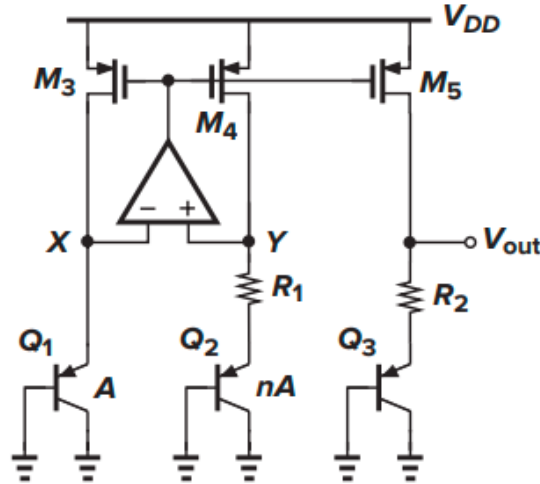


Σχήμα 4.1: Η γενική ιδέα της αντιστάθμισης θερμοκρασίας σε BGR.

Η πιο κλασική τοπολογία για την υλοποίηση ενός κυκλώματος BGR, περιλαμβάνει την χρήση διπολικών (bipolar junction) transistors, των οποίων η τάση βάσης-εκπομπού (V_{BE}) είναι τύπου CTAT, καθώς επίσης και την διαφορά ΔV_{BE} που είναι τύπου PTAT.

Για την περίπτωση της κλασικής τοπολογίας, όπως αυτή περιγράφεται και στο Σχήμα (4.2), η τάση αναφοράς που δημιουργείται, δίνεται από την ακόλουθη μαθηματική σχέση:

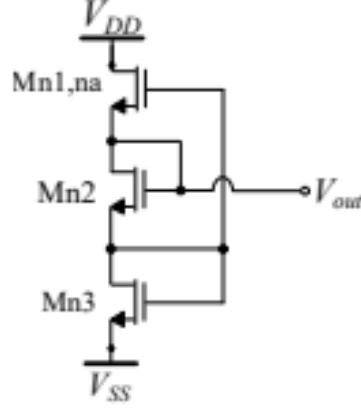
$$V_{out} = |V_{BE3}| + \frac{R_2}{R_1} V_T \ln(n) \quad (4.1)$$



Σχήμα 4.2: Η κλασική μορφή ενός κυκλώματος τύπου BGR.

Όπως είναι εμφανές και από το αντίστοιχο σχήμα, οι τυπικές υλοποιήσεις κυκλωμάτων τύπου BGR περιλαμβάνουν διπολικά transistor, τελεστικούς ενισχυτές και αντιστάσεις, με αποτέλεσμα την αύξηση της κατανάλωσης ισχύος και των απαιτήσεων σε επιφάνεια πυριτίου [24]. Προκειμένου να ικανοποιηθεί η απαίτηση για χαμηλή κατανάλωση ενέργειας, περιορισμένη επιφάνεια και ελάχιστη λειτουργική τροφοδοσία, η BGR που σχεδιάστηκε, όπως απεικονίζεται και στο Σχήμα (4.3), απαρτίζεται αποκλειστικά από τρία MOS transistors.

Στα πλαίσια της σχεδίασης, χρησιμοποιήθηκαν δύο διαφορετικοί τύποι transistor: ένα nMOS native device για το transistor $M_{n1,na}$ και δύο thick oxide input/output (I/O) nMOS transistors για τα M_{n2} , M_{n3} . Τα native devices είναι πανομοιότυπα με τα συμβατικά MOSFET, με κύριο χαρακτηριστικό γνώρισμα την επίτευξη αρνητικής και οριακά μηδενικής τάσης κατωφλίου (V_{th}) [25]. Και οι δύο τύποι transistor διαθέτουν μεγάλο πάχος οξειδίου πύλης (thick gate oxide), προκειμένου να είναι σε θέση να υποστηρίξουν υψηλή τάση τροφοδοσίας (V_{dd}), ενισχύοντας κατά αυτόν τον τρόπο την αξιοπιστία του κυκλώματος. Τα transistor M_{n2} , M_{n3} λειτουργούν στη περιοχή υποκατωφλίου (subthreshold) με στόχο να επιτευχθεί η χαμηλή κατανάλωση ισχύος για το ολικό σύστημα. Σύμφωνα με αυτή την συνθήκη και με την παραδοχή πως $V_{ds} > (5 - 6)V_T$, η τάση εξόδου του κυκλώματος, προκύπτει ως εξής:



Σχήμα 4.3: Η προτεινόμενη τοπολογία BGR.

Για το transistor $M_{n1,na}$, ισχύει:

$$I = \mu_{n1} C_{ox1} \left(\frac{W}{L} \right)_1 (m_1 - 1) V_T^2 \cdot \exp \left[\frac{V_A - V_{ref} - V_{th1}}{m_1 V_T} \right] \quad (4.2)$$

όπου:

- μ : η κινητικότητα των φορέων φορτίου.
- m : η σταθερά subthreshold slope factor, που ορίζεται ως $m = 1 + \frac{C_d}{C_{ox}}$, όπου C_d είναι η χωρητικότητα απογύμνωσης.
- V_A : η τάση στο gate του transistor M_{n3} .
- V_{ref} : η προκύπτουσα τάση αναφοράς στην έξοδο (V_{out} στο σχήμα).

Σημειώνεται, πως η εξίσωση που διέπει την τιμή του ρεύματος όταν το device βρίσκεται στην περιοχή υποκατωφλίου, είναι η ακόλουθη:

$$I = \mu_n C_{ox} \left(\frac{W}{L} \right) (m - 1) V_T^2 \cdot \exp \left[\frac{V_{gs} - V_{th}}{m V_T} \right] \left[1 - \exp \left[\frac{-V_{ds}}{V_T} \right] \right] \quad (4.3)$$

Κατά συνέπεια, η συνθήκη $V_{ds} > (5 - 6)V_T$ σχετίζεται με το ελάχιστο απαιτούμενο V_{gs} που εξασφαλίζει απώλεια ακρίβειας 1%, δεδομένου ότι το $1 - e^{-x}$ ισούται με 0.982, 0.993 και 0.997, για τιμή x ίση με 4, 5 και 6 αντίστοιχα. Επομένως, το επιλεγμένο εύρος τιμών για την τάση V_{dd} , διασφαλίζει πως ο εκθετικός όρος με την V_{ds} στην ανωτέρω σχέση, μπορεί να παραλειφθεί με ασφάλεια χωρίς να επηρεάζει το τελικό αποτέλεσμα.

Παρομοίως, για το transistor M_{n2} , ισχύει:

$$I = \mu_{n2} C_{ox2} \left(\frac{W}{L} \right)_2 (m_2 - 1) V_T^2 \cdot \exp \left[\frac{V_{ref} - V_A - V_{th2}}{m_2 V_T} \right] \quad (4.4)$$

Αντίστοιχα, για το transistor M_{n3} , ισχύει:

$$I = \mu_{n3} C_{ox3} \left(\frac{W}{L} \right)_3 (m_3 - 1) V_T^2 \cdot \exp \left[\frac{V_A - 0 - V_{th3}}{m_3 V_T} \right] \quad (4.5)$$

Θέτοντας $\mu_{n_i} C_{ox_i} \left(\frac{W}{L} \right)_i (m_i - 1) = K_i$, οι σχέσεις (4.2) και (4.4), λόγω της ισότητας των ρευμάτων που διαρρέουν τους ακροδέκτες υποδοχής (drain) όλων των transistor, δίνουν:

$$\begin{aligned} K_1 V_T^2 \cdot \exp \left[\frac{V_{ref} - V_A - V_{th1}}{m_1 V_T} \right] &= K_3 V_T^2 \cdot \exp \left[\frac{V_A - V_{th3}}{m_3 V_T} \right] \Rightarrow \\ \frac{K_1}{K_3} \exp \left[\frac{V_A - V_{th3}}{m_3 V_T} - \frac{V_A - V_{ref} - V_{th1}}{m_1 V_T} \right] &= 1 \Rightarrow \\ V_T \ln \left(\frac{K_1}{K_3} \right) &= \frac{m_1 (V_A - V_{th3} - m_3 (V_A - V_{ref} - V_{th1}))}{m_1 m_3} \Rightarrow \\ m_1 m_3 V_T \ln \left(\frac{K_1}{K_3} \right) &= (m_1 - m_3) V_A + m_3 V_{ref} - m_1 V_{th3} + m_3 V_{th1} \Rightarrow \\ V_A &= \frac{m_1 m_3}{m_1 - m_3} V_T \ln \left(\frac{K_1}{K_3} \right) - \frac{m_3}{m_1 - m_3} V_{ref} + \frac{m_1 V_{th3} - m_3 V_{th1}}{m_1 - m_3} \quad (4.6) \end{aligned}$$

Αντίστοιχα, οι σχέσεις (4.2), (4.3), δίνουν το ακόλουθο αποτέλεσμα:

$$\begin{aligned} K_1 V_T^2 \cdot \exp \left[\frac{V_A - V_{ref} - V_{th1}}{m_1 V_T} \right] &= K_2 V_T^2 \cdot \exp \left[\frac{V_{ref} - V_A - V_{th2}}{m_2 V_T} \right] \Rightarrow \\ V_T \ln \left(\frac{K_1}{K_2} \right) &= \frac{m_1 (V_{ref} - V_A - V_{th2} - m_2 (V_A - V_{ref} - V_{th1}))}{m_1 m_2} \Rightarrow \\ m_1 m_2 V_T \ln \left(\frac{K_1}{K_2} \right) &= (m_1 + m_2) V_{ref} - (m_1 + m_2) V_A - m_1 V_{th2} + m_2 V_{th1} \Rightarrow \\ V_{ref} &= \frac{m_1 m_2}{m_1 + m_2} V_T \ln \left(\frac{K_1}{K_2} \right) + V_A + \frac{m_1 V_{th2} - m_2 V_{th1}}{m_1 + m_2} \quad (4.7) \end{aligned}$$

Κατά συνέπεια, αντικαθιστώντας την σχέση (4.6) στην σχέση (4.7), το τελικό αποτέλεσμα που προκύπτει για την τάση αναφοράς V_{ref} , είναι το εξής:

$$V_{ref} = \frac{(m_1 - m_3)m_2}{m_1 + m_2} V_T \ln \left(\frac{K_1}{K_2} \right) + \frac{(m_1 - m_3)(m_1 V_{th2} - m_2 V_{th1})}{m_1(m_1 + m_2)} + \\ + m_3 V_T \ln \left(\frac{K_1}{K_3} \right) + \frac{(m_1 V_{th3} - m_3 V_{th1})}{m_1} \quad (4.8)$$

Σύμφωνα με την σχέση (4.8), είναι εμφανές πως η τάση εξόδου της BGR εξαρτάται κυρίως από την διαφορά των τάσεων κατωφλίου (V_{th}) μεταξύ των transistor, την θερμική τάση (V_T) και τα μεγέθη (sizing) των devices. Η τάση κατωφλίου είναι ανάλογη της θερμοκρασίας, ενώ η θερμική τάση μεταβάλλεται αντιστρόφως ανάλογα με αυτή. Συνεπώς, προσαρμόζοντας κατάλληλα τα μεγέθη των επιμέρους transistor, καθίσταται εφικτή η επίτευξη πολύ μικρού θερμοκρασιακού συντελεστή ακόμη και σε οριακές περιπτώσεις (corners), τόσο για την ευαισθησία στην θερμοκρασία, όσο και στην κατανάλωση ισχύος [23]. Επισημαίνεται, πως πέραν των native και I/O transistor, οποιαδήποτε είδη συσκευών με σημαντική διαφορά στην τάση κατωφλίου τους, είναι κατάλληλα για παρεμφερείς υλοποιήσεις.

Στο σημείο αυτό, αξίζει να σημειωθεί πως όλα τα κυκλώματα έχουν σχεδιαστεί ώστε να λειτουργούν στην περιοχή υποκατωφλίου (sub-threshold), προκειμένου να ικανοποιείται η προδιαγραφή της χαμηλής κατανάλωσης ισχύος. Η υψηλή τροφοδοσία του κυκλώματος έχει τεθεί σε $V_{DD} = 0.9V$, ενώ η χαμηλή τιμή της θεωρείται ως γη ($V_{SS} = 0V = gnd$) και η σχεδίαση όλων των επιμέρους κυκλωμάτων πραγματοποιήθηκε στην τεχνολογία CMOS TSMC 90nm χρησιμοποιώντας το Cadence Virtuoso. Τα μεγέθη των devices για το κύκλωμα της BGR συνοψίζονται στον Πίνακα 4.1.

Πίνακας 4.1: BGR Sizing (Σχήμα 4.3).

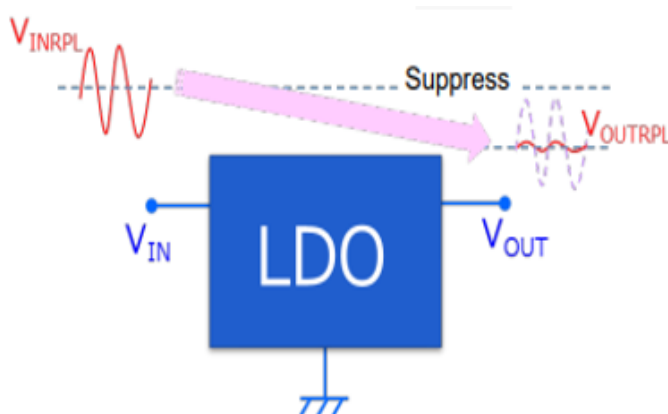
NMOS	W/L um/um)	NMOS	W/L (um/um)
$M_{n1,na}$	12/1.2	M_{n2}, M_{n3}	4/1

4.1 Low-Dropout Regulator (LDO)

Η βιομηχανία στην σύγχρονη εκδοχή της επικεντρώνεται σε λύσεις σχεδίασης ολοκληρωμένων συστημάτων σε chip (System-on-Chip), που περιλαμβάνουν την διαχείριση ενέργειας. Η εύρεση τεχνικών διαχείρισης ισχύος έχει αυξηθεί σημαντικά τα τελευταία χρόνια, συμβαδίζοντας με την εκτεταμένη χρήση

φορητών συσκευών που λειτουργούν με χρήση μπαταρίας. Η διαχείριση ισχύος αποσκοπεί στην βελτίωση της ενεργειακής αποδοτικότητας των συσκευών, παρατείνοντας την διάρκεια ζωής της μπαταρίας και τον χρόνο λειτουργίας της [26]. Ένα σύστημα διαχείρισης ισχύος, περιλαμβάνει διάφορα υποσυστήματα, με τους γραμμικούς ρυθμιστές (linear regulators) να κατέχουν εξέχουσα θέση μεταξύ αυτών.

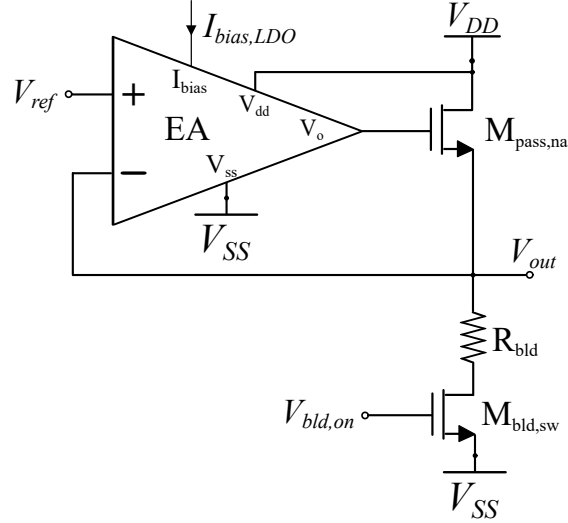
Υπό αυτό το πρίσμα, οι γραμμικοί ρυθμιστές χαμηλής πτώσης τάσης (Low-Dropout Regulators), τους οποίους θα αναφέρουμε στα ακόλουθα ως “LDO”, βρίσκουν εφαρμογή σχεδόν σε κάθε σύγχρονη ηλεκτρονική συσκευή, λόγω της ικανότητάς τους να μειώνουν μία DC τάση, απορρίπτοντας συγχρόνως θόρυβο που προέρχεται από την είσοδο στην έξοδο.



Σχήμα 4.4: Διαγραμματική παρουσίαση των βασικών λειτουργιών ενός LDO.

Ο σχεδιαζόμενος LDO, όπως φαίνεται και στο Σχήμα (4.5), αποτελείται από έναν τελεστικό ενισχυτή (Error-Amplifier), ο οποίος προσφέρει την απαιτούμενη τιμή κέρδους ενίσχυσης και από ένα transistor μεγάλων διαστάσεων, που αποκαλείται ως “pass-device” και το οποίο είναι υπεύθυνο για την παροχή ρεύματος προς το φορτίο που τροφοδοτεί η PMU, μία διαδικασία που καλείται “όδηγηση φορτίου” [27, 28].

Μολονότι οι LDO που περιλαμβάνουν nMOS pass-device επιδεικνύουν σημαντικά πλεονεκτήματα έναντι των pMOS, όπως είναι λόγου χάρη η χαμηλή αντίσταση εξόδου, η απλή αντιστάθμιση και η καλύτερη ρύθμιση φορτίου (load regulation), το βασικό τρωτό τους σημείο αφορά στην περιορισμένη πτώση τάσης (περιθώριο dropout) και αυτός είναι και ο βασικός λόγος που φαντάζουν ίσως ακατάλληλοι σε πλήθος εφαρμογών χαμηλής τάσης, αν δεν συνοδεύονται από ειδικά κυκλώματα αύξησης του dropout, τα



Σχήμα 4.5: Η προτεινόμενη τοπολογία LDO. Απαρτίζεται από i) ένα native nMOS pass-device, ii) τον Error-Amplifier και iii) τον current-bleeder.

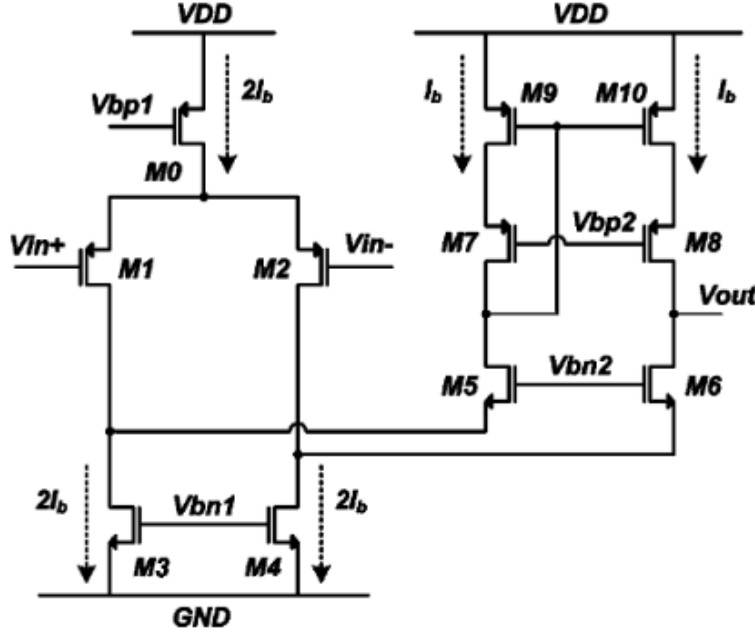
οποία αποκαλούνται “charge pump”.

$$V_{dropout} = V_{dd} - V_{out} \quad (4.9)$$

Προκειμένου να αρθεί ο περιορισμός του χαμηλού dropout των nMOS LDO αποφεύγοντας την χρήση charge pump, ώστε να επιτευχθεί χαμηλή κατανάλωση και μικρή απαιτούμενη επιφάνεια, χρησιμοποιήθηκε ένα native nMOS transistor ως στοιχείο διέλευσης, λόγω της σχεδόν μηδενικής τάσης κατωφλίου που διαθέτει και η οποία εξασφαλίζει πως θα παραμείνει σε κορεσμό, παρά το χαμηλό περιθώριο dropout. Παράλληλα, όπως φαίνεται και στο Σχήμα (4.5), ο σχεδιαζόμενος LDO είναι εφοδιασμένος με ένα σύστημα που αποκαλείται “current-bleeder” και το οποίο απαρτίζεται από μία αντίσταση και ένα επιπλέον nMOS device ($M_{bld,sw}$), το οποίο λειτουργεί ως διακόπτης ελεγχόμενος από το εξωτερικό δυναμικό $V_{bld,on}$. Όταν η τάση $V_{bld,on}$ τίθεται σε υψηλό δυναμικό (high), το σύστημα του current-bleeder τίθεται σε κατάσταση λειτουργίας, αυξάνοντας κατά αυτόν τον τρόπο το ρεύμα που διαρρέει το pass-device, με στόχο την εξασφάλιση ευστάθειας σε πολύ χαμηλές τιμές φορτίου.

Οι ενισχυτές τύπου folded-cascode συνιστούν ένα ιδιαίτερος δημοφιλές κύκλωμα στην διαδικασία CMOS, κυρίως λόγω του υψηλού DC κέρδους που παρέχουν, αλλά και του χαμηλού θορύβου [29].

Λαμβάνοντας υπόψη το παραπάνω, ο απαιτούμενος τελεστικός ενισχυτής



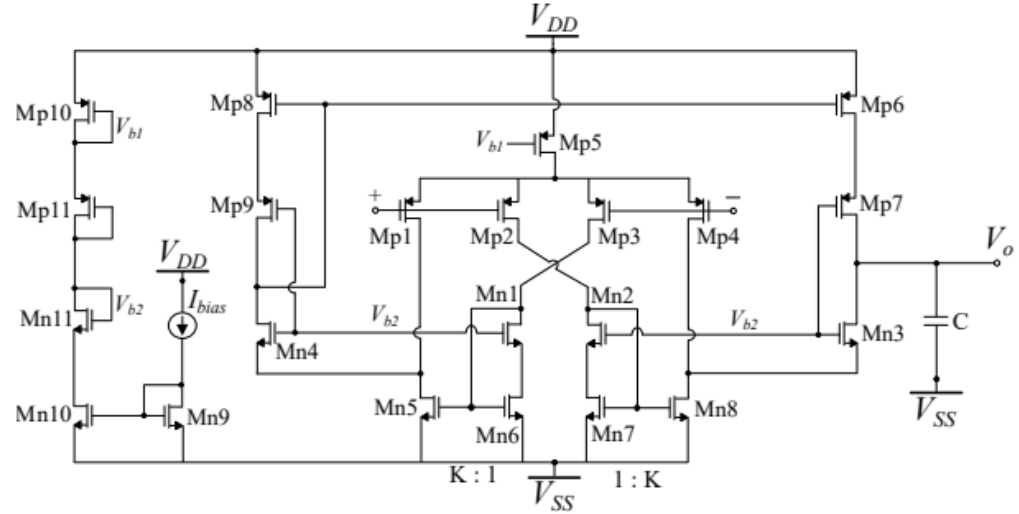
Σχήμα 4.6: Η συμβατική τοπολογία folded-cascode.

υλοποιείται με έναν ενισχυτή τύπου folded-cascode με ανακύκλωση (recycling-folded-cascode), σε μία προσπάθεια ενίσχυσης του εύρους ζώνης και της διαγωγιμότητας της συμβατικής τοπολογίας folded-cascode. Η κυκλωματική υλοποίηση της προτεινόμενης τοπολογίας ενισχυτή, απεικονίζεται στο Σχήμα (4.7).

Τα transistor του διαφορικού ζεύγους της εισόδου που υπάρχουν στην συμβατική τοπολογία του ενισχυτή τύπου folded-cascode (βλ. Σχήμα 4.6), διχοτομούνται, οδηγώντας στην ύπαρξη τεσσάρων στην τοπολογία του recycling-folded-cascode (βλ. Σχήμα 4.7), ενώ τα κάτω nMOS χωρίζονται στα M_{n5} και M_{n8} , με σταθερά αναλογίας $1 : K$, όπου το K είναι μία σταθερά με τυπικές τιμές στο εύρος 1.5 με 3, σύμφωνα με την βιβλιογραφία [30, 31]. Η ύπαρξη αυτής της σταθεράς αναλογίας, συνεπάγεται αύξηση της συχνότητας μοναδιαίου κέρδους, καθώς η συνολική διαγωγιμότητα αυξάνεται κατά την σταθερά K . Συγχρόνως, η αντίσταση εξόδου που δίνεται από την μαθηματική έκφραση (4.10), επιφέρει ενισχυμένο κέρδος τάσης στην recycling τοπολογία.

$$R_{out} = g_{m_{p7}} r_{o_{p7}} r_{o_{p6}} || g_{m_{n3}} r_{o_{n3}} (r_{o_{n8}} || r_{o_{p4}}) \quad (4.10)$$

Η διαγωγιμότητα, το κέρδος τάσης και η συχνότητα μοναδιαίου κέρδους,



Σχήμα 4.7: Η προτεινόμενη τοπολογία τύπου recycling-folded-cascode για τον Error-Amplifier του LDO.

δίνονται αντίστοιχα από τις ακόλουθες σχέσεις:

$$G_m = (1 + K)g_{m_{p1}} \quad (4.11)$$

Διαγωγιμότητα

$$A_v = R_{out}G_m \quad (4.12)$$

Κέρδος

$$\omega_{UG} = \frac{G_m}{C} \quad (4.13)$$

Συχνότητα Μοναδιαίου Κέρδους

όπου C ο πυκνωτής που συνδέεται στην έξοδο του ενισχυτή.

Το κύκλωμα του ενισχυτή έχει σχεδιαστεί σε χαμηλή τροφοδοσία, με $V_{dd} = 0.9V$ και $V_{SS} = 0V$ και με ελάχιστο ρεύμα πόλωσης της τάξης των $10nA$, προς ελαχιστοποίηση της συνολικής κατανάλωσης, ενώ η τάση dropout ισούται με $0.3V$ για την συνολική μονάδα του LDO, ο οποίος δίνει τάση εξόδου στα $0.6V$. Τα μεγέθη των επιμέρους στοιχείων που διαρθρώνουν το σύστημα του LDO, συνοψίζονται στον Πίνακα (4.2).

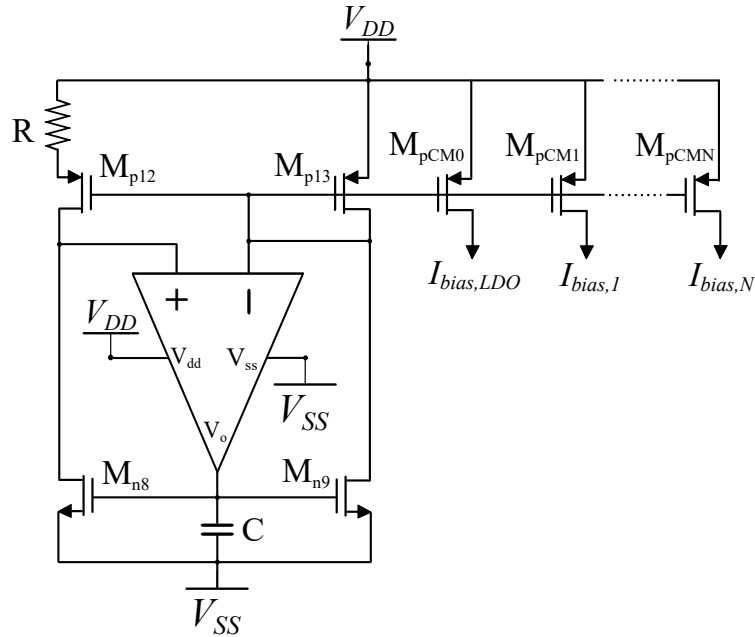
Πίνακας 4.2: LDO Sizing (Σχήματα 4.5, 4.7 και φίλτρο $R - C$).

NMOS	W/L ($\mu m/\mu m$)	PMOS	W/L ($\mu m/\mu m$)
M_{n1}, M_{n2}	0.3/17	$M_{p1}-M_{p4}$	1.2/4
M_{n3}	12/2	M_{p5}	1/4
M_{n4}	14/2	M_{p6}, M_{p8}	0.48/9
M_{n5}, M_{n8}	0.48/17	M_{p7}	0.48/2
M_{n6}, M_{n7}	0.24/17	M_{p9}	0.48/3
M_{n9}	2/0.5	M_{p10}	0.4/4
M_{n10}, M_{n11}	20/4	M_{p11}	2.4/4
$M_{pass,na}$	1000/1.2	-	-
$M_{bld,sw}$	0.2/0.1	-	-
Αντιστάσεις	$M\Omega$	Πυκνωτές	pF
R_{bld}	5	C	15
R_{filt}	0.05	C_{filt}	15

4.2 Constant Transconductance Circuit.

Καθώς η διαγωγιμότητα είναι πιθανώς μία από τις σημαντικότερες παραμέτρους κατά την σχεδίαση ενισχυτών, χρήζει σταθεροποίησης. Πρωτεύων στόχος είναι η δημιουργία μίας σταθερής τιμής διαγωγιμότητας μικρού-σήματος, η οποία βρίσκεται σε συμφωνία με μία τιμή αναφοράς, που παράγεται από την αντίσταση του Σχήματος (4.8). Σε μίας πρώτης τάξης προσέγγιση, η διαγωγιμότητα των transistor είναι ανεξάρτητη από διακυμάνσεις PVT. Το κύκλωμα σταθερής διαγωγιμότητας, σε συνδυασμό με πολυάριθμους καθρέπτες ρεύματος, δημιουργεί τα απαιτούμενα ρεύματα πόλωσης για κάθε άλλο στοιχείο της PMU που απαιτεί σταθερό ρεύμα πόλωσης [32].

Η παρουσία του τελεστικού ενισχυτή υποδηλώνει κοινές τάσεις στους ακροδέκτες υποδοχής των transistor που είναι συνδεδεμένα στις εισόδους του (M_{p12} , M_{p13}) και συνεπώς, τυχόν φαινόμενα άπειρης αντίστασης εξόδου, μετριάζονται. Εκτός αυτού, τα nMOS transistors θα διαρρένται από το ίδιο ρεύμα και συνεπώς και τα transistor M_{p12} και M_{p13} , με αποτέλεσμα το PTAT ρεύμα που παράγεται να έχει διαφορετικό θερμοκρασιακό συντελεστή από το V_T , λόγω της εξάρτησης που εμφανίζει η (on-chip) αντίσταση R με την θερμοκρασία. Το προαναφερθέν PTAT ρεύμα που προκύπτει, μέσω των καθρεπτών θα παράγει το απαιτούμενο ρεύμα πόλωσης των υπολοίπων κυκλωμάτων του συστήματος. Επιπλέον, η ύπαρξη των pMOS transistor στις

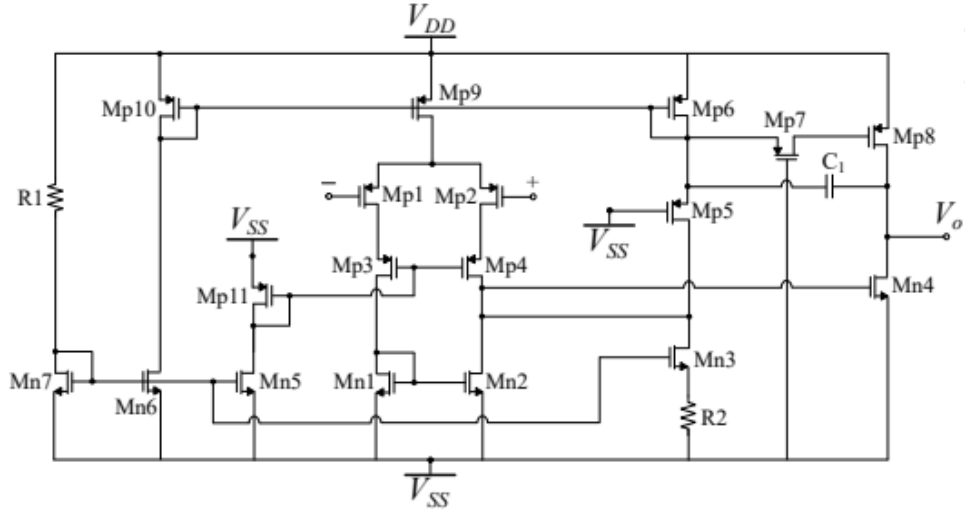


Σχήμα 4.8: Το κύκλωμα σταθερής διαγωγιμότητας συνοδευόμενο από τους καθρέπτες ρεύματος, οι οποίοι εξυπηρετούν τις ανάγκες της πόλωσης.

εισόδους του τελεστικού ενισχυτή περιορίζει την επίδραση του φαινομένου σώματος, μιας και οι περισσότερες CMOS τεχνολογίες επιτρέπουν σύνδεση σε ανεξάρτητο ακροδέκτη σώματος [33].

Με στόχο την υλοποίηση του τελεστικού ενισχυτή για το κύκλωμα σταθερής διαγωγιμότητας (ευρέως γνωστό ως “constant g_m ”), χρησιμοποιήθηκε η τοπολογία Ahuja, όπως φαίνεται και στο Σχήμα (4.9).

Η παρουσία του τελεστικού ενισχυτή σε αυτή την θέση ενισχύει την ευστάθεια μέσω της μείωσης του DC κέρδους στο δικτύωμα θετικής ανάδρασης που σχηματίζεται από τα nMOS και pMOS transistors. Προκειμένου να εξασφαλιστεί η ευστάθεια στο δικτύωμα αρνητικής ανάδρασης που περιλαμβάνει τον τελεστικό ενισχυτή και τα nMOS transistor τύπου common-source, απαιτείται κατάλληλη επιλογή της τιμής του πυκνωτή αντιστάθμισης C [34]. Οι διαστάσεις των επιμέρους devices για το κύκλωμα constant g_m , συνοψίζονται στον Πίνακα (4.3).



Σχήμα 4.9: Η τοπολογία Ahuja-compensation op-amp που περιλαμβάνεται στο κύκλωμα σταθερής διαγωγιμότητας.

Πίνακας 4.3: Constant- g_m Sizing (Σχήματα 4.6, 4.7).

NMOS	W/L ($\mu m/\mu m$)	PMOS	W/L ($\mu m/\mu m$)
M_{n1}, M_{n2}	8/0.2	$M_{p1}-M_{p4}, M_{p11}$	32/0.5
M_{n3}	24/0.4	M_{p5}	2/2
M_{n4}	0.8/0.2	M_{p6}, M_{p8}	12/2
M_{n5}	2/0.4	M_{p7}	0.2/0.1
M_{n6}, M_{n7}	4/0.4	M_{p9}	8/2
M_{n8}, M_{n9}	0.12/5	M_{p12}	0.48/5
-	-	M_{p13}, M_{pCM}	0.12/5
Αντιστάσεις	$M\Omega$	Πυκνωτές	pF
R_1	150	C_1	5
R_2	0.1	-	-
R	5	C	10

Κεφάλαιο 5

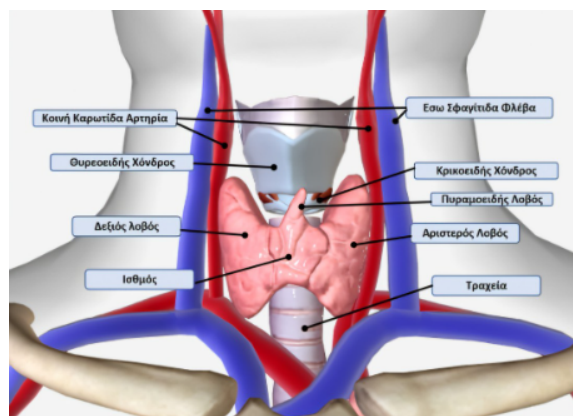
Αποτελέσματα Προσομοιώσεων

Στην ενότητα αυτή παρατίθενται τα αποτελέσματα που προέκυψαν στο πλαίσιο των πειραματικών προσομοιώσεων, οι οποίες διενεργήθηκαν με χρήση της τεχνολογίας TSMC 90nm CMOS σε περιβάλλον Cadence. Η εξωτερική υψηλή τροφοδοσία όλων των κυκλωμάτων είχε τεθεί σε $V_{dd} = 0.9V$ και ως χαμηλή τροφοδοσία θεωρήθηκε η γείωση $V_{ss} = 0V$. Σημειώνεται, πως τα πειραματικά αποτελέσματα αφορούν τόσο στην μονάδα διαχείρισης ισχύος, όσο και στο κύκλωμα του ταξινομητή που αυτή τροφοδοτεί, για τον οποίο ελέγχεται η κατανάλωση ισχύος αλλά και η ακρίβεια που επιδεικνύει στο στάδιο του ελέγχου. Πρωτού όμως περιγραφούν τα πειραματικά αποτελέσματα, πραγματοποιείται ανάλυση του συνόλου δεδομένων του ταξινομητή και της διαδικασίας εκπαίδευσής του.

5.0.1 Το Σύνολο Δεδομένων

Η αξιολόγηση της απόδοσης του ταξινομητή, πραγματοποιήθηκε με την χρήση ενός πραγματικού συνόλου δεδομένων, το οποίο αφορά διαταραχές του θυρεοειδούς αδένος. Ο θυρεοειδής είναι ένας αδένος που βρίσκεται στην περιοχή του λαιμού κάτω από τον λάρυγγα, με χαρακτηριστικό σχήμα πεταλούδας.

Παράγει κυρίως δύο τύπους ορμονών, την θυροξίνη (T4) και την τρι-ιωδοθυρίνη (T3), που κυκλοφορούν στο αίμα και συμβάλλουν στην ρύθμιση του μεταβολισμού, της θερμοκρασίας και του καρδιακού ρυθμού. Η παραγωγή και η απελευθέρωση των εν λόγω ορμονών ελέγχεται από τον υποθάλαμο, μία δομή που βρίσκεται στην βάση του εγκεφάλου και ενεργοποιεί



Σχήμα 5.1: Η ανατομία του θυρεοειδούς αδένα.

μία άλλη εγκεφαλική δομή, που καλείται "υπόφυση", για την παραγωγή της θυρεοτρόπου ορμόνης (TSH). Ανάλογα με τα εκκρινόμενα επίπεδα της TSH, παράγεται και η αντίστοιχη ποσότητα T3 και T4 από την υπόφυση.

Οι παθήσεις που αφορούν τον θυρεοειδή αδέν, συγκαταλέγονται στις πλέον κοινότητες ενδοκρινολογικές νόσους, με μεγαλύτερη συχνότητα εμφάνισης στον γυναικείο πληθυσμό και κυρίως στα στάδια της παιδικής ηλικίας. Τα συνηθέστερα προβλήματα που παρατηρούνται στην λειτουργία του θυρεοειδούς αδέν, αφορούν την διόγκωσή του (βρογχοκήλη), την παραγωγή μεγάλων ποσοτήτων TSH (υπερθυρεοειδισμός), την υπολειτουργία του αδέν (υποθυρεοειδισμός) και τους όζους [35].

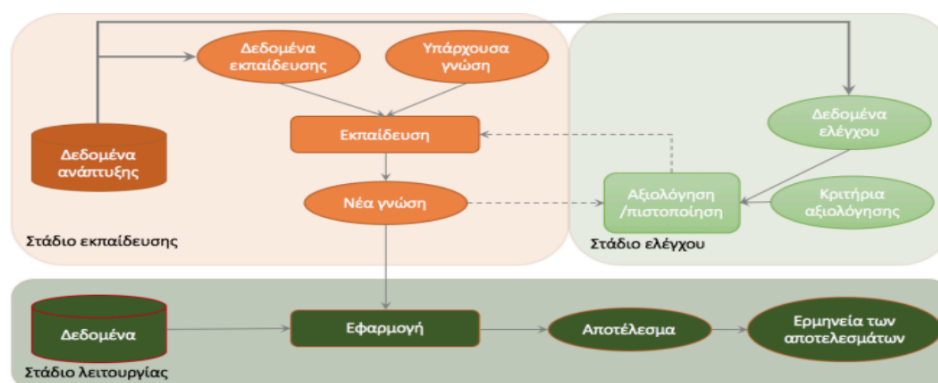
Ωστόσο, το υπό μελέτη σύνολο δεδομένων εξετάζει αποκλειστικά την περίπτωση του υποθυρεοειδισμού, διακρίνοντας τρεις κλάσεις ταξινόμησής, ανάλογα με την βαρύτητα της διαταραχής: primary, compensated και secondary thyroid. Ο πρωτοπαθής υποθυρεοειδισμός (primary thyroid) εμφανίζεται έπειτα από καταστροφή του αδέν, λόγω αυτοανοσίας ή ιατρικής παρέμβασης (π.χ. χειρουργική επέμβαση, ραδιοϊώδιο, ακτινοβολία). Ο δευτεροπαθής υποθυρεοειδισμός (secondary thyroid) είναι απότοκο βλάβης που σημειώνεται είτε στην περιοχή της υπόφυσης, είτε στην περιοχή του υποθαλάμου και οδηγεί σε μείωση των εκκρινόμενων ποσοστών TSH [36]. Αντίστοιχα, ο όρος "άντιρροπούμενος υποθυρεοειδισμός" (compensated thyroid), χρησιμοποιείται για να περιγράψει την κατάσταση στην οποία τα επίπεδα TSH ορού είναι αυξημένα ($TSH > 4mU/L$), αλλά η T4 ορού είναι φυσιολογική, με μικρά ή και καθόλου συμπτώματα δυσλειτουργίας του αδέν [37].

Συνεπώς, το πλήρες πρόβλημα ταξινόμησης θα έπρεπε να διακρίνει

συνολικά τέσσερις πιθανές κλάσεις ταξινόμησης, αλλά λόγω πολύ μικρού αριθμού δειγμάτων (μόλις τρία δείγματα) για το σύνολο του δευτεροπαθούς υποθυρεοειδισμού σε σχέση με το πλήρες σύνολο δεδομένων (των 2797 δειγμάτων), η εν λόγω κατηγορία εξαιρέθηκε από το dataset [38]. Κατά αυτόν τον τρόπο, οι κλάσεις ταξινόμησης μετατράπηκαν σε τρεις δυνατές: πρωτοπαθής υποθυρεοειδισμός, αντιρροπούμενος υποθυρεοειδισμός και άτομο υγιές ως προς την πάθηση. Αυτός είναι και ο λόγος για τον οποίο το κύκλωμα WTA απαρτίζεται από 3 νευρώνες, ενώ χρησιμοποιούνται 5 κύκλωμα Bump για τα 5 χαρακτηριστικά.

5.0.2 Διαδικασία Εκπαίδευσης

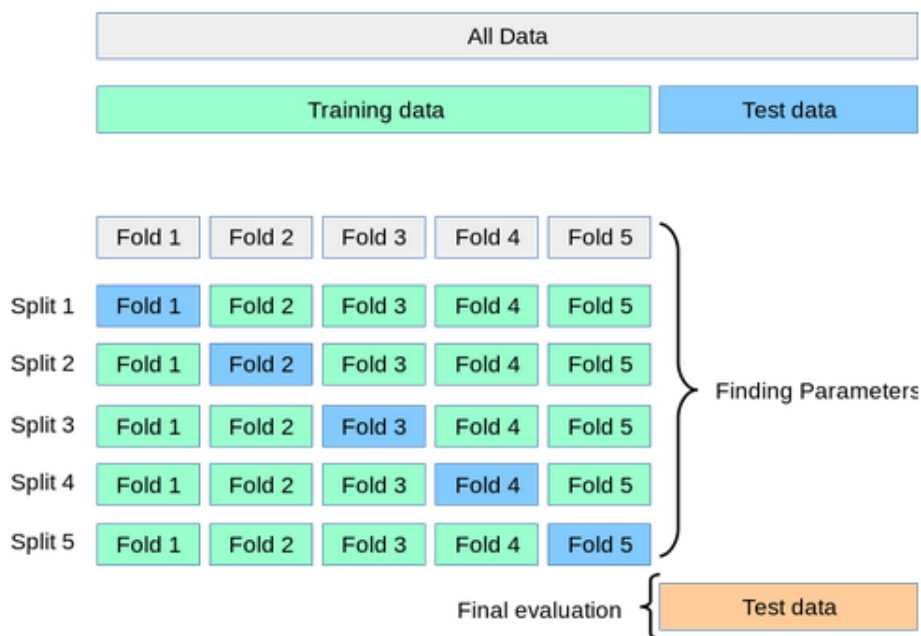
Πρωταρχικό βήμα σε όλες τις διαδικασίες χειρισμού δεδομένων με χρήση τεχνικών μηχανικής μάθησης, αποτελεί ο χωρισμός του αρχικού συνόλου σε δύο πλήρως διακριτά και μη επικαλυπτόμενα υποσύνολα, το σύνολο εκπαίδευσης (training set) και το σύνολο ελέγχου (test set).



Σχήμα 5.2: Γενική αρχή αλγορίθμων μηχανικής μάθησης.

Στον χώρο της μηχανικής μάθησης, η τεχνική K-fold cross-validation είναι ιδιαίτερα διαδεδομένη για την αξιολόγηση της απόδοσης των μοντέλων. Περιλαμβάνει τον κατακερματισμό του αρχικού συνόλου δεδομένων σε επιμέρους υποσύνολα (K τον αριθμό), εκ των οποίων το ένα κάθε φορά χρησιμοποιείται ως test set και τα υπόλοιπα προς εκπαίδευση του μοντέλου (training sets). Η διαδικασία αυτή επαναλαμβάνεται αρκετές φορές (ειδικότερα, K φορές), χρησιμοποιώντας διαφορετικό fold ως test set σε κάθε επανάληψη.

Η εκπαίδευση του προτεινόμενου μοντέλου πραγματοποιήθηκε με χρήση της γλώσσας προγραμματισμού python. Με στόχο την επαλήθευση της εξαγόμενης

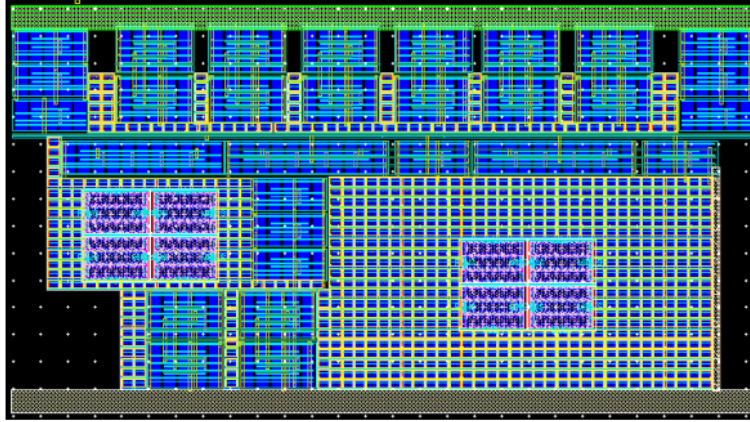


Σχήμα 5.3: Η τεχνική K-fold cross-validation.

ακρίβειας, η εκτέλεση του κώδικα σε επίπεδο software, όσο και η προσομοίωση σε επίπεδο hardware, πραγματοποιήθηκαν σε 20 επαναλήψεις. Με άλλα λόγια, το αρχικό dataset κατακερματίζεται σε 20 κομμάτια, με στόχο των σχηματισμό των απαιτούμενων train και test set κάθε φορά.

5.0.3 Αποτελέσματα Προσομοιώσεων

Χρησιμοποιώντας την σουίτα TSMC 90nm CMOS και την τεχνική common-centroid με συμπληρωματικά dummy transistors ώστε να περιοριστούν φαινόμενα mismatch over PVT corners, κατασκευάστηκε το layout της προτεινόμενης τοπολογίας PMU, το οποίο απαιτεί επιφάνεια $0.142mm^2$ και φαίνεται στο Σχήμα (5.4). Η προτεινόμενη PMU ελέγχθηκε over corners σε process (TT, FF, SS, FS, SF) , voltage (0.8V, 0.9V, 1V) (με απόκλιση έως 10% από την τυπική τιμή τροφοδοσίας) και temperature ($-40^{\circ}C$, $27^{\circ}C$, $125^{\circ}C$) και τα αποτελέσματα παρουσιάζονται συγκεντρωτικά στον Πίνακα (5.1), όπου η στήλη “Typ” αντιστοιχεί στο nominal corner (TT, $V_{dd} = 0.9V$, $27^{\circ}C$), ενώ οι άλλες δύο στήλες, “Min” και “Max” αναφέρονται στην χαμηλότερη και στην μεγαλύτερη τιμή αντίστοιχα που



Σχήμα 5.4: Το layout της προτεινόμενης PMU, με επιφάνεια $0.142mm^2$.

προκύπτει για κάθε στοιχείο που υπολογίζεται μέσω της προσομοίωσης. Σημειώνεται, πως η συνθήκη φορτίου στην προσομοίωση είναι $I_{load} = 100\mu A$ και $C_{load} = 50pF$, η οποία συμβατή με την τροφοδότηση του κυκλώματος ταξινόμησης.

Τέλος, τα αποτελέσματα που προκύπτουν αναφορικά με την εξαγόμενη ακρίβεια του μοντέλου ταξινόμησης και την κατανάλωση ισχύος του, παρατίθενται στον Πίνακα (5.2). Σημειώνεται, πως το κύκλωμα ταξινόμησης τροφοδοτείται από την έξοδο του LDO με επίπεδο τάσης $0.6V$ (η χαμηλή τροφοδοσία ίναι κοινή σε όλη την διάταξη $V_{ss} = 0V$), ενώ ως ρεύμα πόλωσης για τα Bumps επιλέχθηκε $I_{bias} = 7nA$ και για το κύκλωμα WTA τέθηκε $I_{bias} = 4nA$.

Πίνακας 5.1: Αποτελέσματα Προσομοίωσης για την PMU

Παράμετρος	Min	Typ	Max
Τάση τροφοδοσίας (V)	0.8	0.9	1
Τάση εξόδου (regulated) (mV)	599.5	600.3	608.1
Ρεύματα Εξόδου (nA)	7.87	9.03	13.45
Κατανάλωση ισχύος (pW)	0.215	0.591	1.7805
PSRR @ DC (dB)	20.92	48.43	87.46
PSRR @ 100kHz (dB)	23.54	25.19	25.78
PSRR @ 1MHz (dB)	23.62	25.3	25.75
Worst PSRR (dB)	20.92	25.15	25.65
Θόρυβος εξόδου @1Hz (dBV/ $\sqrt{Hz}$)	-105.4	-104.5	-103
Θόρυβος εξόδου @1kHz (dBV/ $\sqrt{Hz}$)	-134.4	-130.8	-128.1
Θόρυβος εξόδου @10kHz (dBV/ $\sqrt{Hz}$)	-136.6	-133.1	-131.3
Θόρυβος εξόδου @100kHz (dBV/ $\sqrt{Hz}$)	-151.5	-148.3	-142.6
Οθόρυβος εξόδου @1MHz (dBV/ $\sqrt{Hz}$)	-173.3	-170.4	-165.4
DC Gain (dB)	33.83	46.78	79.52
Phase Margin (°)	84.14	87.62	88.79
Unity Gain Frequency (kHz)	7.228	14.37	42.92
Start-up time @Zero Load (us)	65.3	78.4	103.7

Πίνακας 5.2: Αποτελέσματα Προσομοίωσης για τον ταξινομητή

Μέθοδος	Best(%)	Worst(%)	Mean(%)	Mean Power (nW)
Software	98.46	93.84	95.38	-
Proposed	96.92	87.69	93.23	6.38

Κεφάλαιο 6

Συμπεράσματα και Προτάσεις για Μελλοντική Έρευνα

Τα τελευταία χρόνια, η χρήση υποβοηθούμενων από υπολογιστή διαγνωστικών εργαλείων έχει αναδειχθεί σε μία διαδεδομένη τεχνική για την επιτάχυνση της διάγνωσης με στόχο την έγκαιρη και αποτελεσματική θεραπεία. Συγχρόνως, δεν είναι λίγες οι φορές που η τεχνολογία είναι σε θέση να προβλέπει την εμφάνιση μίας νόσου στα πρώιμα στάδιά της, ζήτημα κεφαλαιώδους σημασίας στον ιατρικό κλάδο. Στην ίδια κατεύθυνση, η ζήτηση για SoC (System-on-Chip) υλοποιήσεις, έχει αυξήσει ραγδαία το ενδιαφέρον του αναλογικού σχεδιασμού σε θέματα διαχείρισης ισχύος, καθώς τέτοιου είδους μονάδες παρέχουν τα απαιτούμενα επίπεδα ρεύματος και τάσης για τις πολώσεις πολυάριθμων κυκλωμάτων εντός του chip. Έτσι, η σύγχρονη σχεδίαση τείνει στον περιορισμό των απαιτούμενων πόρων, υπό την έννοια της μείωσης της επιφάνειας του chip και της καταναλισκόμενης ισχύος. Υπό αυτό το πρίσμα, στα πλαίσια της παρούσας εργασίας παρουσιάζεται ένα πλήρες, αμιγώς αναλογικό σύστημα χαμηλής κατανάλωσης, το οποίο περιλαμβάνει μία μονάδα διαχείρισης ισχύος και ένα κύκλωμα ταξινόμησης που τροφοδοτείται από αυτήν και που στοχεύει στην πρόβλεψη ανωμαλιών του θυρεοειδούς αδένος. Η υλοποίηση της PMU περιλαμβάνει επιμέρους υποκυκλώματα, που χρησιμοποιούν αντιστάσεις και τελεστικούς ενισχυτές μόνον όπου κρίνεται απολύτως απαραίτητο, προς ελαχιστοποίηση της συνολικής κατανάλωσης, η οποία ανέρχεται σε 591nW. Αντίστοιχα, για το κύκλωμα ταξινόμησης χρησιμοποιήθηκε ένα πραγματικό σύνολο δεδομένων και ο χωρισμός σε σύνολο εκπαίδευσης και ελέγχου πραγματοποιήθηκε τηρώντας την τυπική

αναλογία διαχωρισμού 70:30, με στόχο την αποφυγή υπερεκπαίδευσης του μοντέλου και εξαγωγής λανθασμένων αποτελεσμάτων. Η επιλογή των υποκυκλωμάτων για την μονάδα ταξινόμησης πραγματοποιήθηκε έπειτα από σύγκριση διαφόρων τοπολογιών κυκλωμάτων Bump που υλοποιούν την Γκαουσιανή συνάρτηση, με στόχο να πετυχαίνονται τα βέλτιστα αποτελέσματα από άποψη ακρίβειας, η οποία τελικά σε επίπεδο hardware ανέρχεται σε 93.23%. Το εν λόγω σύστημα υλοποιήθηκε σε επίπεδο transistor, με χρήση της τεχνολογίας TSMC 90nm CMOS και θα μπορούσε να χρησιμοποιηθεί ως βάση για παρεμφερείς υλοποιήσεις χαμηλής κατανάλωσης και τροφοδοσίας.

Μελλοντικές επεκτάσεις της προτεινόμενης αρχιτεκτονικής θα μπορούσαν να περιλαμβάνουν εναλλακτικές υλοποιήσεις της μονάδας ταξινόμησης, που αντί των GMM θα μπορούσε να βασίζεται σε αλγόριθμους τύπου Support Vector Machine, Multiple Centroid, Threshold και K-means ή και καλύτερη επιλογή των παραμέτρων (tuning). Παράλληλα, θα μπορούσε να πραγματοποιηθεί κάποια μέθοδος εξισορρόπησης του συνόλου δεδομένων στο training set, με στόχο την καλύτερη εκπαίδευση του μοντέλου και την εξαγωγή αποτελεσμάτων πλησιέστερων στα πραγματικά. Τέλος, η προτεινόμενη μονάδα διαχείρισης ισχύος θα μπορούσε να σχεδιαστεί σε άλλες τεχνολογίες, με στόχο την περαιτέρω ελάττωση των διαστάσεων της στην επιφάνεια του chip και πιθανώς και της κατανάλωσης ισχύος.

Bibliography

- [1] I. El Naqa and M. J. Murphy, *What is machine learning?* Springer, 2015.
- [2] I. H. Sarker, “Machine learning: Algorithms, real-world applications and research directions,” *SN computer science*, vol. 2, no. 3, p. 160, 2021.
- [3] G. Bonaccorso, *Machine Learning Algorithms: Popular algorithms for data science and machine learning*. Packt Publishing Ltd, 2018.
- [4] B. Bairwa, K. K. Reddy, *et al.*, “Design of iot based battery monitoring system,” in *AIP Conference Proceedings*, vol. 2461, AIP Publishing, 2022.
- [5] A. A. Johnson, M. Q. Ott, and M. Dogucu, *Bayes rules!: An introduction to applied Bayesian modeling*. Chapman and Hall/CRC, 2022.
- [6] D. A. Reynolds *et al.*, “Gaussian mixture models.,” *Encyclopedia of biometrics*, vol. 741, no. 659-663, 2009.
- [7] T. S. Madhulatha, “An overview on clustering methods,” *arXiv preprint arXiv:1205.1117*, 2012.
- [8] K. Rose, E. Gurewitz, and G. C. Fox, “Constrained clustering as an optimization method,” *IEEE Transactions on Pattern Analysis and Machine Intelligence*, vol. 15, no. 8, pp. 785–794, 1993.
- [9] A. Sedra, K. Smith, T. C. Carusone, and V. Gaudet, “Microelectronic circuits 8th edition,” *Chapter*, vol. 14, pp. 1235–1236, 2020.
- [10] B. Razavi, *Fundamentals of microelectronics*. John Wiley & Sons, 2021.

BIBLIOGRAPHY

- [11] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and design of analog integrated circuits*. John Wiley & Sons, 2024.
- [12] V. Alimisis, G. Gennis, E. Tsouvalas, C. Dimas, and P. P. Sotiriadis, “An analog, low-power threshold classifier tested on a bank note authentication dataset,” in *2022 International conference on microelectronics (ICM)*, pp. 66–69, IEEE, 2022.
- [13] V. Alimisis, G. Gennis, C. Dimas, and P. P. Sotiriadis, “An analog bayesian classifier implementation, for thyroid disease detection, based on a low-power, current-mode gaussian function circuit,” in *2021 International conference on microelectronics (ICM)*, pp. 153–156, IEEE, 2021.
- [14] T. Delbrueck and C. Mead, “Bump circuits,” in *Proceedings of International Joint Conference on Neural Networks*, vol. 1, pp. 475–479, Citeseer, 1993.
- [15] V. Alimisis, M. Gourdouparis, C. Dimas, and P. P. Sotiriadis, “Ultra-low power, low-voltage, fully-tunable, bulk-controlled bump circuit,” in *2021 10th International Conference on Modern Circuits and Systems Technologies (MOCASST)*, pp. 1–4, IEEE, 2021.
- [16] M. Gourdouparis, V. Alimisis, C. Dimas, and P. P. Sotiriadis, “Ultra-low power (4nw), 0.6 v fully-tunable bump circuit operating in sub-threshold regime,” in *2021 IEEE International Conference on Design & Test of Integrated Micro & Nano-Systems (DTS)*, pp. 1–6, IEEE, 2021.
- [17] V. Alimisis, N. P. Eleftheriou, A. Kamperi, G. Gennis, C. Dimas, and P. P. Sotiriadis, “General methodology for the design of bell-shaped analog-hardware classifiers,” *Electronics*, vol. 12, no. 20, p. 4211, 2023.
- [18] V. Alimisis, G. Gennis, K. Touloupas, C. Dimas, M. Gourdouparis, and P. P. Sotiriadis, “Gaussian mixture model classifier analog integrated low-power implementation with applications in fault management detection,” *Microelectronics Journal*, vol. 126, p. 105510, 2022.
- [19] B. A. Minch, “A simple variable-width cmos bump circuit,” in *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1354–1357, IEEE, 2016.
- [20] R. L. Costea, “Decision levels and resolution for low-power winner-take-all circuit,” *Sensors*, vol. 23, no. 14, p. 6247, 2023.

BIBLIOGRAPHY

- [21] M. A. Khan, M. A. Khan Khattk, S. Latif, A. A. Shah, M. Ur Rehman, W. Boulila, M. Driss, and J. Ahmad, "Voting classifier-based intrusion detection for iot networks," in *Advances on Smart and Soft Computing: Proceedings of ICACIn 2021*, pp. 313–328, Springer, 2022.
- [22] V. Alimisis, A. Kamperi, N. P. Eleftheriou, and P. P. Sotiriadis, "A low-power analog bell-shaped classifier based on parallel-connected gaussian function circuits," in *International Conference on Frontiers of Artificial Intelligence, Ethics, and Multidisciplinary Applications*, pp. 459–470, Springer, 2023.
- [23] M. Seok, G. Kim, D. Blaauw, and D. Sylvester, "A portable 2-transistor picowatt temperature-compensated voltage reference operating at 0.5 v," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 10, pp. 2534–2545, 2012.
- [24] B. Razavi, "The design of a low-voltage bandgap reference [the analog mind]," *IEEE Solid-State Circuits Magazine*, vol. 13, no. 3, pp. 6–16, 2021.
- [25] M. Chang, J. Ting, J. Shy, L. Chen, C. Liu, J. Wu, K. Pan, C. Hou, C. Tu, Y. Chen, *et al.*, "A highly manufacturable 0.25/spl mu/m multiple-vt dual gate oxide cmos process for logic/embedded ic foundry technology," in *1998 Symposium on VLSI Technology Digest of Technical Papers (Cat. No. 98CH36216)*, pp. 150–151, IEEE, 1998.
- [26] R. J. Milliken, J. Silva-Martínez, and E. Sánchez-Sinencio, "Full on-chip cmos low-dropout voltage regulator," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 54, no. 9, pp. 1879–1890, 2007.
- [27] G. A. Rincon-Mora, *Current efficient, low-voltage, low drop-out regulators*. Georgia Institute of Technology, 1996.
- [28] B. Razavi, "The low dropout regulator [a circuit for all seasons]," *IEEE Solid-State Circuits Magazine*, vol. 11, no. 2, pp. 8–13, 2019.
- [29] R. S. Assaad and J. Silva-Martinez, "The recycling folded cascode: A general enhancement of the folded cascode amplifier," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 9, pp. 2535–2542, 2009.
- [30] X. Zhao, H. Fang, and J. Xu, "Phase-margin enhancement technique for recycling folded cascode amplifier," *Analog Integrated Circuits and Signal Processing*, vol. 74, pp. 479–483, 2013.

BIBLIOGRAPHY

- [31] M. Ahmed, I. Shah, F. Tang, and A. Bermak, “An improved recycling folded cascode amplifier with gain boosting and phase margin enhancement,” in *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 2473–2476, IEEE, 2015.
- [32] A. S. Sedra, K. C. Smith, T. C. Carusone, and G. Vincent, *Microelectronic Circuits*. Oxford university press, 2004.
- [33] T. Carusone, D. Johns, and K. Martin, *Analog Integrated Circuit Design, 2nd Edition*. Wiley, 2011.
- [34] B. K. Ahuja, “An improved frequency compensation technique for cmos operational amplifiers,” *IEEE journal of solid-state circuits*, vol. 18, no. 6, pp. 629–633, 1983.
- [35] A. Jabbar, A. Pingitore, S. H. Pearce, A. Zaman, G. Iervasi, and S. Razvi, “Thyroid hormones and cardiovascular disease,” *Nature Reviews Cardiology*, vol. 14, no. 1, pp. 39–55, 2017.
- [36] B. Nygaard, “Hypothyroidism (primary),” *BMJ clinical evidence*, vol. 2010, 2010.
- [37] R. Benediktsson and A. D. Toft, “Management of the unexpected result: compensated hypothyroidism,” *Postgraduate medical journal*, vol. 74, no. 878, pp. 729–732, 1998.
- [38] R. Quinlan, “Thyroid Disease.” UCI Machine Learning Repository, 1986. DOI: <https://doi.org/10.24432/C5D010>.