



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ & ΜΗΧΑΝΙΚΩΝ
ΥΠΟΛΟΓΙΣΤΩΝ
Τομέας Επικοινωνιών, Ηλεκτρονικής & Συστημάτων Πληροφορικής

Σχεδίαση Πλατφόρμας για Αξιολόγηση Επίδοσης
Αναλογικών και RF Τεχνολογιών

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Ιωάννης Δ. Μπόσκοβιτς

Επιβλέπων : Γεώργιος Παναγόπουλος

Αν. Καθηγητής Ε.Μ.Π

Αθήνα, Οκτώβριος 2024



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ & ΜΗΧΑΝΙΚΩΝ
ΥΠΟΛΟΓΙΣΤΩΝ
Τομέας Επικοινωνιών, Ηλεκτρονικής & Συστημάτων Πληροφορικής

Σχεδίαση Πλατφόρμας για Αξιολόγηση Επίδοσης
Αναλογικών και RF Τεχνολογιών

Διπλωματική Εργασία

Ιωάννης Δ. Μπόσκοβιτς

Επιβλέπων : Γεώργιος Παναγόπουλος

Αν. Καθηγητής Ε.Μ.Π

Συμμετοχή στην Επίβλεψη : Νικόλαος Βουδούκης

Μέλος ΕΔΙΠ

Εγκρίθηκε από την διμελή εξεταστική επιτροπή την 18^η Οκτωβρίου 2024.

.....
Ι. Παπανάνος
Καθηγητής Ε.Μ.Π

.....
Ε. Χριστοφόρου
Καθηγητής Ε.Μ.Π

Αθήνα, Οκτώβριος 2024

.....

Ιωάννης Μπόσκοβιτς

Διπλωματούχος Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Ιωάννης Μπόσκοβιτς, 2024

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Η συγκεκριμένη διπλωματική εργασία πραγματεύεται την ανάλυση και αξιολόγηση τεχνολογιών στο κλάδο της ηλεκτρονικής και συγκεκριμένα στο κομμάτι των MOSFET τεχνολογιών. Η ανάλυση σχετίζεται τόσο με τα δομικά στοιχεία που απαρτίζουν την τεχνολογία των τρανζίστορ όπως είναι το μήκος L ή τις παραλλαγές των παραμέτρων κατασκευής του MOSFET όπως είναι η γωνία Corner, όσο και με εξωτερικές μεταβλητές που το επηρεάζουν όπως είναι η θερμοκρασία T . Είναι απαραίτητο λοιπόν, να αναλυθεί η σχέση που έχουν όλες οι παραπάνω παράμετροι στις θεμελιώδεις εξισώσεις των τρανζίστορ όπως ρευμάτων, τάσεων και κέρδους και πως η μεταβολή τους τις επηρεάζει ολοκληρωτικά. Με την ορθή παρατήρηση και κατανόηση των εξισώσεων που είναι άρρηκτα συνδεδεμένες με τις παραπάνω παραμέτρους γίνονται αντιληπτές οι διαφορές σε τεχνολογίες MOSFET που δύναται να συγκριθούν καθώς και αξιολόγηση των διάφορων επιδόσεων τους, ώστε να επιλεγεί η καταλληλότερη σε κάθε περίπτωση. Ωστόσο, η πληροφορία που παρέχεται από τις εξισώσεις ενδέχεται να μην είναι αρκετή. Για μια πιο πλήρη και σφαιρική οπτική καθίσταται αναγκαία και η αναπαράσταση των εξισώσεων σε κοινά γραφήματα. Με αυτόν το τρόπο η παρατήρηση της συμπεριφοράς των γραφικών στις διάφορες μεταβολές γίνεται ευκολότερα και επέρχονται πιο ακριβή συμπεράσματα. Για όλους τους παραπάνω λόγους, η συγκεκριμένη εργασία έχει δομηθεί ώστε στην αφού γίνει επεξήγηση και ανάλυση των θεμελιωδών εξισώσεων που διέπουν το τρανζίστορ, κατόπιν να παρουσιάζονται αναλυτικά όλες οι πειραματικές γραφικές για μια πλήρη και σαφή σύγκριση των εκάστοτε επιθυμητών τεχνολογιών.

Λέξεις κλειδιά

Τρανζίστορ, ρεύμα διέλευσης, χωρητικότητα, τάση κατωφλίου, τάση Early, κορεσμός ταχύτητας, κορεσμός, μήκος καναλιού, πύλη (gate), υπόστρωμα (substrate-bulk), απαγωγός (drain), πηγή (source), αγωγιμότητα, αντίσταση εξόδου.

Abstract

This thesis focuses on the analysis and evaluation of technologies in the field of electronics, specifically in the area of MOSFET technologies. The analysis involves both the structural characteristics which define the technology of transistors, such as channel length (L), and variations in MOSFET manufacturing parameters, such as the Corner angle, as well as external variables that affect it, such as temperature (T). It is therefore necessary to analyze the relationship of all these parameters with the fundamental transistor equations, such as those related to currents, voltages, and gain, and how their variations affect the overall behavior. By properly observing and understanding the equations that are strongly linked to these parameters, the differences in MOSFET technologies that can be compared become clear, as well as the evaluation of their various performances, allowing for the selection of the most suitable technology in each case. However, the information provided by the equations may not be sufficient. For a more comprehensive perspective, it is necessary to also represent the equations in common graphs. In this way, observing the behavior of the graphs under various changes becomes easier, leading to more accurate conclusions. For all the above reasons, this thesis is structured firstly to explain and analyze the fundamental equations that influence the transistor, and then to present in detail all experimental graphs for a complete and clear comparison of the desired technologies.

Key Words

Transistor, drive current, capacitance, threshold voltage, Early voltage, velocity saturation, saturation, channel length, gate, substrate, drain, source, conductivity, output resistance.

Περιεχόμενα

1

1 Θεωρητικό μέρος:

1.1	Εισαγωγή.....	11
1.2	Ρεύμα διέλευσης I_D για τις διάφορες περιπτώσεις.....	11
1.3	Μείωση του Φράγματος λόγω Επαγωγής (DIBL).....	14
1.4	Velocity Saturation.....	16
1.5	Χωρητικότητες C_{gs} , C_{gb} , C_{db} , C_{gd} και οι σχέσεις που τους διέπουν.....	17
1.6	Αγωγιμότητες g_{bd} , g_{bs} , g_m , g_{mbs} , g_{ds}	23
1.7	Αντίσταση εξόδου R_{out}	26
1.8	Τάση κατωφλίου V_t	27
1.9	Τάση Early.....	30

2 Πειραματικό μέρος – Εφαρμογή:

2.1	Εισαγωγή.....	31
2.2	Παράμετροι σχετικές με το ρεύμα συναρτήσει της τάσης.....	32
2.3	Παράμετροι σχετικές με την ανάλυση μικρού σήματος.....	44
2.4	Παράμετροι σχετικές με τη συχνότητα με V_{gs} κλιμάκωση	56
2.5	Παράμετροι σχετικές με τη συχνότητα με V_{ds} κλιμάκωση.....	68
2.6	Παράμετροι σχετικές με το ρεύμα συναρτήσει της θερμοκρασίας.....	76
2.7	Παράμετροι σχετικές με το ρεύμα συναρτήσει του μήκους	82
2.8	Σχόλια και συμπεράσματα NMOS και PMOS τεχνολογιών.....	88

3 Βιβλιογραφία

Βιβλιογραφικές πηγές.....	89
---------------------------	----

Περιεχόμενα Σχημάτων

Σχήμα 1 Γραφική απεικόνιση της τροποποιημένης εξίσωσης Sah.....	12
Σχήμα 2 Σχηματικό διάγραμμα του φυσικού μηχανισμού DIBL στα MOSFETs....	14
Σχήμα 3 Velocity Saturation για Short και Long Channel.....	16
Σχήμα 4 Χωρητικότητες αποθήκευσης φόρτισης μεγάλου σήματος του MOS τρανζίστορ.....	18
Σχήμα 5 Χωρητικότητες επικάλυψης ενός MOS τρανζίστορ.....	19
Σχήμα 6 Χαρακτηριστική εξόδου της συσκευής MOS.....	20
Σχήμα 7 Η εξάρτηση της τάσης των C_{GS} , C_{GD} και C_{GB} ως συνάρτηση του V_{GS} με σταθερό V_{DS} και $V_{BS} = 0$	21
Σχήμα 8 Μοντέλο μικρού σήματος για MOS τρανζίστορ.....	23
Σχήμα 9 Διατομή ενός τρανζίστορ n-καναλιού με μικρή v_{DS} και $v_{GS} > V_T$	27
Σχήμα 10 Τάση Early ως εφαπτομένη της καμπύλης $I_D(V_{DS})$	30

Περιεχόμενα Πινάκων

Πίνακας 1 Τιμές Χωρητικότητας και Συντελεστές για το Μοντέλο MOS.....19

Πίνακας 2 Εξάρτηση των παραμέτρων του μοντέλου μικρού σήματος από τις τιμές τάσης και ρεύματος DC στην περιοχή κορεσμού.....25

Πίνακας 3 Εξάρτηση των παραμέτρων του μοντέλου μικρού σήματος από τις τιμές τάσης και ρεύματος DC στην περιοχή μη κορεσμού.....25

Πίνακας 4 Σύμβολα για τις ποσότητες στην εξίσωση της τάσης κατωφλίου.....29

Θεωρητικό μέρος

Εισαγωγή

Στο θεωρητικό μέρος που ακολουθεί, θα αναλυθούν βασικές έννοιες και τύποι που σχετίζονται με το ρεύμα διέλευσης I_D για διάφορες καταστάσεις, καθώς και οι παράμετροι που επηρεάζουν τη συμπεριφορά των MOSFETs. Ιδιαίτερη έμφαση θα δοθεί στις χωρητικότητες C_{gs} , C_{gb} , C_{db} και C_{gd} , καθώς και στις σχέσεις που τις διέπουν. Επιπλέον, θα εξεταστούν οι αγωγιμότητες g_{bd} , g_{bs} , g_m , g_{mbs} και g_{ds} , η αντίσταση εξόδου R_{out} , καθώς και η τάση κατωφλίου V_t . Οι παραπάνω παράμετροι και σχέσεις είναι κρίσιμες για την κατανόηση των αποτελεσμάτων που προκύπτουν από το πειραματικό μέρος και αποτελούν θεμελιώδη στοιχεία στο σχεδιασμό αναλογικών κυκλωμάτων CMOS.

Ρεύμα Διέλευσης I_D

Το ρεύμα I_D μπορεί να εκφραστεί με βάση το μοντέλο Sah, το οποίο χρησιμοποιείται στο SPICE από τους Shichman και Hodges. Αυτό το μοντέλο είναι κατάλληλο για MOSFET με μήκος και πλάτος μεγαλύτερο από 10 μm , χαμηλή δόση υποστρώματος και όταν απαιτείται ένα απλό μοντέλο.

Το ρεύμα διέλευσης I_D σε ένα MOSFET είναι το ρεύμα που ρέει από την πηγή (source) προς τον απαγωγό (drain) όταν η συσκευή βρίσκεται σε λειτουργία. Ορίζεται από την παρακάτω εξίσωση που είναι γνωστή ως τετραγωνικό μοντέλο και θεωρείται μια από τις πιο απλές για την περιγραφή του I_D :

$$I_D = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right) (v_{GS} - V_T)^2$$

όπου:

- μ_n είναι η κινητικότητα των ηλεκτρονίων
- C_{ox} είναι η χωρητικότητα του οξειδίου ανά μονάδα επιφάνειας
- W είναι το πλάτος του καναλιού
- L είναι το μήκος του καναλιού
- V_{GS} είναι η τάση πύλης-πηγής
- V_T είναι η τάση κατωφλίου

Υπάρχουν διάφορες περιοχές λειτουργίας του MOS τρανζίστορ με βάση το μοντέλο της εξίσωσης:

$$i_D = \left(\frac{\mu_0 C_{ox} W}{L} \right) \left((v_{gs} - V_T) - \left(\frac{v_{ds}}{2} \right) \right) v_{ds}$$

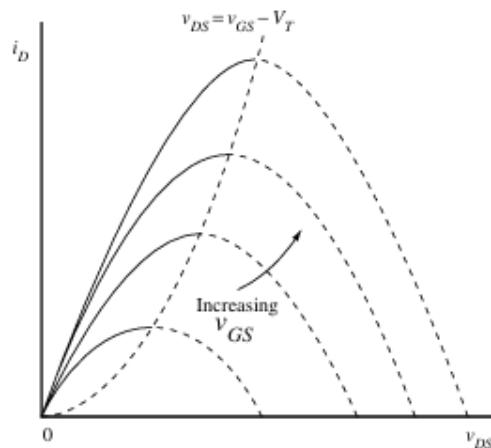
Αυτές οι περιοχές λειτουργίας εξαρτώνται από την τιμή του $v_{GS} - V_T$. Εάν το $v_{GS} - V_T$ είναι μηδέν ή αρνητικό, τότε η συσκευή MOS βρίσκεται στην περιοχή αποκοπής και η παραπάνω εξίσωση γίνεται:

$$i_D = 0 \quad \text{για} \quad v_{GS} - V_T \leq 0$$

Σε αυτή την περιοχή, το κανάλι λειτουργεί σαν ανοιχτό κύκλωμα.

Ένα διάγραμμα της παραπάνω εξίσωσης με $\lambda = 0$ (μεταβολή μήκους του καναλιού) ως συνάρτηση του v_{DS} φαίνεται στο Σχήμα 1 για διάφορες τιμές του $v_{GS} - V_T$. Στην κορυφή αυτών των καμπυλών, το MOS τρανζίστορ έχει κορεστεί. Η τιμή του v_{DS} όπου αυτό συμβαίνει ονομάζεται τάση κορεσμού και δίνεται ως:

$$v_{DS}(sat) = v_{GS} - V_T$$



Σχήμα 1 Γραφική απεικόνιση της τροποποιημένης εξίσωσης Sah.

Έτσι, το $v_{DS}(sat)$ ορίζει το όριο μεταξύ των υπόλοιπων δύο περιοχών λειτουργίας. Εάν το v_{DS} είναι μικρότερο από το $v_{DS}(sat)$, τότε το MOS τρανζίστορ βρίσκεται στην περιοχή μη κορεσμού και η αρχική εξίσωση γίνεται:

$$I_D = K' \left(\frac{W}{L} \right) \left((v_{GS} - V_T) - \left(\frac{v_{DS}}{2} \right) \right) v_{DS} \quad , \quad \text{για} \quad 0 < v_{DS} \leq (v_{GS} - V_T)$$

Στο Σχήμα 1, η περιοχή μη κορεσμού βρίσκεται μεταξύ του κάθετου άξονα ($v_{DS} = 0$) και της καμπύλης $v_{DS} = v_{GS} - V_T$.

Η τρίτη περιοχή συμβαίνει όταν το v_{DS} είναι μεγαλύτερο από το $v_{DS}(sat)$ ή $v_{GS} - V_T$. Σε αυτό το σημείο, το ρεύμα i_D γίνεται ανεξάρτητο από το v_{DS} . Επομένως, το v_{DS} στην αρχική εξίσωση αντικαθίσταται από το $v_{DS}(sat)$ ($v_{DS}(sat) = v_{GS} - V_T$) για να πάρουμε:

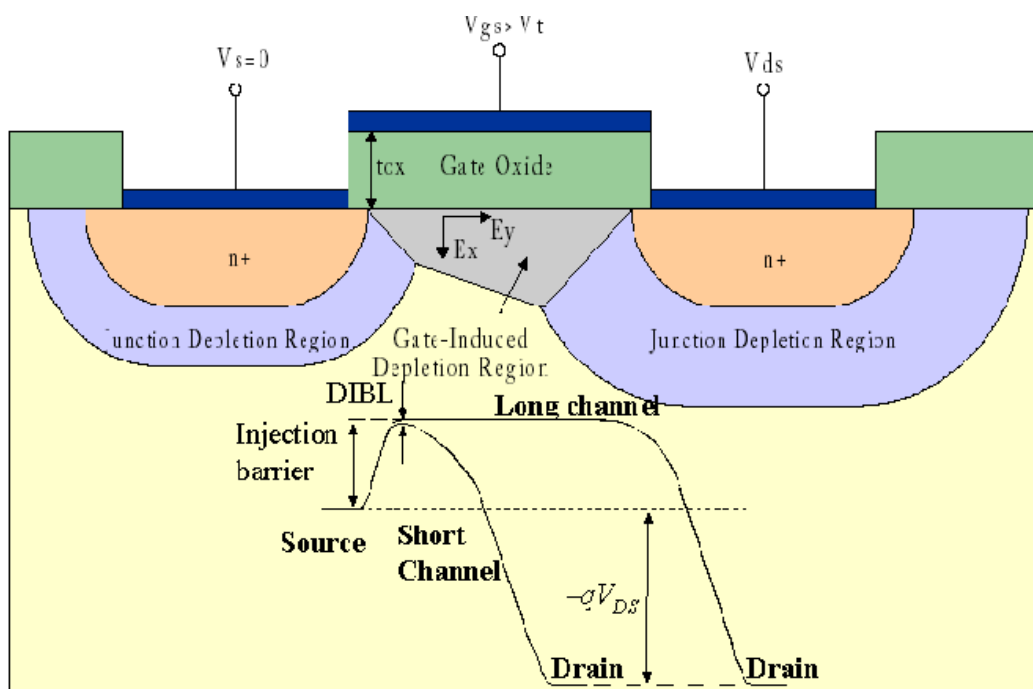
$$I_D = K' \left(\frac{W}{2L} \right) (v_{GS} - V_T)^2 \quad , \quad \text{για} \quad 0 < (v_{GS} - V_T) \leq v_{DS}$$

Η εξίσωση αυτή δείχνει ότι το ρεύμα drain παραμένει σταθερό μόλις το v_{DS} είναι μεγαλύτερο από το $v_{GS} - V_T$. Στην πραγματικότητα όμως αυτό δεν είναι αλήθεια, καθώς αυξάνεται η τάση drain, το μήκος του καναλιού μειώνεται, προκαλώντας αύξηση του ρεύματος. Αυτό το φαινόμενο ονομάζεται μεταβολή μήκους καναλιού και λαμβάνεται υπόψη στο μοντέλο κορεσμού με την προσθήκη του παράγοντα $(1 + \lambda v_{DS})$, όπου το v_{DS} είναι η πραγματική τάση drain-source και όχι το $v_{DS(sat)}$. Το μοντέλο κορεσμού τροποποιημένο για να περιλαμβάνει τη μεταβολή μήκους καναλιού δίνεται στην παρακάτω εξίσωση:

$$I_D = K' \left(\frac{W}{2L} \right) (v_{GS} - V_T)^2 (1 + \lambda v_{DS}), \text{ για } 0 < (v_{gs} - V_T) \leq v_{DS}$$

Μείωση του Φράγματος λόγω Επαγωγής (DIBL)

Το DIBL, ή η Μείωση του Φράγματος λόγω Επαγωγής από τον Απαγωγό, είναι ένα φαινόμενο που εμφανίζεται στα MOSFETs όταν αυξάνεται η τάση του απαγωγού (V_{DS}). Το φαινόμενο αυτό επηρεάζει την τάση κατωφλίου (V_{th}) του τρανζίστορ και μπορεί να έχει σημαντικό αντίκτυπο στην απόδοση της συσκευής, ειδικά σε τρανζίστορ με μικρό μήκος καναλιού.



Σχήμα 2 Σχηματικό διάγραμμα που δείχνει τον φυσικό μηχανισμό του DIBL στα MOSFETs.

Σε ένα MOSFET, η τάση στην πύλη ελέγχει την αγωγιμότητα του καναλιού μέσω της δημιουργίας ενός στρώματος αναστροφής στον ημιαγωγό. Ωστόσο, όταν αυξάνεται η τάση του απαγωγού, το δυναμικό φράγμα στη διασταύρωση της πηγής με το κανάλι μειώνεται, επιτρέποντας τη ροή ηλεκτρονίων από την πηγή προς τον απαγωγό, ακόμη και όταν η τάση της πύλης είναι μικρότερη από την τάση κατωφλίου. Αυτό έχει ως αποτέλεσμα την μείωση της αποτελεσματικής τάσης κατωφλίου του τρανζίστορ, γεγονός που σημαίνει ότι η συσκευή μπορεί να ενεργοποιηθεί ευκολότερα σε χαμηλότερες τάσεις πύλης.

Το DIBL γίνεται πιο έντονο στα MOSFETs μικρού καναλιού, όπου η απόσταση μεταξύ της πηγής και του απαγωγού είναι μικρή. Αυτό είναι ιδιαίτερα κρίσιμο στα σύγχρονα ολοκληρωμένα κυκλώματα, όπου τα τρανζίστορ συρρικνώνονται για να επιτευχθεί μεγαλύτερη πυκνότητα και καλύτερη απόδοση. Το φαινόμενο DIBL μπορεί να οδηγήσει σε αυξημένα ρεύματα διαρροής και μειωμένο έλεγχο του καναλιού, γεγονός που επηρεάζει αρνητικά την απόδοση των ψηφιακών κυκλωμάτων. Επιπλέον, η μεταβλητότητα που προκαλεί το DIBL στα χαρακτηριστικά της συσκευής μπορεί να επηρεάσει σημαντικά την κλίση του ρεύματος κάτω από το κατώφλι και να καταστήσει δύσκολο τον έλεγχο σε εφαρμογές χαμηλής ισχύος και υψηλής απόδοσης.

Στην πράξη, το DIBL μπορεί να υπολογιστεί ως εξής:

$$DIBL = - \frac{V_{ThDD} - V_{Thlow}}{V_{DD} - V_{Dlow}}$$

όπου V_{ThDD} ή V_{tsat} είναι η τάση κατωφλίου που μετράται σε τάση τροφοδοσίας (η υψηλή τάση απαγωγού), και V_{Thlow} ή V_{lin} είναι η τάση κατωφλίου που μετράται σε πολύ χαμηλή τάση απαγωγού, συνήθως 0.05 V ή 0.1 V. V_{DD} είναι η τάση τροφοδοσίας (η υψηλή τάση απαγωγού) και V_{Dlow} είναι η χαμηλή τάση απαγωγού (για το γραμμικό μέρος των χαρακτηριστικών I-V της συσκευής). Το αρνητικό στην αρχή του τύπου εξασφαλίζει θετική τιμή για το DIBL. Αυτό οφείλεται στο γεγονός ότι η τάση κατωφλίου της υψηλής αποχέτευσης, V_{ThDD} , είναι πάντα μικρότερη από την τάση κατωφλίου της χαμηλής αποχέτευσης, V_{Thlow} . Οι τυπικές μονάδες του DIBL είναι mV/V.

Το DIBL μπορεί επίσης να μειώσει τη συχνότητα λειτουργίας της συσκευής, όπως περιγράφεται από την ακόλουθη εξίσωση:

$$\frac{\Delta f}{f} = - \frac{2DIBL}{V_{DD} - V_{Th}}$$

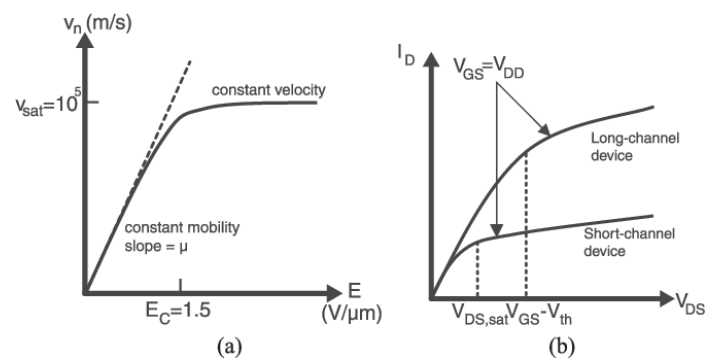
όπου V_{DD} είναι η τάση τροφοδοσίας και V_{Th} είναι η τάση κατωφλίου.

Συνολικά, το DIBL αποτελεί μία από τις βασικές προκλήσεις που αντιμετωπίζουν οι σχεδιαστές MOSFETs στις σύγχρονες τεχνολογίες μικρής κλίμακας και πρέπει να λαμβάνεται υπόψη κατά τον σχεδιασμό συστημάτων που απαιτούν αυστηρό έλεγχο στη λειτουργία και απόδοση των συσκευών.

Velocity Saturation

Το velocity saturation είναι ένα σημαντικό φαινόμενο στη λειτουργία των MOSFETs, το οποίο επηρεάζει τον τρόπο με τον οποίο η ταχύτητα των φορέων (ηλεκτρονίων ή οπών) αντιδρά στην αύξηση του ηλεκτρικού πεδίου. Το φαινόμενο αυτό γίνεται πιο εμφανές στα MOSFETs με μικρό μήκος καναλιού (short-channel), όπου η ταχύτητα των φορέων φτάνει σε ένα μέγιστο όριο, με αποτέλεσμα να περιορίζεται το ρεύμα αποστράγγισης παρά την αύξηση της τάσης αποστράγγισης. Στα MOSFETs με μεγαλύτερο μήκος καναλιού (long-channel), το φαινόμενο του velocity saturation είναι λιγότερο έντονο, καθώς οι φορείς δεν φτάνουν τόσο εύκολα σε κορεσμό ταχύτητας.

- Στις **long-channel** συσκευές, το ρεύμα περιορίζεται κυρίως από τη φυσική κινητικότητα των φορέων, και το velocity saturation συμβαίνει εξαιτίας της διασποράς (scattering) των ηλεκτρονίων.
- Στα **short-channel** MOSFETs, η εξάρτηση του ρεύματος από την τάση V_{GS} είναι πλέον γραμμική και όχι τετραγωνική, όπως συμβαίνει στα long-channel MOSFETs. Το velocity saturation καθορίζει τις ανώτατες επιδόσεις της συσκευής, μειώνοντας την ικανότητα περαιτέρω αύξησης του ρεύματος αποστράγγισης με την αύξηση της τάσης αποστράγγισης και συμβαίνει εξαιτίας της βαλλιστικής μεταφοράς (ballistic transport).



Σχήμα 3 Velocity Saturation για Short και Long Channel

Χωρητικότητες C_{gs} , C_{gb} , C_{bd} , C_{gd}

Οι χωρητικότητες αποθήκευσης φορτίου μεγάλου σήματος της συσκευής MOS αποτελούνται από τις χωρητικότητες gate-to-source (C_{GS}), δηλαδή την χωρητικότητα πύλης-πηγής, την gate-to-bulk (C_{GB}), δηλαδή η χωρητικότητα πύλης-υποστρώματος, την bulk-to-drain (C_{BD}), δηλαδή χωρητικότητα υποστρώματος-απαγωγού και gate-to-drain (C_{GD}), που είναι η χωρητικότητα πύλης-απαγωγού.

▪ Χωρητικότητα Πύλης-Πηγής (C_{gs})

Η χωρητικότητα πύλης-πηγής (C_{gs}) είναι η χωρητικότητα μεταξύ της πύλης (gate) και της πηγής (source) του MOSFET. Αυτή η παράμετρος παίζει σημαντικό ρόλο στις υψηλές συχνότητες και μπορεί να επηρεάσει την απόκριση συχνότητας του κυκλώματος. Συνήθως υπολογίζεται ως εξής:

$$C_{gs} = \frac{2}{3} W L C_{ox}$$

▪ Χωρητικότητα Πύλης-Υποστρώματος (C_{gb})

Η χωρητικότητα πύλης-υποστρώματος (C_{gb}) είναι η χωρητικότητα μεταξύ της πύλης (gate) και του υποστρώματος (bulk) του MOSFET. Αυτή η χωρητικότητα είναι γενικά μικρή λόγω του οξειδίου που χωρίζει την πύλη από το υπόστρωμα. Συνήθως υπολογίζεται από την περιοχή της πύλης και το πάχος του οξειδίου.

▪ Χωρητικότητα Υποστρώματος-Απαγωγού (C_{bd})

Η χωρητικότητα υποστρώματος-απαγωγού (C_{bd}) είναι η χωρητικότητα μεταξύ του υποστρώματος (bulk) και του απαγωγού (drain) του MOSFET. Αυτή η χωρητικότητα μπορεί να επηρεάσει την απόδοση του MOSFET σε υψηλές συχνότητες και μπορεί να εκφραστεί ως:

$$C_{bd} = C_{j0} \left(1 + \frac{V_{DB}}{\Phi} \right)^{-\frac{1}{2}}$$

όπου:

- C_{j0} : η αρχική χωρητικότητα της διασταύρωσης
- V_{DB} : η τάση απαγωγού-υποστρώματος
- Φ : το δυναμικό της διασταύρωσης

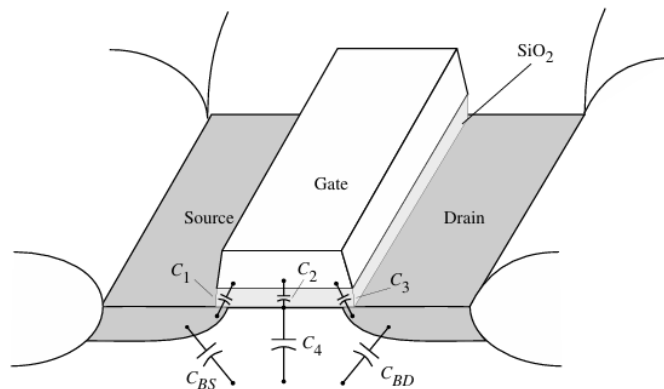
▪ Χωρητικότητα Πύλης-Απαγωγού (C_{gd})

Η χωρητικότητα πύλης-απαγωγού (C_{gd}) είναι η χωρητικότητα μεταξύ της πύλης (gate) και του απαγωγού (drain) του MOSFET. Είναι σημαντική για την απόκριση συχνότητας και την σταθερότητα του MOSFET σε ενισχυτές. Η C_{gd} μπορεί να εκφραστεί ως:

$$C_{gd} = C_{ox} W \cdot \Delta L$$

όπου ΔL είναι το μήκος της περιοχής που επικάλυψης μεταξύ της πύλης και του απαγωγού.

Το παρακάτω Σχήμα 4 δείχνει μια διατομή των διάφορων χωρητικοτήτων που συνθέτουν τους χωρητικότητες αποθήκευσης φορτίου της συσκευής MOS.



Σχήμα 4 Χωρητικότητες αποθήκευσης φόρτισης μεγάλου σήματος του MOS τρανζίστορ.

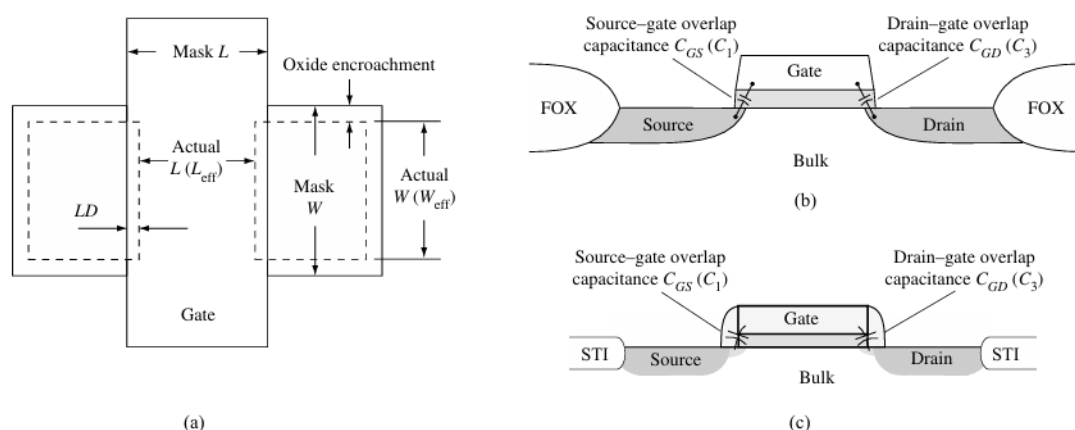
Οι C_1 και C_3 είναι οι χωρητικότητες επικάλυψης και οφείλονται σε επικάλυψη δύο αγωγικών επιφανειών που χωρίζονται από ένα διηλεκτρικό. Οι χωρητικότητες επικάλυψης φαίνονται με περισσότερη λεπτομέρεια στο παρακάτω σχήμα. Το ποσό της επικάλυψης ορίζεται ως LD. Αυτή η επικάλυψη οφείλεται στη lateral diffusion του source και του drain κάτω από το polysilicon gate. Ένα παράδειγμα είναι ότι μια διαδικασία CMOS 0.8 μm μπορεί να έχει ένα lateral diffusion component, LD, περίπου 16 nm.

Τιμές Χωρητικότητας και Συντελεστές για το Μοντέλο MOS

Type	p-Channel	n-Channel	Units
CGSO	220×10^{-12}	220×10^{-12}	F/m
CGDO	220×10^{-12}	220×10^{-12}	F/m
CGBO	700×10^{-12}	700×10^{-12}	F/m
CJ	560×10^{-6}	770×10^{-6}	F/m ²
CJSW	350×10^{-12}	380×10^{-12}	F/m
MJ	0.5	0.5	
MJSW	0.35	0.38	

Πίνακας 1 Με πάχος οξειδίου 140 Å ή $C_{ox} = 24.7 \times 10^{-4} \text{ F/m}^2$.

Οι χωρητικότητες επικάλυψης μπορούν να προσεγγιστούν ως F/m για την επικάλυψη gate–source ή gate–drain. Η διαφορά μεταξύ της μάσκας W και του πραγματικού W οφείλεται στην εισχώρηση του πεδίου οξειδίου κάτω από το νιτρίδιο του πυριτίου. Ο ακόλουθος Πίνακας 1 δίνει μια τιμή για τους C_{GSO} και C_{GDO} με βάση μια συσκευή με πάχος οξειδίου 140 Å. Μία τρίτη χωρητικότητα επικάλυψης που μπορεί να είναι σημαντική είναι η επικάλυψη μεταξύ της gate και του bulk. Το Σχήμα 5 δείχνει αυτήν την χωρητικότητα επικάλυψης (C_5) με περισσότερη λεπτομέρεια. Αυτή είναι η χωρητικότητα που προκύπτει μεταξύ της gate και του bulk στις άκρες του καναλιού και είναι μια συνάρτηση του αποτελεσματικού μήκους του καναλιού, L_{eff} . Ο Πίνακας 1 πάλι δίνει μια τυπική τιμή για τον CGBO για μια συσκευή με πάχος οξειδίου 140 Å.



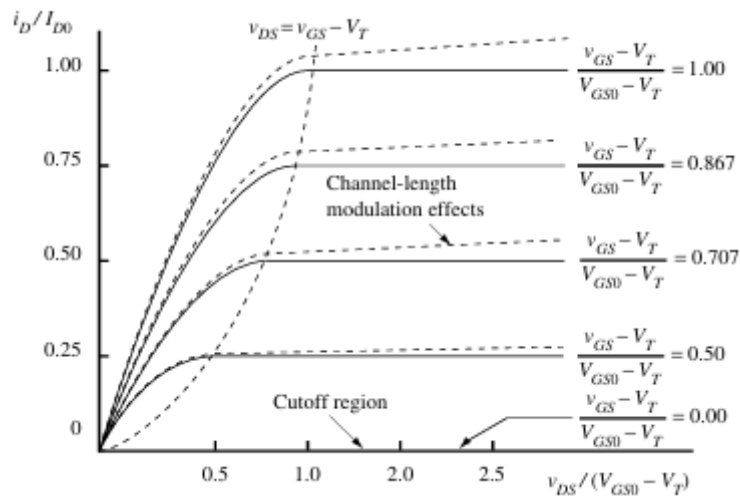
Σχήμα 5 Χωρητικότητες επικάλυψης ενός MOS τρανζίστορ. (α) Πάνω όψη που δείχνει την επικάλυψη μεταξύ της gate ή της drain και της gate για την τεχνολογία LOCOS. (β) Πλάγια όψη για την τεχνολογία LOCOS. (γ) Πλάγια όψη για την τεχνολογία STI.

Εάν η συσκευή που απεικονίζεται στο Σχήμα 5 βρίσκεται σε κατάσταση κορεσμού (saturated state), το κανάλι θα εκτεινόταν σχεδόν μέχρι το drain και θα εκτεινόταν πλήρως μέχρι την αποστράγγιση εάν η συσκευή MOS βρίσκεται σε μη κορεσμένη κατάσταση. Η C_2 είναι η χωρητικότητα πύλης-καναλιού και δίνεται ως:

$$C_2 = W_{eff}(L - 2L_D)C_{ox} = W_{eff}(L_{eff})C_{ox}$$

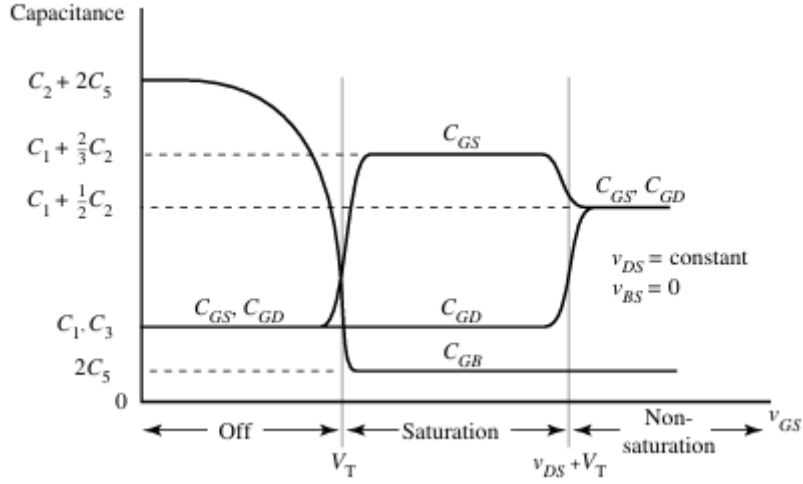
Ο όρος L_{eff} είναι το αποτελεσματικό μήκος καναλιού που προκύπτει από το μήκος που ορίζεται από τη μάσκα και μειώνεται από την πλευρική διάχυση – lateral diffusion (σημειώστε ότι μέχρι τώρα, τα σύμβολα L και W χρησιμοποιούνταν για να αναφερθούν στις "αποτελεσματικές" διαστάσεις ενώ τώρα αυτά έχουν αλλάξει για πρόσθετη διευκρίνιση). Ο C_4 είναι η χωρητικότητα καναλιού-υποστρώματος (gate to bulk), που είναι μία χωρητικότητα απογύμνωσης (depletion) που θα μεταβάλλεται με την τάση όπως οι C_{BS} ή C_{BD} .

Για περισσότερη εμβάθυνση θα εξετάσουμε τους C_{GB} , C_{GS} και C_{GD} καθώς η τάση V_{DS} διατηρείται σταθερή και η V_{GS} αυξάνεται από το μηδέν. Για να κατανοήσουμε των αποτελεσμάτων, μπορούμε να φανταστούμε ότι ακολουθούμε μια κάθετη γραμμή στο Σχήμα 6 στην τιμή $V_{DS} = 0.5(V_{GS0} - V_T)$, καθώς η V_{GS} αυξάνεται από το μηδέν. Η συσκευή MOS θα είναι αρχικά κλειστή μέχρι η V_{GS} να φτάσει το V_T . Στη συνέχεια, θα βρίσκεται στην περιοχή κορεσμού μέχρι η V_{GS} να γίνει ίση με $V_{DS} (sat) + V_T$. Τέλος, η συσκευή MOS θα βρίσκεται στην μη κορεσμένη περιοχή.



Σχήμα 6 Χαρακτηριστική εξόδου της συσκευής MOS.

Η κατά προσέγγιση μεταβολή των C_{GB} , C_{GS} και C_{GD} υπό αυτές τις συνθήκες φαίνεται στο Σχήμα 7. Στην αποκοπή, δεν υπάρχει κανάλι και ο C_{GB} είναι περίπου ίσος με $C_2 + 2C_5$. Καθώς η V_{GS} πλησιάζει το V_T από την κλειστή περιοχή, σχηματίζεται ένα λεπτό στρώμα απογύμνωσης, δημιουργώντας μια μεγάλη τιμή για τον C_4 . Δεδομένου ότι ο C_4 είναι σε σειρά με τον C_2 , παρατηρείται μικρή επίδραση. Καθώς η V_{GS} αυξάνεται, αυτή η περιοχή απογύμνωσης διευρύνεται, προκαλώντας μείωση του C_4 και μείωση του C_{GB} . Όταν η $V_{GS} = V_T$, σχηματίζεται ένα στρώμα αντιστροφής που αποτρέπει περαιτέρω μειώσεις του C_4 (και έτσι του C_{GB}).



Σχήμα 7 Η εξάρτηση της τάσης των C_{GS} , C_{GD} και C_{GB} ως συνάρτηση του V_{GS} με σταθερό V_{DS} και $V_{BS} = 0$.

Οι C_1 , C_2 και C_3 συνιστούν τους C_{GS} και C_{GD} . Το πρόβλημα είναι πώς να κατανοηθεί ο C_2 στους C_{GS} και C_{GD} . Η προσέγγιση που χρησιμοποιείται είναι να υποθέσουμε ότι στην κορεσμένη κατάσταση περίπου τα δύο τρίτα του C_2 ανήκουν στον C_{GS} και κανένα στον C_{GD} . Αυτό είναι, φυσικά, μια προσέγγιση. Ωστόσο, έχει βρεθεί ότι δίνει σχετικά καλά αποτελέσματα. Το Σχήμα 7 δείχνει πώς οι C_{GS} και C_{GD} αλλάζουν τιμές κατά τη μετάβαση από την αποκοπή στην κορεσμένη περιοχή. Τέλος, όταν η V_{GS} είναι μεγαλύτερη από την $V_{DS} + V_T$, η συσκευή MOS εισέρχεται στην μη κορεσμένη περιοχή. Σε αυτή την περίπτωση, το κανάλι εκτείνεται από το drain μέχρι το gate και ο C_2 απλώς διαιρείται ομοιόμορφα μεταξύ των C_{GD} και C_{GS} όπως φαίνεται στο Σχήμα 7.

Ως συνέπεια όλων των παραπάνω, θα χρησιμοποιηθούν οι ακόλουθοι τύποι για τις χωρητικότητες αποθήκευσης φορτίου της συσκευής MOS στις αναφερόμενες περιοχές (Off - Αποκοπής, Saturation - Κορεσμού και Nonsaturated –Μη Κορεσμού).

Off

- $C_{GB} = C_2 + 2C_5 = C_{ox}(W_{eff})(L_{eff}) + C_{GBO}(L_{eff})$
- $C_{GS} = C_1 \cong C_{ox}(LD)(W_{eff}) = C_{GSO}(W_{eff})$
- $C_{GD} = C_3 \cong C_{ox}(LD)(W_{eff}) = C_{GDO}(W_{eff})$

Saturation

- $C_{GB} = 2C_5 = C_{GBO}(L_{eff})$
- $C_{GS} = C_1 + \frac{2}{3}C_2 \cong C_{ox}(LD + 0.67L_{eff})(W_{eff}) = C_{GSO}(W_{eff}) + 0.67C_{ox}(W_{eff})(L_{eff})$
- $C_{GD} = C_3 \cong C_{ox}(LD)(W_{eff}) = C_{GDO}(W_{eff})$

Nonsaturated

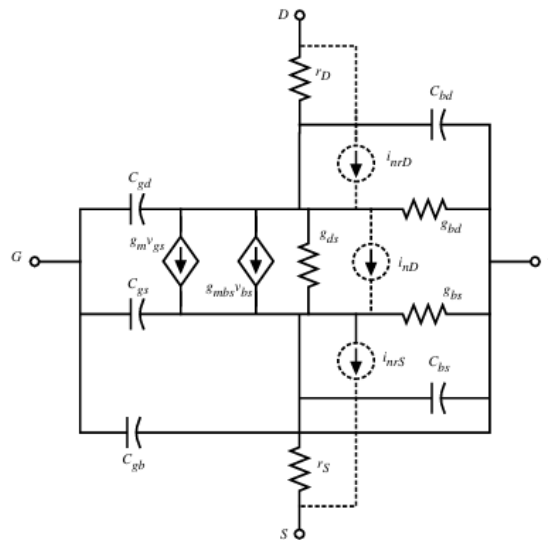
- $C_{GB} = 2C_5 = C_{GBO}(L_{eff})$
- $C_{GS} = C_1 + 0.5C_2 \cong C_{ox}(LD + 0.5L_{eff})(W_{eff}) = C_{GSO}(W_{eff}) + 0.5C_{ox}(W_{eff})(L_{eff})$
- $C_{GD} = C_3 + 0.5C_2 \cong C_{ox}(LD + 0.5L_{eff})(W_{eff}) = C_{GDO}(W_{eff}) + 0.5C_{ox}(W_{eff})(L_{eff})$

Άλλες παρασιτικές χωρητικότητες που συνδέονται με τα τρανζίστορ οφείλονται στις διασυνδέσεις προς το τρανζίστορ, για παράδειγμα, το πολυπυρίτιο πάνω από το πεδίο (υπόστρωμα). Αυτός ο τύπος χωρητικότητας συνήθως αποτελεί το μεγαλύτερο μέρος της C_{GB} στις μη κορεσμένες και κορεσμένες περιοχές και έτσι είναι πολύ σημαντικός και πρέπει να λαμβάνεται υπόψη στο σχεδιασμό κυκλωμάτων CMOS.

Αγωγιμότητες g_{bd} , g_{bs} , g_m , g_{mbs} , g_{ds}

Έπειτα από όλη την παραπάνω διαδικασία είναι απαραίτητη και η ανάλυση του μικρού σήματος μετά την ανάλυση μεγάλου σήματος. Το μοντέλο μικρού σήματος είναι ένα γραμμικό μοντέλο που βοηθά στην απλοποίηση των υπολογισμών. Είναι έγκυρο μόνο σε περιοχές τάσης ή ρεύματος όπου οι τάσεις και τα ρεύματα μεγάλου σήματος μπορούν να αναπαρασταθούν επαρκώς από μια ευθεία γραμμή.

Το Σχήμα 8 παρακάτω δείχνει ένα γραμμικοποιημένο μοντέλο μικρού σήματος για το MOS τρανζίστορ. Οι παράμετροι του μοντέλου μικρού σήματος θα ορίζονται με μικρούς χαρακτήρες. Οι διάφορες παράμετροι αυτού του μοντέλου μικρού σήματος σχετίζονται όλες με τις παραμέτρους του μοντέλου μεγάλου σήματος και τις μεταβλητές συνεχούς ρεύματος dc. Η κανονική σχέση μεταξύ αυτών των δύο μοντέλων υποθέτει ότι οι παράμετροι μικρού σήματος ορίζονται με όρους του λόγου μικρών διαταραχών των μεταβλητών μεγάλου σήματος ή ως η μερική παραγωγή μιας μεταβλητής μεγάλου σήματος ως προς μια άλλη.



Σχήμα 8 Μοντέλο μικρού σήματος για MOS τρανζίστορ.

Οι αγωγιμότητες g_{bd} και g_{bs} είναι οι ισοδύναμες αγωγιμότητες των ενώσεων bulk-to-drain και bulk-to-source. Δεδομένου ότι αυτές οι ενώσεις είναι συνήθως αντίστροφα πολωμένες, οι αγωγιμότητες είναι πολύ μικρές. Ορίζονται ως:

- $g_{bd} = \frac{\partial i_{BD}}{\partial v_{BD}} \cong 0$ (στο σημείο ηρεμίας)
- $g_{bs} = \frac{\partial i_{BS}}{\partial v_{BS}} \cong 0$ (στο σημείο ηρεμίας)

Οι διαγωγιμότητες καναλιού g_m και g_{mbs} και η αγωγιμότητα καναλιού g_{ds} ορίζονται ως:

- $g_m = \frac{\partial i_D}{\partial v_{GS}}$ (στο σημείο ηρεμίας)
- $g_{mbs} = \frac{\partial i_D}{\partial v_{BS}}$ (στο σημείο ηρεμίας)
- $g_{ds} = \frac{\partial i_D}{\partial v_{DS}}$ (στο σημείο ηρεμίας)

Οι τιμές αυτών των παραμέτρων μικρού σήματος εξαρτώνται από την περιοχή στην οποία βρίσκεται το σημείο ηρεμίας. Για παράδειγμα, στην περιοχή κορεσμού το g_m μπορεί να υπολογιστεί ως:

$$g_m = \sqrt{\frac{2K'W}{L} |I_D| (1 + \lambda V_{DS})} \cong \sqrt{\frac{2K'W}{L} |I_D|}$$

Είναι εμφανές ότι τονίζει την εξάρτηση των παραμέτρων μικρού σήματος από τις συνθήκες λειτουργίας μεγάλου σήματος.

Η διαγωγιμότητα καναλιού μικρού σήματος λόγω του v_{SB} βρίσκεται ξαναγράφοντας:

$$g_{mbs} = \frac{-\partial i_D}{\partial v_{SB}} = -\left(\frac{\partial i_D}{\partial V_T}\right)\left(\frac{\partial V_T}{\partial v_{SB}}\right)$$

Αυτή η διαγωγιμότητα θα γίνει σημαντική στην ανάλυση μικρού σήματος του MOS τρανζίστορ όταν η εναλλασσόμενη τιμή της τάσης πηγής-υποστρώματος v_{sb} δεν είναι μηδενική. Η αγωγιμότητα καναλιού μικρού σήματος, $g_{ds}(g_0)$, δίνεται από τη σχέση:

$$g_{ds} = g_0 = \frac{I_D \lambda}{1 + \lambda V_{DS}} \cong I_D \lambda$$

Η αγωγιμότητα του καναλιού θα εξαρτηθεί από το L μέσω του λ , που είναι αντιστρόφως ανάλογο του L . Η σημαντική εξάρτηση των παραμέτρων μικρού σήματος από τις παραμέτρους του μοντέλου μεγάλου σήματος και τις τάσεις και ρεύματα DC απεικονίζεται στον Πίνακα 2. Σε αυτόν τον πίνακα βλέπουμε ότι οι τρεις παράμετροι του μοντέλου μικρού σήματος g_m , g_{mbs} και g_{ds} έχουν διάφορες εναλλακτικές μορφές.

Small-Signal Model Parameters	dc Current	dc Current and Voltage	dc Voltage
g_m	$\cong (2K'I_D W/L)^{1/2}$	—	$\cong \frac{K'W}{L} (V_{GS} - V_T)$
g_{mbs}	—	$\frac{\gamma(2I_D\beta)^{1/2}}{2(2 \phi_F + V_{SB})^{1/2}}$	$\frac{\gamma[\beta(V_{GS} - V_T)]^{1/2}}{2(2 \phi_F + V_{SB})^{1/2}}$
g_{ds}	$\cong \lambda I_D$	—	—

Πίνακας 2 Εξάρτηση των παραμέτρων του μοντέλου μικρού σήματος από τις τιμές τάσης και ρεύματος DC στην περιοχή κορεσμού.

Ωστόσο οι συσκευές MOS δεν χρησιμοποιούνται συχνά στην περιοχή μη κορεσμού (nonsaturation) στον σχεδιασμό αναλογικών κυκλωμάτων. Οι σχέσεις των παραμέτρων του μοντέλου μικρού σήματος στην περιοχή μη κορεσμού είναι οι εξής:

- $g_m = \frac{\partial i_D}{\partial v_{GS}} \cong \beta V_{DS}$
- $g_{mbs} = \frac{\partial i_D}{\partial v_{BS}} = \frac{\beta\gamma V_{DS}}{2(2|\phi_F| + |V_{SB}|)^{1/2}}$
- $g_{ds} \cong \beta(V_{GS} - V_T - V_{DS})$

Όπως και πριν με τη βοήθεια του Πίνακα 3 συνοψίζεται την εξάρτηση των παραμέτρων του μοντέλου μικρού σήματος από τις παραμέτρους του μοντέλου μεγάλου σήματος και τις τάσεις και ρεύματα dc για την περιοχή μη κορεσμού αυτή τη φορά.

Small-Signal Model Parameters	dc Voltage and/or Current Dependence
g_m	$\cong \beta V_{DS}$
g_{mbs}	$\frac{\beta\gamma V_{DS}}{2(2 \phi_F + V_{SB})^{1/2}}$
g_{ds}	$\cong \beta (V_{GS} - V_T - V_{DS})$

Πίνακας 3 Εξάρτηση των παραμέτρων του μοντέλου μικρού σήματος από τις τιμές τάσης και ρεύματος DC στην περιοχή μη κορεσμού.

Αντίσταση εξόδου R_{out}

Η αντίσταση εξόδου R_{out} μικρού σήματος ενός CMOS με φορτίο πηγής ρεύματος I_D βρίσκεται από τη σχέση:

$$R_{out} = \frac{1}{g_{ds}} \cong \frac{1}{\lambda I_D}$$

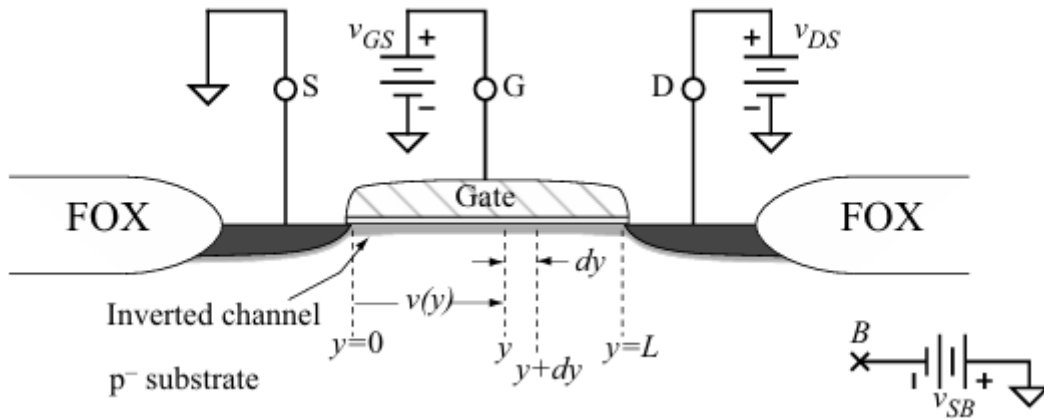
Η αντίσταση εξόδου μικρού σήματος δίνεται και από την σχέση:

$$R_{out} = \frac{v_{ds}}{i_{ds}} \text{ με } V_{gs} = \text{const}$$

Τάση Κατωφλίου V_t

Όταν η τάση της πύλης φτάσει σε μια τιμή που ονομάζεται τάση κατωφλίου, η οποία ορίζεται ως V_t , το υπόστρωμα κάτω από το source αντιστρέφεται. Αυτό σημαίνει ότι μετατρέπεται από ημιαγωγό τύπου p σε ημιαγωγό τύπου n. Κατά συνέπεια, ένας αγωγός τύπου n υφίσταται μεταξύ του source και του drain, επιτρέποντας τη ροή φορέων. Για να επιτευχθεί αυτή η αναστροφή, το δυναμικό της επιφάνειας πρέπει να αυξηθεί από την αρχική του αρνητική τιμή ($\phi_s - \phi_F$), σε μηδενική ($\phi_s = 0$), και στη συνέχεια σε θετική τιμή ($\phi_s = -\phi_F$). Η τιμή της τάσης gate-source που είναι απαραίτητη για να προκαλέσει αυτή την αλλαγή στο δυναμικό της επιφάνειας. Αυτή η κατάσταση είναι γνωστή ως ισχυρή αναστροφή. Το τρανζίστορ τύπου n σε αυτήν την κατάσταση απεικονίζεται στο Σχήμα 9. Με το υπόστρωμα να είναι σε δυναμικό γείωσης, το φορτίο που αποθηκεύεται στην περιοχή αποστράγγισης μεταξύ του καναλιού κάτω από την πύλη και του υποστρώματος δίνεται από την ακόλουθη εξίσωση, όπου η ϕ_s έχει αντικατασταθεί από $-\phi_F$ για να ληφθεί υπόψη το γεγονός ότι $v_{GS} = V_t$.

$$Q \cong -qN_A \left[\frac{2\varepsilon_{si}|\phi_s - \phi_F|}{qN_A} \right]^{\frac{1}{2}} = -\sqrt{2qN_A\varepsilon_{si}|\phi_s - \phi_F|}$$



Σχήμα 9 Διατομή ενός τρανζίστορ n-καναλιού με μικρή v_{DS} και $v_{GS} > V_t$.

Αυτό το φορτίο Q_{b0} γράφεται ως:

$$Q_{b0} \cong -\sqrt{2qN_A\varepsilon_{si}|-2\phi_F|}$$

Ενώ αν εφαρμοστεί τάση ανάστροφης πόλωσης v_{BS} στην επαφή pn η παραπάνω εξίσωση γίνεται:

$$Q_b \cong -\sqrt{2qN_A\varepsilon_{si}|-2\phi_F + v_{SB}|}$$

Μια έκφραση για την τάση κατωφλίου μπορεί να αναπτυχθεί με διαχωρισμό του σε αρκετούς όρους. Πρώτα, ο όρος Φ_{MS} πρέπει να συμπεριληφθεί για να αντιπροσωπεύσει τη διαφορά στις λειτουργικές τιμές μεταξύ του υλικού της πύλης και του χύδην πυριτίου στην περιοχή του διαύλου. Ο όρος Φ_{MS} δίνεται από:

$$\Phi_{MS} = \Phi_F(\text{substrate}) - \Phi_F(\text{gate})$$

Όπου το $\Phi(\text{metal}) = 0.6 \text{ V}$.

Δεύτερον, απαιτείται gate voltage $[2\Phi_F - (Q_b/C_{ox})]$ για να αλλάξει το επιφανειακό δυναμικό και να αντισταθμίσει το φορτίο της περιοχής εξάντλησης Q_b . Τέλος, υπάρχει πάντα ένα ανεπιθύμητο θετικό φορτίο, Q_{ss} , παρόν στη διεπαφή μεταξύ του οξειδίου και του bulk πυριτίου. Αυτό το φορτίο οφείλεται σε ακαθαρσίες και ατέλειες στη διεπαφή και πρέπει να αντισταθμιστεί με τάση πύλης $-2Q_{ss}/C_{ox}$. Έτσι, η τάση κατωφλίου για το MOS τρανζίστορ μπορεί να εκφραστεί ως:

$$V_T = \Phi_{MS} + \left(-2\Phi_F - \frac{Q_b}{C_{ox}}\right) + \left(-\frac{Q_{ss}}{C_{ox}}\right) = \Phi_{MS} - 2\Phi_F - \frac{Q_{b0}}{C_{ox}} - \frac{Q_{ss}}{C_{ox}} - \frac{Q_b - Q_{b0}}{C_{ox}}$$

Έτσι η τάση κατωφλίου μπορεί να γραφεί ως:

$$V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + v_{SB}|} - \sqrt{|-2\phi_F|})$$

Όπου,

$$V_{T0} = \Phi_{MS} - 2\Phi_F - \frac{Q_{b0}}{C_{ox}} - \frac{Q_{ss}}{C_{ox}}$$

Και ο παράγοντας σώματος γ ορίζεται ως:

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_A}}{C_{ox}}$$

Τα σύμβολα της παραπάνω ανάλυσης μπορεί να γίνουν πολύ συγκεχυμένα. Ο παρακάτω Πίνακας 4 προσπαθεί να διευκρινίσει οποιαδήποτε σύγχυση που μπορεί να προκύψει.

Parameter	N-CHANNEL (p-type substrate)	P-CHANNEL (n-type substrate)
ϕ_{MS}		
Metal	—	—
n ⁺ Si Gate	—	•
p ⁺ Si Gate	+	+
ϕ_F	—	+
Q_{b0}, Q_b	—	+
Q_{ss}	+	+
V_{SB}	+	—
γ	+	—

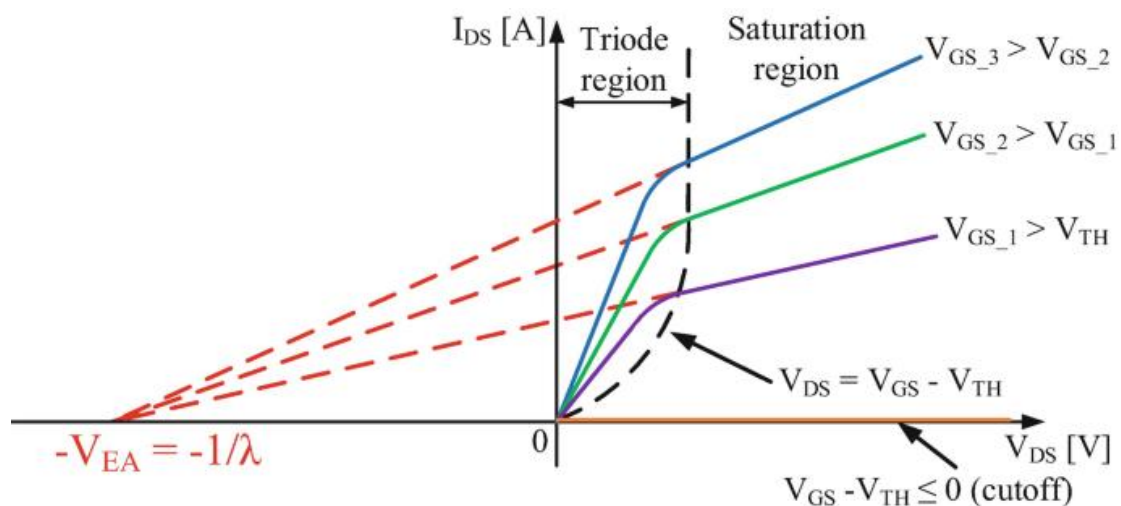
Πίνακας 4 Σύμβολα για τις ποσότητες στην εξίσωση της τάσης κατωφλίου.

Τάση Early

Η τάση Early στα MOSFET τρανζίστορ είναι ένα φαινόμενο που αναφέρεται στην αύξηση του ρεύματος αποστράγγισης (I_{DS}) με την τάση αποστράγγισης-πηγής (V_{DS}), ακόμα και στην περιοχή κορεσμού, όπου θεωρητικά το ρεύμα θα έπρεπε να είναι σταθερό. Αυτό το φαινόμενο μοιάζει με την Επίδραση Early που παρατηρείται στα τρανζίστορ διπολικής ένωσης (BJTs) και σχετίζεται με τη συστολή του καναλιού του MOSFET καθώς αυξάνεται η τάση αποστράγγισης.

Όταν ένα MOSFET λειτουργεί στην περιοχή κορεσμού, θεωρητικά το ρεύμα αποστράγγισης θα πρέπει να είναι ανεξάρτητο από την τάση V_{DS} , μετά την επίτευξη της κρίσιμης τάσης. Στην πραγματικότητα, το ρεύμα αυξάνεται με την αύξηση της τάσης V_{DS} , λόγω της συστολής του καναλιού (pinch-off) κοντά στην περιοχή της αποστράγγισης. Αυτή η συστολή δημιουργεί ένα πιο ισχυρό ηλεκτρικό πεδίο που επιταχύνει τους φορείς φορτίου στο κανάλι, προκαλώντας την αύξηση του ρεύματος.

Η τάση Early στα MOSFET μπορεί να προσδιοριστεί γραφικά, εάν τα χαρακτηριστικά ρεύματος-τάσης του MOSFET στην περιοχή κορεσμού επεκταθούν γραφικά προς τα πίσω μέχρι να τέμνουν τον άξονα της τάσης. Η τάση στην οποία τέμνονται τα χαρακτηριστικά ονομάζεται τάση Early (V_A). Αυτή η τάση παρέχει έναν τρόπο εκτίμησης της ευαισθησίας του ρεύματος αποστράγγισης σε αλλαγές της τάσης αποστράγγισης-πηγής στην περιοχή κορεσμού. Τα MOSFETs με υψηλή τάση Early παρουσιάζουν μεγαλύτερη σταθερότητα του ρεύματος αποστράγγισης καθώς η τάση V_{DS} αυξάνεται, ενώ τα MOSFETs με χαμηλή τάση Early είναι πιο ευαίσθητα στις μεταβολές της τάσης αποστράγγισης.



Σχήμα 10 Τάση Early ως εφαπτομένη της καμπύλης $I_D(V_{DS})$

Το φαινόμενο αυτό είναι σημαντικό στη σχεδίαση κυκλωμάτων και επηρεάζει την αντίσταση εξόδου του MOSFET. Μια υψηλή τιμή τάσης Early σημαίνει χαμηλότερη αντίσταση εξόδου, κάτι που είναι επιθυμητό για πιο σταθερή λειτουργία σε εφαρμογές όπου απαιτείται σταθερό ρεύμα παρά τις μεταβολές της τάσης.

Πειραματικό μέρος

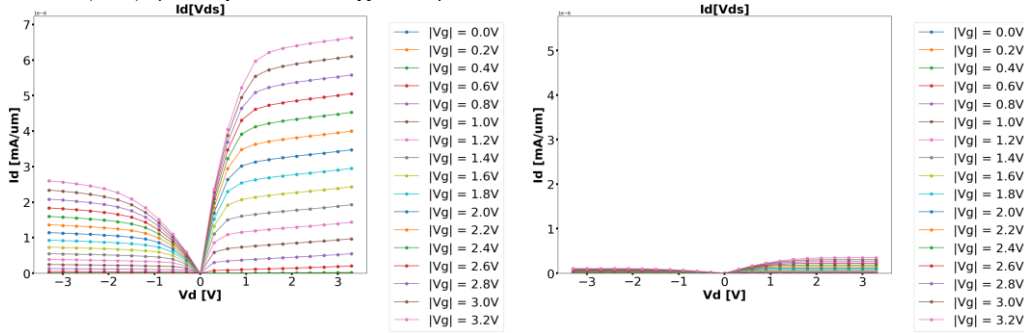
Εισαγωγή

Το παραπάνω θεωρητικό κομμάτι είχε ως στόχο την όσο το δυνατόν καλύτερη κατανόηση των τύπων και την εκτεταμένη ανάλυση αυτών έχοντας το ως βασικό υπόβαθρο για την συνέχεια. Το πειραματικό μέρος επικεντρώνεται στη σύγκριση τεχνολογιών MOSFET NMOS και PMOS, της AMS και GF τεχνολογίας. Οι διαφορές τους αναλύονται μέσα από κοινά γραφήματα που απεικονίζουν τις βασικές παραμέτρους που συζητήθηκαν στο θεωρητικό μέρος. Αρχικά παρουσιάζονται οι γραφικές για την κάθε τεχνολογία ξεχωριστά και έπειτα μέσα από κοινά διαγράμματα και των δύο καταδεικνύονται οι κύριες διαφορές μεταξύ τους, ποιοτικές και ποσοτικές. Έχουν δημιουργηθεί έξι υποομάδες γραφικών για τις διάφορες παραμέτρους και η εμφάνιση αυτών σε εξάδες ανά διαφάνεια (Current Related Parameters vs Voltage, Small Signal Related Parameters, Frequency Related Parameters V_{gs} Sweep, Frequency Related Parameters V_{ds} Sweep, Current Related Parameters vs Temperature και Current Related Parameters vs Length). Σε κάθε διαφάνεια έχουμε διαφορετικό length ($L = 0.35\mu m, 0.45\mu m, 0.55\mu m, 1\mu m, 2\mu m, 5\mu m$ και $10\mu m$) βλέποντας έτσι της συμπεριφορά των γραφικών στην μεταβολή του μήκους. Σε όλες τις παρακάτω γραφικές που παρουσιάζονται στον αρνητικό ημιάξονα x'x απεικονίζεται η γραφική του PMOS transistor ενώ στον δεξιό απεικονίζεται το NMOS, ώστε η σύγκριση μεταξύ τους και τα συμπεράσματα να είναι ευδιάκριτα. Έχει επιτευχθεί η απεικόνιση με το ίδιο χρώμα για τις γραφικές NMOS και PMOS που έχουν ως παράμετρο το ίδιο V_g , ενώ για τις διαδοχικές αυτές γραφικές ίδιας τεχνολογίας υπάρχει βήμα $0.2V$ ανάμεσα τους. Αξίζει να σημειωθεί ότι για την επιτυχή σύγκριση των δύο τεχνολογιών είναι απαραίτητο τα δύο αρχεία csv, που περιέχουν τα δεδομένα των μεταβλητών, να έχουν πανομοιότυπες γραμμές, στήλες και ονόματα των μεταβλητών. Στην παρουσίαση και το σχολιασμό των γραφικών που ακολουθεί εμφανίζονται δύο διαδοχικές γραφικές για διαφορετικό length $0.35\mu m$ (μικρότερη τιμή) και $10\mu m$ (μέγιστη τιμή), ώστε να είναι εμφανής η διαφοροποίηση τους.

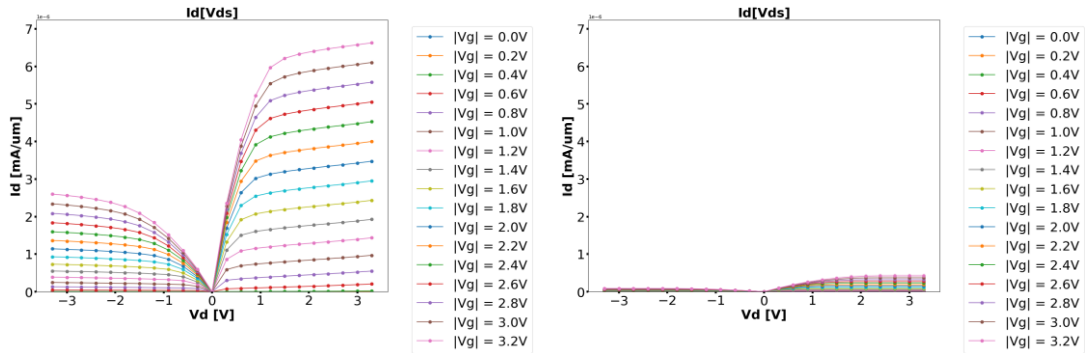
Παράμετροι σχετικές με το ρεύμα συναρτήσει τάσης

1. Στην υποομάδα του Current Related Parameters vs Voltage περιλαμβάνει τις γραφικές με μεταβλητές: $I_d(V_{ds})$, $I_d(V_{gs})$, $\log_2 I_d(V_{ds})$, $g_m(V_{gs})$, $V_T(V_{ds})$ και $V_{dsat}(V_{gs})$. Όταν υπάρχει γραφική συναρτήσει του V_{gs} χρησιμοποιούνται δύο τιμές για το V_{ds} . Η μικρή τιμή (0.3V) είναι για να βρίσκεται στην γραμμική περιοχή ενώ η μεγάλη για να είναι στον κορεσμό (1.8V).

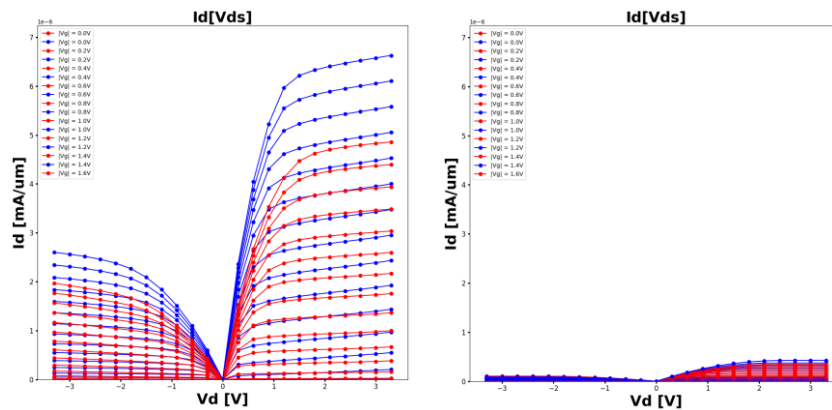
- $I_d(V_{ds})$ για την AMS τεχνολογία:



- $I_d(V_{ds})$ για την GF τεχνολογία

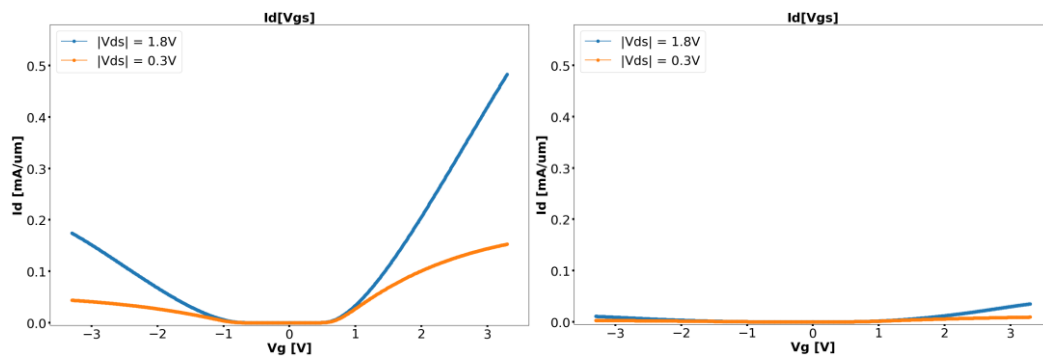


- Και οι 2 τεχνολογίες μαζί:

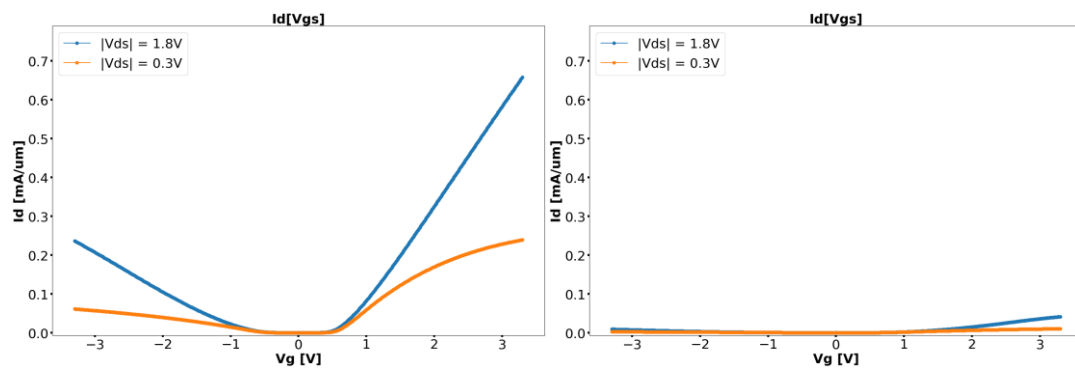


Σε αυτήν την περίπτωση και για κάθε διαφορετικό L απεικονίζουμε στην ίδια διαφάνεια τις γραφικές για όλα τα διαφορετικά V_{gs} ($V_{gs} = 0, 0.2, \dots, \max V_{gs}$). Όλες οι καμπύλες ακολουθούν την τυπική μορφή ριζικού, όπως φαίνεται και στο Σχήμα 1 του θεωρητικού μέρους. Επίσης καθώς αυξάνεται το L είναι εμφανές πως όλες οι γραφικές τείνουν προς το 0, δημιουργώντας έτσι μια γραφική που τείνει να εφάπτεται με τον άξονα $x'x$. Στις συγκρίσεις μεταξύ NMOS και PMOS, οι καμπύλες PMOS εμφανίζονται γενικά πιο συμπιεσμένες και με μικρότερες τιμές από το NMOS για ίδιες τιμές $|V_{gs}|$ και αυτό συμβαίνει διότι η NMOS χρησιμοποιεί ηλεκτρόνια ως φορείς ρεύματος (αρνητικά φορτισμένα), ενώ η PMOS οπές ως φορείς ρεύματος (θετικά φορτισμένα). Συνεπώς, επειδή τα ηλεκτρόνια έχουν μεγαλύτερη κινητικότητα σε σχέση με τις οπές, τα NMOS τρανζίστορ είναι συνήθως πιο γρήγορα από τα PMOS και αυτό φαίνεται και στις τιμές των γραφικών (όπως του I_D) που είναι διπλάσιες ή μια της άλλης. Ίδια συμπεριφορά έχουν και οι γραφικές του $I_d(V_{gs})$ με την ίδια αιτιολογία. Επίσης παρόλο που ισχύει το τετραγωνικό μοντέλο δεν επικρατεί τετραγωνική διαφορά στις αποστάσεις ανάμεσα σε γραφικές διαδοχικών V_{gs} και αυτό οφείλεται στην επίδραση DIBL. Ανάμεσα στις 2 τεχνολογίες υπάρχει ίδια ποιοτική συμπεριφορά ενώ ως προς την ποσοτική διακρίνεται ότι η GF έχει μεγαλύτερες τιμές από τις αντίστοιχες AMS.

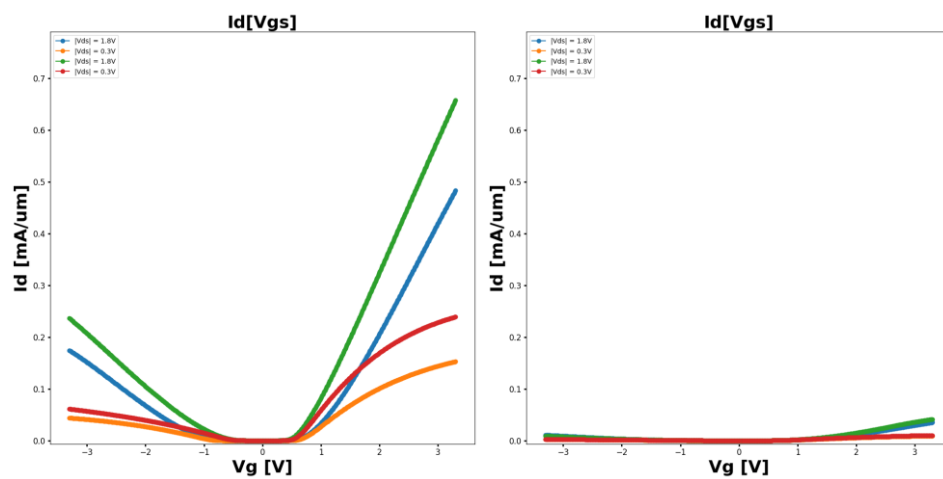
- $I_d(V_{gs})$ για την AMS τεχνολογία:



- $I_d(V_{gs})$ για την AMS τεχνολογία:



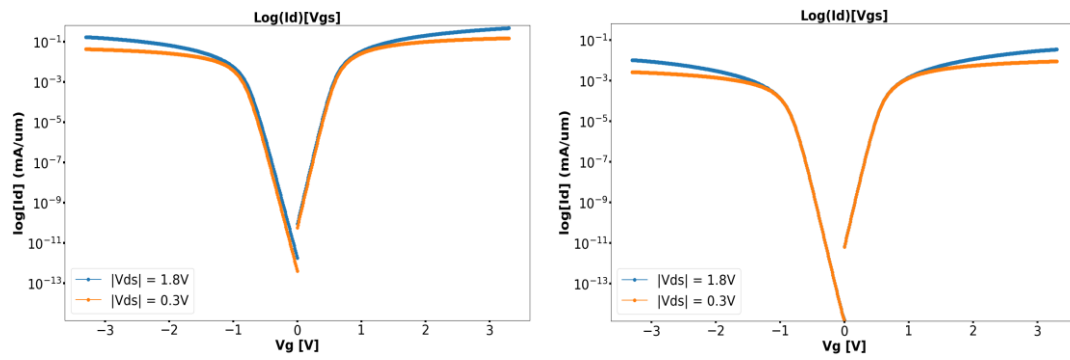
- Και οι 2 τεχνολογίες μαζί:



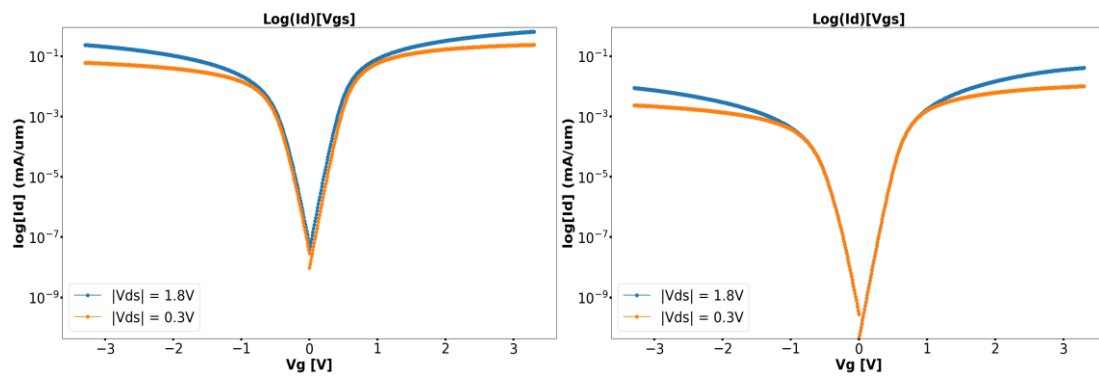
Σε αυτή την ομάδα γραφικών δεν είναι ως ελεύθερη μεταβλητή το V_{gs} , αλλά αντίθετα του έχουν δοθεί δύο συγκεκριμένες τιμές στο V_{ds} (0.3V και 1.8V), έχοντας την απόλυτη τιμή του V_{ds} καθώς στην τεχνολογία PMOS έχει αρνητικές τιμές. Σε κάθε γράφημα, λοιπόν θα υπάρχουν 2 γραφικές. Όπως και από πάνω οι γραφικές είναι όμοιες με εκείνες του σχήματος 1 και με αύξηση του L τείνουν προς τον άξονα $x'x$. Η διαφοροποίηση εδώ στις τεχνολογίες φαίνεται εύκολα, καθώς το NMOS έχει πιο απότομη κλίση ενώ με αύξηση του length παρουσιάζει μεγαλύτερη ανοχή και φθίνει λιγότερο σε σύγκριση με το PMOS, για τον λόγο που εξηγήθηκε παραπάνω. Στην αρχή κάθε γραφικής υπάρχει το Subthreshold, έπειτα ξεκινάει η ασθενής αναστροφή η οποία οδηγεί σε ισχυρή, ενώ στην κορυφή διακρίνεται το Velocity Saturation. Για $V_{ds}=0.3V$ και $V_{gs}=\max$ ορίζεται το I_{lin} ρεύμα ($V_{ds}=\min$ και $V_{gs}=\max$) και αντίστοιχα για $V_{ds}=1.8V$ και $V_{gs}=\max$ ορίζεται το I_{on} ρεύμα ($V_{ds}=\max$ και $V_{gs}=\max$). Ως προς την σύγκριση των δύο τεχνολογιών, οι γραφικές είναι όμοιες με την GF να υπερτερεί ποσοτικά.

.

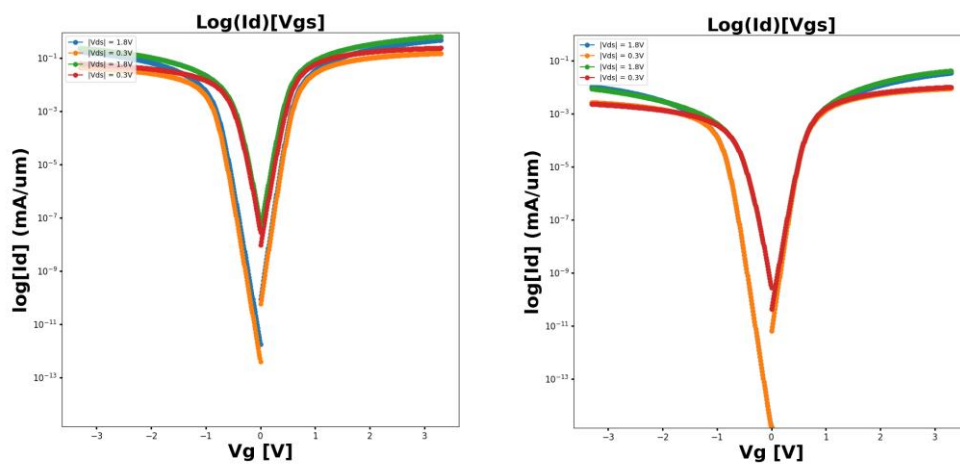
- $\log_2 I_d(V_{gs})$ για την AMS τεχνολογία:



- $\log_2 I_d(V_{gs})$ για την GF τεχνολογία:

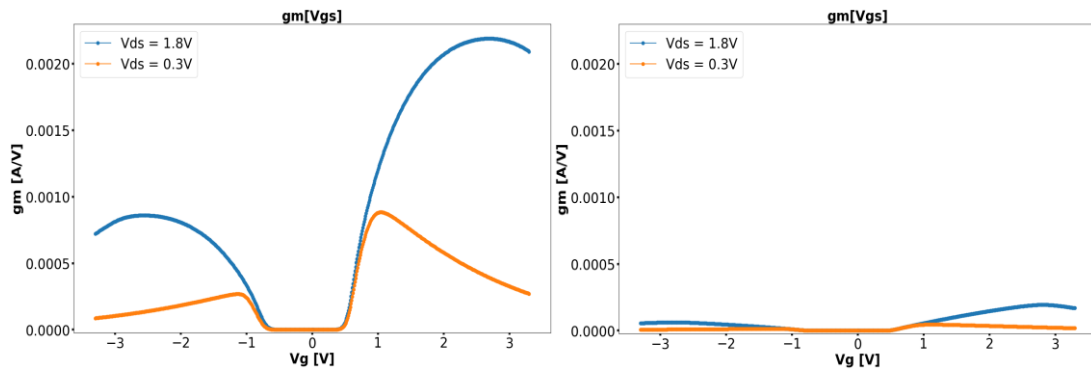


- Και οι 2 τεχνολογίες μαζί:

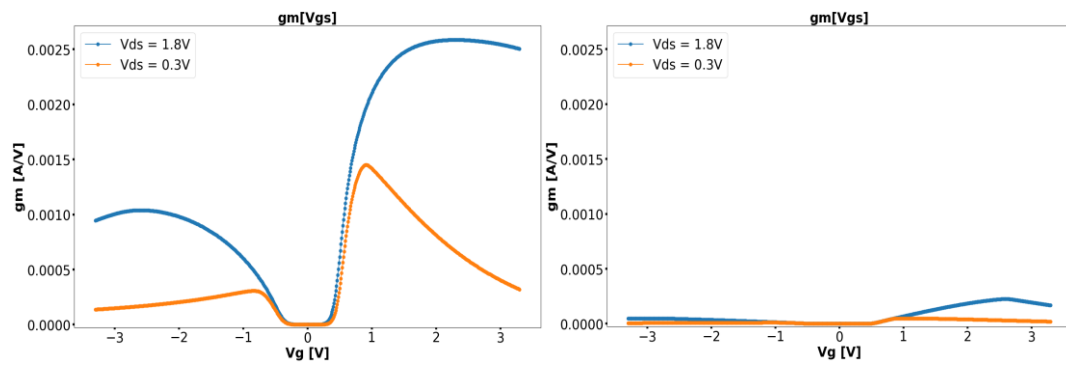


Σε αυτήν την περίπτωση έχουμε πάλι δύο συγκεκριμένες τιμές (0.3V και 1.8V) και έχουμε λογαριθμήσει το $I_d(V_{ds})$, δηλαδή την 2^η ομάδα γραφικών. Παρατηρούμε ότι με την αύξηση του L υπάρχει μείωση του I_D , ωστόσο για μεγάλα L δεν εφάπτεται με τον άξονα x'x όπως συνέβαινε στις παραπάνω περιπτώσεις. Φαίνεται πως η NMOS τεχνολογία ξεκινάει από υψηλότερο τιμές έχοντας μεγαλύτερο min και max από την αντίστοιχη PMOS τεχνολογία. Για $V_{ds}=0.3V$ και $V_{gs}=0$ ορίζεται το I_{off} ρεύμα ($V_{ds}=min$ και $V_{gs}=0$). Επίσης, στην γραμμική περιοχή παίρνοντας διαφορά των δύο γραφικών για τις δύο τιμές του V_{ds} γίνεται αντιληπτή η επίδραση του DIBL όταν οι 2 γραφικές δεν ταυτίζονται. Στην AMS τεχνολογία αυτό συμβαίνει μόνο στον PMOS, ενώ στην GF υπάρχει τόσο στο NMOS όσο και στο PMOS.

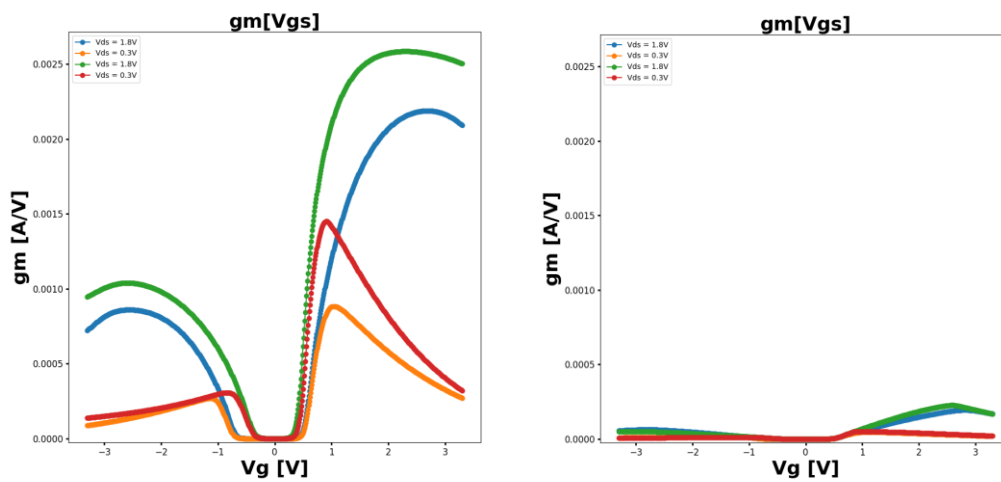
- $g_m(V_{gs})$ για την AMS τεχνολογία:



- $g_m(V_{gs})$ για την GF τεχνολογία:

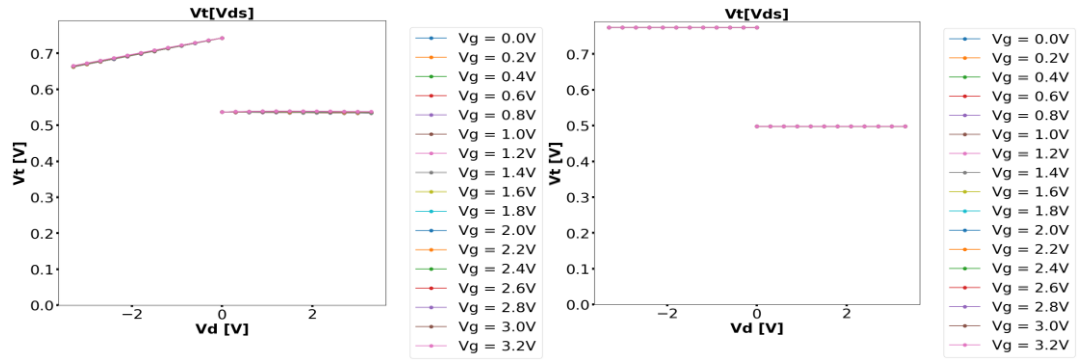


- Και οι 2 τεχνολογίες μαζί:

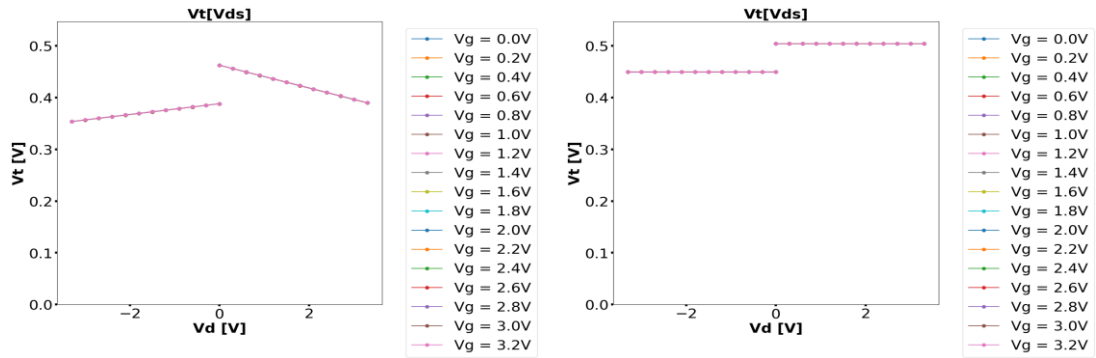


Εδώ το g_m , που ορίζεται ως την παράγωγο του $I_d(V_{gs})$, είναι συναρτήσει του V_{gs} και όχι του V_{ds} που θα παρουσιαστεί στην υποομάδα του Small Signal Related Parameters. Πάλι για δύο τιμές του V_{ds} (0.3V και 1.8V) με τις γραφικές που προκύπτουν. Παρατηρείται και στις δύο περιπτώσεις γραφικών κάθε γραφήματος το g_m ξεκινάει από το 0 και με την αύξηση του V_{gs} η τιμή του ανεβαίνει μέχρι να σχηματίσει μέγιστο και μετά να ξεκινήσει να μειώνεται ξανά. Σε συνάρτηση με το L είναι εμφανές ότι η αύξησή του προκαλεί μείωση του g_m που οδηγεί σε μια ευθεία γραμμή πάνω στον άξονα $x'x$. Σε αυτή τη περίπτωση οι διαφορές είναι ευδιάκριτες ανάμεσα στις δυο τεχνολογίες, καθώς οι τιμές του g_m για το NMOS είναι παραπάνω από διπλάσιες από τις αντίστοιχες του PMOS. Στην συγκεκριμένη γραφική γίνεται εύκολα αντιληπτό το velocity saturation στην κορυφή της εκάστοτε γραφικής. Ποσοτικά το g_m είναι μεγαλύτερο στην GF τεχνολογία, όπως αναμενόταν αφού και για το $I_d(V_{gs})$ ισχύει το ίδιο.

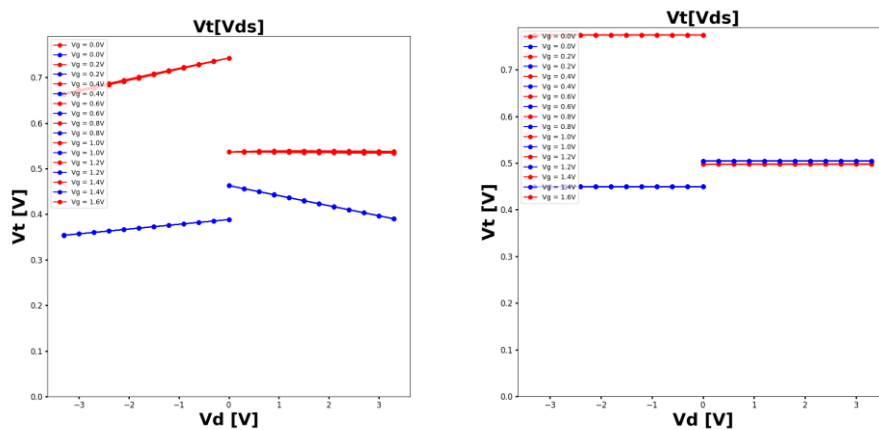
- $V_T(V_{ds})$ για την AMS τεχνολογία:



- $V_T(V_{ds})$ για την AMS τεχνολογία:



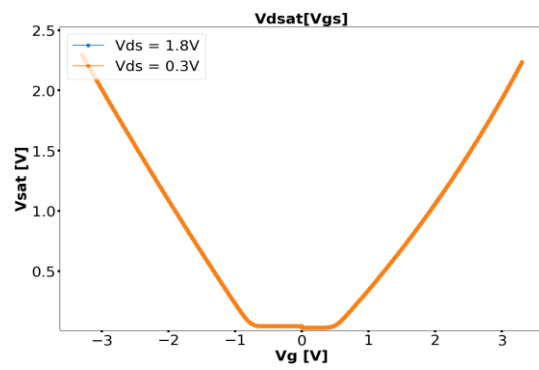
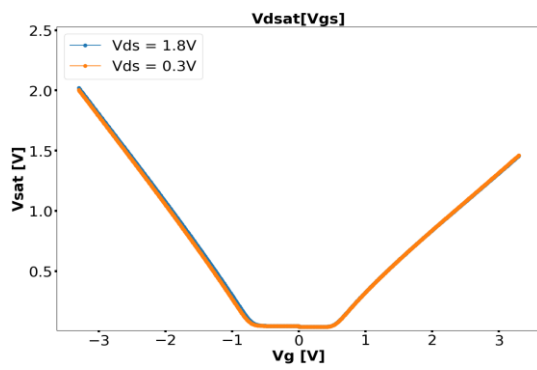
- Και οι 2 τεχνολογίες μαζί:



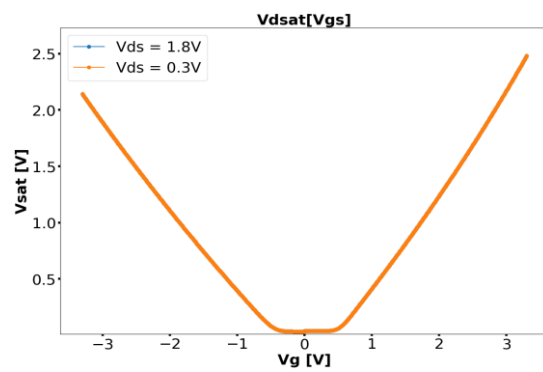
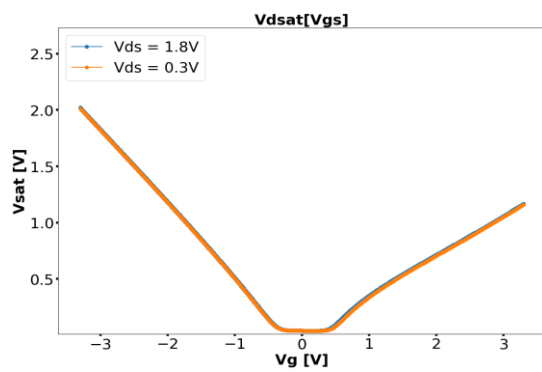
Για το V_T (threshold), δηλαδή τη τάση κατωφλίου, έχουμε ξανά όλα τα διαφορετικά V_{gs} ($V_{gs} = 0, 0.2, \dots, \max V_{gs}$) στην ίδια γραφική. Και στις δυο τεχνολογίες οι γραφικές εμφανίζονται ως ευθείες γραμμές. Ωστόσο, για το PMOS στην AMS τεχνολογία και για το NMOS και PMOS στην GF για πολύ μικρό length φαίνεται να υπάρχει μια μικρή αρνητική κλίση που με την αύξηση του length γίνεται οριζόντια ευθεία παράλληλη με τον οριζόντιο άξονα και αυτό οφείλεται στην επίδραση του DIBL φαινομένου. Με την αύξηση του μήκους η επίδραση του (σταθερού) V_d είναι μικρότερη και αυτό εξηγείται από την εξίσωση:

$$E_d = \frac{V_d}{L}$$

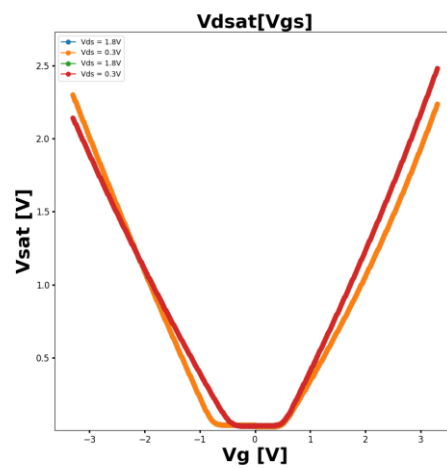
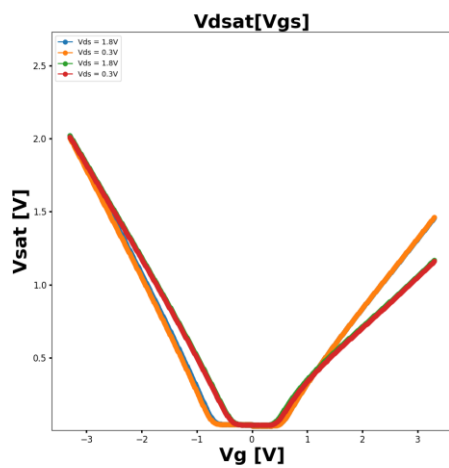
- $V_{dsat}(V_{gs})$ για την AMS τεχνολογία:



- $V_{dsat}(V_{gs})$ για την GF τεχνολογία:



- Και οι 2 τεχνολογίες μαζί:

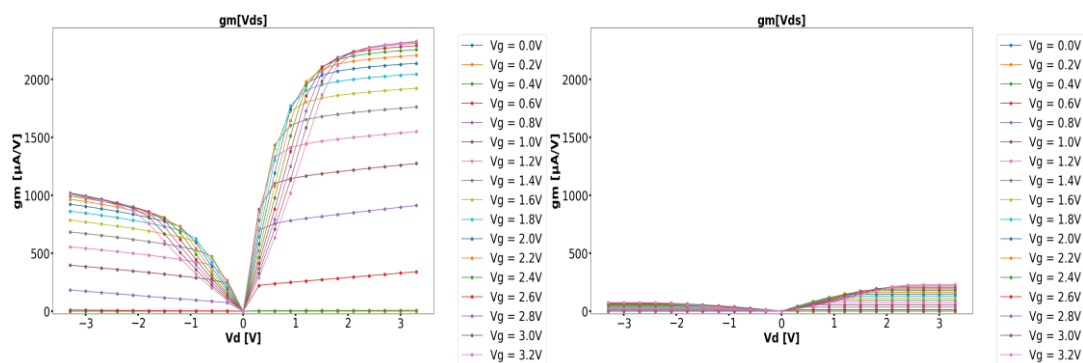


Το V_{dsat} ορίζεται ως $V_{on(overdrive)} = V_{gs} - V_T$. Αυτή η υποομάδα ολοκληρώνεται με την απεικόνιση του V_{dsat} δίνοντας δύο τιμές στο V_{ds} (0.3V και 1.8V). Και εδώ όμως, οι δυο γραφικές για τις διαφορετικές τιμές του $|V_{ds}|$ συμπίπτουν. Για την συμπεριφορά που έχει σε σχέση με το μήκος L , φαίνεται ότι αύξησή του μεγαλώνει απότομα την κλίση της ευθείας. Και στις δύο τεχνολογίες παρατηρείται ότι η τιμή του V_{dsat} είναι 0 μέχρι να γίνει το V_{gs} μεγαλύτερο του V_T . Ποιοτικά κυριαρχεί η ίδια μορφή γραφικών, ενώ ποσοτικά η AMS τεχνολογία έχει μεγαλύτερες τιμές για το NMOS, ενώ η GF για το PMOS.

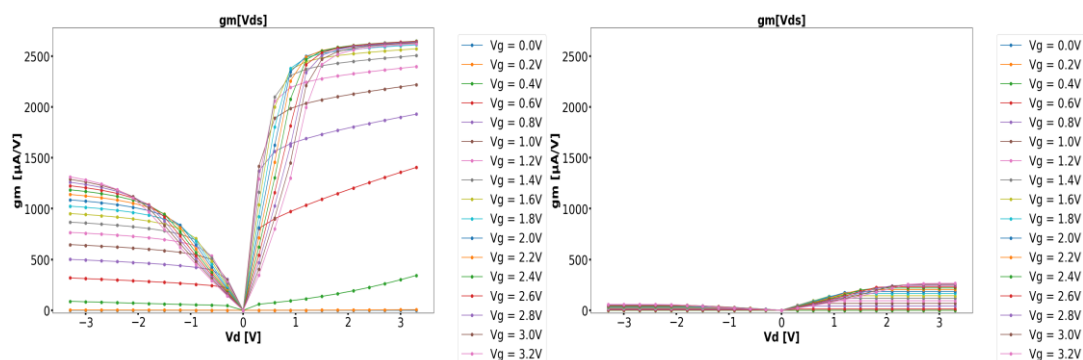
Παράμετροι σχετικές με την ανάλυση μικρού σήματος

- Αντίστοιχα η δεύτερη υποομάδα του Small Signal Related Parameters απαρτίζεται από τις γραφικές του: $g_m(V_{ds})$, $g_{ds}(V_{ds})$, $r_{out}(V_{ds})$, $V_{early}(V_{ds})$, $A_i(V_{ds})$ και $V_{dsat}(V_{ds})$.

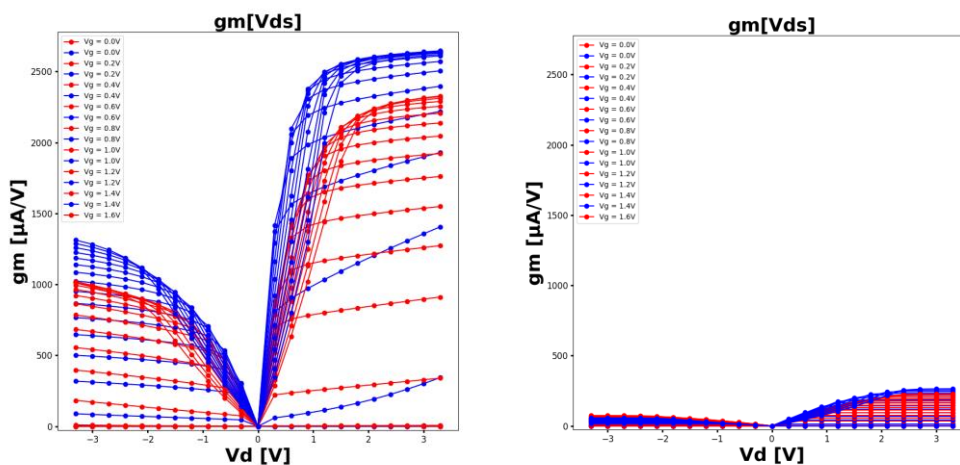
- $g_m(V_{ds})$ για την AMS τεχνολογία:



- $g_m(V_{ds})$ για την GF τεχνολογία:

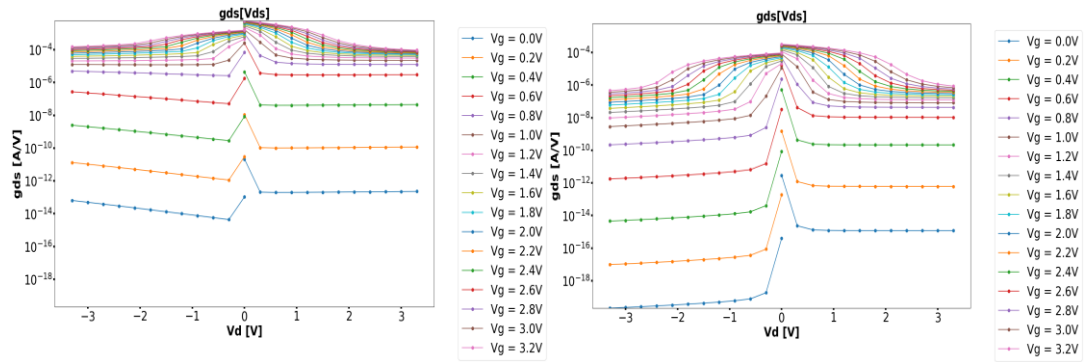


- Και οι 2 τεχνολογίες μαζί:

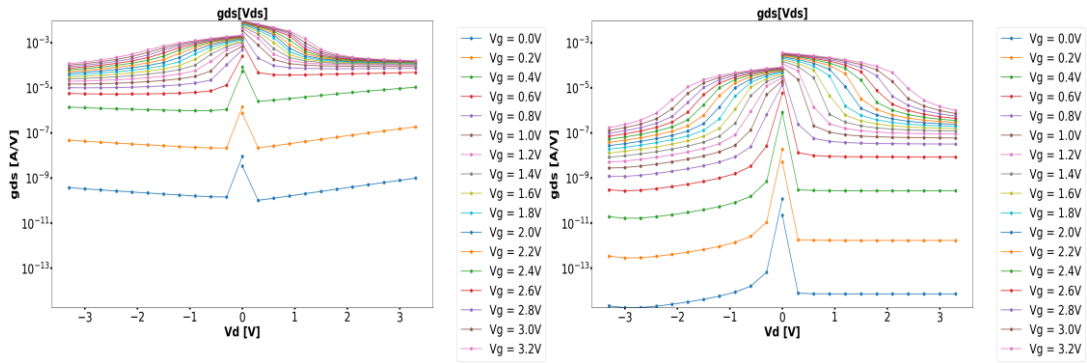


Το g_m τώρα είναι συναρτήσει του V_{ds} και για όλα τα διαφορετικά V_{gs} ($V_{gs} = 0, 0.2, \dots, \max V_{gs}$) στην ίδια γραφική. Φαίνεται ότι η κάθε γραφική έχει τη μορφή ριζικού, ενώ παρατηρείται με την σταδιακή αύξηση του L όλες οι γραφικές προσεγγίζουν τον οριζόντιο άξονα. Οι τιμές του NMOS είναι παραπάνω από διπλάσιες σε σύγκριση με τις αντίστοιχες του PMOS λόγω της κινητικότητας των ηλεκτρονίων έναντι των οπών, που περιγράφηκε στο $I_D(V_{gs})$. Οι τιμές της GF τεχνολογίας είναι μεγαλύτερες από της AMS και σε αυτήν την περίπτωση.

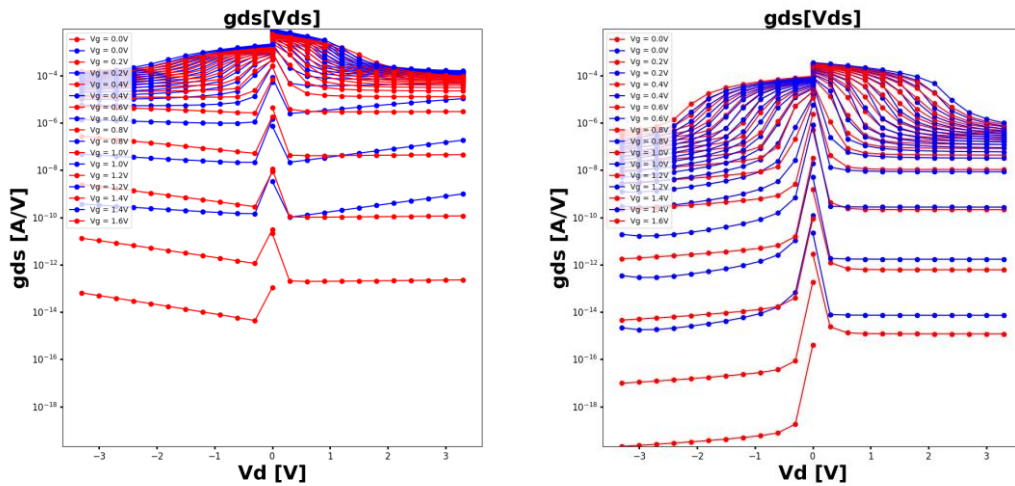
- $g_{ds}(V_{ds})$ για την AMS τεχνολογία:



- $g_{ds}(V_{ds})$ για την GF τεχνολογία:

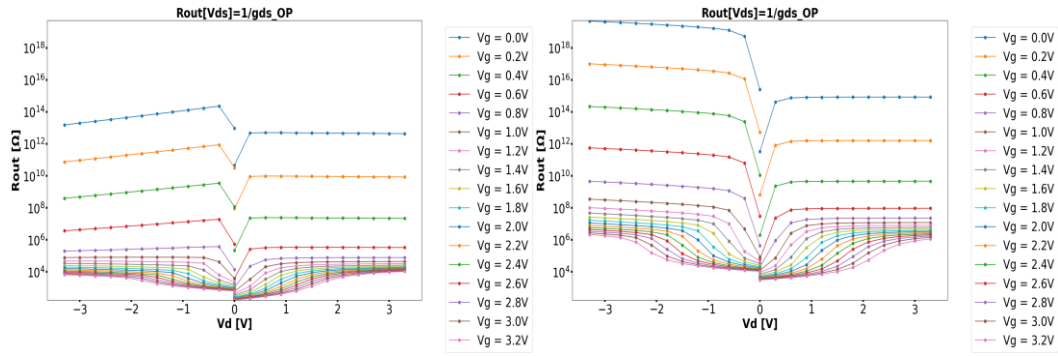


- Και οι 2 τεχνολογίες μαζί:

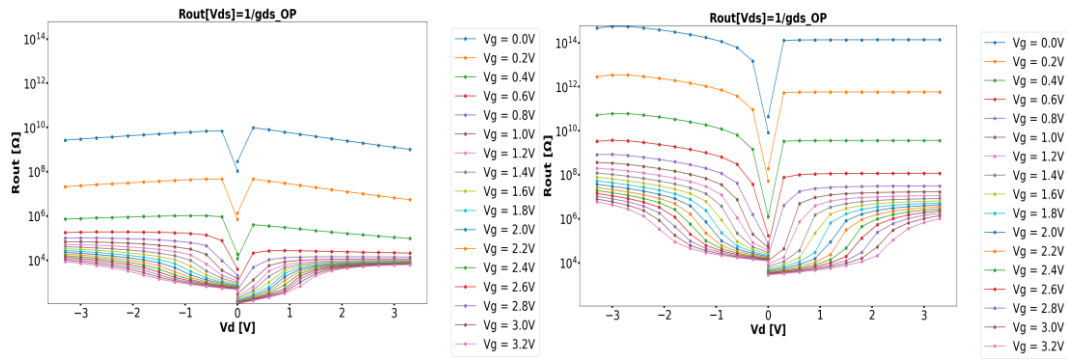


Παρουσιάζεται το g_{ds} που ορίζεται ως παράγωγος του $I_D(V_{ds})$. Και εδώ για όλες διαφορετικές τιμές του V_{gs} στο ίδιο διάγραμμα δικαίρεται ότι οι γραφικές έχουν μορφή υπερβολής. Φαίνεται πως με την αύξηση του L οδηγεί σε κατακόρυφη μετατόπιση όλων των γραφικών προς τα κάτω. Η PMOS τεχνολογία για ίδιες τιμές $|V_{gs}|$ έχει ελαφρώς χαμηλότερες τιμές από την NMOS. Ανάμεσα στην AMS και GF τεχνολογία η GF είναι εκείνη που υπερτερεί ποσοτικά και αυτό εξηγείται αφού το ίδιο συνέβαινε και για το $I_D(V_{ds})$.

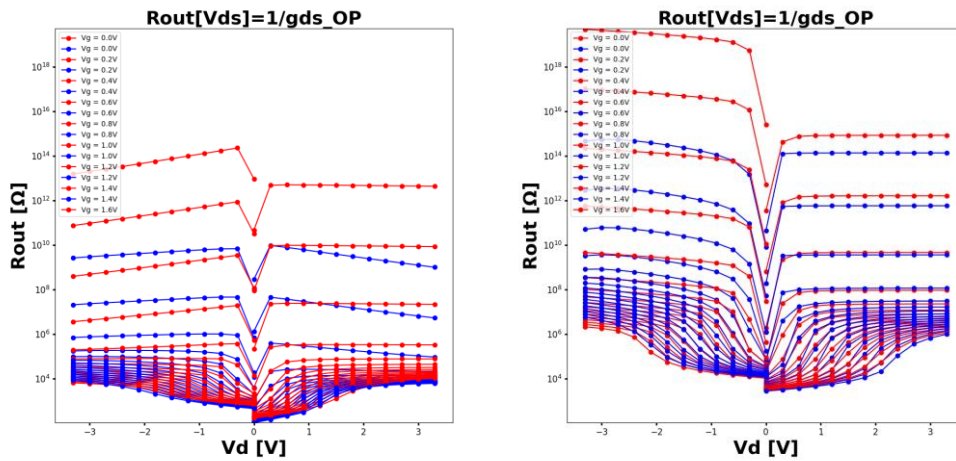
- $R_{out}(V_{ds})$ για την AMS τεχνολογία :



- $R_{out}(V_{ds})$ για την GF τεχνολογία :



- Και οι 2 τεχνολογίες μαζί:

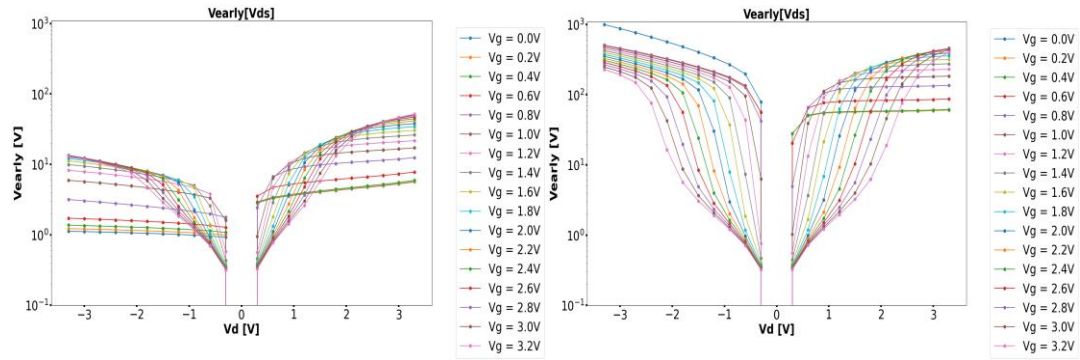


Το R_{out} ορίζεται ,όπως αναφέρθηκε και στο θεωρητικό κομμάτι, ως:

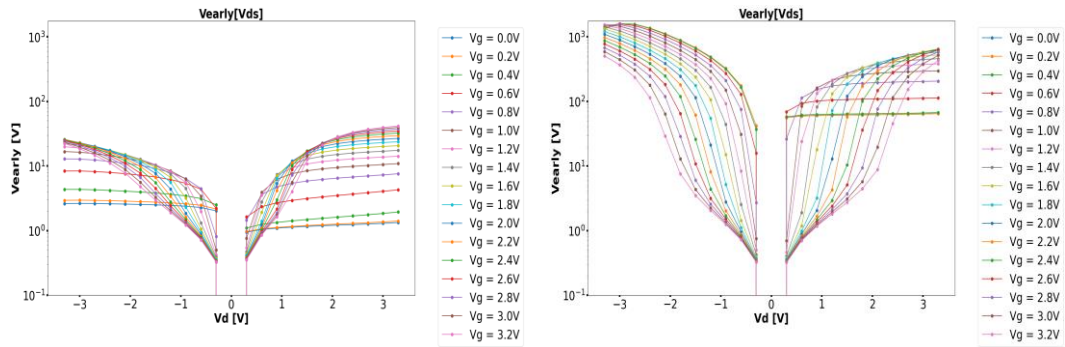
$$R_{out} = \frac{1}{g_{ds}} \cong \frac{1}{\lambda I_D}$$

Έτσι λοιπόν έχει ακριβώς την αντίστροφη μορφή από αυτήν του g_{ds} με την αντίστροφη συμπεριφορά στις μεταβολές του L , αύξηση του L οδηγεί σε κατακόρυφη μετατόπιση των γραφικών προς τα πάνω. Για τον λόγο αυτό, οι τιμές του PMOS τώρα ξεπερνούν τις αντίστοιχες του NMOS. Αντίστοιχα η AMS τεχνολογία έχει μεγαλύτερες τιμές από της GF.

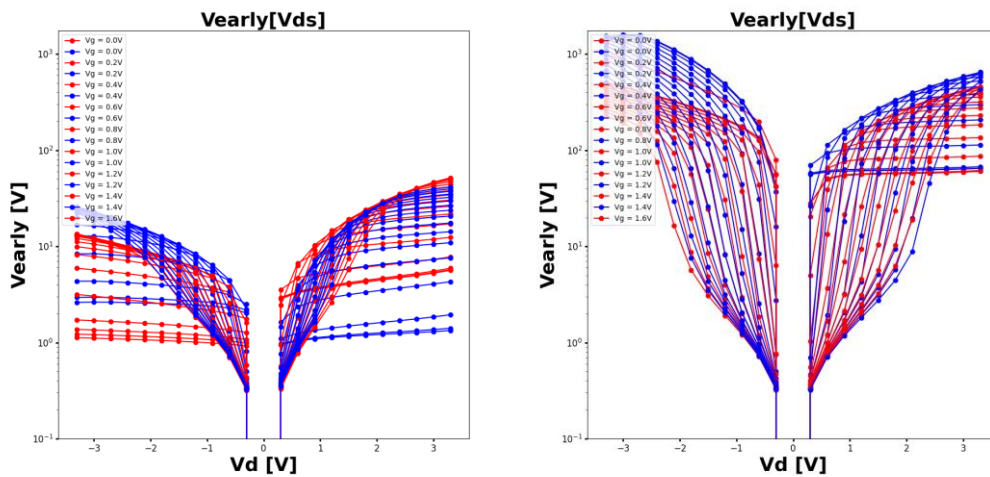
- $V_{\text{early}}(V_{\text{ds}})$ για την AMS τεχνολογία:



- $V_{\text{early}}(V_{\text{ds}})$ για την GF τεχνολογία:

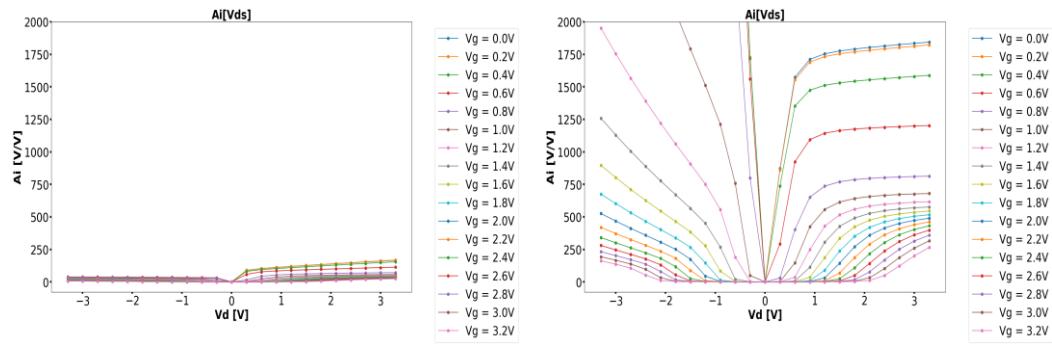


- Και οι 2 τεχνολογίες μαζί:

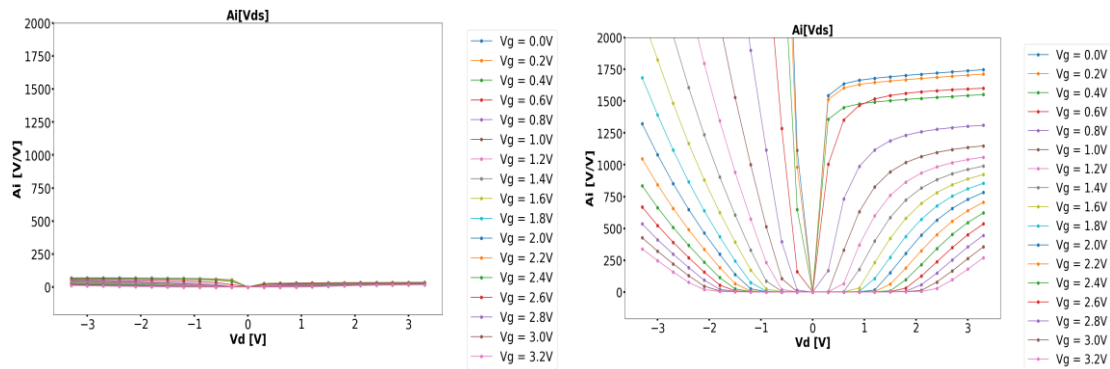


Και σε αυτή την περίπτωση για όλες διαφορετικές τιμές του V_{gs} στο ίδιο διάγραμμα παρουσιάζονται οι γραφικές οι οποίες έχουν αύξουσα μορφή σε συνάρτηση με το V_{ds} . Με την αύξηση του L οι γραφικές από εκεί που είχαν συμπιεστεί σταδιακά “διαστέλλονται”. Παρατηρείται ότι ενώ στην αρχή η PMOS τεχνολογία έχει μικρότερες τιμές από εκείνες της NMOS, με την σταδιακή αύξηση του L κάποιες συνιστώσες φτάνουν και ξεπερνούν την NMOS. Η GF τεχνολογία ξεπερνάει ελαφρώς την AMS και εδώ.

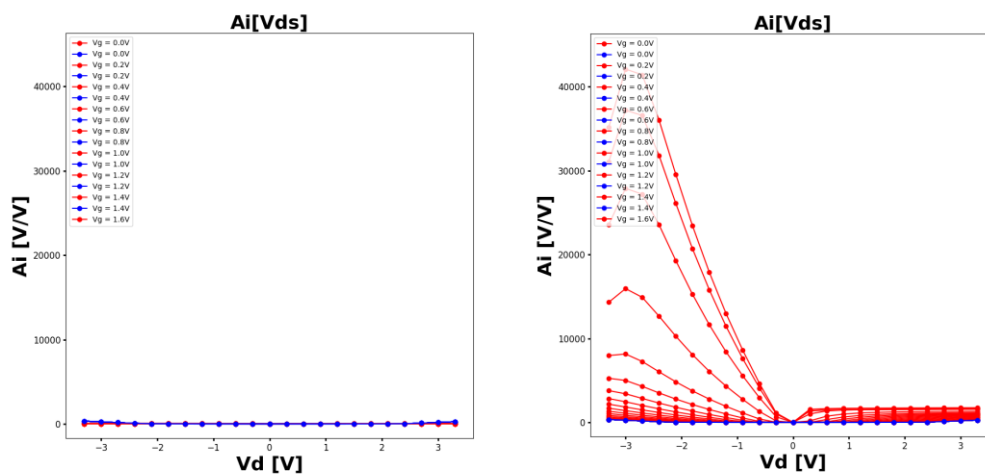
- $A_i(V_{ds})$ για την AMS τεχνολογία:



- $A_i(V_{ds})$ για την GF τεχνολογία:



- Και οι 2 τεχνολογίες μαζί:

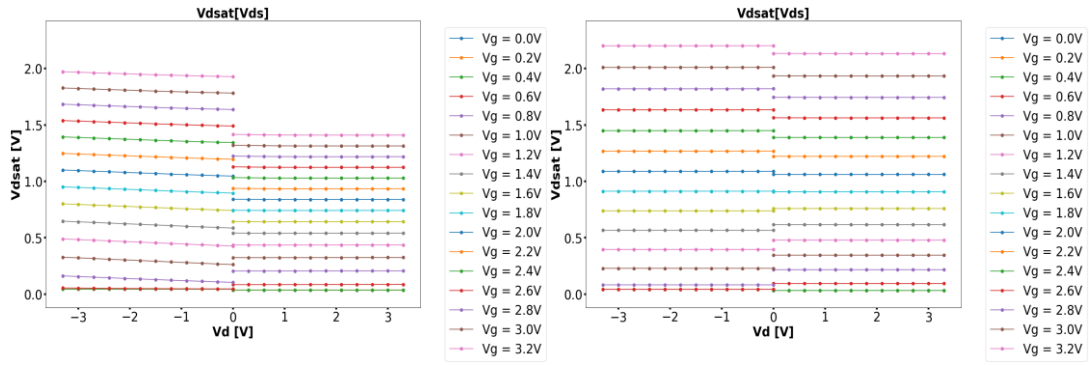


Το A_i κέρδος ορίζεται ως

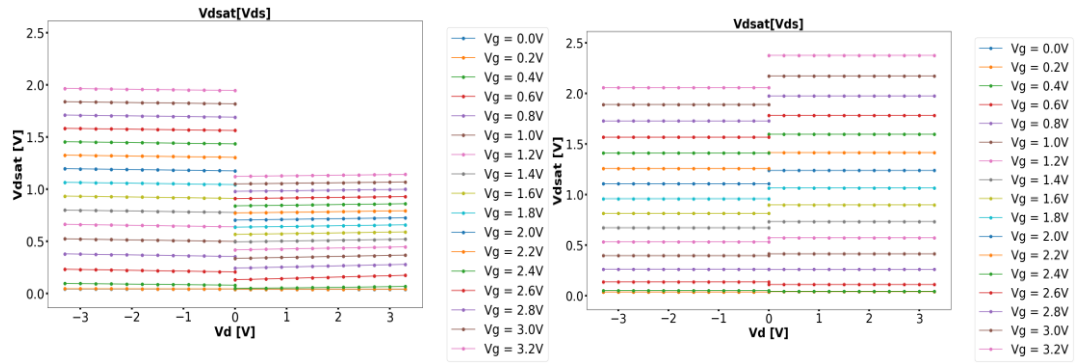
$$A_i = \frac{g_m}{g_{ds}}$$

Ξεκινώντας από το 0 όλες οι γραφικές για τα διάφορα V_{gs} αυξάνουν την τιμή τους σταδιακά με την αύξηση του V_{ds} . Με την μεταβολή του L ξεκινώντας από την μικρότερη τιμή του παρατηρούμε ότι όσο μικρότερη η τιμή του L τόσο πιο συμπυκνμένες είναι οι γραφικές μεταξύ τους, ενώ όσο αυξάνεται τόσο “διαστέλλονται” και συνάμα αυξάνεται η τιμή του A_i . Η σύγκριση ανάμεσα στις δύο τεχνολογίες γίνεται εμφανής για μεγάλα L καθώς το PMOS έχει πιο απότομη αύξηση των τιμών του σε σχέση με το NMOS. Για μεγάλα μήκη είναι εμφανές ότι η AMS τεχνολογία έχει πολύ μεγαλύτερες τιμές από την GF.

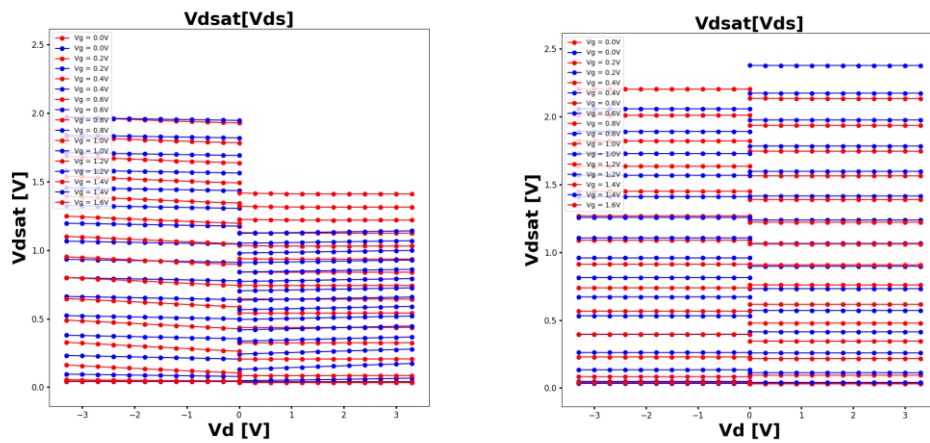
- $V_{dsat}(V_{ds})$ για την AMS τεχνολογία:



- $V_{dsat}(V_{ds})$ για την GF τεχνολογία:



- Και οι 2 τεχνολογίες μαζί:

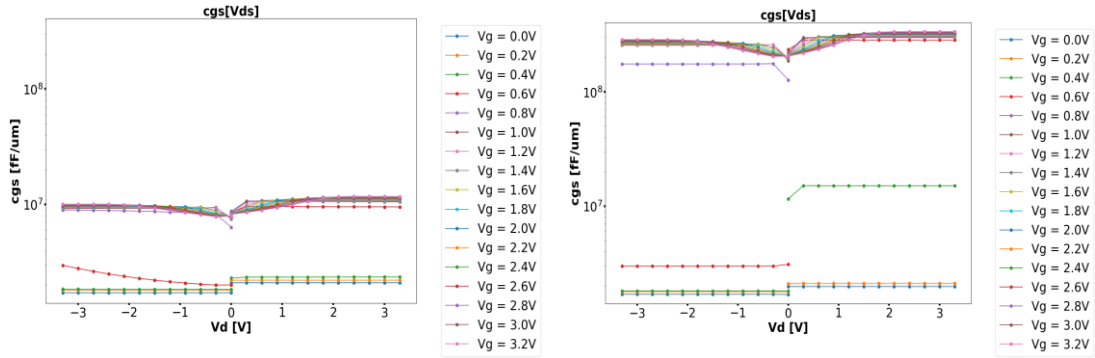


Σε αντίθεση με το V_{dsat} της παραπάνω υποομάδας εδώ είναι συναρτήσει του V_{ds} . Για όλες τις γραφικές των διάφορων V_{gs} παρατηρούμε ότι η μορφή τους είναι μια οριζόντια ευθεία παράλληλη με τον $x'x$ άξονα. Όσο αυξάνεται η τιμή του L οι γραφικές αρχίζουν να διαχωρίζονται από εκεί που ήταν συμπτυγμένες και η τιμή του V_{dsat} αυξάνεται και εκείνη. Είναι ευδιάκριτο πως ανάμεσα στις δύο τεχνολογίες η NMOS είναι πιο συμπίεσμένη και με σταδιακή αύξηση του L τείνει να φτάσει την PMOS έχοντας όμως πάντα μικρότερες τιμές. Ως προς την σύγκριση των δύο τεχνολογιών AMS-GF έχουν παραπλήσιες τιμές και αναλόγως το μήκος κάθε περίπτωσης η μια υπερτερεί της άλλης ποσοτικά.

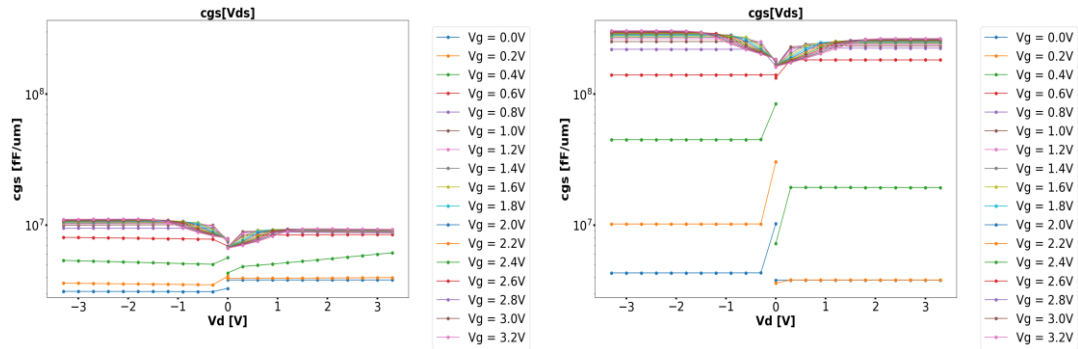
Παράμετροι σχετικές με τη συχνότητα με V_g κλιμάκωση

3. Η υποομάδα Frequency Related Parameters V_g Sweep αποτελείται τις γραφικές: $c_{gs}(V_{ds})$, $c_{gd}(V_{ds})$, $c_{gb}(V_{ds})$, $c_{db}(V_{ds})$, $f_t(V_{ds})$ και $f_{ug}(V_{ds})$.

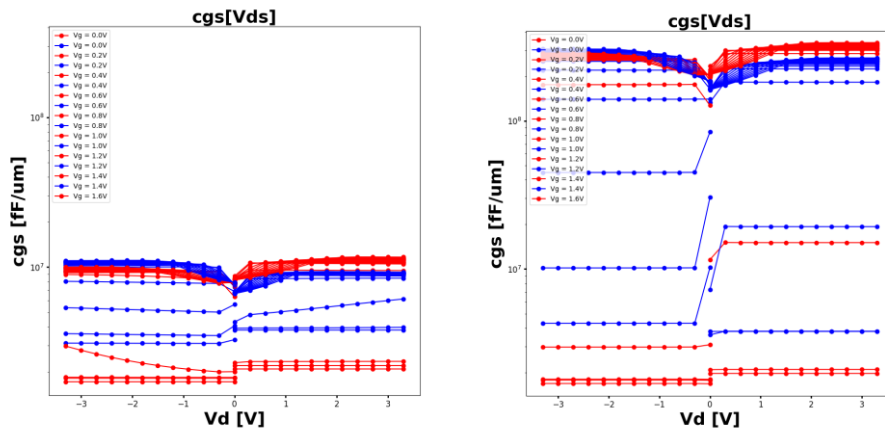
- $c_{gs}(V_{ds})$ για την AMS τεχνολογία:



- $c_{gs}(V_{ds})$ για την GF τεχνολογία:

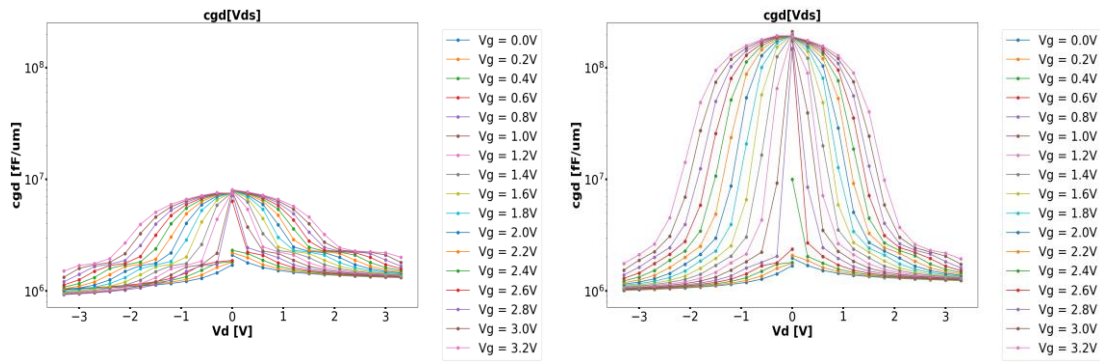


- Και οι 2 τεχνολογίες μαζί:

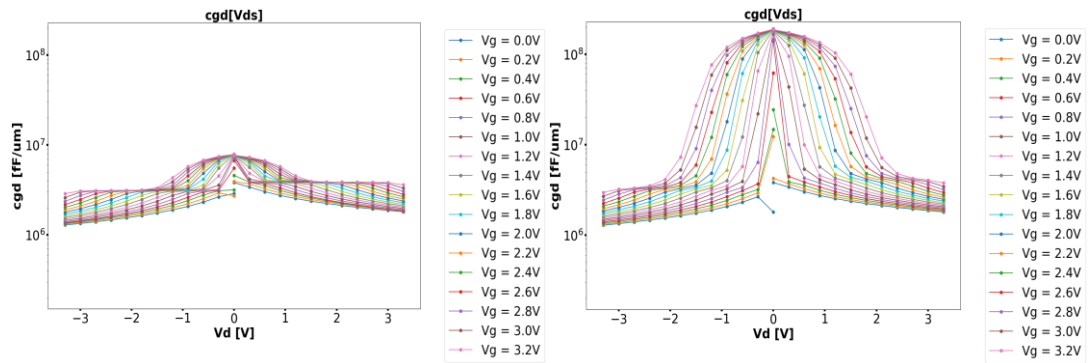


Και σε αυτήν την ομάδα γραφικών όλα τα γραφήματα θα έχουν όλες τις διαφορετικές γραφικές για τα V_{gs} . Η αύξηση του L μας επιφέρει μια κατακόρυφη μετατόπιση σε όλες τις γραφικές (εκτός από εκείνες που παρεκκλίνουν). Ανάμεσα σε NMOS και PMOS δεν εμφανίζονται μεγάλες διαφορές (με εξαίρεση πάλι τις γραφικές που παρεκκλίνουν), με τις τιμές του NMOS να είναι ελαφρώς μεγαλύτερες. Η AMS τεχνολογία έχει μεγαλύτερες τιμές στο NMOS, ενώ από την άλλη τη GF στο PMOS.

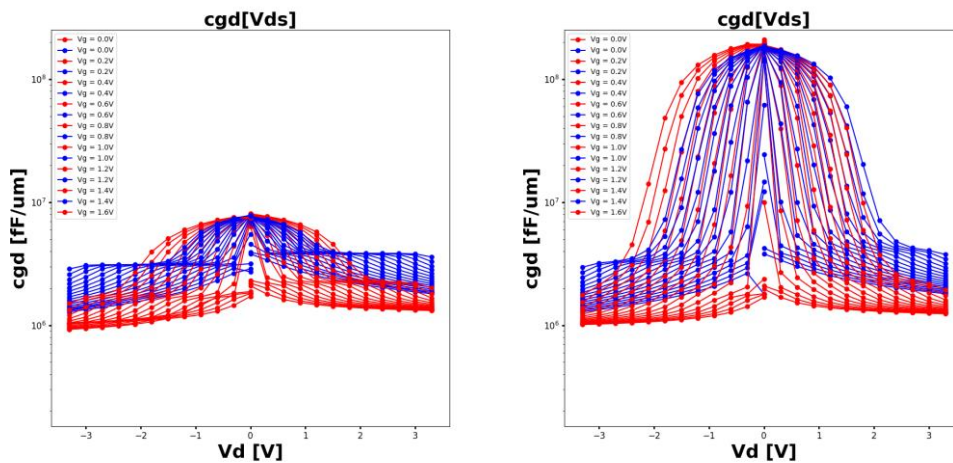
- $c_{gd}(V_{ds})$ για την AMS τεχνολογία:



- $c_{gd}(V_{ds})$ για την GF τεχνολογία:

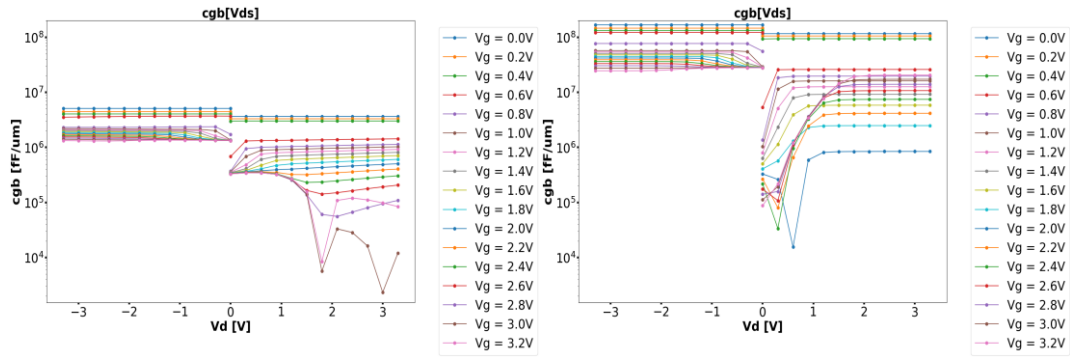


- Και οι 2 τεχνολογίες μαζί:

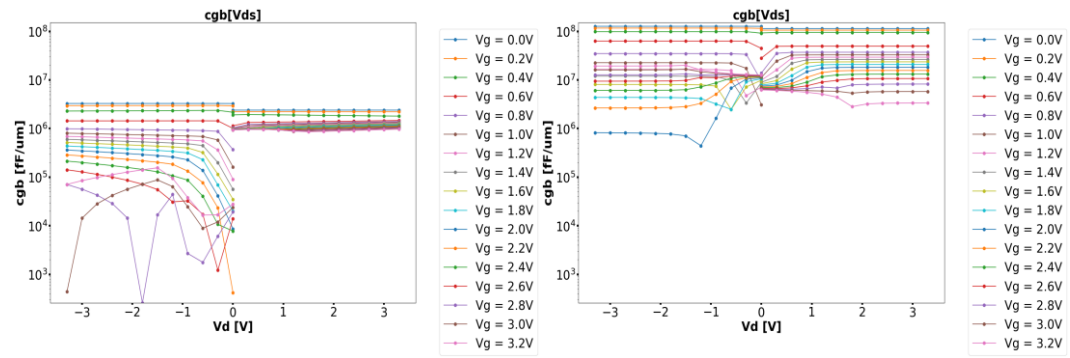


Το c_{gd} φαίνεται ότι είναι φθίνουσα συνάρτηση του V_{ds} . Με αύξηση του L σε αυτή τη περίπτωση όμως, δεν επέρχεται μετατόπιση αλλά μια κατακόρυφη διαστολή του γραφήματος. Παρόλο που και οι δύο τεχνολογίες τρανζίστορ έχουν ίδιες μέγιστες τιμές, η PMOS καταλήγει να έχει μικρότερα ελάχιστα. Η AMS και GF είναι όμοιες ποιοτικά με την GF να έχει μικρότερες αρχικές τιμές, ωστόσο με την σταδιακή αύξηση του V_{ds} καταλήγει σε μεγαλύτερες τιμές έναντι της AMS.

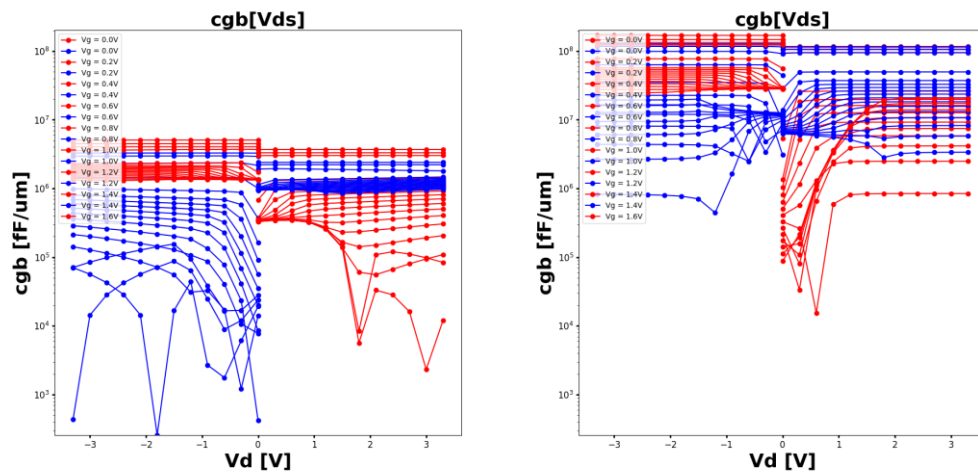
- $c_{gb}(V_{ds})$ για την AMS τεχνολογία:



- $c_{gb}(V_{ds})$ για την GF τεχνολογία:

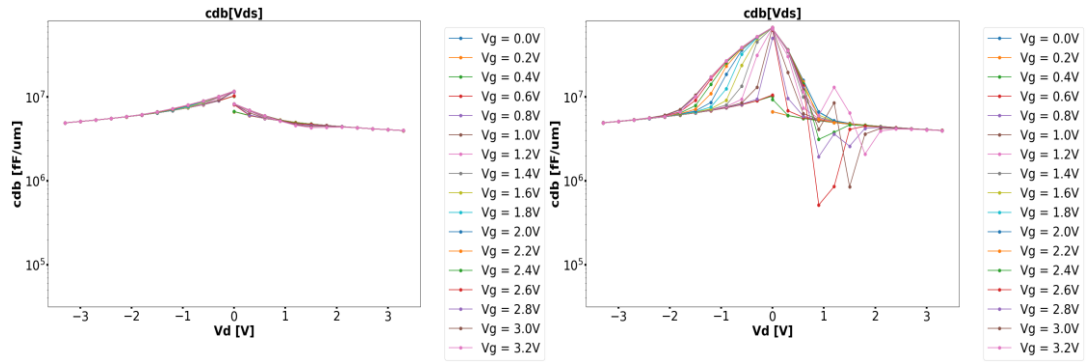


- Και οι 2 τεχνολογίες μαζί:

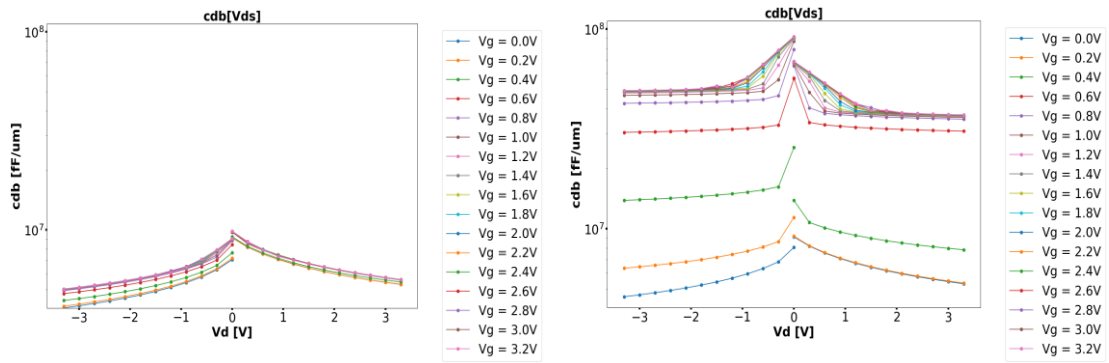


Το c_{gb} χωρίζεται σε δύο υποομάδες γραφικών. Η 1^η είναι ένα σύνολο γραφικών παράλληλο στον άξονα $x'x$, ενώ η 2^η είναι ένα σύνολο αυξουσών γραφικών ως προς το V_{ds} . Το L επιφέρει στο c_{gb} τόσο κατακόρυφη μετατόπιση όσο και ένα μικρό “διαστολή” του γραφήματος. Η PMOS τεχνολογία φαίνεται λίγο περισσότερο συμπιεσμένη και με μεγαλύτερες τιμές από τις αντίστοιχες NMOS. Από την άλλη στην τεχνολογία NMOS φαίνεται ότι μεμονωμένες τιμές κάποιων συνιστωσών παρεκκλίνουν χαλώντας έτσι τοπικά την αύξουσα συνάρτηση του c_{gb} , αυτό ενδέχεται να οφείλεται στο ότι το doping στο κανάλι μπορεί να μην είναι uniform και για αυτό αποκλίνει λίγο από το θεωρητικό μέρος. Τέλος, η AMS φαίνεται ότι έχει υψηλότερες τιμές από εκείνες της GF.

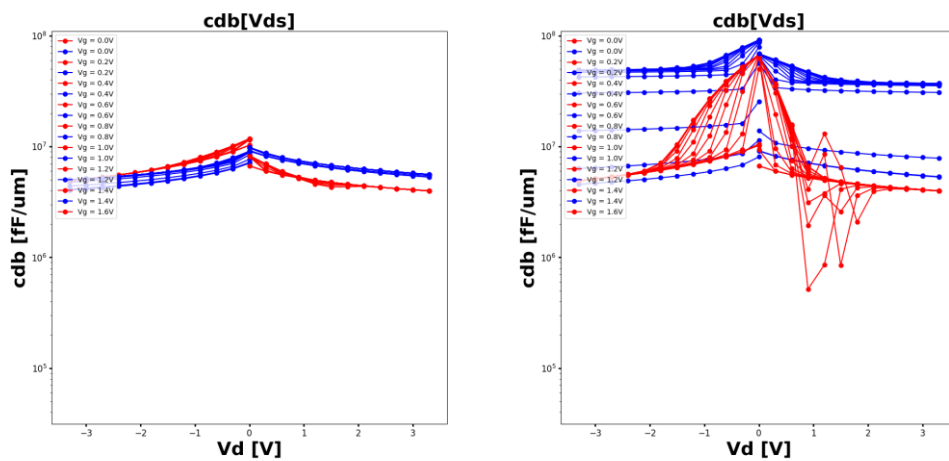
- $c_{db}(V_{ds})$ για την AMS τεχνολογία:



- $c_{db}(V_{ds})$ για την GF τεχνολογία:

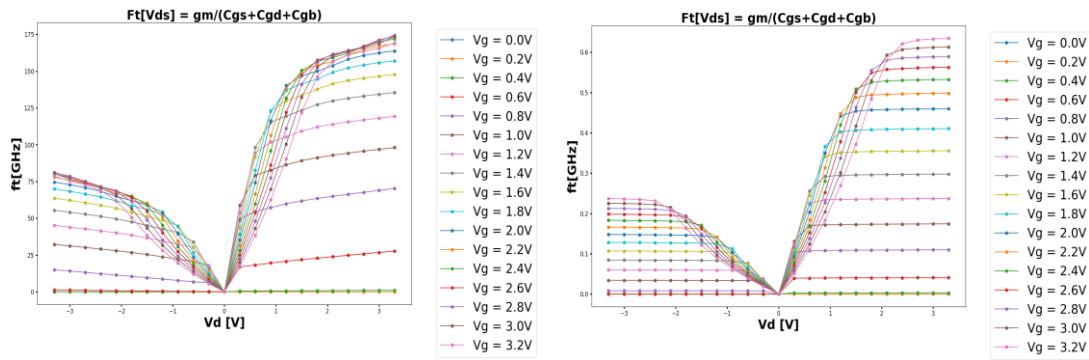


- Και οι 2 τεχνολογίες μαζί:

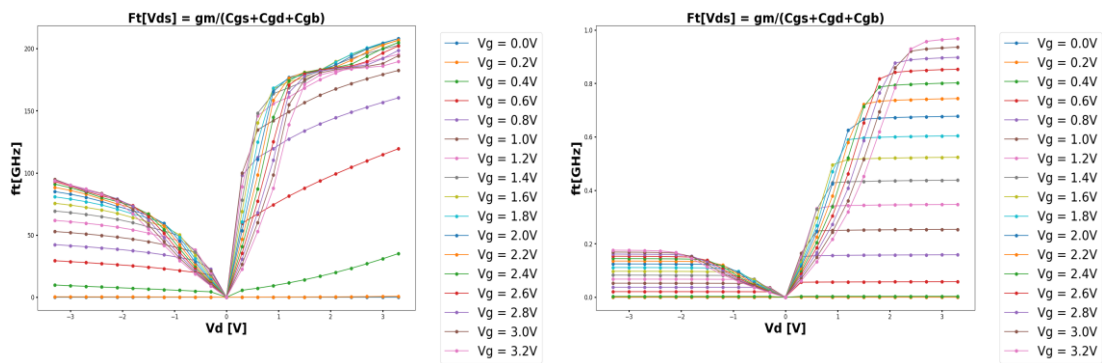


Το c_{db} είναι φθίνουσα συνάρτηση του V_{ds} . Η σταδιακή αύξηση του L δεν μετατοπίζει καθόλου τις γραφικές παρά μόνο τις διαστέλλει κατακόρυφα. Οι τιμές της PMOS τεχνολογίας είναι ελαφρώς μεγαλύτερες από εκείνες της NMOS. Όπως και παραπάνω στην NMOS τεχνολογία για μεγάλα L έχουμε παρεκκλίσεις σε μεμονωμένες τιμές οι οποίες χαλάνε την φθίνουσα συμπεριφορά της συνάρτησης. Για μεγάλα μήκη (μεγαλύτερα από $1\mu m$) η GF τεχνολογία υπερτερεί ποσοτικά της AMS, ενώ για αρκετά μικρά μήκη η AMS υπερτερεί στο PMOS μόνο.

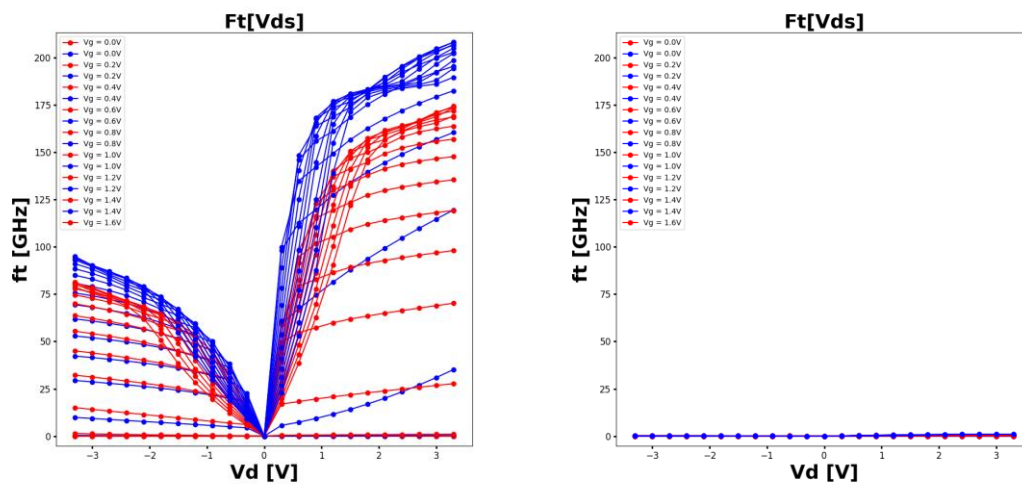
- $f_t(V_{ds})$ για την AMS τεχνολογία:



- $f_t(V_{ds})$ για την GF τεχνολογία:



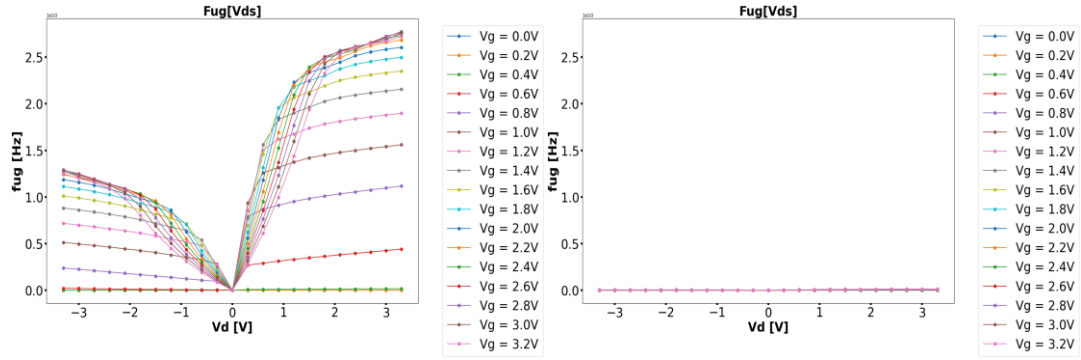
- Και οι 2 τεχνολογίες μαζί:



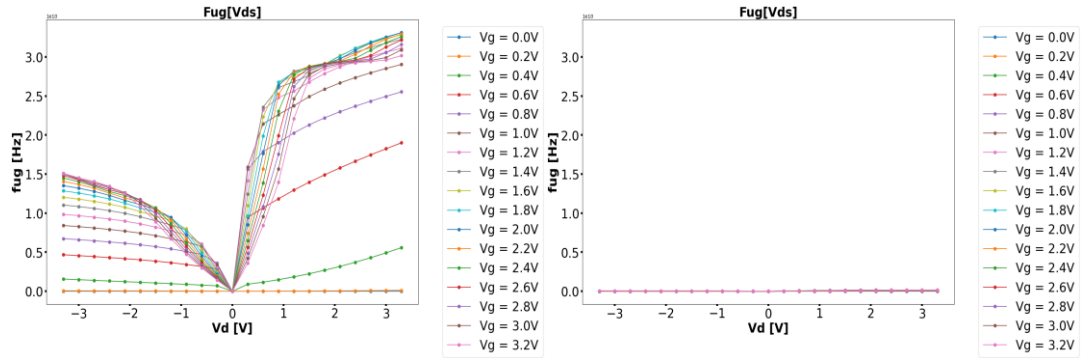
Το f_t υπολογίζεται ως: $f_t = \frac{g_m}{c_{gs}+c_{gd}+c_{gb}}$

Παρατηρείται ότι είναι μια αύξουσα συνάρτηση του V_{ds} . Η αύξηση του L επιφέρει “συμπίεση” στα γραφήματα τα όποια την μέγιστη τιμή του L φαίνονται ως οριζόντιες ευθείες παράλληλες στον άξονα $x'x$. Οι τιμές του f_t για την NMOS τεχνολογία είναι πολύ μεγαλύτερες από εκείνες του PMOS για αντίστοιχα $|V_g|$. Οι τιμές της GF τεχνολογίας είναι εμφανώς μεγαλύτερες από της AMS και στο NMOS και στο PMOS.

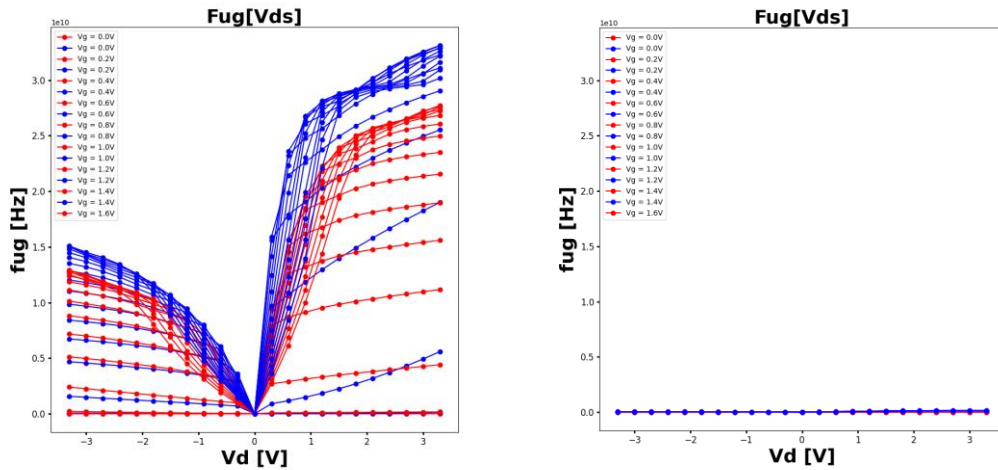
- $f_{ug}(V_{ds})$ για την AMS τεχνολογία:



- $f_{ug}(V_{ds})$ για την GF τεχνολογία:



- Και οι 2 τεχνολογίες μαζί:

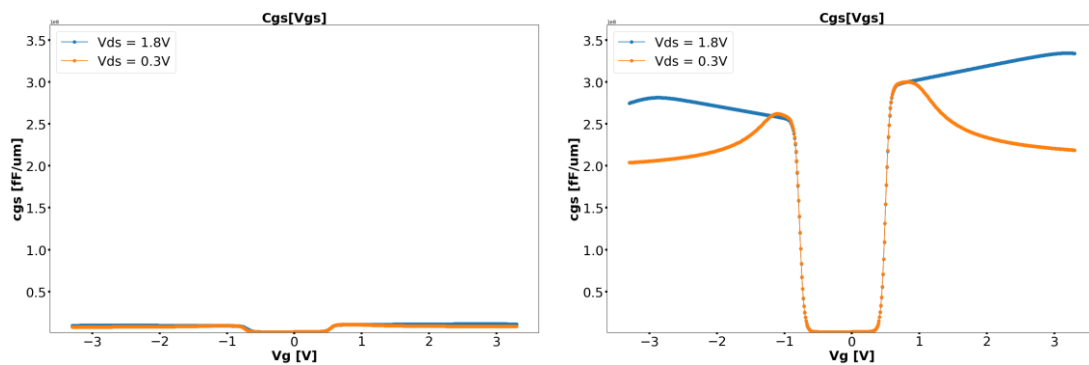


Η συνάρτηση f_{ug} έχει παρόμοια μορφή και συμπεριφορά με την f_t . Είναι αύξουσα συνάρτηση η οποία με αύξηση του L συμπιέζεται και καταλήγει σε οριζόντια ευθεία παράλληλη στον οριζόντιο άξονα στις μέγιστες τιμές του. Αντίστοιχα και οι τιμές του NMOS είναι διπλάσιες σε σύγκριση με εκείνες του PMOS. Και εδώ όπως και στο $f_t(V_{ds})$ φαίνεται οι τιμές της GF τεχνολογίας είναι αρκετά μεγαλύτερες από της AMS και στο NMOS και στο PMOS.

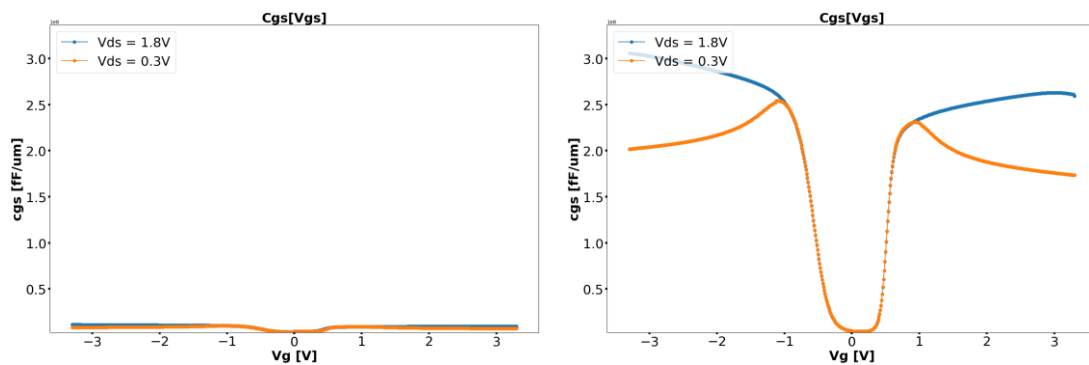
Παράμετροι σχετικές με τη συχνότητα με V_g κλιμάκωση

4. Για την υποομάδα Frequency Related Parameters V_d Sweep απαρτίζεται από τις γραφικές: $c_{gs}(V_{gs})$, $c_{gd}(V_{gs})$, $c_{gb}(V_{gs})$ και $c_{db}(V_{gs})$. Και εδώ όπως στο 1^ο σετ γραφικών όπου υπάρχουν γραφικές συναρτήσεων του V_{gs} χρησιμοποιούνται δύο τιμές για το V_{ds} . Η μικρή τιμή (0.3V) είναι για να βρίσκεται στην γραμμική περιοχή ενώ η μεγάλη (1.8V) για να είναι στον κορεσμό.

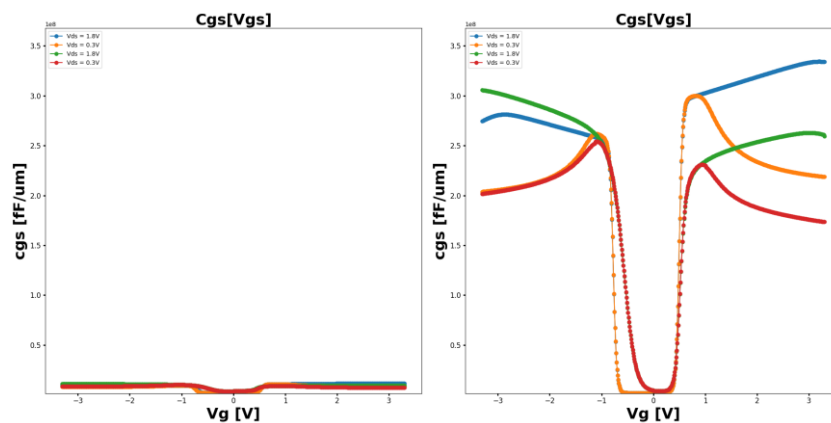
- $c_{gs}(V_{gs})$ για την AMS τεχνολογία:



- $c_{gs}(V_{gs})$ για την GF τεχνολογία:

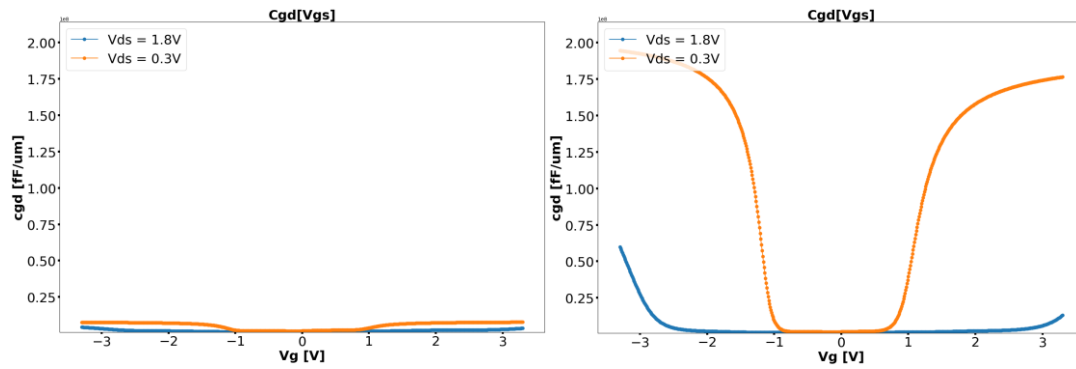


- Και οι 2 τεχνολογίες μαζί:

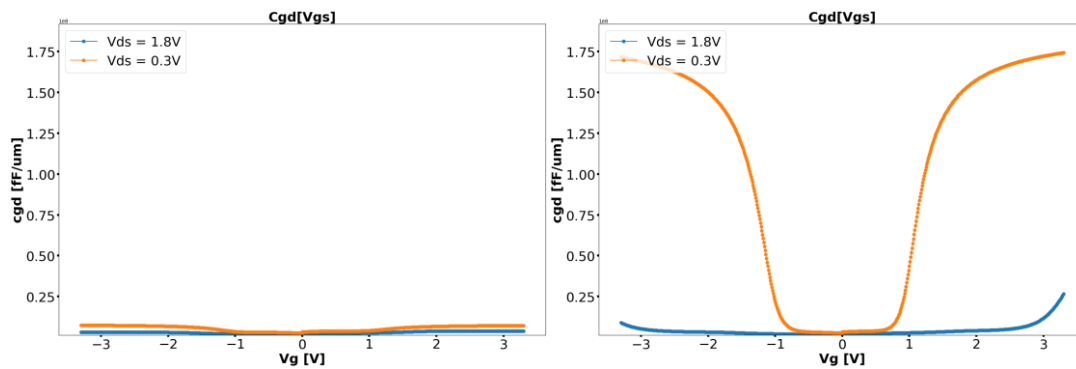


Και για τις δύο τεχνολογίες φαίνεται ότι οι γραφικές συμφωνούν με το Σχήμα 7 του θεωρητικού μέρους. Διακρίνονται και οι τρεις περιοχές (Off - Αποκοπή, Saturation - Κορεσμός και Nonsaturated –Μη Κορεσμός) του σχήματος ο διαχωρισμός της κάθε μιας. Ως προς την μεταβολή του L παρατηρείται μεγάλη συμπίεση στις γραφικές για μικρά μήκη και όσο αυτό αυξάνεται διαστέλλονται ώσπου και φτάνουν στο σημείο όπου είναι ευδιάκριτες οι διαφορετικές περιοχές των τεχνολογιών. Για την NMOS τεχνολογία οι τιμές είναι υψηλότερες από εκείνες της PMOS. Ανάμεσα σε AMS και GF η σύγκριση είναι ευδιάκριτη για μεγάλα μήκη όπου οι τιμές του NMOS είναι μεγαλύτερες στην GF τεχνολογία. Ωστόσο για το PMOS για $V_{ds}=0.3V$ η AMS υπερτερεί ελαφρώς ποσοτικά, ενώ για $V_{ds}=1.8V$ η GF.

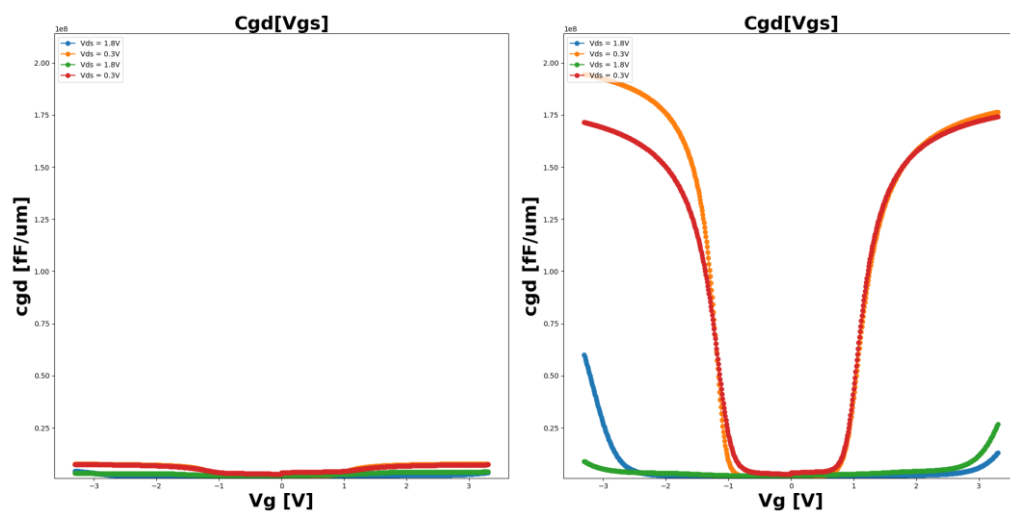
- $c_{gd}(V_{gs})$ για την AMS τεχνολογία:



- $c_{gd}(V_{gs})$ για την GF τεχνολογία:

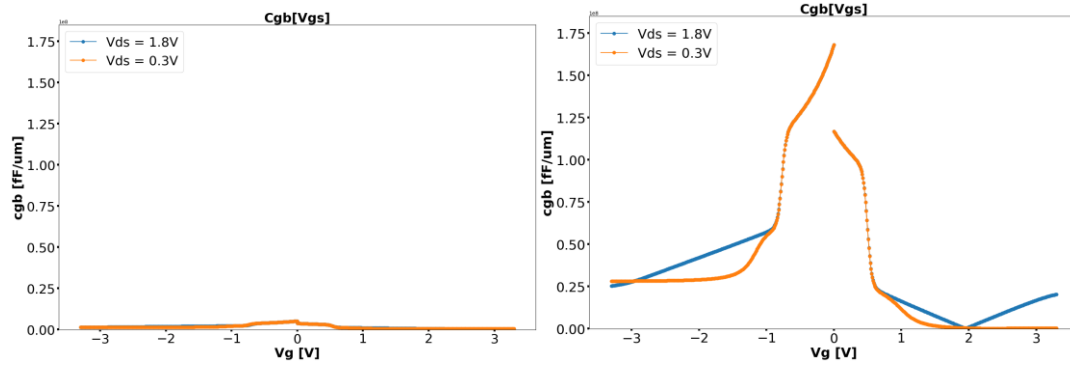


- Και οι 2 τεχνολογίες μαζί:

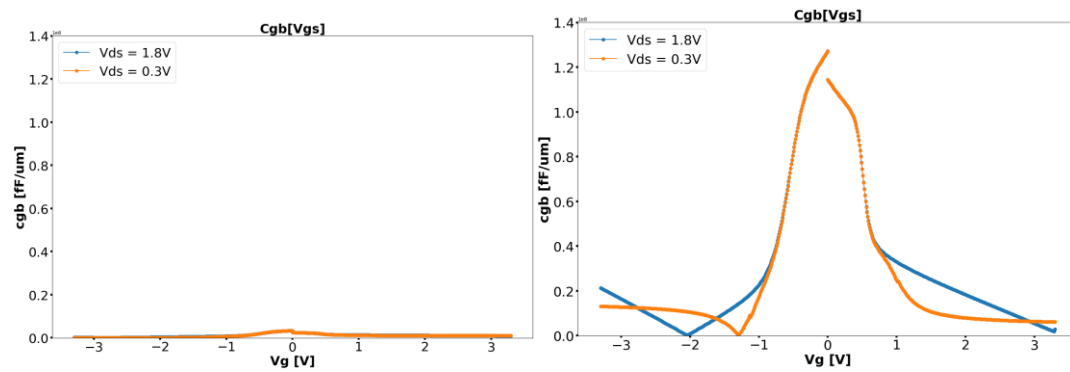


Όπως και παραπάνω οι γραφικές του πειραματικού μέρους συμφωνούν με αυτές του θεωρητικού Σχήματος 6. Η αύξηση του L έχει ως επίδραση την κατακόρυφη διαστολή των γραφικών. Η AMS τεχνολογία έχει μεγαλύτερες μέγιστες τιμές στο PMOS τρανζίστορ. Για το NMOS για $V_{ds}=1.8V$ μεγαλύτερη μέγιστη τιμή έχει η AMS τεχνολογία, ενώ για $V_{ds}=0.3V$ μεγαλύτερη μέγιστη τιμή έχει η GF.

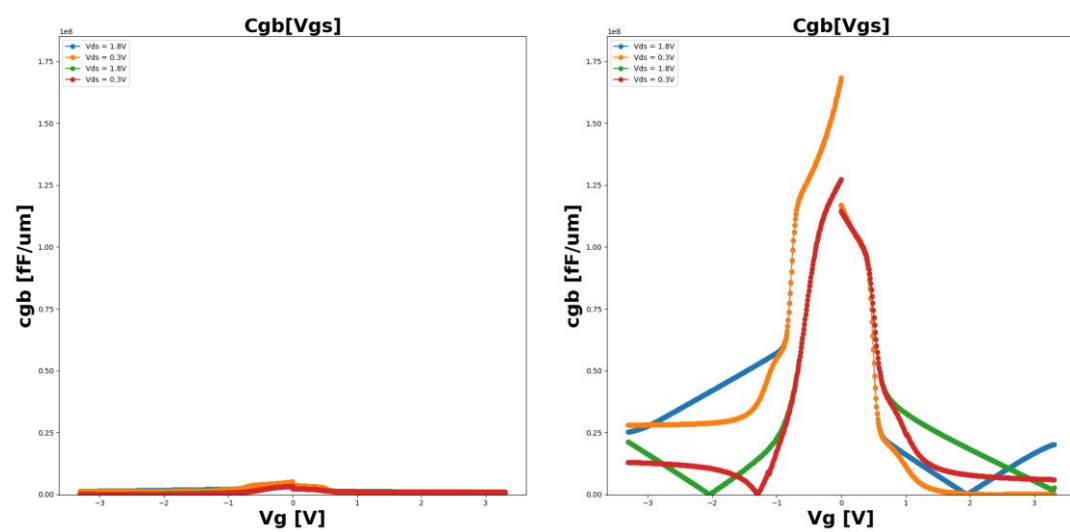
- $c_{gb}(V_{gs})$ για την AMS τεχνολογία:



- $c_{gb}(V_{gs})$ για την GF τεχνολογία:

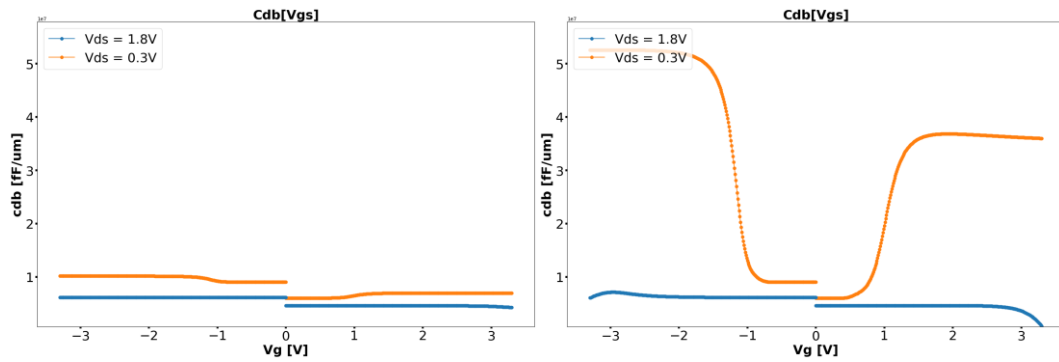


- Και οι 2 τεχνολογίες μαζί:

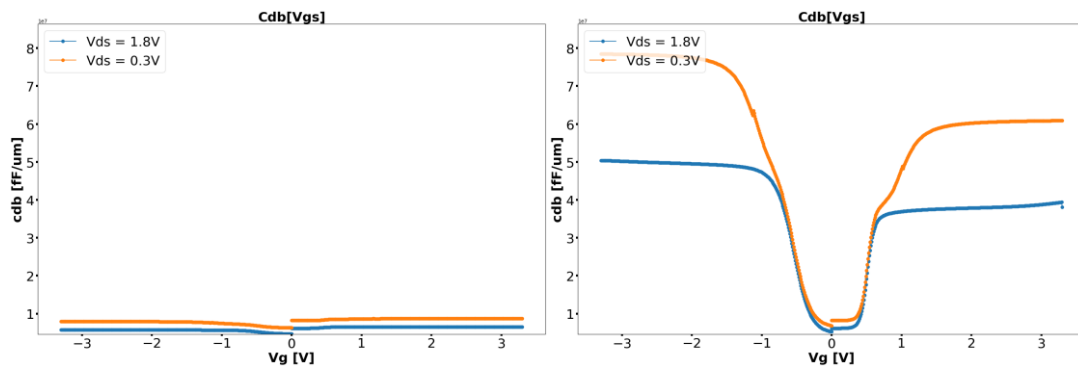


Οι παραπάνω γραφικές σε μεγάλο βαθμό προσεγγίζουν την $c_{gb}(V_{gs})$ του θεωρητικού μέρους. Μεταβολή του L προκαλεί μεγάλη διαστολή στα γραφήματα, ενώ φαίνεται πως η χωρητικότητα της PMOS τεχνολογίας είναι εμφανώς μεγαλύτερη από την NMOS. Υπάρχουν μικρές ποιοτικές διαφορές ανάμεσα στην AMS και GF τεχνολογία χωρίς όμως να καθιστούν τις γραφικές τους διαφορετικές. Η AMS τεχνολογία έχει υψηλότερες τιμές για το PMOS τρανζίστορ ενώ η GF για το NMOS τρανζίστορ.

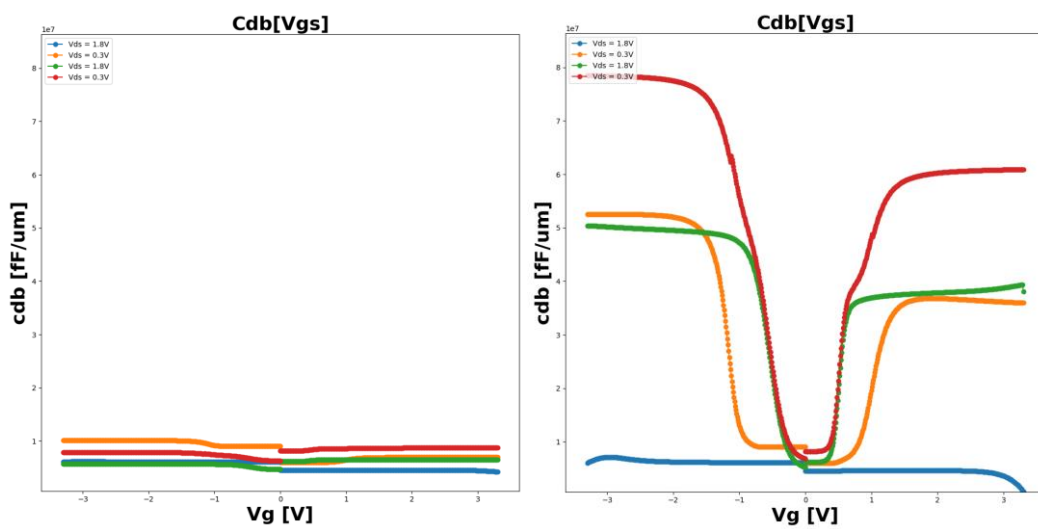
- $c_{db}(V_{gs})$ για την AMS τεχνολογία:



- $c_{db}(V_{gs})$ για την GF τεχνολογία:



- Και οι 2 τεχνολογίες μαζί:

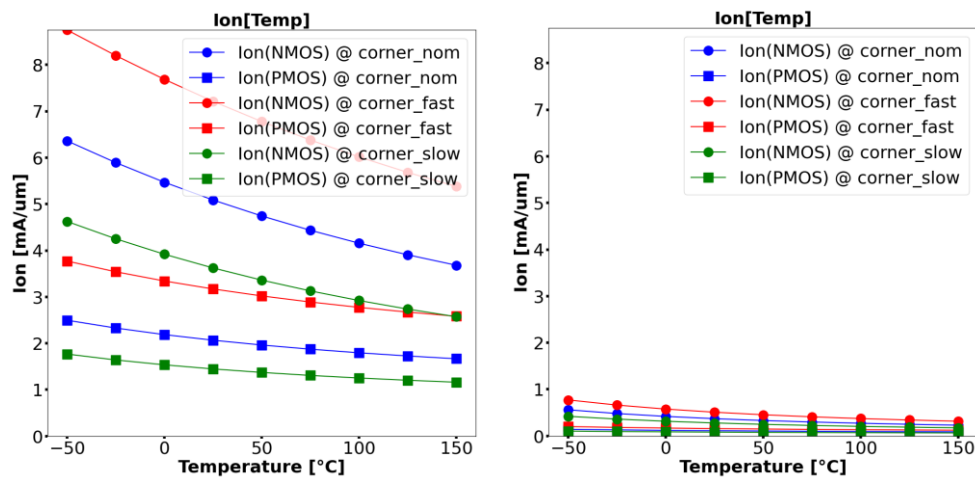


Τέλος παρουσιάζεται η $c_{db}(V_{gs})$ χωρητικότητα. Υπάρχει μεγάλη διαφορά για την ίδια τεχνολογία όπου για μεγάλο V_{ds} η γραφική έχει πολύ υψηλότερες τιμές από ότι για πολύ μικρό V_{ds} . Επίσης διαφορά υπάρχει ανάμεσα και στις δυο τεχνολογίες με την PMOS να ξεπερνάει αισθητά τις τιμές της NMOS, ενώ μεταβολή του μήκους L επιφέρει σημαντική διαστολή στα γραφήματα. Σε αυτή τη χωρητικότητα οι τιμές της GF τεχνολογίας ξεπερνούν σε πολύ μεγάλο βαθμό της αντίστοιχες AMS.

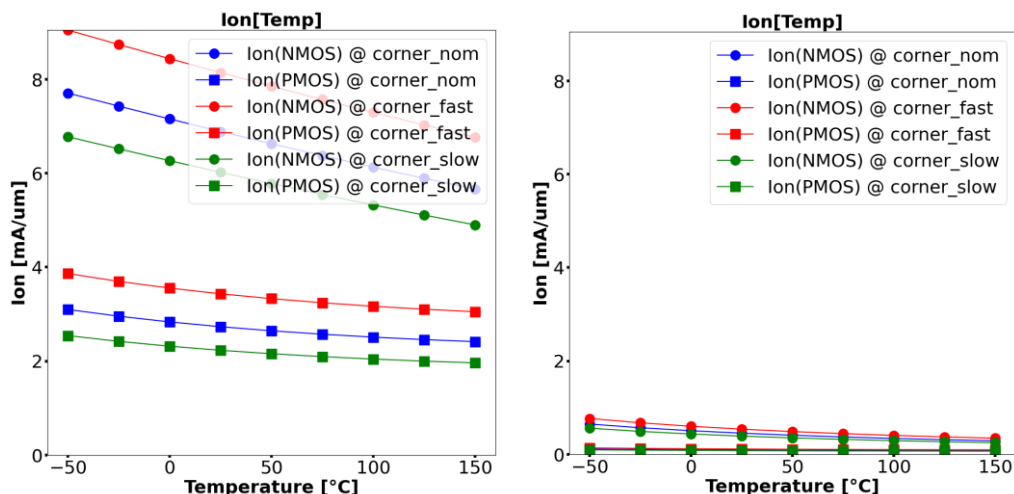
Παράμετροι σχετικές με το ρεύμα συναρτήσει θερμοκρασίας

5. Για την υποομάδα Current Related Parameters vs Temperature αποτελείται από τις γραφικές: $I_{on}(Temp)$, $I_{off}(Temp)$, $I_{lin}(Temp)$, $g_m(Temp)$, $V_T(Temp)$ και $V_{dsat}(Temp)$. Σε αυτό το σει γραφημάτων κάθε γράφημα αποτελείται από 6 γραφικές για τρία διαφορετικά corners (nominal, fast και slow) και για τα δύο διαφορετικά είδη τρανζίστορ (NMOS και PMOS).

- $I_{on}(Temp)$ για την AMS τεχνολογία:

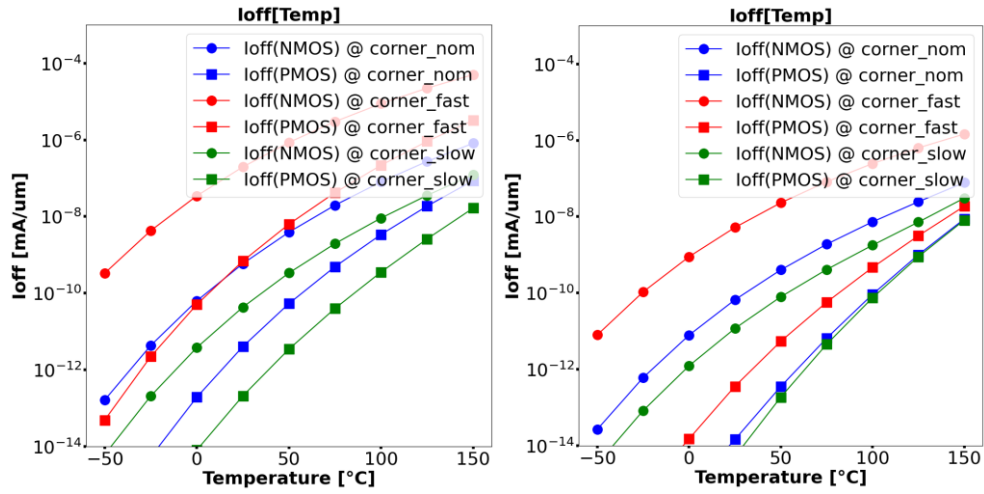


- $I_{on}(Temp)$ για την GF τεχνολογία:

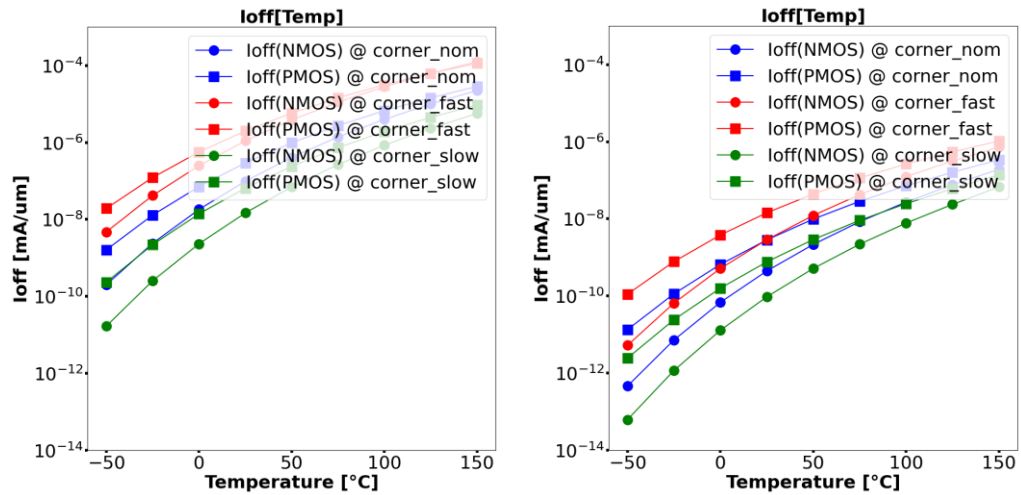


Τόσο στην AMS τεχνολογία όσο και στην GF το $I_{on}(Temp)$ είναι φθίνουσα συνάρτηση με τη γραφική του fast corner να είναι η μεγαλύτερη ποσοτικά, ακολουθώντας η corner nominal έχει ενδιάμεσες τιμές και τις μικρότερες τιμές τις έχει η corner slow. Αυτό ισχύει για το NMOS αλλά και για το PMOS. Με την αύξηση του L οι τιμές των γραφικών μειώνονται σημαντικά.

- $I_{off}(Temp)$ για την AMS τεχνολογία:

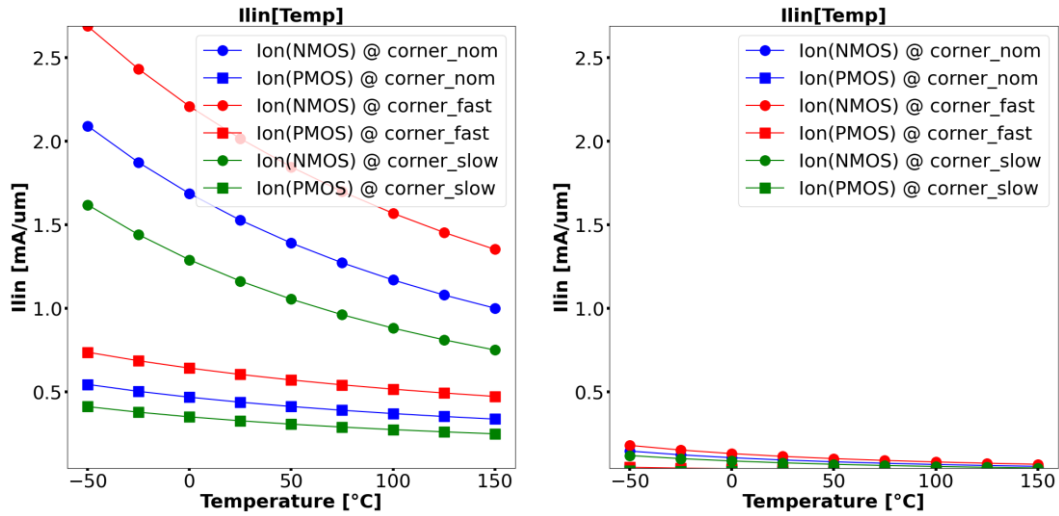


- $I_{off}(Temp)$ για την GF τεχνολογία:

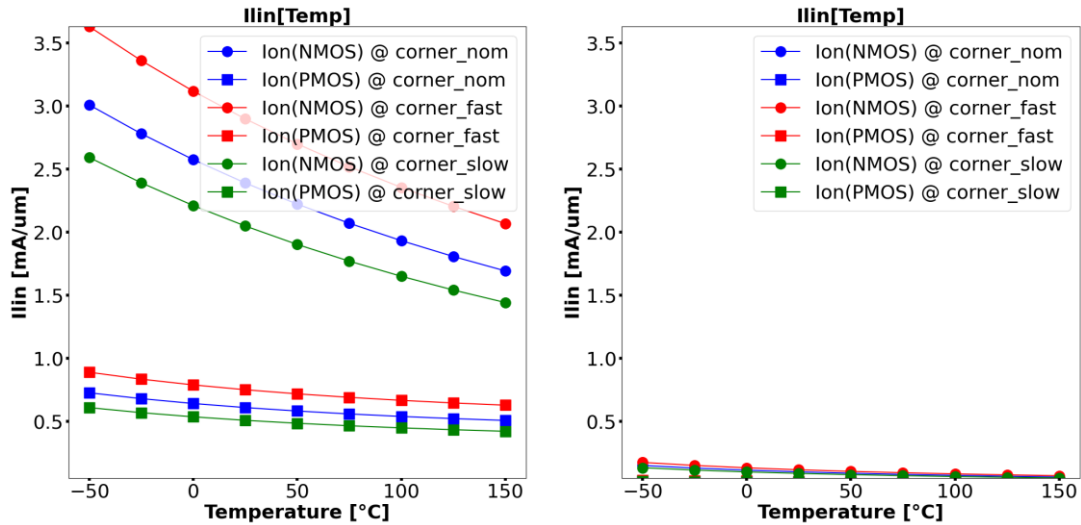


Το I_{off} είναι αύξουσα συνάρτηση της θερμοκρασίας. Όπως και παραπάνω το corner fast έχει τις υψηλότερες τιμές, το nominal τις ενδιάμεσες και το slow τις μικρότερες και για τα δύο είδη τρανζίστορ (NMOS και PMOS). Η επίδραση που έχει η αύξηση του μήκους L είναι μείωση των αντίστοιχων τιμών για όλες τις γραφικές.

- $I_{lin}(Temp)$ για την AMS τεχνολογία:

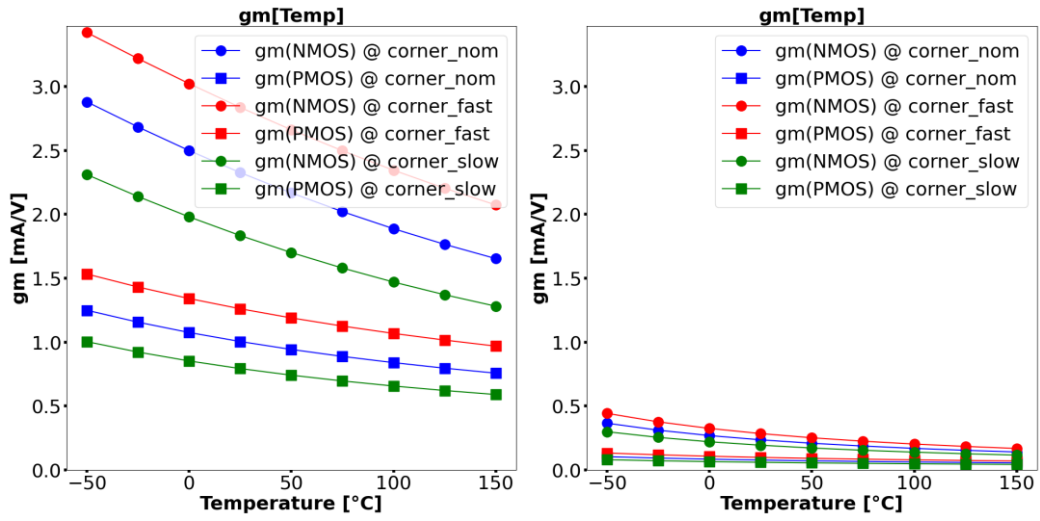


- $I_{lin}(Temp)$ για την GF τεχνολογία:

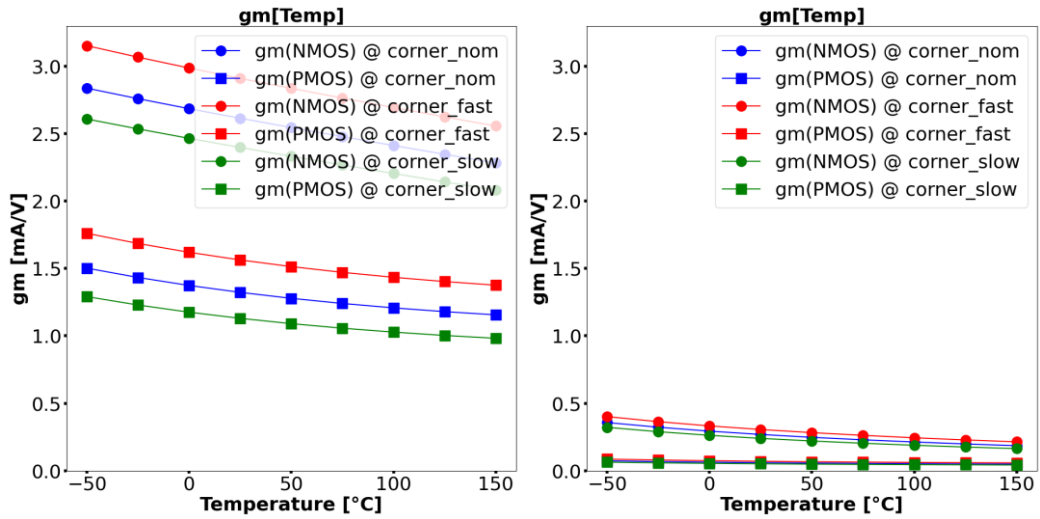


Το ρεύμα I_{lin} τέλος, είναι φθίνουσα συνάρτηση της θερμοκρασίας και οι τιμές των γραφικών όπως στις παραπάνω περιπτώσεις είναι μεγαλύτερες για corner fast και ακολουθεί το corner nominal έναντι του corner slow. Αύξηση του μήκους L είναι ευδιάκριτο ότι επιφέρει δραματική πτώση στις τιμές των γραφικών.

- $g_m(\text{Temp})$ για την AMS τεχνολογία:

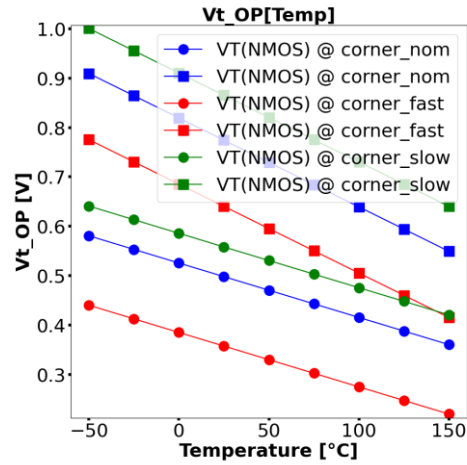
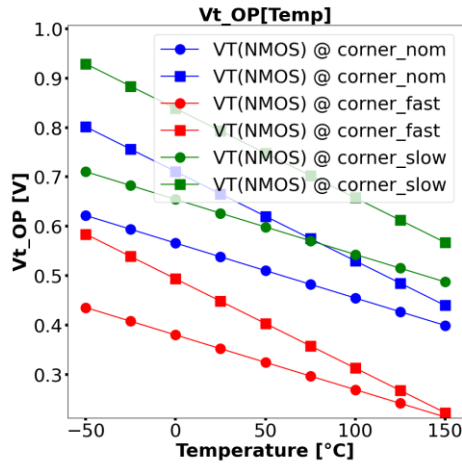


- $g_m(\text{Temp})$ για την GF τεχνολογία:

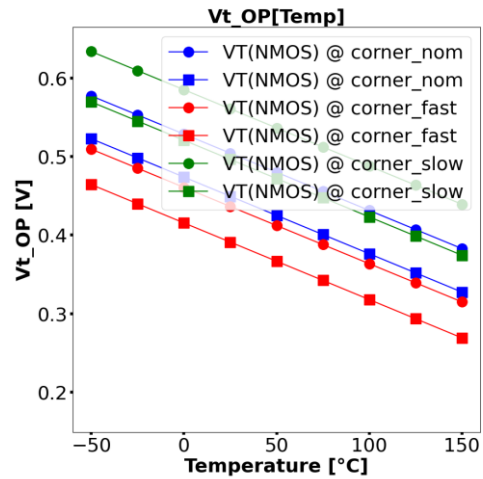
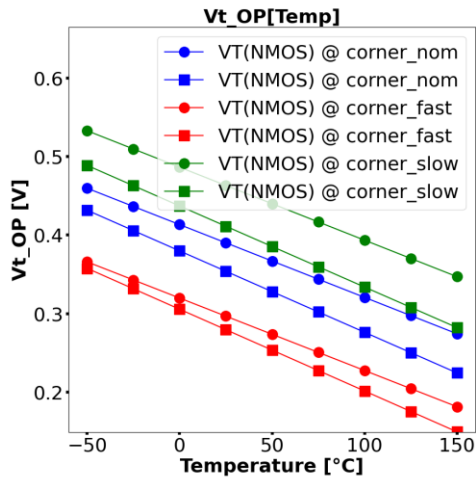


Παρόμοια συμπεριφορά και μορφή με το $I_{on}(\text{Temp})$ παρουσιάζει το $g_m(\text{Temp})$.

- $V_T(\text{Temp})$ για την AMS τεχνολογία:

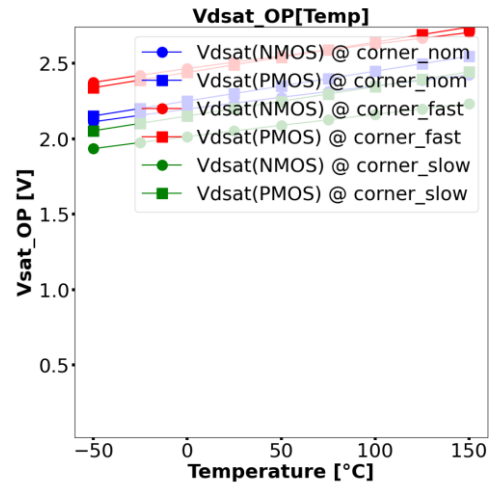
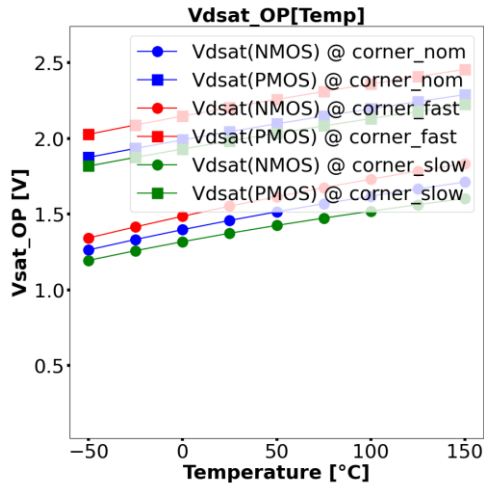


- $V_T(\text{Temp})$ για την GF τεχνολογία:

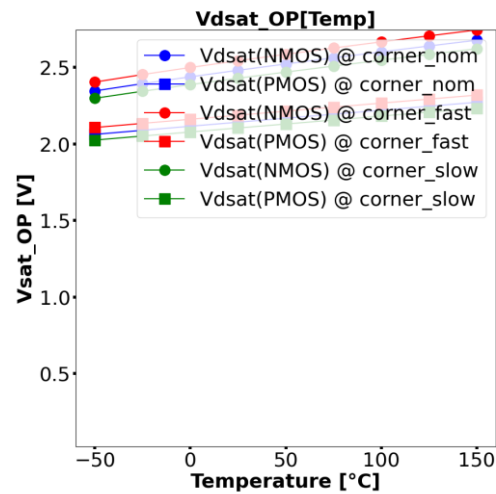
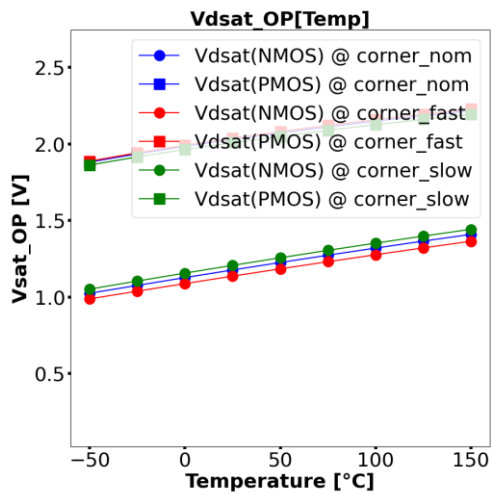


Το $V_T(\text{Temp})$ είναι φθίνουσα γραμμική συνάρτηση. Σε αυτή την περίπτωση όμως οι τιμές του corner slow ξεπερνούν και εκείνες του corner nominal που έχει τις ενδιάμεσες τιμές και εκείνες του corner fast που έχει τις μικρότερες. Με την αύξηση του L υπάρχει μικρή κατακόρυφη μετατόπιση των γραφικών προς μεγαλύτερες τιμές.

- $V_{dsat}(Temp)$ για την AMS τεχνολογία:



- $V_{dsat}(Temp)$ για την GF τεχνολογία:

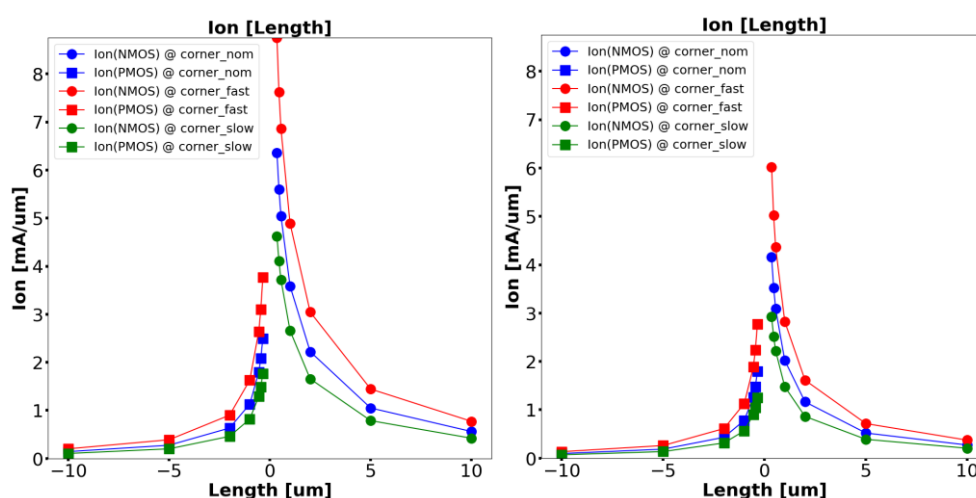


Τέλος το $V_{dsat}(Temp)$ είναι γραμμική αύξουσα συνάρτηση. Οι τιμές των γραφικών του corner fast είναι οι μεγαλύτερες τόσο για NMOS όσο και για PMOS, ακολουθεί το corner nominal με το corner slow να έχει τις μικρότερες τιμές. Σταδιακή αύξηση του L μεγαλώνει τις τιμές όλων των corners του V_{dsat} .

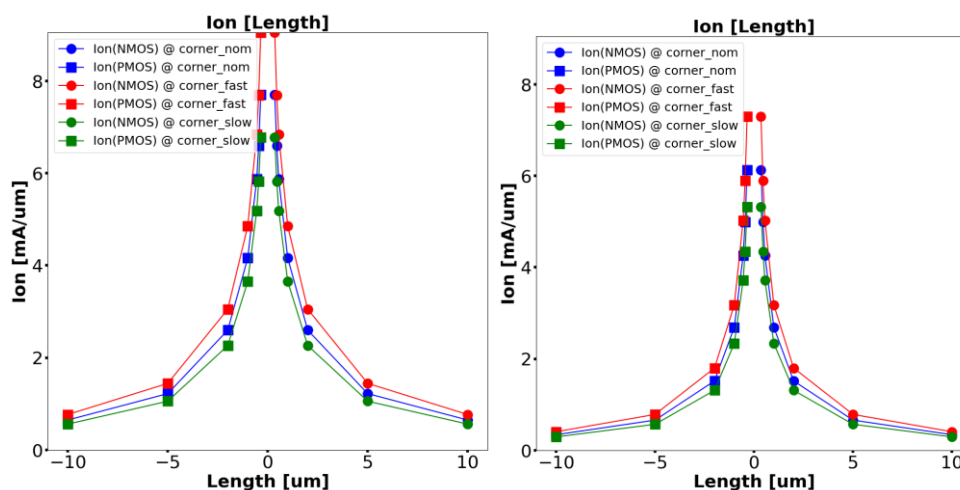
Παράμετροι σχετικές με το ρεύμα συναρτήσει μήκους

6. Τέλος η υποομάδα Current Related Parameters vs Length περιλαμβάνει από τις γραφικές: $I_{on}(Length)$, $I_{off}(Length)$, $I_{lin}(Length)$, $g_m(Length)$, $V_T(Length)$ και $V_{dsat}(Length)$. Όπως και παραπάνω και σε αυτό το σετ γραφημάτων κάθε γράφημα αποτελείται από 6 γραφικές για τρία διαφορετικά corners (nominal, fast και slow) και για τα δύο διαφορετικά είδη τρανζίστορ (NMOS και PMOS).

- $I_{on}(Length)$ για την AMS τεχνολογία:\

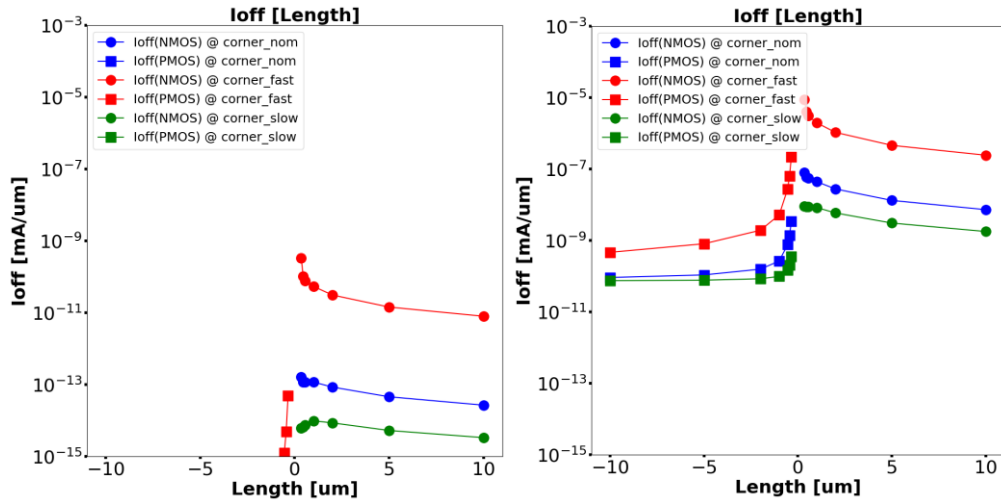


- $I_{on}(Length)$ για την GF τεχνολογία:

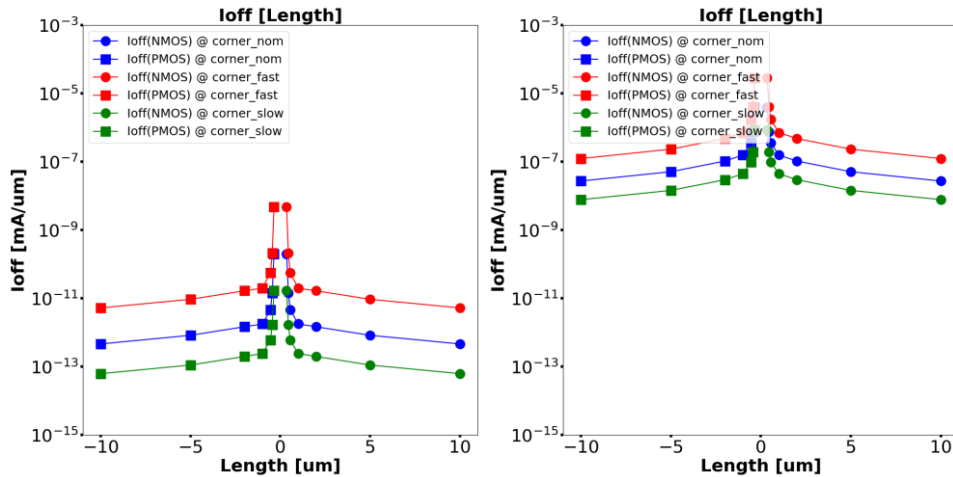


Το $I_{on}(Length)$ είναι φθίνουσα συνάρτηση με μορφή υπερβολής. Οι τιμές του corner fast είναι οι υψηλότερες, ακολουθεί το corner nominal και το corner slow έχει τις μικρότερες τιμές. Αύξηση του length επιφέρει κατακόρυφη μετατόπιση όλων των γραφικών και μείωση των τιμών τους.

- $I_{off}(Length)$ για την AMS τεχνολογία:

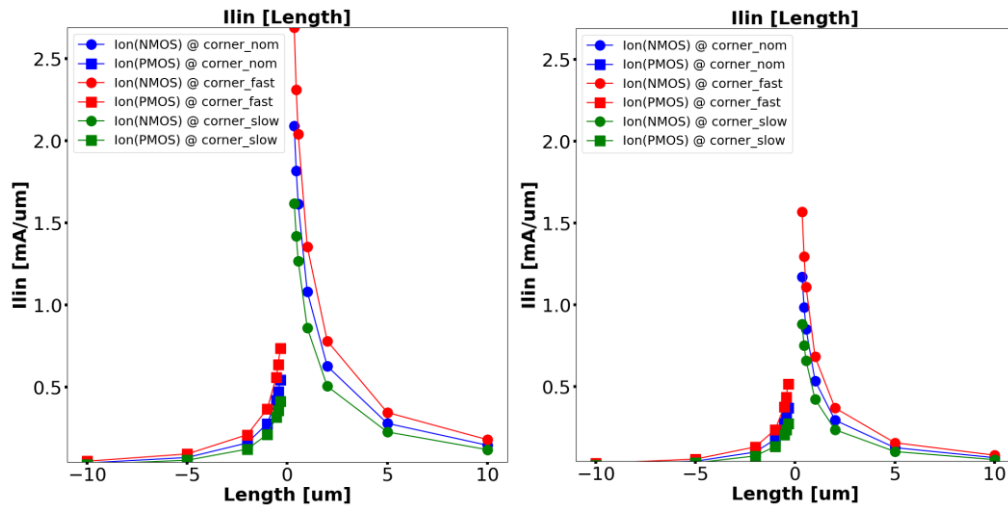


- $I_{off}(Length)$ για την GF τεχνολογία:

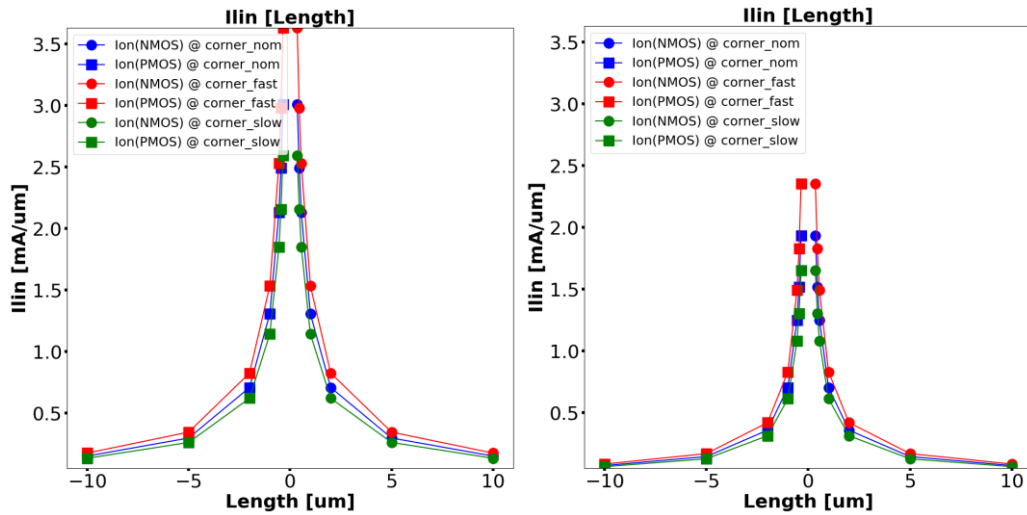


Το $I_{off}(Length)$ έχει και αυτό υπερβολική μορφή. Για τις τιμές των corners ισχύουν ακριβώς τα ίδια με αυτά του $I_{on}(Length)$. Αύξηση του μήκους L οδηγεί σε κατακόρυφη μετατόπιση των γραφικών προς τα πάνω και στην AMS και στην GF τεχνολογία. Η διαφορά μεταξύ των δύο τεχνολογιών έγκειται στο ότι στην GF τεχνολογία το PMOS και το NMOS έχουν ίδια μορφή και οι γραφικές είναι συμμετρικές με τον άξονα $y'y$, ενώ από την άλλη στην AMS το PMOS παρόλο που έχει την ίδια μορφή με το NMOS ξεκινάει από χαμηλότερες τιμές.

- $I_{lin}(Length)$ για την AMS τεχνολογία:

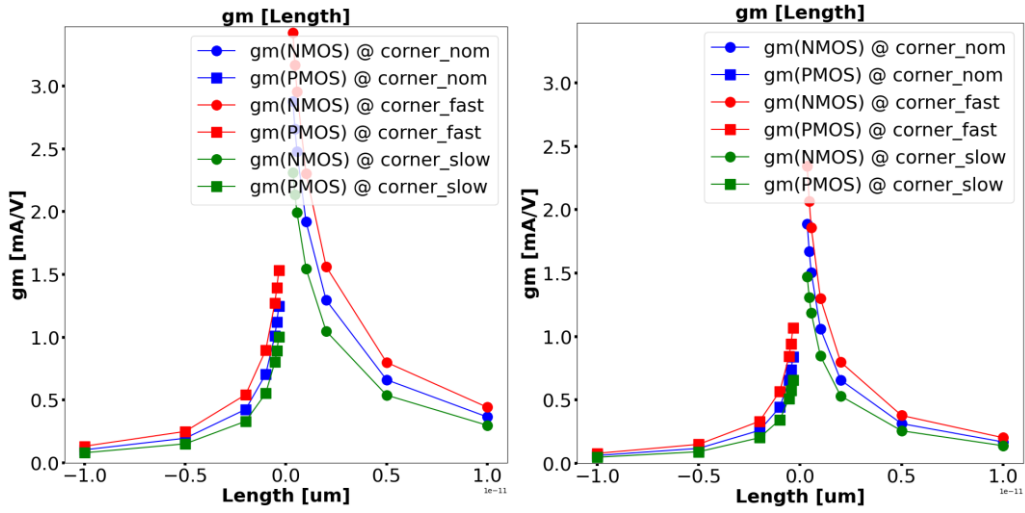


- $I_{lin}(Length)$ για την GF τεχνολογία:

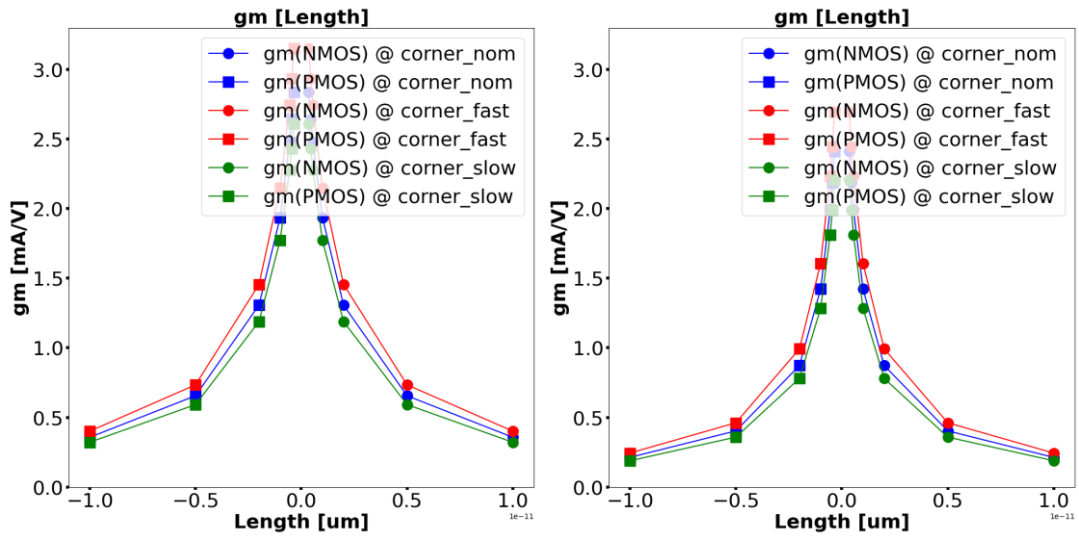


Κλείνοντας την ανάλυση ρευμάτων με το $I_{lin}(Length)$, το οποίο έχει όμοια μορφή, συμπεριφορά στην αύξηση του μήκους L με το αντίστοιχο $I_{on}(Length)$ της εκάστοτε τεχνολογίας.

- $g_m(\text{Length})$ για την AMS τεχνολογία:

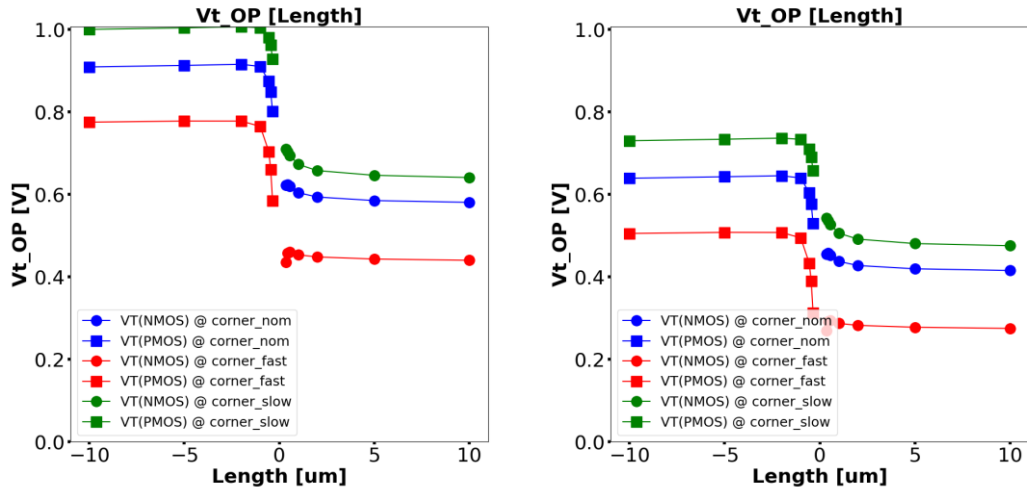


- $g_m(\text{Length})$ για την GF τεχνολογία:

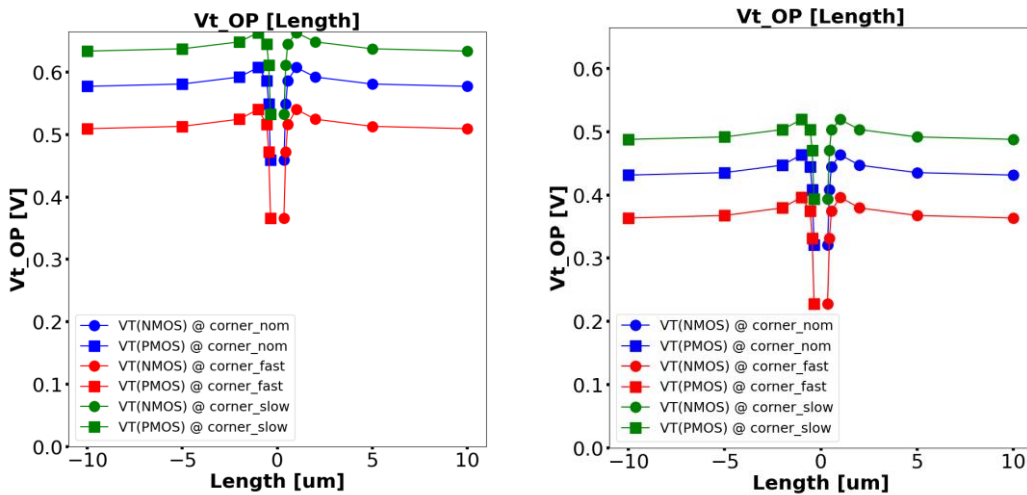


Όπως και στο προηγούμενο σείτ γραφημάτων έτσι και εδώ το $g_m(\text{Length})$, ως παράγωγος του ρεύματος, ακολουθεί την μορφή και την συμπεριφορά του $I_{on}(\text{Length})$.

- $V_T(\text{Length})$ για την AMS τεχνολογία:

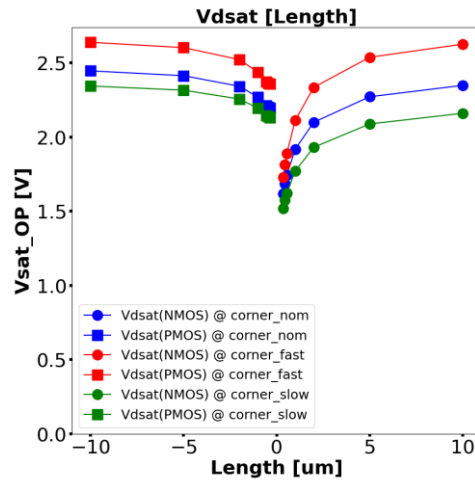
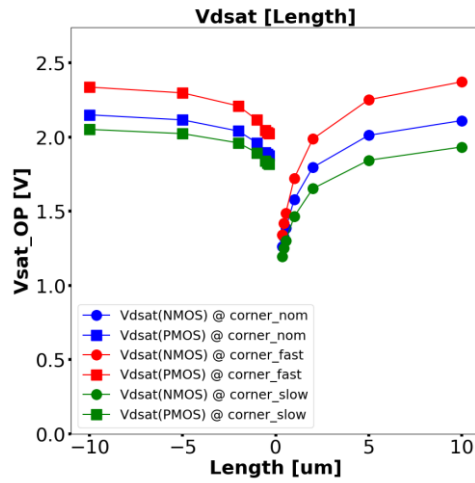


- $V_T(\text{Length})$ για την GF τεχνολογία:

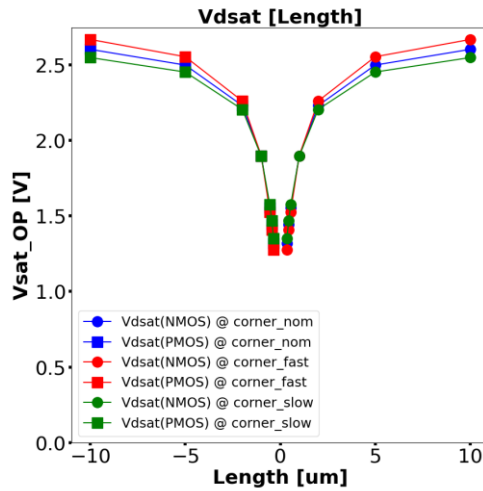
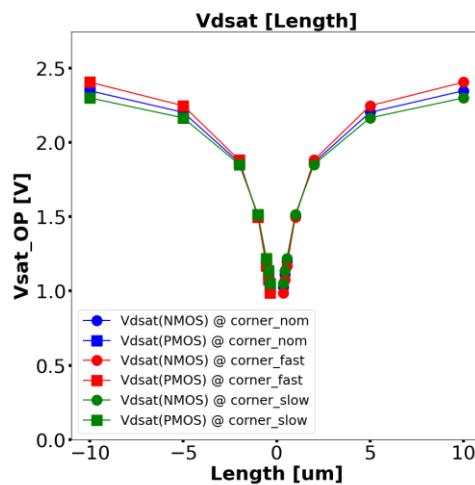


Στην γραφική του $V_T(\text{Length})$ υπάρχουν δύο διαφορετικές περιπτώσεις στην μορφή των γραφικών και αυτό οφείλεται στην ύπαρξη ή όχι του DIBL. Αρχικά στην AMS τεχνολογία φαίνεται ότι οι δύο γραφικές (NMOS και PMOS) δεν έχουν την μορφή. Όσο μικραίνει το μήκος L και μικραίνει το κανάλι υπάρχει μείωση του V_T το οποίο και παρατηρείται στο PMOS τρανζίστορ. Ωστόσο αυτό δεν συμβαίνει στο NMOS και αυτό λέγεται Reverse short-channel effect και συμβαίνει λόγω του Halo doping που έχει επέλθει στο τρανζίστορ με αποτέλεσμα η τιμή της γραφικής όχι απλώς να μένει σταθερή αλλά να αυξάνεται για πολύ μικρά L . Στην GF τεχνολογία παρατηρείται και πάλι το Reverse short-channel effect καθώς για αρκετά μικρά L η τιμή των γραφικών τείνει να αυξηθεί, παρόλα αυτά για παρά πολύ μικρές τιμές του μήκους L φαίνεται ότι υπάρχει κατακόρυφη μείωση των γραφικών. Και στις δύο τεχνολογίες αύξηση του L σηματοδοτεί κατακόρυφη μετατόπιση των γραφικών προς χαμηλότερες τιμές.

- $V_{dsat}(Length)$ για την AMS τεχνολογία:



- $V_{dsat}(Length)$ για την GF τεχνολογία:



Το $V_{dsat}(Length)$ είναι αύξουσα συνάρτηση με μορφή ριζικού. Και στις δύο τεχνολογίες με την αύξηση του L οδηγεί σε κατακόρυφη μετατόπιση των γραφικών προς τα πάνω. Η βασική οπτική διαφορά ανάμεσα φαίνεται στο ότι στην GF τεχνολογία το PMOS και το NMOS τρανζίστορ είναι συμμετρικά ως προς τον άξονα $y'y$, ενώ στην AMS το PMOS ξεκινάει από υψηλότερες τιμές σε σχέση με το NMOS.

Σχόλια και συμπεράσματα

Σε όλες τις παραπάνω γραφικές φαίνεται ότι οι δύο τεχνολογίες που συγκρίνονται δεν έχουν μεγάλες αποκλίσεις μεταξύ τους ποιοτικά. Οι διαφορές έγκειται μόνο ποσοτικά στις τιμές της εκάστοτε τεχνολογίας στις διαφορετικές γραφικές που παρουσιάζονται. Παρατηρήθηκαν επίσης, μερικές ασυνέχειες σε ορισμένα γραφήματα στο κομμάτι της NMOS τεχνολογίας σε μεμονωμένα σημεία, το οποίο μπορεί να οφείλεται στην απόκλιση σημείων που επιλέχτηκαν στην απεικόνιση των συναρτήσεων. Οι εξισώσεις και γραφικές του θεωρητικού μέρους βρίσκουν ανταπόκριση και συμφωνούν με το πειραματικό μέρος, το οποίο είναι και αυτό που συναντάται πραγματικά. Συνολικά, συμπεραίνεται ότι μέσα από βαθύτερη κατανόηση των τύπων και ως απόρροια των γραφικών που διέπουν τις κυκλωματικές διατάξεις, φαίνεται η σημασία της ανάλυσης και σύγκρισης τεχνολογιών στον τομέα της Ηλεκτρονικής. Με την σωστή αξιολόγηση και παρατήρηση μπορούμε να καταλήξουμε σε συμπεράσματα σε σχέση με το ποια τεχνολογία είναι αποτελεσματικότερη σε ένα συγκεκριμένο τομέα.

Βιβλιογραφία

Allen, P. E. (2002). *CMOS Analog Circuit Design*. New York Oxford: Oxford University Press.

Arora, N. (2007). *Mosfet Modeling for VLSI Simulation: Theory And Practice*. USA: World Specific Printers.

Sedra, A. S. (2016). *Microelectronic Circuits (7th ed.)*. Oxford University Press.

Taur, Y., & Ning, T. H. (1998). *Fundamentals of Modern VLSI Devices*. San Diego: Cambridge University Press.

Tsividis, Y. P. (2003). *Operation and modeling of the MOS Transistor*. Oxford: Oxford University Press.