



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ και ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ και ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

Μελέτη και σχεδίαση ψηφιακού PLL

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Πάτροκλος Παζιώνης

Επιβλέπων: Γεώργιος Παναγόπουλος
Καθηγητής Ε.Μ.Π.

ΕΡΓΑΣΤΗΡΙΟ ΗΛΕΚΤΡΟΝΙΚΗΣ
Αθήνα, Ιούλιος 2025



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ και ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ και ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

Μελέτη και σχεδίαση ψηφιακού PLL

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Πάτροκλος Παζιώνης

Επιβλέπων: Γεώργιος Παναγόπουλος

Καθηγητής Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 03/07/2025.

.....
Γεώργιος Παναγόπουλος
Καθηγητής Ε.Μ.Π.

.....
Ιωάννης Παπανάνος
Καθηγητής Ε.Μ.Π.

.....
Ευάγγελος Χριστοφόρου
Καθηγητής Ε.Μ.Π.

ΕΡΓΑΣΤΗΡΙΟ ΗΛΕΚΤΡΟΝΙΚΗΣ
Αθήνα, Ιούλιος 2025



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ
& ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ
ΚΑΙ ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

.....
Παζιώνης Πάτροκλος
Διπλωματούχος Ηλεκτρολόγος Μηχανικός
και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Παζιώνης Πάτροκλος, 2025

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

Περίληψη

Η παρούσα διπλωματική εργασία πραγματεύεται την μελέτη και την σχεδίαση ενός digital phase-locked loop (DPLL). Από το σύνολο του συστήματος του DPLL δεν θα γίνει αναφορά μόνο στο κομμάτι του ψηφιακού φίλτρου, το οποίο είναι αποκλειστικά ψηφιακό και δεν εγείρει ζητήματα αναλογικής σχεδίασης.

Στο κεφάλαιο 1 γίνεται μια γενική εισαγωγή για την χρησιμότητα και αναγκαιότητα των ολοκληρωμένων κυκλωμάτων στην σύγχρονη τεχνολογία. Επιπλέον παρουσιάζεται συντόμως η τεχνολογία την οποία θα χρησιμοποιήσουμε για την σχεδίαση μας, στο σχεδιαστικό εργαλείο Cadence. Τέλος, γίνεται μια σύντομη παρουσίαση των κυκλωμάτων που απαρτίζουν το κλασικό αναλογικό PLL και το ψηφιακό PLL, μια αντιστοίχιση μεταξύ τους καθώς και μια σύγκριση των δύο.

Στο κεφάλαιο 2 παρουσιάζονται εκτενώς όλες οι περιφερειακές διατάξεις, βασικές και μη, που θα χρησιμοποιηθούν στην συνολική σχεδίαση του DPLL. Οποιοδήποτε υποκύκλωμα έχει χρησιμοποιηθεί στην σχεδίαση του DPLL εξηγείται αναλυτικά, ώστε ο αναγνώστης να μπορεί να κατανοήσει εύκολα και σε βάθος, κάθε βήμα της διαδικασίας σχεδίασης. Στο τέλος του κεφαλαίου υπάρχει εκτενής ανάλυση του D Flip-Flop που θα χρησιμοποιηθεί στην σχεδίαση του DPLL. Αναλύεται η σχεδίαση του, η λειτουργία κάθε δομής που το απαρτίζει και γίνεται πλήρης χαρακτηρισμός του.

Στο κεφάλαιο 3 γίνεται ανάλυση και σχεδίαση του Time to Digital Converter (TDC) ενός DPLL. Αναλύονται και σχεδιάζονται τρεις διαφορετικές τοπολογίες TDCs. Προσομοιώνονται σε όλο το εύρος των PVT μεταβολών και γίνεται σχολιασμός για το κατά πόσο επιτυγχάνονται με την κάθε τοπολογία, οι σχεδιαστικοί στόχοι που είχαν τεθεί.

Στο κεφάλαιο 4 παρουσιάζεται μια καινοτόμα ιδέα για την αντιστάθμιση των PVT μεταβολών ενός Vernier TDC. Η ιδέα αυτή, πέρα από κομμάτι της διπλωματικής εργασίας, έγινε και δημοσίευση και πρόκειται να παρουσιαστεί στο επιστημονικό συνέδριο ISVLSI 2025.

Στο κεφάλαιο 5 γίνεται ανάλυση και σχεδίαση του Digitally Controlled Oscillator (DCO) ενός DPLL. Αρχικά παρουσιάζεται η μαθηματική ανάλυση που οδηγεί στην κατάλληλη διαστασιολόγηση των στοιχείων του DCO, ώστε να επιτευχθούν οι σχεδιαστικοί στόχοι που έχουν τεθεί. Στην συνέχεια παρουσιάζεται η σχεδίαση του DCO και τέλος οι απαραίτητες προσομοιώσεις που επιβεβαιώνουν την ορθή λειτουργία του και την επίτευξη των σχεδιαστικών στόχων.

Κλείνοντας, η παρούσα διπλωματική εργασία μπορεί να αποτελέσει πολύτιμο βοήθημα για έναν αναγνώστη, ο οποίος επιθυμεί να ασχοληθεί στον τομέα της σχεδίασης μικροηλεκτρονικών κυκλωμάτων. Σε όλο το εύρος της εργασίας έγινε προσπάθεια εξήγησης κάθε σχεδιαστικού ζητήματος που προέκυπτε με τρόπο σαφή και αναλυτικό, ώστε να μπορεί να γίνει κατανοητή από κάποιον που κάνει τα πρώτα του βήματα στον χώρο της μικροηλεκτρονικής.

Λέξεις κλειδιά: PLL, DPLL, D Flip-Flop, Vernier TDC, PVT(Process-Voltage-Temperature) changes, DCO, capbank.

Abstract

This thesis deals with the study and design of a digital phase-locked loop (DPLL). From the entire DPLL system, only the digital filter part will not be addressed, as it is purely digital and does not raise issues of analog design.

Chapter 1 provides a general introduction to the usefulness and necessity of integrated circuits in modern technology. In addition, the technology used for our design in the Cadence design tool is briefly presented. Finally, a brief overview is given of the circuits that constitute the classical analog PLL and the digital PLL, a mapping between them, as well as a comparison of the two.

Chapter 2 presents in detail all the peripheral components, essential and non-essential, that will be used in the overall design of the DPLL. Any sub-circuit used in the DPLL design is thoroughly explained so that the reader can easily and deeply understand each step of the design process. At the end of the chapter, an extensive analysis of the D Flip-Flop used in the DPLL design is provided. Its design is analyzed, the function of each structure that comprises it is explained, and a complete characterization is presented.

Chapter 3 covers the analysis and design of the Time to Digital Converter (TDC) of a DPLL. Three different TDC topologies are analyzed and designed. They are simulated across the full range of PVT variations, and commentary is provided on how well each topology meets the design targets set.

Chapter 4 presents an innovative idea for compensating PVT variations in a Vernier TDC. This idea, in addition to being part of this thesis, has also been published and is scheduled to be presented at the ISVLSI 2025 scientific conference.

Chapter 5 deals with the analysis and design of the Digitally Controlled Oscillator (DCO) of a DPLL. Initially, the mathematical analysis that leads to the proper sizing of the DCO elements, in order to meet the defined design goals, is presented. Then, the DCO design is described, followed by the necessary simulations that confirm its correct operation and the achievement of the design targets.

In conclusion, this thesis can serve as a valuable resource for readers who wish to engage in the field of microelectronic circuit design. Throughout the thesis, an effort was made to explain each design issue that arose in a clear and detailed manner, so that it can be understood by someone taking their first steps in the field of microelectronics.

Keywords: PLL, DPLL, D Flip-Flop, Vernier TDC, PVT(Process-Voltage-Temperature) changes, DCO, capbank.

Ευχαριστίες

Αρχικά, θα ήθελα να ευχαριστήσω τον καθηγητή μου Γεώργιο Παναγόπουλο για την διαρκή καθοδήγηση και στήριξη που μου προσέφερε καθόλη την διάρκεια της διπλωματικής μου εργασίας καθώς και για την άριστη συνεργασία που είχαμε. Οι γνώσεις που μοιράστηκε μαζί μου συντέλεσαν σε πολύ σημαντικό βαθμό στην βελτίωση μου, ως ηλεκτρολόγος μηχανικός και θα του είμαι για πάντα ευγνώμων. Επιπλέον, θα ήθελα να τον ευχαριστήσω για την προτροπή του να γράψω και να δημοσιεύσω σε συνεργασία με εκείνον, τον θείο μου και συνάδελφο Γεράσιμο Θεοδωράτο και τον συνάδελφο Ανδρέα Τσιμπού την πρώτη μου επιστημονική δημοσίευση. Η καθοδήγηση και η εμπειρία του οδήγησαν στην παραγωγή ενός άρτιου επιστημονικού αποτελέσματος.

Στην συνέχεια, θα ήθελα να ευχαριστήσω τον θείο μου και συνάδελφο Γεράσιμο Θεοδωράτο για την προτροπή του να ακολουθήσω την σχολή των ηλεκτρολόγων μηχανικών και μηχανικών υπολογιστών του Εθνικού Μετσόβιου Πολυτεχνείου. Υπήρξε και συνεχίζει να είναι μέντορας μου καθόλη την διάρκεια των σπουδών μου και με έχει βοηθήσει τόσο πνευματικά με την διαρκή προσφορά των γνώσεων του, όσο και υλικά αλλά και ηθικά. Η βοήθεια του στο αντικείμενο της διπλωματικής μου εργασίας με βοήθησε να κατανοήσω σε μεγαλύτερο βάθος το αντικείμενο και να παραγάγω το καλύτερο δυνατό αποτέλεσμα. Τέλος, θα ήθελα να τον ευχαριστήσω για την πολύ σημαντική συνεισφορά του στην δημοσίευση που συγγράψαμε.

Έπειτα θα ήθελα να ευχαριστήσω του γονείς μου, Γρηγόριο Παζιώνη και Ευγενία Θεοδωράτου, για την ανατροφή, την διαπαιδαγώγηση και την παιδεία που μου παρείχαν καθόλη την διάρκεια των παιδικών μου χρόνων. Επιπλέον, θα ήθελα να τους ευχαριστήσω για την υλική και πνευματική βοήθεια που μου παρείχαν κατά την διάρκεια των φοιτητικών μου χρόνων.

Ιδιαίτερη αναφορά θα ήθελα να κάνω στην γιαγιά μου Ελένη Τζαναβάρα-Θεοδωράτου. Η συμμετοχή της στην ανατροφή μου και στην διαπαιδαγώγηση μου καθόλη την διάρκεια των παιδικών μου χρόνων έχει συντελέσει καθοριστικό ρόλο στην προσωπικότητα και τον χαρακτήρα που έχω σήμερα. Υπήρξε σημαντικός αρωγός σε κάθε στάδιο της ζωής μου και θα της είμαι για πάντα ευγνώμων. Τέλος, θα ήθελα να την ευχαριστήσω και για την υλική υποστήριξη που μου παρείχε, δίχως την οποία δεν θα είχα καταφέρει να ολοκληρώσω τις σπουδές μου.

Στην συνέχεια, θα ήθελα να ευχαριστήσω τον θείο μου Μιχάλη Θεοδωράτο, ο οποίος έχει υπάρξει μέντορας μου σε όλη την διάρκεια της ζωής μου και με έχει βοηθήσει με κάθε δυνατό τρόπο σε όλες τις εκφάνσεις της ζωής μου. Τον παππού μου, Παναγιώτη Θεοδωράτο, για τον τρόπο σκέψης, την αδιάκοπη γενναιοδωρία του, την καταπληκτική παρέα του, την υλική υποστήριξη και όλες τις χαρούμενες αναμνήσεις που μου έχει χαρίσει. Την θεία μου, Όλγα Θεοδωράτου, για τον δυναμισμό της, την αυτοπεποίθηση, τον τρόπο σκέψης της, την αγάπη και την υλική υποστήριξη που μου έχει προσφέρει. Την θεία μου και συνάδελφο, Κατερίνα Παζιώνη για την αγάπη, την βοήθεια της και την άριστη συνεργασία που είχαμε κατά τα φοιτητικά μου χρόνια. Την γιαγιά μου, Κωνσταντίνα Παζιώνη για την αγάπη της και την διαρκή υποστήριξη της.

Έπειτα, θα ήθελα να ευχαριστήσω τον αδερφό μου και συνάδελφο, Παναγιώτη Παζιώνη, για την αγάπη, την στήριξη, την λογική του και για την άριστη συνεργασία που είχαμε κατά τα κοινά φοιτητικά μας χρόνια. Το δέσιμο που μας ενώνει είναι πολύ σημαντικό καθόλη την διάρκεια της ζωής μου. Τις αδερφές μου, Κωνσταντίνα, Ελένη και Πορφυρία Παζιώνη για την αγάπη και στήριξη τους.

Τον παιδικό μου φίλο και συνάδελφο, Γιώργο Περόγαμβρο, που μοιραστήκαμε από κοινού όλο το ταξίδι των φοιτητικών μας χρόνων. Η διαρκής συνεργασία μας σε ότι αφορούσε την σχολή με βοήθησε σε πολύ μεγάλο βαθμό. Θα ήθελα να τον ευχαριστήσω για την διαρκή φιλίας μας, για τις ευχάριστες αναμνήσεις και την στήριξη που μου προσέφερε. Τον φίλο και συνάδελφο, Βασίλη Μανουρά, ο οποίος έχει υπάρξει πρότυπο για εμένα καθόλη την διάρκεια της διπλωματικής μου εργασίας. Θα ήθελα να τον ευχαριστήσω για την πολύ σημαντική βοήθεια που μου πρόσφερε και για την φιλία του και καθοδήγηση του, που μου δίνει υψηλό κίνητρο για να συνεχίσω να βελτιώνομαι. Τον φίλο και συνάδελφο Ανδρέα Τσιμπό, από τον οποίο έχω αντλήσει πολύ υψηλού επιπέδου γνώσεις, με τον οποίο εύχομαι να συνεχίσω να συνεργάζομαι στο μέλλον. Επιπλέον, θα ήθελα να τον ευχαριστήσω για την σημαντική συνεισφορά του στην δημοσίευση που συγγράψαμε και για την συνεχή καλή διάθεση του να με βοηθήσει, παρά τον πολύ περιορισμένο χρόνο του.

Τέλος, θα ήθελα να ευχαριστήσω πολύ, την Μαριαλένα Κεφάλα, για την διαρκή αγάπη, συντροφικότητα, στήριξη και βοήθεια που μου προσφέρει. Έχει υπάρξει κινητήριος δύναμη και έμπνευση για δημιουργία καθόλη την διάρκεια της διπλωματικής μου εργασίας.

Περιεχόμενα

Περίληψη.....	IV
Abstract.....	VI
Ευχαριστίες.....	VIII
Περιεχόμενα.....	X
Κατάλογος σχημάτων.....	XIV
Κατάλογος πινάκων.....	XVII
1. Εισαγωγή.....	1
1.1 Ολοκληρωμένα κυκλώματα (ICs).....	1
1.2 22FDX τεχνολογία από την GlobalFoundries.....	1
1.3 Αναλογικό PLL (Phase-Locked Loop).....	2
1.4 DPLL (Digital Phase-Locked Loop).....	3
2. Χαρακτηρισμός περιφερειακών διατάξεων του DPLL.....	6
2.1 Λειτουργία του DPLL.....	6
2.2 Κρύσταλλος.....	6
2.3 Μετατροπέας ημιτονικού παλμού σε τετραγωνικό.....	7
2.4 Μετατροπέας αριθμού θερμομετρικής λογικής σε δυαδικό.....	9
2.5 Αντιστροφέας (Inverter).....	11
2.6 Buffer.....	12
2.7 Λειτουργία του D Flip-Flop (DFF).....	13
2.7.1 Cmos τοπολογία ενός DFF.....	14
2.7.2 Αναλογικός διακόπτης (Analog switch or Transmission gate).....	15
2.7.3 NAND 2 εισόδων.....	16
2.7.4 Αντιστροφέας με διακόπτη.....	19
2.7.5 NAND με διακόπτη.....	21
2.7.6 Απλοποιημένο σχηματικό του DFF.....	23
2.7.7 Αναλυτική λειτουργία του DFF σε επίπεδο λογικών πυλών.....	25
2.8 Χαρακτηρισμός D Flip-Flop.....	28
2.8.1 Setup time.....	28
2.8.2 Hold time.....	29
2.8.3 Propagation time.....	31

3. Μελέτη και σχεδίαση TDC.....	32
3.1 Λειτουργία του TDC.....	32
3.2 Σημαντικά μεγέθη του TDC.....	33
3.2.1 Κύρια μεγέθη του TDC.....	33
3.2.2 Γραμμικές και μη γραμμικές παραμορφώσεις.....	35
3.2.3 Ανταλλαγή μεταξύ χρονικής ευκρίνειας και δυναμικού εύρους.....	36
3.2.4 Σχεδιαστικά δεδομένα και στόχοι για τον TDC.....	37
3.3 Ανάλυση βασικής τοπολογίας του TDC.....	38
3.4 Υλοποίηση βασικής τοπολογίας TDC.....	41
3.4.1 Αντιστροφέας με χρήση slvt τρανζίστορ.....	41
3.4.2 Buffer με χρήση slvt τρανζίστορ.....	46
3.4.3 Υλοποίηση TDC_BASIC_CELL.....	46
3.5 Προσομοιωτικά αποτελέσματα της βασικής τοπολογίας TDC στο εύρος των PVT μεταβολών.....	48
3.5.1 Προσομοιωτικά αποτελέσματα με μεταβολή του process και της θερμοκρασίας.....	48
3.5.2 Προσομοιωτικά αποτελέσματα με μεταβολή της τάσης τροφοδοσίας.....	50
3.5.3 Προσομοιωτικά αποτελέσματα με μεταβολή της θερμοκρασίας.....	52
3.5.4 Προσομοιωτικά αποτελέσματα Monte Carlo ανάλυσης	54
3.6 Ανάλυση τοπολογίας TDC με Vernier γραμμές καθυστέρησης	57
3.7 Υλοποίηση TDC με Vernier γραμμές καθυστέρησης.....	57
3.7.1 Υλοποίηση σταδίων καθυστέρησης Δ_1 και Δ_2	57
3.7.2 Υλοποίηση TDC_VERNIER_CELL.....	57
3.8 Προσομοιωτικά αποτελέσματα της τοπολογίας Vernier TDC στο εύρος των PVT μεταβολών.....	59
3.8.1 Προσομοιωτικά αποτελέσματα με μεταβολή του process και της θερμοκρασίας.....	59
3.8.2 Προσομοιωτικά αποτελέσματα με μεταβολή της τάσης τροφοδοσίας.....	61
3.8.3 Προσομοιωτικά αποτελέσματα με μεταβολή της θερμοκρασίας.....	62
3.8.4 Προσομοιωτικά αποτελέσματα Monte Carlo ανάλυσης.....	63
3.9 Ανάλυση τοπολογίας multipath TDC.....	64
3.10 Υλοποίηση τοπολογίας multipath TDC.....	66
3.10.1 Υλοποίηση ειδικών buffer BUF2_M_TDC, BUF3_M_TDC, BUF4_M_TDC.....	67

3.10.2 Υλοποίηση μονοπατιών καθυστέρησης multipath TDC	69
3.10.3 Υλοποίηση TDC_MULTIPATH_CELL.....	70
3.11 Προσομοιωτικά αποτελέσματα της τοπολογίας multipath TDC στο εύρος των PVT μεταβολών.....	71
3.11.1 Προσομοιωτικά αποτελέσματα με μεταβολή του process και της θερμοκρασίας θεωρώντας ιδανική συμπεριφορά των ειδικών buffer.....	71
3.11.2 Προσομοιωτικά αποτελέσματα για την πραγματική συμπεριφορά των ειδικών buffer με μεταβολή του process και της θερμοκρασίας.....	73
3.11.3 Προσομοιωτικά αποτελέσματα για την πραγματική συμπεριφορά των ειδικών buffer με μεταβολή της τάσης τροφοδοσίας.....	77
3.11.4 Προσομοιωτικά αποτελέσματα με μεταβολή της τάσης τροφοδοσίας.....	79
3.11.5 Προσομοιωτικά αποτελέσματα για την πραγματική συμπεριφορά των ειδικών buffer με μεταβολή της θερμοκρασίας.....	80
4. PVT αντιστάθμιση για Vernier TDC.....	84
4.1 Ανάλυση και λειτουργία απλού RO PLL.....	84
4.2 Ανάλυση και λειτουργία switch-based RO PLL.....	85
4.3 Ανάλυση και λειτουργία ψηφιακής αντιστάθμισης με την χρήση της τάσης πόλωσης του body των τρανζίστορ.....	87
4.4 Υλοποίηση μηχανισμού αντιστάθμισης.....	90
4.5 Προσομοιωτικά αποτελέσματα μηχανισμού αντιστάθμισης.....	93
5. Μελέτη και σχεδίαση DCO.....	96
5.1 Λειτουργία LC DCO.....	96
5.1.1 Λειτουργία χιαστί συνδεδεμένου ζεύγους τρανζίστορ...	98
5.1.2 Λειτουργία coarse Capbank.....	99
5.1.3 Λειτουργία fine Capbank.....	101
5.2 Μαθηματική ανάλυση DCO.....	103
5.3 Υλοποίηση DCO.....	106
5.3.1 Υλοποίηση LC παράλληλου συνδυασμού.....	106
5.3.2 Υλοποίηση coarse και fine capbank 6 σταδίων.....	107
5.3.3 Υλοποίηση DCO.....	109
5.4 Προσομοιωτικά αποτελέσματα.....	110
6. Συμπεράσματα και μελλοντική εργασία.....	114
Βιβλιογραφία.....	115

Κατάλογος σχημάτων

1.1 Σχηματικό αναλογικού PLL.....	2
1.2 Σχηματικό DPLL.....	4
1.3 Αντιστοίχιση των διαφορετικών υποκυκλωμάτων του αναλογικού και του ψηφιακού PLL.....	5
2.1 Αριστερά το κυκλωματικό σύμβολο και δεξιά το ισοδύναμο κύκλωμα	6
2.2 Μετατροπές ημιτονικού παλμού σε τετραγωνικό.....	8
2.3 Προσομοίωση λειτουργίας του μετατροπέα.....	8
2.4 Πίνακας αληθείας μετατροπέα θερμομετρικού αριθμού σε δυαδικό...	10
2.5 Cmos υλοποίηση αντιστροφέα.....	11
2.6 Πίνακας αληθείας inverter.....	12
2.7 Σχηματικό Buffer.....	12
2.8 Σύμβολο D Flip-Flop.....	13
2.9 Πίνακας αλήθειας DFF.....	13
2.10 Cmos τοπολογία ενός DFF με κυκλωμένη την επαναλαμβανόμενη δομή ενός αντιστροφέα.....	14
2.11 Cmos τοπολογία αναλογικού διακόπτη και το σύμβολο του.....	15
2.12 Cmos τοπολογία πύλης NAND 2 εισόδων.....	16
2.13 Πίνακας αλήθειας πύλης NAND.....	16
2.14 Σύμβολο πύλης NAND.....	17
2.15 Negative reset της πύλης NAND.....	18
2.16 Παλμός για negative reset.....	18
2.17 Cmos τοπολογία ενός DFF με κυκλωμένη την επαναλαμβανόμενη δομή ενός αντιστροφέα με διακόπτη.....	19
2.18 Cmos τοπολογία αντιστροφέα με διακόπτη.....	20
2.19 Σύμβολο αντιστροφέα με διακόπτη.....	20
2.20 Cmos τοπολογία ενός DFF με κυκλωμένη την δομή μιας NAND με διακόπτη.....	21
2.21 NAND με διακόπτη, με κυκλωμένο τον διακόπτη.....	22
2.22 NAND με διακόπτη με κυκλωμένη την NAND.....	22
2.23 Σύμβολο NAND με διακόπτη.....	23
2.24 Απλοποιημένο σχηματικό με χρήση ισοδύναμων συμβόλων.....	23
2.25 Testbench για την επαλήθευση της σωστής λειτουργίας του απλοποιημένου σχηματικού.....	24
2.26 Ταυτόσημα σήματα εξόδου Q του αρχικού DFF και του απλοποιημένου σχηματικού μας.....	24
2.27 Κυκλωμένος ο buffer που παράγει τα σήματα CK _b και CK _{bb}	25

2.28 Τα κίτρινα άγουν όταν το CK είναι “0”, ενώ τα κόκκινα, όταν το CK είναι “1”.....	26
2.29 Κατάσταση λειτουργίας όταν το CK είναι “0”.....	27
2.30 Κατάσταση λειτουργίας όταν το CK είναι “1”.....	27
2.31 Setup time.....	28
2.32 Προσομοίωση όπου το setup time είναι 8 ps.....	28
2.33 Προσομοίωση όπου το setup time είναι 7 ps.....	29
2.34 Hold time.....	30
2.35 Προσομοίωση όπου το hold time είναι ίσο με 700 fs.....	30
2.36 Προσομοίωση όπου το hold time είναι ίσο με 600 fs.....	31
2.37 Propagation time.....	31
3.1 TDC και η χαρακτηριστική του συνάρτηση.....	33
3.2 Παραδείγματα παραμορφώσεων TDC.....	35
3.3 Βασική τοπολογία TDC.....	38
3.4 Στάδια καθυστέρησης σήματος V_1	39
3.5 Σύγκριση του σήματος V_2 με όλες τις εκδοχές του σήματος V_1	39
3.6 Διάγραμμα $V_{th} - W$ για τα pmos και nmos τρανζίστορ.....	42
3.7 Διάγραμμα $R_g - W$ για τα pmos και nmos τρανζίστορ.....	42
3.8 Διάγραμμα $C_{gg} - W$ για τα pmos και nmos τρανζίστορ.....	43
3.9 Διάγραμμα $R_g \cdot C_{gg} - W$ για το pmos και nmos τρανζίστορ.....	43
3.10 Διάγραμμα χρονικής καθυστέρησης σε συνάρτηση με το πλάτος.....	44
3.11 Αντιστροφέας για την βασική τοπολογία του TDC.....	45
3.12 Σύμβολο αντιστροφέα με ονομασία INV_B_TDC.....	45
3.13 Υλοποίηση buffer με slvt τρανζίστορ.....	46
3.14 Σύμβολο buffer με ονομασία BUF_B_TDC.....	46
3.15 Υλοποίηση TDC_BASIC_CELL.....	47
3.16 Συνολική υλοποίηση της βασικής τοπολογίας του TDC.....	47
3.17 Μετατροπέας αριθμού θερμομετρικής λογικής σε δυαδικό με χρήση VerilogA κώδικα.....	48
3.18 Διάγραμμα Δ και T_{FS} σε 7 corners που μεταβάλλεται το process και η θερμοκρασία.....	49
3.19 Διάγραμμα Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας.....	51
3.20 Εξάρτηση του V_{th} από την θερμοκρασία.....	53
3.21 Διάγραμμα Δ και T_{FS} με την μεταβολή της θερμοκρασίας.....	54
3.22 Monte Carlo ανάλυση για το Δ του TDC.....	55
3.23 Υλοποίηση TDC με Vernier γραμμές καθυστέρησης.....	56
3.24 Υλοποίηση TDC_VERNIER_CELL.....	58
3.25 Υλοποίηση TDC με Vernier γραμμές καθυστέρησης.....	59
3.26 Διάγραμμα Δ και T_{FS} σε 7 corners που μεταβάλλεται το process και η θερμοκρασία.....	60

3.27 Διάγραμμα Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας.....	61
3.28 Δ και T_{FS} με την μεταβολή της θερμοκρασίας.....	63
3.29 Monte Carlo ανάλυση για το Δ του Vernier TDC.....	64
3.30 Υλοποίηση multipath TDC.....	64
3.31 Υλοποίηση 4 γραμμών καθυστέρησης για multipath TDC.....	66
3.32 CMOS υλοποίηση του buffer BUF2_M_TDC.....	69
3.33 CMOS υλοποίηση mult_d1.25_path.....	70
3.34 Υλοποίηση multipath TDC.....	71
3.35 Διάγραμμα Δ και TFS σε 7 corners που μεταβάλλεται το process και η θερμοκρασία.....	72
3.36 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.25 Δ	75
3.37 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.5 Δ	75
3.38 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.75 Δ	76
3.39 Ακαθόριστη λειτουργία του multipath TDC.....	76
3.40 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.25 Δ	78
3.41 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.5 Δ	78
3.42 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.75 Δ	79
3.43 Δ και TFS με την μεταβολή της τάσης τροφοδοσίας.....	80
3.44 Πραγματικές και ιδανικές τιμές χρονικής καθυστέρησης t_D του ειδικού buffer 1.25 Δ	81
3.45 Πραγματικές και ιδανικές τιμές χρονικής καθυστέρησης t_D του ειδικού buffer 1.5 Δ	82
3.46 Πραγματικές και ιδανικές τιμές χρονικής καθυστέρησης t_D του ειδικού buffer 1.75 Δ	82
4.1 RO PLL.....	84
4.2 Switch-based RO PLL.....	86
4.3 Vernier TDC με τον μηχανισμό αντιστάθμισης των PVT μεταβολών..	87
4.4 Απλοποιημένη κάθετη διατομή ενός FDSOI τρανζίστορ. Η ύπαρξη του BOX μας επιτρέπει με την τάση του Back Gate να ελέγχουμε μεγέθη όπως το V_{th}	88
4.5 Διάγραμμα ψηφιακής αντιστάθμισης.....	90
4.6 Υλοποίηση μηχανισμού αντιστάθμισης.....	90
4.7 ROs, MUX 2 σε 1, εναλλασσόμενος Divider.....	90
4.8 RO για την γραμμή καθυστέρησης Δ_2 του Vernier TDC.....	91

4.9 RO για την γραμμή καθυστέρησης Δ_1 του Vernier TDC.....	91
4.10 Κώδικας VerilogA για τον εναλλασσόμενο Divider.....	92
4.11 V_{ctr} σε διαφορετικά corners.....	93
4.12 Δ και T_{FS} χωρίς αντιστάθμιση και με τον προτεινόμενο μηχανισμό αντιστάθμισης.....	94
5.1 Λειτουργία και χαρακτηριστική συνάρτηση του DCO.....	96
5.2 LC παράλληλος συνδυασμός με τις παράλληλες απώλειες του συστήματος R_p και την αντίσταση $-R$	97
5.3 Χιαστί συνδεδεμένο ζεύγος τρανζίστορ.....	98
5.4 Ισοδύναμο μοντέλο ασθενούς σήματος του χιαστί συνδεδεμένου ζεύγους τρανζίστορ.....	99
5.5 Σχηματικό Capbank με 6 στάδια.....	100
5.6 Διάγραμμα επικάλυψης 50% της fine Capbank.....	102
5.7 Διάγραμμα επικάλυψης 50% για την εύρεση των τιμών C_{unit_fine} και $C_{unit_fine\ off}$	105
5.8 Υλοποίηση LC παράλληλου συνδυασμού.....	107
5.9 Υλοποίηση coarse και fine capbank.....	108
5.10 Υλοποίηση δομικής μονάδας coarse capbank.....	108
5.11 Υλοποίηση δομικής μονάδας fine capbank.....	109
5.12 Συνολική υλοποίηση DCO.....	110
5.13 Διάγραμμα επικάλυψης 50% μεταξύ των ευθειών του DCO.....	111
5.14 Κέρδος βρόχου DCO για τις διάφορες τιμές της coarse capbank.....	113

Κατάλογος Πινάκων

3.1 Μέτρηση Δ για διαφορετικά transistor.....	40
3.2 Μεγέθη Δ και T_{FS} σε 7 corners που μεταβάλλεται το process και η θερμοκρασία.....	48
3.3 Μεγέθη Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας.....	51
3.4 Δ και T_{FS} με την μεταβολή της θερμοκρασίας.....	54
3.5 Χαρακτηριστικά μεγέθη των buffer και χρονική ευκρίνεια Δ	57
3.6 Μεγέθη Δ και T_{FS} σε 7 corners που μεταβάλλεται το process και η θερμοκρασία.....	59
3.7 Μεγέθη Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας.....	61
3.8 Μεγέθη Δ και T_{FS} στο τυπικό και στα ακραία corner.....	62
3.9 Δ και T_{FS} με την μεταβολή της θερμοκρασίας.....	62

3.10 Χαρακτηριστικά μεγέθη των τρανζίστορ για τον κάθε ειδικό buffer.	68
3.11 Μεγέθη Δ και T_{FS} σε 7 corners που μεταβάλλεται το process και η θερμοκρασία.....	71
3.12 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.25 Δ	73
3.13 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.5 Δ	74
3.14 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.75 Δ	74
3.15 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.25 Δ	77
3.16 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.5 Δ	77
3.17 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.75 Δ	77
3.18 Μεγέθη Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας.....	79
3.19 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.25 Δ	80
3.20 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.5 Δ	81
3.21 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.75 Δ	81
4.1 Διαθέσιμα τρανζίστορ και επιτρεπτά όρια τάσης σώματος και τάσης τροφοδοσίας.....	88
4.2 Δ και η απόκλιση του σε 7 διαφορετικά corners.....	94
4.3 Σύγκριση του προτεινόμενου μηχανισμού αντιστάθμισης με άλλους μηχανισμούς που έχουν παρουσιαστεί στην διεθνή βιβλιογραφία.....	95
5.1 Τιμές συχνοτήτων ταλάντωσης του DCO για τα διαφορετικά ζεύγη τιμών των δύο capbanks.....	111

Κεφάλαιο 1

Εισαγωγή

1.1 Ολοκληρωμένα κυκλώματα (ICs)

Τις τελευταίες δεκαετίες τα ολοκληρωμένα κυκλώματα είναι ο βασικός πυλώνας για την ανάπτυξη της σύγχρονης τεχνολογίας. Τα ολοκληρωμένα κυκλώματα μας επιτρέπουν να ενσωματώνουμε πολλαπλά ηλεκτρονικά εξαρτήματα σε μικροσκοπικά τσιπ, επιτυγχάνοντας έτσι την μείωση του απαιτούμενου χώρου και συνεπώς την μείωση του μεγέθους των συσκευών. Η μαζική παραγωγή τους σε εργοστάσια κατασκευής ολοκληρωμένων κυκλωμάτων μειώνει σε μεγάλο βαθμό το κόστος παραγωγής. Οι εσωτερικές τους συνδέσεις, μειώνουν τα σφάλματα που προκύπτουν, προσφέροντας έτσι μεγαλύτερη αξιοπιστία στις συσκευές μας. Δεν υπάρχει πλέον κανένας τεχνολογικός τομέας που να μην βασίζεται στα ολοκληρωμένα κυκλώματα, από τις συσκευές καθημερινής χρήσης έως την αεροδιαστημική και την ιατρική τεχνολογία. Μπορούμε να ισχυριστούμε με σχετική βεβαιότητα ότι η εξέλιξη της ψηφιακής εποχής είναι συνυφασμένη με την ανάπτυξη νέων και καλύτερων τεχνολογιών σχεδίασης ολοκληρωμένων κυκλωμάτων.

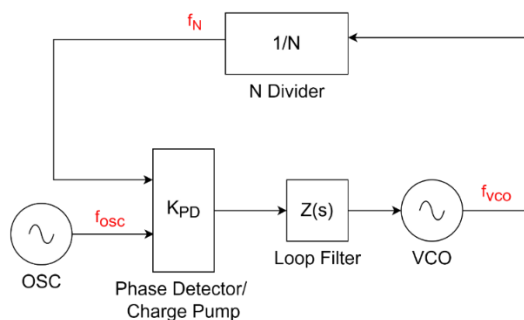
1.2 22FDX τεχνολογία από την GlobalFoundries

Η τεχνολογία 22FDX, η οποία χρησιμοποιήθηκε στην παρούσα διπλωματική εργασία, αναπτύχθηκε από την εταιρία GlobalFoundries. Πρόκειται για μια τεχνολογία 22nm FD-SOI (Fully Depleted Silicon On Insulator). Σχεδιάστηκε για να προσφέρει υψηλή απόδοση, χαμηλή κατανάλωση ισχύος και χαμηλό κόστος σε ένα μεγάλο εύρος εφαρμογών. Βασικό χαρακτηριστικό της συγκεκριμένης τεχνολογίας αποτελεί το λεπτό στρώμα μονωτικού υλικού που βρίσκεται ανάμεσα στο κανάλι του τρανζίστορ και στο υπόστρωμα. Η ύπαρξη του οδηγεί σε μειωμένες παρασιτικές χωρητικότητες βελτιώνοντας την αποδοτικότητα των κυκλωμάτων. Επιπλέον, η 22FDX έχει αρκετά χαμηλότερο ρεύμα διαρροής, από τις κλασικές cmos τεχνολογίες, δίνοντας την δυνατότητα λειτουργίας με χαμηλότερες τάσεις και άρα χαμηλότερες καταναλώσεις ισχύος. Ξεχωρίζει, επίσης, για την δυνατότητα πόλωσης του υποστρώματος του τρανζίστορ σε

οποιαδήποτε τιμή τάσης μεταξύ της γείωσης και της τροφοδοσίας, επιτρέποντας με αυτό τον τρόπο την δυναμική αλλαγή λειτουργίας των κυκλωμάτων μας από υψηλές σε χαμηλές τάσεις συμβάλλοντας στην εξοικονόμηση ενέργειας σε πλήθος εφαρμογών. Στην συνέχεια της εργασίας θα αναφέρουμε και άλλα στοιχεία της τεχνολογίας, όπου είναι απαραίτητο.

1.3 Αναλογικό PLL (Phase-Locked Loop)

Αν και η παρούσα εργασία αφορά την μελέτη και την σχεδίαση ενός ψηφιακού PLL, είναι αναγκαία πρωτίστως η εξέταση και κατανόηση του αναλογικού PLL, γιατί σε αυτό βασίζεται η αρχή λειτουργίας του ψηφιακού. Η σειρά αυτή είναι αναγκαία να ακολουθηθεί από οποιονδήποτε επιχειρήσει να σχεδιάσει ψηφιακό PLL. Εξάλλου, η ψηφιακή υλοποίηση γίνεται αντικαθιστώντας τα αναλογικά κυκλώματα με αντίστοιχα ψηφιακά, όπου μπορούν να επιτελέσουν παρόμοιες λειτουργίες. Τα αναλογικά PLL χρησιμοποιούνται σε πληθώρα εφαρμογών εδώ και αρκετές δεκαετίες. Η βασική λειτουργία του PLL είναι η παραγωγή στην έξοδο ενός ελεγχόμενα μεταβαλλόμενου ημιτονικού σήματος σταθερής συχνότητας ενώ στην είσοδο λαμβάνεται ένα συγκεκριμένο ημιτονικό σήμα σταθερής συχνότητας. Όπως προκύπτει και από το όνομα του κυκλώματος, η έξοδος του PLL παραμένει συμφασική με την είσοδο του κάτι που επιτυγχάνεται με την χρήση ανάδρασης από την έξοδο προς την είσοδο. Παραδείγματα χρήσης του PLL είναι η επαναφορά ενός ρολογιού από ασύγχρονη μετάδοση δεδομένων, η αποδιαμόρφωση ενός συχνотικά διαμορφωμένου σήματος και η παραγωγή παλμών ελεγχόμενης συχνότητας. Το αναλογικό PLL αποτελείται από διάφορα υποκυκλώματα, όπως φαίνεται στο σχήμα 1.1.



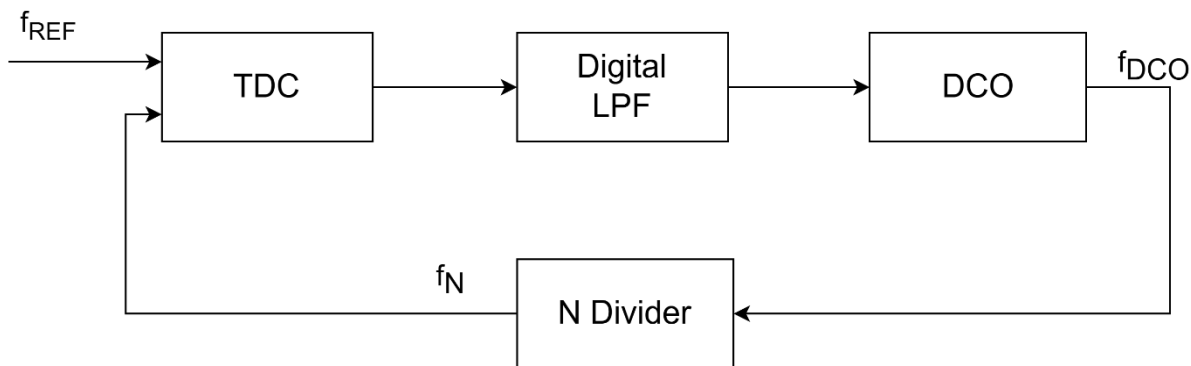
Σχήμα 1.1 Σχηματικό Αναλογικού PLL

Ο παλμός εισόδου προκύπτει από έναν πολύ σταθερό ταλαντωτή, ο οποίος είναι συνήθως ένας κρυσταλλικός ταλαντωτής. Στην συνέχεια, ακολουθεί ένας Phase Detector μαζί με μια Charge

Pump. Ο Phase Detector ανιχνεύει την διαφορά φάσης μεταξύ του σήματος εισόδου (f_{osc}) και του σήματος της ανάδρασης, μετά τον N Divider και μεταφέρει την πληροφορία στην Charge Pump, ώστε να παράξει ή να καταναλώσει ρεύμα ανάλογο με την διαφορά φάσης των δύο σημάτων. Στο επόμενο στάδιο τα ρεύματα αυτά μετατρέπονται σε τάση μέσω της συνάρτησης μεταφοράς του φίλτρου, η οποία είναι τάση ελεγχόμενη από ρεύμα. Έπειτα, η τάση που παράγεται από το φίλτρο λαμβάνεται από τον VCO (Voltage Controlled Oscillator), ο οποίος είναι ένας ταλαντωτής ελεγχόμενος από τάση. Στην έξοδο του VCO προκύπτει ένα σήμα σταθερής συχνότητας, το οποίο υποβιβάζεται μέσω του N Divider(f_N) σε μια συχνότητα κοντά σε αυτή του κρυσταλλικού ταλαντωτή (f_{osc}). Μετά από μερικούς κύκλους της παραπάνω διαδικασίας, οι δύο αυτές συχνότητες ταυτίζονται και τότε θεωρούμε ότι το PLL έχει κλειδώσει σε μια συγκεκριμένη συχνότητα λειτουργίας(f_{osc}) [1],[2].

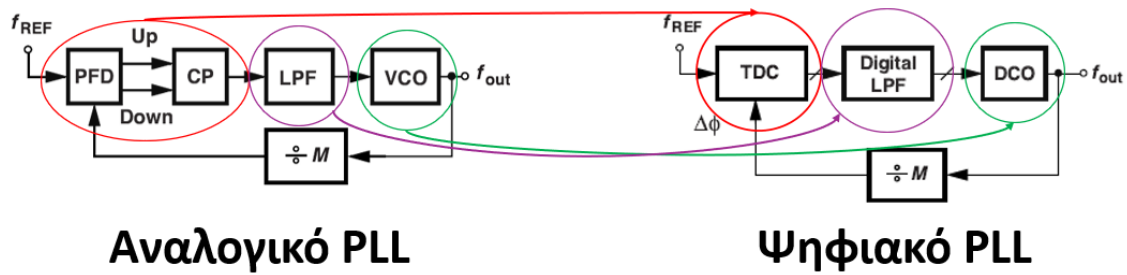
1.4 DPLL (Digital Phase-Locked Loop)

Η τάση της σύγχρονης εποχής στο IC design είναι η μετατροπή όσων αναλογικών κυκλωμάτων είναι δυνατόν σε ψηφιακά. Η ιδέα για την δημιουργία ενός ψηφιακού PLL και οι πρώτες υλοποιήσεις έλαβαν χώρα στις αρχές της δεκαετίας του 2000. Η διαρκής ανάγκη να μειώσουμε όλο και περισσότερο τον χώρο που καταλαμβάνουν τα τσιπ που κατασκευάζουμε μας ώθησε στην ψηφιακή υλοποίηση του PLL. Το πρόβλημα με το αναλογικό PLL είναι ότι έχει φραγμό στο πόσο μικρό χώρο μπορεί να καταλαμβάνει. Αυτό οφείλεται στο γεγονός ότι, το φίλτρο του περιέχει έναν αρκετά ευμεγέθη πυκνωτή, ο οποίος δεν μειώνεται σε μέγεθος, με την πρόοδο της τεχνολογίας. Το φίλτρο του DPLL είναι ψηφιακό, οπότε δεν περιέχει κάποιον πυκνωτή. Μάλιστα μειώνεται σε μέγεθος, όσο καταφέρνουμε να δημιουργήσουμε τεχνολογίες με λιγότερα νανόμετρα. Άλλο ένα σημαντικό πλεονέκτημα εν γένει όλων των ψηφιακών κυκλωμάτων είναι η ευκολία επαναχρησιμοποίησης τους σε διαφορετικές εφαρμογές και τεχνολογίες κερδίζοντας μας πολύτιμο χρόνο κάτι που δεν είναι δυνατόν με τις αμιγώς αναλογικές υλοποιήσεις, οι οποίες απαιτούν επανασχεδίαση για κάθε ξεχωριστή εφαρμογή. Τέλος, η αλλαγή των παραμέτρων του ψηφιακού φίλτρου δεν είναι κοστοβόρα από άποψη χώρου και μας επιτρέπει να επιτυγχάνουμε την απαιτούμενη ευστάθεια του βρόχου του DPLL σε πολύ μεγαλύτερες συχνότητες συγκριτικά με το αναλογικό PLL, στο οποίο υπάρχει περιορισμός στον πυκνωτή που μπορούμε να χρησιμοποιήσουμε.



Σχήμα 1.2 Σχηματικό DPLL

Το σχηματικό του DPLL φαίνεται στο σχήμα 1.2. Παρατηρούμε ότι, αντί για Phase Detector και Charge Pump, έχουμε έναν TDC (Time to Digital Converter). Στην θέση του αναλογικού φίλτρου έχουμε ένα ψηφιακό και στην θέση του VCO υπάρχει ένας DCO (Digitally Controlled Oscillator). Ο N Divider παραμένει ίδιος, καθώς δεν υπάρχει ανάγκη μετατροπής του σε ψηφιακό κύκλωμα. Ο TDC ανιχνεύει την χρονική διαφορά των παλμών εισόδου (f_{REF}) και ανάδρασης (f_N) και δημιουργεί μια ψηφιακή λέξη. Το ψηφιακό φίλτρο λαμβάνει την λέξη και παράγει μια διαφορετική ψηφιακή τιμή, για την κάθε ψηφιακή λέξη που δέχεται. Ο DCO είναι ένα ταλαντωτής που ελέγχεται από την ψηφιακή τιμή που δέχεται από το φίλτρο και ταλαντώνει σε διακριτές τιμές συχνοτήτων οι οποίες απέχουν μερικά MHz μεταξύ τους. Η ψηφιακή τιμή στην έξοδο του φίλτρου ελέγχει διακόπτες που αυξομειώνουν την χωρητικότητα του DCO και οδηγούν σε διαφορετική συχνότητα ταλάντωσης. Τέλος, ο N Divider υποβαθμίζει την συχνότητα εξόδου (f_{DCO}) σε μια τιμή κοντά στην συχνότητα εισόδου (f_{REF}). Μετά από μερικούς κύκλους οι δύο αυτές συχνότητες τείνουν να ταυτιστούν και έτσι θεωρούμε ότι το DPLL κλείδωσε σε μια συγκεκριμένη συχνότητα [3]-[6]. Στο σχήμα 1.3 φαίνεται η αντιστοίχιση των διαφορετικών υποκυκλωμάτων μεταξύ του αναλογικού και του ψηφιακού PLL.



Σχήμα 1.3 Αντιστοίχιση των διαφορετικών υποκυκλωμάτων του αναλογικού και του ψηφιακού PLL

Η απουσία της Charge Pump και των σχεδιαστικών της δυσκολιών είναι ένα επιπλέον όφελος του DPLL. Βέβαια, η σχεδίαση του TDC και του DCO εμφανίζει πολλαπλά ζητήματα αναλογικής σχεδίασης κάνοντας την υλοποίησή τους αρκετά περίπλοκη. Τέλος, η κβάντιση της συχνότητας εξόδου του DCO προκαλεί έναν επιπλέον κβαντικό θόρυβο που επιβαρύνει το DPLL και αποτελεί μειονέκτημα συγκριτικά με το αναλογικό PLL.

Κεφάλαιο 2

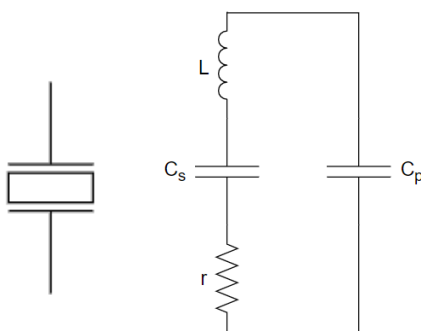
Χαρακτηρισμός περιφερειακών διατάξεων του DPLL

2.1 Λειτουργία του DPLL

Η βασική λειτουργία του DPLL είναι να παράξει στην έξοδο του ένα σήμα συγκεκριμένης κάθε φορά και πολύ σταθερής συχνότητας, ενώ στην είσοδο του λαμβάνει ένα σήμα εξίσου πολύ σταθερής συχνότητας. Διάφορα υποκυκλώματα συμβάλλουν στην επίτευξη της συγκεκριμένης λειτουργίας με τα κυριότερα να φαίνονται στο σχήμα 1.2. Η παρούσα εργασία επικεντρώνεται στην μελέτη και την σχεδίαση του TDC και του DCO, ως βασικότερων υποκυκλωμάτων του DPLL, αλλά για λόγους πληρότητας θα αναφερθούμε συντόμως και στα υπόλοιπα υποκυκλώματα και θα αναλύσουμε την λειτουργία τους όπου αυτό είναι απαραίτητο.

2.2 Κρύσταλλος

Το σήμα εισόδου σταθερής συχνότητας λαμβάνεται συνήθως από έναν κρύσταλλο, χαλαζία για παράδειγμα. Οι κρύσταλλοι είναι πιεζοηλεκτρικά υλικά, δηλαδή με την εφαρμογή δύναμης στην επιφάνεια τους παράγουν ηλεκτρισμό, ενώ με την εφαρμογή ηλεκτρικού ρεύματος μεταβάλλεται το σχήμα τους. Εκμεταλλευόμαστε την ιδιότητα τους χρησιμοποιώντας τους, ως ταλαντωτές, σε διάφορες τοπολογίες, ώστε να πετύχουμε τα επιθυμητά αποτελέσματα. Το κυκλωματικό σύμβολο του κρυστάλλου και το ισοδύναμο κύκλωμα του φαίνονται στο σχήμα 2.1. Ο κρύσταλλος



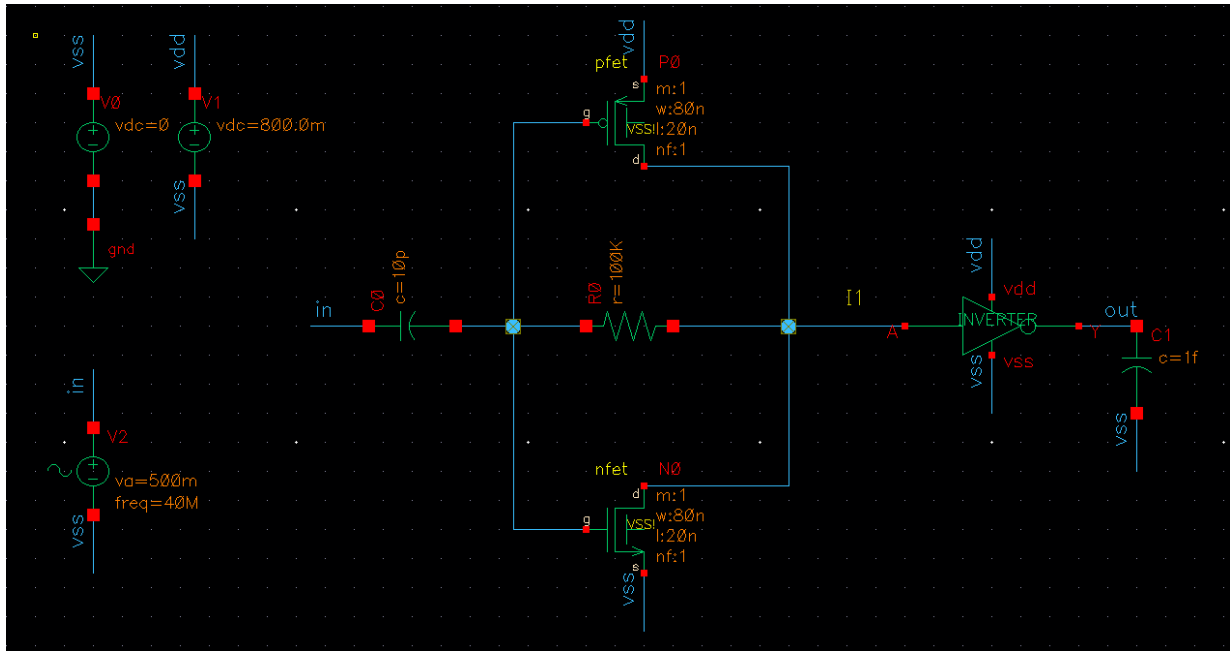
Σχήμα 2.1 Αριστερά το κυκλωματικό σύμβολο και δεξιά το ισοδύναμο κύκλωμα

αποτελείται από μία μεγάλη αυτεπαγωγή L , από μία εν σειρά χωρητικότητα C_s και από μία μικρή αντίσταση r που αναπαριστά συντελεστή ποιότητας $Q = \frac{\omega_0 * L}{r}$. Η χωρητικότητα C_p ισοδυναμεί με

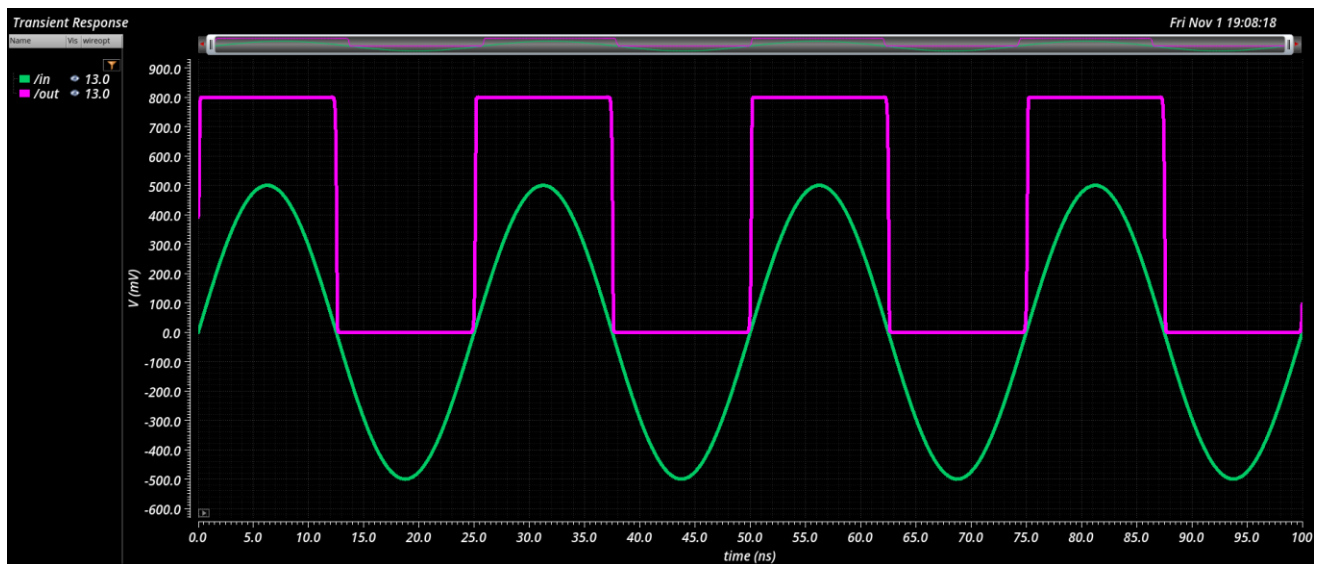
την ηλεκτροστατική χωρητικότητα ανάμεσα στις δύο παράλληλες πλάκες του κρυστάλλου. Δύο τοπολογίες κρυσταλλικών ταλαντωτών, που χρησιμοποιούνται συχνά σε PLL, είναι ο Colpitts και ο Pierce. Η τοπολογία του ταλαντωτή Colpitts είναι η γνωστή με το ένα πηνίο και τους δύο πυκνωτές, μόνο που την θέση του πηνίου έχει πάρει ο κρύσταλλος. Ο ταλαντωτής Pierce χρησιμοποιεί έναν CMOS αντιστροφέα για να πετύχει την απαραίτητη ενίσχυση και να υπερνικήσει τις μικρές απώλειες της αντίστασης r [7].

2.3 Μετατροπέας ημιτονικού παλμού σε τετραγωνικό

Η έξοδος του κρυσταλλικού ταλαντωτή είναι ένας ημιτονικός παλμός, πολύ σταθερής συχνότητας. Όμως, ο TDC δέχεται στην είσοδο του δύο τετραγωνικούς παλμούς και ανιχνεύει την χρονική διαφορά που έχουν μεταξύ τους. Προκύπτει, λοιπόν, η ανάγκη μετατροπής του ημιτονικού παλμού του κρυσταλλικού ταλαντωτή σε τετραγωνικό. Η λειτουργία αυτή επιτελείται από έναν μετατροπέα ημιτονικού παλμού σε τετραγωνικό. Ο μετατροπέας σχεδιάστηκε στο πρόγραμμα σχεδίασης ηλεκτρονικών κυκλωμάτων Cadence και φαίνεται στο σχήμα 2.2. Ο πυκνωτής 10pF απαλείφει την DC συνιστώσα του ημιτονικού παλμού εισόδου. Η αντίσταση 100kΩ πολώνει τον πρώτο αντιστροφέα στο ήμισυ της τάσης τροφοδοσίας. Ο δεύτερος αντιστροφέας υπάρχει για να κάνει συμφασικά τα σήματα εισόδου και εξόδου. Η προσομοίωση της λειτουργίας του μετατροπέα φαίνεται στο σχήμα 2.3. Η είσοδος του κυκλώματος ήταν ένα ημιτονικός παλμός συχνότητας 40MHz, όση θα είναι και η συχνότητα του ημιτονικού παλμού του κρυσταλλικού ταλαντωτή. Παρατηρούμε ότι η επιθυμητή μετατροπή του παλμού γίνεται με μεγάλη ακρίβεια.



Σχήμα 2.2 Μετατροπές ημιτονικού παλμού σε τετραγωνικό



Σχήμα 2.3 Προσομοίωση λειτουργίας του μετατροπέα

2.4 Μετατροπές αριθμού θερμομετρικής λογικής σε δυαδικό

Ο μετατροπείς αριθμού θερμομετρικής λογικής σε δυαδικό είναι ένα κύκλωμα ψηφιακής λογικής, που μετατρέπει έναν αριθμό θερμομετρικής λογικής στον αντίστοιχο δυαδικό αριθμό. Ο θερμομετρικός κώδικας αναπαριστά έναν φυσικό αριθμό n , με n συνεχόμενους άσσους, των οποίων προηγούνται μηδενικά. Η συγκεκριμένη αναπαράσταση αριθμών βολεύει να χρησιμοποιείται σε πληθώρα ηλεκτρονικών κυκλωμάτων, τόσο αναλογικών όσο και ψηφιακών. Η έξοδος του TDC, όπως θα δούμε στην συνέχεια, είναι ένας 127ψήφιος αριθμός θερμομετρικής λογικής. Η είσοδος όμως του ψηφιακού φίλτρου πρέπει να είναι ένας δυαδικός αριθμός. Προκύπτει, λοιπόν, η ανάγκη χρησιμοποίησης ενός τέτοιου μετατροπέα. Στο σχήμα 2.4 φαίνεται ο πίνακας αληθείας του συγκεκριμένου κυκλώματος και γίνεται κατανοητή η λειτουργία του. Η μετατροπή θα γίνει από τις δεξιά τιμές στις αριστερά. Ο μετατροπείς αυτός σχεδιάζεται με την χρήση κατάλληλου κώδικα σε γλώσσα Verilog ή VHDL. Ο κώδικας αυτός παρατίθεται στην συνέχεια και επεξηγείται η λειτουργία του.

```
module thermometertobinary (thermometer, binary);
input [126:0] thermometer;
output [6:0] binary;
reg [6:0] binary, binary1, binary2;
integer k, m;
always @ (thermometer)
begin
    binary1 = 0;
    for(k = 1; k <= 64; k = k + 1)
        if(thermometer[k-1] == 1'b1)
            binary1 = k;
    end
    always @ (thermometer)
    begin
        binary2 = 0;
        for(m = 1; m <= 63; m = m + 1)
            if(thermometer[m+63] == 1'b1)
                binary2 = m;
        end
        always @ (binary1 or binary2)
        begin
            if(binary2 > 0)
                binary = binary2 + 64;
            else
                binary = binary1;
        end
    end
end
```

endmodule

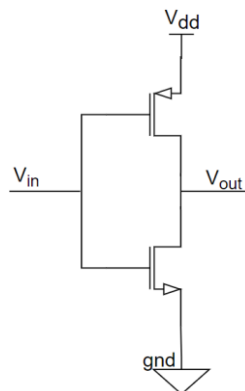
Binary	Thermometer
0000	000 0000 0000 0000
0001	000 0000 0000 0001
0010	000 0000 0000 0011
0011	000 0000 0000 0111
0100	000 0000 0000 1111
0101	000 0000 0001 1111
0110	000 0000 0011 1111
0111	000 0000 0111 1111
1000	000 0000 1111 1111
1001	000 0001 1111 1111
1010	000 0011 1111 1111
1011	000 0111 1111 1111
1100	000 1111 1111 1111
1101	001 1111 1111 1111
1110	011 1111 1111 1111
1111	111 1111 1111 1111

Σχήμα 2.4 Πίνακας αληθείας μετατροπής
θερμομετρικού αριθμού σε δυαδικό

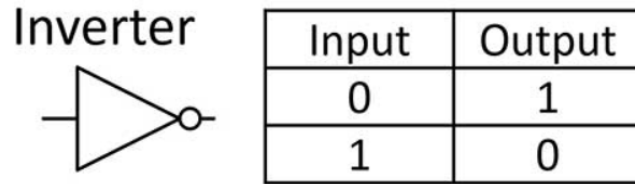
Από τον παραπάνω κώδικα, φαίνεται ότι ο μετατροπέας είναι ένα κύκλωμα 127 εισόδων και 7 εξόδων, έτσι ώστε να μπορεί να γίνει η αναπαράσταση των αριθμών 0 έως 127 στην είσοδο σε θερμομετρική λογική και 0 έως 127(σύνολο 128 αριθμοί) στην έξοδο σε δυαδική λογική. Ο κώδικας χωρίζει τις 127 εισόδους στην μέση και ψάχνει κάθε φορά τον άσσο που βρίσκεται πιο αριστερά. Το χώρισμα γίνεται ώστε να αυξηθεί η ταχύτητα ανεύρεσης του μεγαλύτερου άσσου. Η θέση του μεγαλύτερου άσσου στις πρώτες 64 θέσεις κρατείται στον αριθμό κ. Η θέση του μεγαλύτερου άσσου στις τελευταίες 63 θέσεις κρατείται στον αριθμό μ. Αν έχει βρεθεί άσσος στις τελευταίες 63 θέσεις, στον αριθμό μ προστίθεται ο αριθμός 64 και έτσι προκύπτει ο δυαδικός αριθμός που αναζητούμε. Διαφορετικά, ο δυαδικός αριθμός που αναζητούμε είναι ο αριθμός κ. Οι αριθμοί κ, μ καθώς και ο τελικός αριθμός κρατούνται σε καταχωρητές 7 ψηφίων δυαδικής λογικής. Με αυτό τον τρόπο επιτυγχάνεται και η επιθυμητή μετατροπή.

2.5 Αντιστροφέας (Inverter)

Η cmos υλοποίηση, ενός αντιστροφέα, φαίνεται στο σχήμα 2.5. Αντίστοιχα, ο πίνακας αληθείας του αντιστροφέα φαίνεται στο σχήμα 2.6. Όταν στην είσοδο του αντιστροφέα έρθει μηδενικό, τότε το nmos δεν άγει, διότι η τάση V_{gs} του είναι μηδέν. Αντίθετα, το pmos άγει, επειδή η τάση V_{gs} του είναι κατά απόλυτη τιμή ίση με ένα. Έτσι, στην έξοδο του αντιστροφέα περνάει η τιμή του V_{dd} , δηλαδή η λογική τιμή ένα. Με την ανάποδη λογική, όταν στην είσοδο του αντιστροφέα έρθει άσσος, τότε το nmos άγει και το pmos δεν άγει. Έτσι, στην έξοδο περνάει το gnd, δηλαδή η λογική τιμή 0. Άρα, αυτή η cmos υλοποίηση, παράγει τον επιθυμητό πίνακα αληθείας και λειτουργεί ως αντιστροφέας.



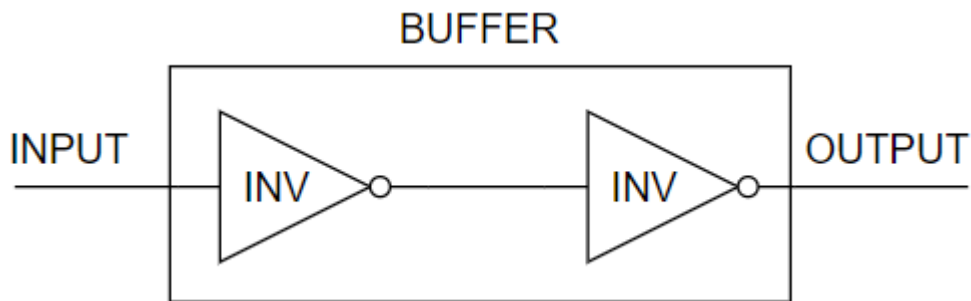
Σχήμα 2.5 Cmos υλοποίηση αντιστροφέα



Σχήμα 2.6 Πίνακας αληθείας inverter

2.6 Buffer

Buffer στην Ηλεκτρονική, ονομάζεται ένα κύκλωμα, το οποίο έχει δύο αντιστροφείς συνδεδεμένους σε σειρά, όπως φαίνεται στο σχήμα 2.5. Έπειτα, από δύο αντιστροφές, το σήμα

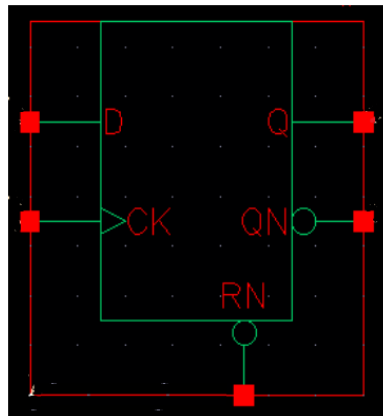


Σχήμα 2.7 Σχηματικό Buffer

στην έξοδο είναι ίδιο με το σήμα στην είσοδο. Η λειτουργία του buffer, όμως, διαφέρει ανάλογα με την εφαρμογή. Συχνά, χρησιμοποιούμε έναν buffer, για να συνδέσουμε δύο στάδια ενός κυκλώματος, μεταξύ τους. Ο buffer περνάει το σήμα εξόδου του πρώτου σταδίου, αυτούσιο, στην είσοδο του δεύτερου σταδίου αλλά παράλληλα επιτυγχάνει την απαραίτητη απομόνωση μεταξύ των δύο σταδίων, ώστε το δεύτερο να μην λειτουργεί, ως επιπλέον φορτίο για το πρώτο. Άλλες λειτουργίες του είναι η μείωση θορύβου, η σταθεροποίηση ενός σήματος, το ταίριασμα των σύνθετων αντιστάσεων μεταξύ δύο σταδίων. Στην παρούσα διπλωματική, όμως, ο buffer θα χρησιμοποιηθεί, ως ένα κύκλωμα, το οποίο μπορεί να προσδώσει την απαιτούμενη χρονική καθυστέρηση σε ένα σήμα. Ο χρόνος, που απαιτείται, ώστε ο buffer να αντιστρέψει δύο φορές το σήμα εισόδου και να το παράξει στην έξοδο, είναι ακριβώς αυτή η χρονική καθυστέρηση, στην οποία αναφερόμαστε. Μάλιστα, είναι πολύ εύκολο να την μετρήσουμε, ακριβώς, με χρήση κατάλληλης transient προσομοίωσης. Ο buffer θα χρησιμοποιηθεί, στην σχεδίαση του TDC και θα μετρηθεί, τότε, η χρονική καθυστέρηση του, όπου είναι απαραίτητο.

2.7 Λειτουργία του D Flip-Flop (DFF)

Το D Flip-Flop που φαίνεται στο σχήμα 2.8 είναι αυτό που θα χρησιμοποιήσουμε στην παρούσα διπλωματική εργασία. Το παρόν D-Flip Flop είναι θετικά ακμοπυροδότητο και έχει negative reset.



Σχήμα 2.8 Σύμβολο D Flip-Flop

Αυτό σημαίνει ότι, για να λειτουργήσει σωστά το DFF, πρέπει αρχικά να στείλουμε ένα μηδενικό σήμα στην είσοδο RN, για να επιτευχθεί το απαραίτητο reset και στην συνέχεια το σήμα RN πρέπει να είναι μονίμως άσος για την σωστή λειτουργία του DFF. Δεδομένου ότι είναι θετικά ακμοπυροδότητο, η είσοδος D “περνάει” στην έξοδο Q όταν η είσοδος CK (ρολόι) αλλάζει από την κατάσταση 0 στην κατάσταση 1. Στο σχήμα 2.9 φαίνεται ο πίνακας αληθείας του DFF. Ο

D	CLK	$\bar{Q}$
0	1 (Raising Edge)	0
1	1 (Raising Edge)	1

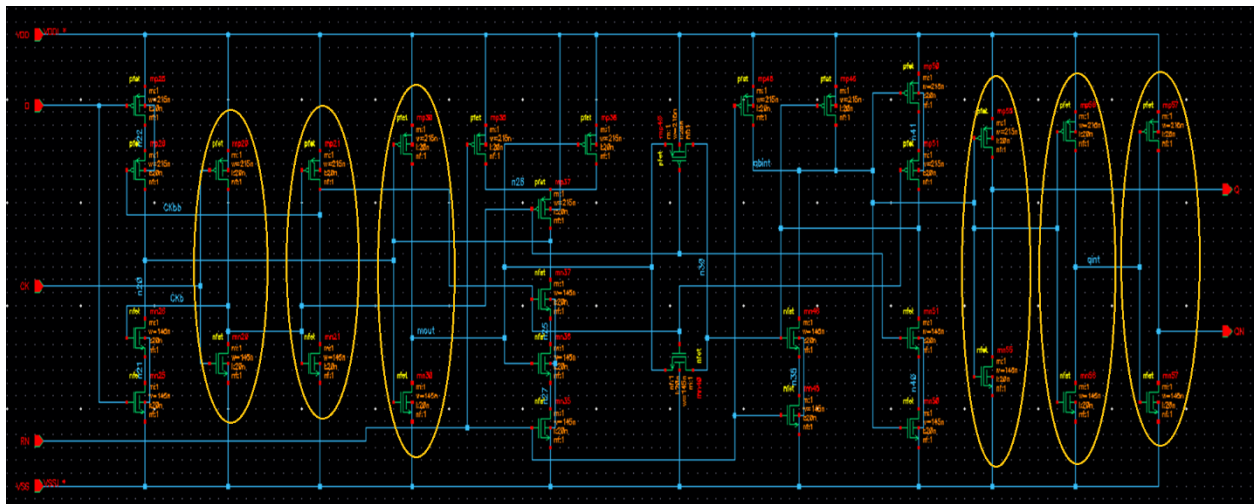
Q(n)	D(n)	Q(n+1) (Next)
0	0	0
0	1	1
1	0	0
1	1	1

Σχήμα 2.9 Πίνακας αλήθειας DFF

αριστερά πίνακας είναι ο πίνακας αληθείας του DFF, όπου παρατηρούμε ότι ισχύει αυτό που περιγράψαμε προηγουμένως. Κάτω βρίσκεται ο πίνακας επόμενης κατάστασης με βάση το τι υπάρχει στην έξοδο Q και στην είσοδο D. Παρατηρούμε ότι η επόμενη κατάσταση ταυτίζεται πάντα με την είσοδο D.

2.7.1 Cmos τοπολογία ενός DFF

Στο σχήμα 2.10 παρατηρούμε το σχηματικό του DFF σε επίπεδο transistor. Όπως είναι φανερό, είναι δύσκολο να καταλάβουμε την λειτουργία του, με μια απλή οπτική εξέταση. Για τον λόγο αυτό πρώτα θα απλοποιήσουμε την δομή του με έξυπνο τρόπο και στην συνέχεια θα αναλύσουμε βήμα βήμα την λειτουργία του. Παρατηρούμε στο σχηματικό μας ότι η κυκλωμένη δομή επαναλαμβάνεται αρκετές φορές. Πρόκειται για έναν αντιστροφέα, όπως είδαμε και στην ενότητα

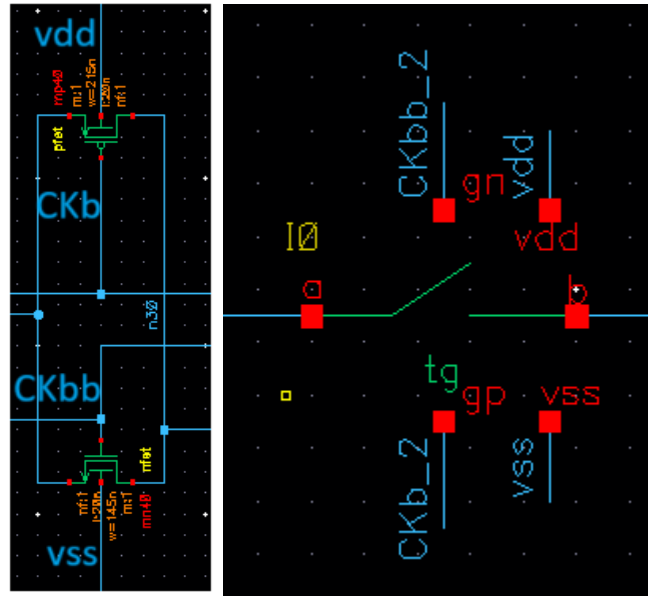


Σχήμα 2.10 Cmos τοπολογία ενός DFF με κυκλωμένη την επαναλαμβανόμενη δομή ενός αντιστροφέα

2.5. Όταν στην είσοδο in του σχηματικού έρθει “0”, οι πύλες των pmos και nmos πολώνονται στο “0”. Το nmos δεν “περνάει” το μηδενικό από την πηγή στην υποδοχή, μιας και η τάση ανάμεσα στην πύλη και στην πηγή είναι μηδενική. Αντίθετα, το pmos “περνάει” τον άσσο από την πηγή στην υποδοχή, επειδή η απόλυτη τιμή της τάσης ανάμεσα στην πύλη και στην πηγή του είναι “1”. Άρα, όταν στην είσοδο in έχουμε μηδενικό, τότε στην έξοδο out θα έχουμε άσσο. Όταν στην είσοδο in έρθει “1”, θα άγει το nmos και δεν θα άγει το pmos, με την ίδια λογική που εξηγήσαμε προηγουμένως. Άρα στην έξοδο θα περάσει το “0” από την πηγή του nmos στην υποδοχή του. Επαληθεύσαμε, λοιπόν, ότι η παραπάνω δομή είναι ένας inverter. Αυτή θα είναι μια από τις απλοποιήσεις που θα κάνουμε στο σχηματικό μας. Θα αντικαταστήσουμε, δηλαδή, την cmos τοπολογία του inverter με το σύμβολο του για να απλοποιήσουμε την οπτική εξέταση του κυκλώματος.

2.7.2 Αναλογικός διακόπτης (Analog Switch or Transmission gate)

Στο κέντρο του σχήματος 2.10, βρίσκεται η δομή του σχήματος 2.11, που ονομάζεται αναλογικός διακόπτης. Με προσεκτική οπτική εξέταση προκύπτει ότι η πύλη του pmos είναι συνδεδεμένη με το

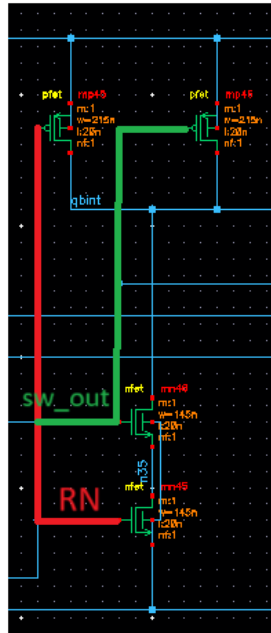


Σχήμα 2.11 Cmos τοπολογία αναλογικού διακόπτη και το σύμβολο του

CKb (δηλαδή το ρολόι αντεστραμμένο), ενώ η πύλη του nmos είναι συνδεδεμένη με το CKbb (δηλαδή το CK, γιατί το CKbb είναι το CK δύο φορές αντεστραμμένο). Όταν το CK είναι “0” το CKb είναι “1” και το CKbb είναι “0”. Άρα όταν το CK είναι “0” δεν άγει ούτε το nmos, ούτε το pmos και έτσι η έξοδος είναι απομονωμένη από την είσοδο. Αντίθετα όταν το CK είναι “1” άγει και το nmos και το pmos και η είσοδος “περνάει” στην έξοδο. Από τα παραπάνω συμπεραίνουμε ότι η συγκεκριμένη δομή είναι ένα switch που ανοίγει όταν το CK είναι “0” και κλείνει όταν το CK είναι “1”. Το σύμβολο που θα χρησιμοποιήσουμε, για να κάνουμε ευκολότερη την οπτική εξέταση του κυκλώματος, φαίνεται στο αριστερό τμήμα του σχήματος 2.11.

2.7.3 NAND 2 εισόδων

Στα δεξιά του αναλογικού διακόπτη, στο σχήμα 2.10, βρίσκεται μια δομή, που θα δείξουμε ότι πρόκειται για μια πύλη NAND 2 εισόδων. Η μία είσοδος είναι το σήμα RN και η άλλη είναι η έξοδος του αναλογικού διακόπτη. Στο σχήμα 2.12 φαίνεται η cmos τοπολογία της πύλης NAND.



Σχήμα 2.12 Cmos τοπολογία πύλης NAND 2 εισόδων



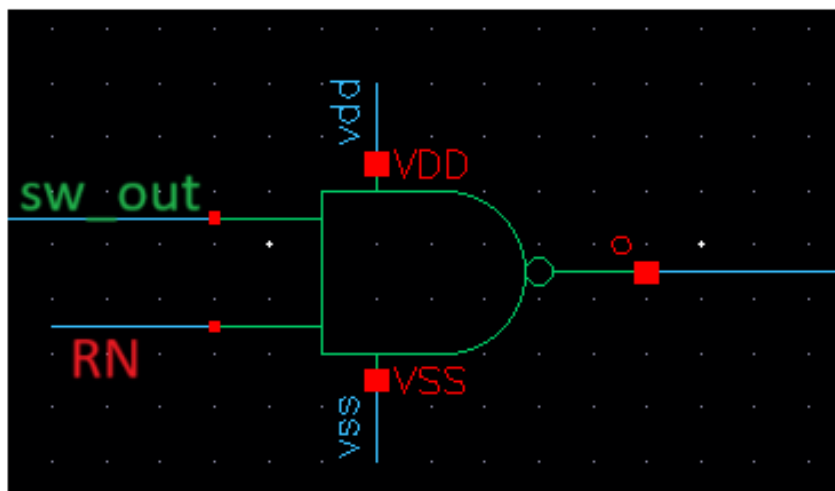
$$Q = A \text{ NAND } B$$

Truth Table

Input A	Input B	Output Q
0	0	1
0	1	1
1	0	1
1	1	0

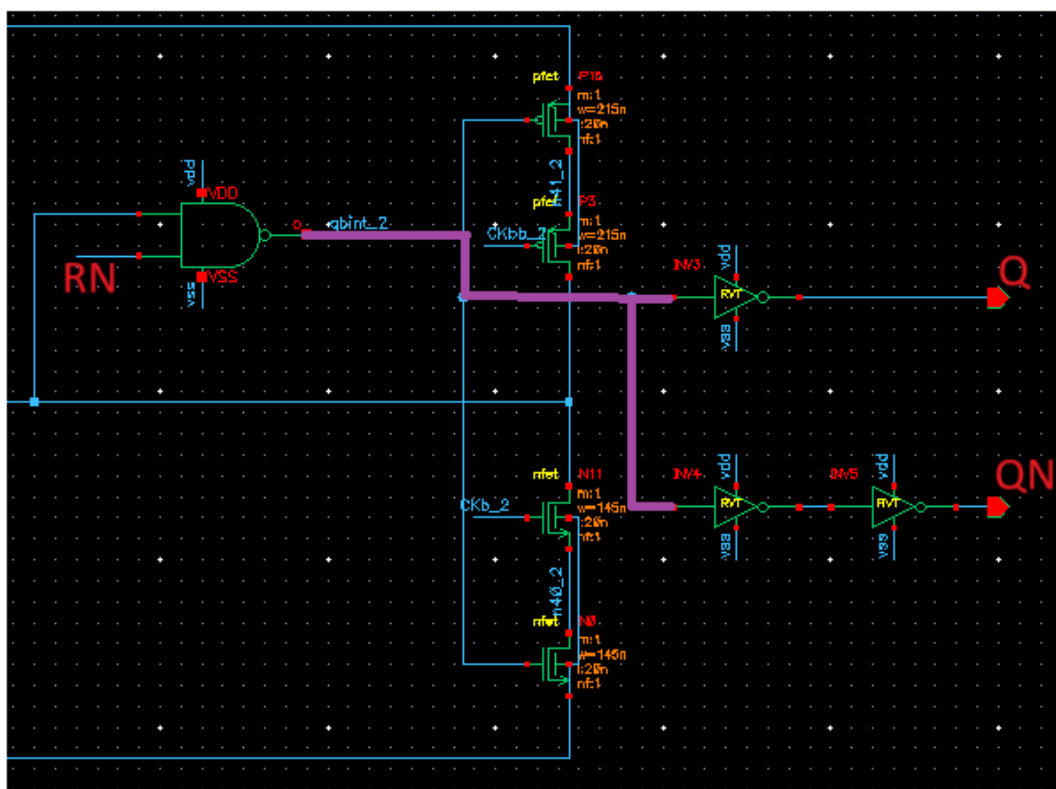
Σχήμα 2.13 Πίνακας αλήθειας πύλης NAND

Από την διάταξη των pmos τρανζίστορ κατανοούμε ότι αν κάποια από τις δύο εισόδους είναι “0”, τότε το αντίστοιχο pmos θα άγει και στην έξοδο θα “περνάει” “1”. Αντίστοιχα, αν έχουμε έστω και ένα “0”, το nmos που θα το δέχεται στην πύλη δεν θα άγει οπότε, επειδή τα nmos είναι σε σειρά, δεν θα περνάει το “0” στην έξοδο. Στην περίπτωση όπου έχουμε δύο “1” για εισόδους, κανένα από τα pmos δεν θα άγει. Θα άγουν όμως και τα δύο nmos, οπότε στην έξοδο θα περάσει το “0”. Από την παραπάνω ανάλυση προκύπτει ότι η δομή αυτή είναι μια πύλη NAND, της οποίας παρατίθεται ο πίνακας αληθείας στο σχήμα 2.13 για επιβεβαίωση. Το σύμβολο, με το οποίο θα αντικαταστήσουμε την πύλη NAND για ευκολότερη οπτική εξέταση του κυκλώματος φαίνεται

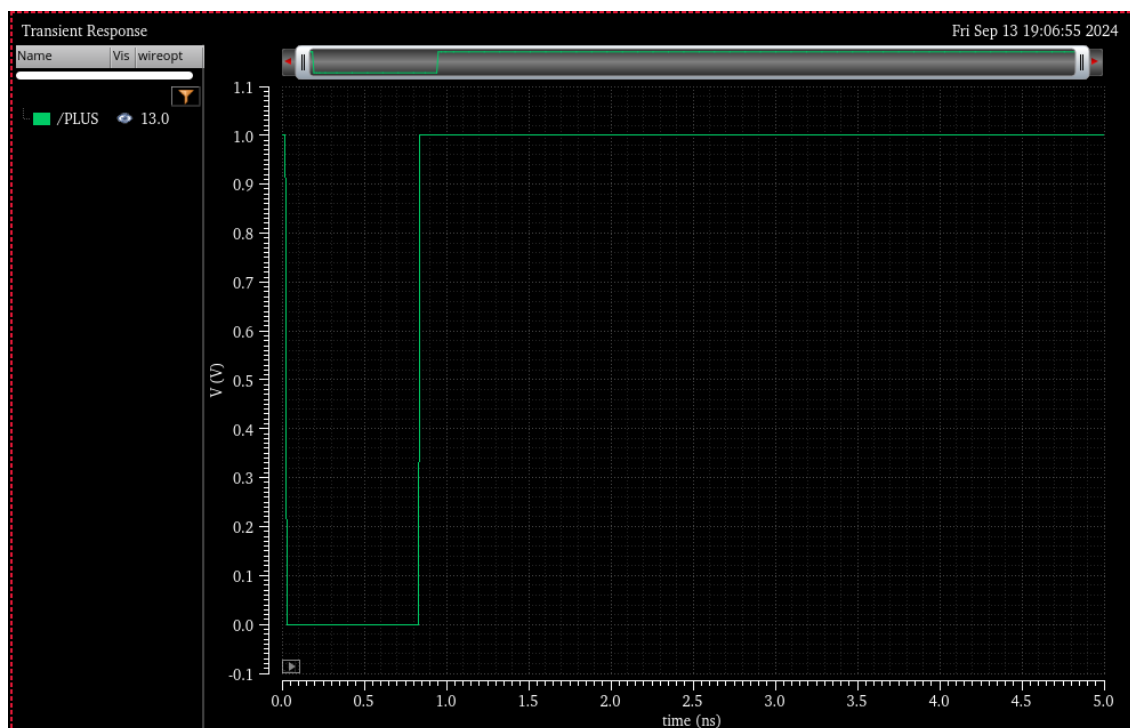


Σχήμα 2.14 Σύμβολο πύλης NAND

στο σχήμα 2.14. Με την χρήση της λογικής πύλης NAND επιτυγχάνεται το “negative reset” του DFF. Για να λειτουργήσει σωστά το DFF, πρέπει πρώτα να κάνουμε reset, στέλνοντας στην είσοδο RN ένα παλμό, που αρχικά είναι “0” για μερικές εκατοντάδες ps και στην συνέχεια είναι για πάντα “1”. Έτσι, στην αρχή η έξοδος της NAND είναι “1” και με μια αντιστροφή, όπως φαίνεται στο σχήμα 2.15, προκύπτει η έξοδος Q του DFF που γίνεται “0”. Στην κανονική λειτουργία του DFF, όπου η είσοδος RN είναι μόνιμα “1”, η έξοδος της πύλης NAND είναι η αντίστροφη της sw_out, κάτι που φαίνεται από τον πίνακα αληθείας της NAND. Μετά την αντιστροφή όμως, η έξοδος Q του DFF γίνεται ίδια με την sw_out. Ο παλμός στην είσοδο RN που περιγράψαμε φαίνεται στο σχήμα 2.16.



Σχήμα 2.15 Negative reset της πύλης NAND

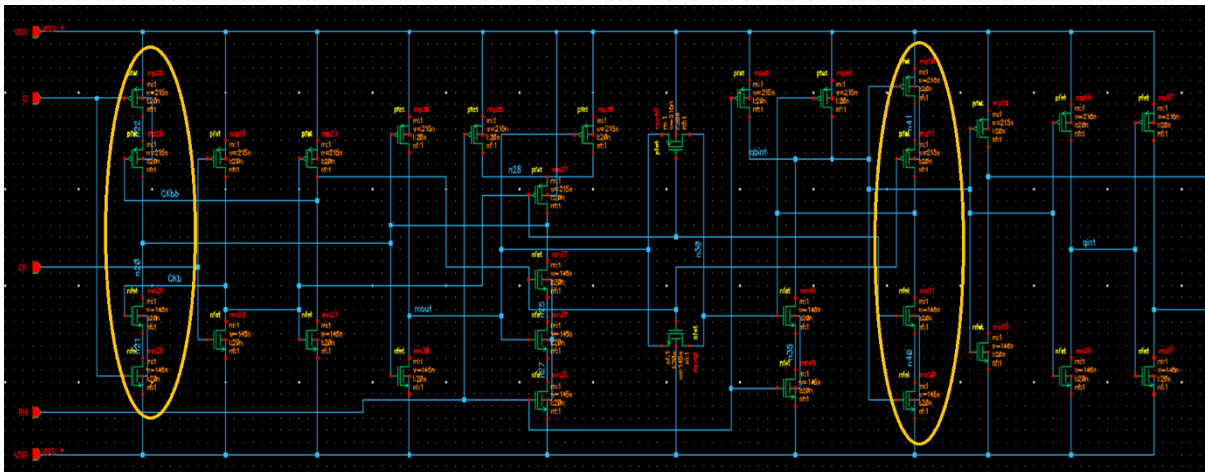


Σχήμα 2.16 Παλμός για negative reset

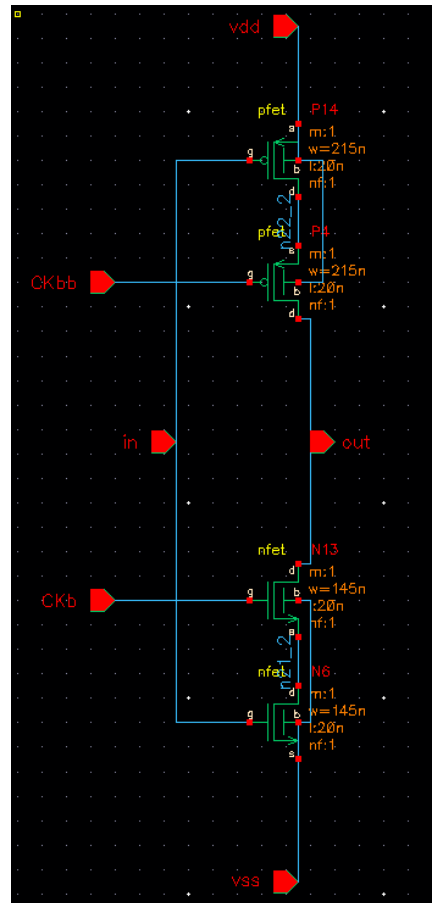
2.7.4 Αντιστροφέας με διακόπτη

Στην συνέχεια, θα αναλύσουμε την κυκλωμένη δομή του σχήματος 2.17. Η λειτουργία της δεν είναι προφανής, με μια απλή οπτική εξέταση. Παρατηρούμε ότι, η είσοδος του κάτω pmos είναι συνδεδεμένη στο CKbb (άρα CK) και η είσοδος του πάνω nmos είναι συνδεδεμένη στο CKb. Το πάνω pmos και το κάτω nmos έχουν κοινή είσοδο στις πύλες τους, την έξοδο της πύλης NAND.

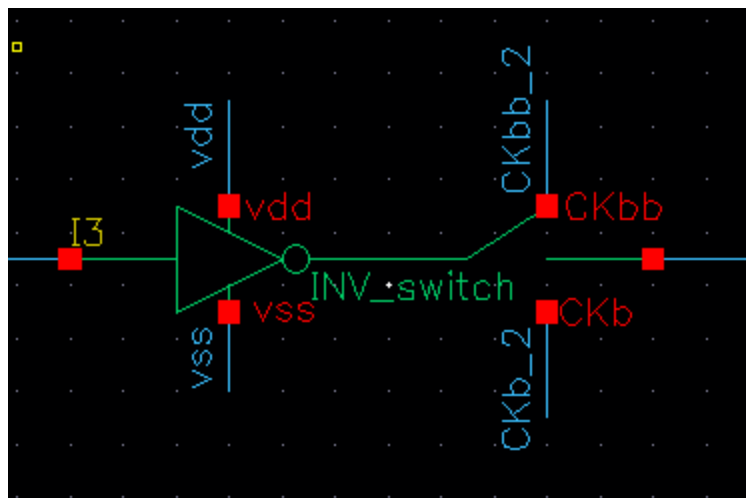
Από το σχήμα 2.18 παρατηρούμε ότι, στην περίπτωση που το CK είναι “1” τα ενδιάμεσα τρανζίστορ δεν άγουν άρα η έξοδος είναι απομονωμένη από την είσοδο. Αν το CK είναι “0” τα ενδιάμεσα τρανζίστορ άγουν. Σε αυτή την περίπτωση γίνεται προφανές ότι η δομή μας λειτουργεί σαν αντιστροφέας, γιατί η πύλη και η υποδοχή των εξωτερικών τρανζίστορ είναι κοινή. Άρα για ευκολότερη κατανόηση της δομής αυτής μπορούμε να την φανταστούμε ως έναν αντιστροφέα σε σειρά με ένα διακόπτη. Επισημαίνουμε ότι η δομή δεν είναι ακριβώς ίδια με έναν αντιστροφέα σε σειρά με διακόπτη, αλλά για λόγους ευκολίας θα την αναπαραστήσουμε έτσι, όπως φαίνεται στο σχήμα 2.18.



Σχήμα 2.17 Cmos τοπολογία ενός DFF με κυκλωμένη την επαναλαμβανόμενη δομή ενός αντιστροφέα με διακόπτη



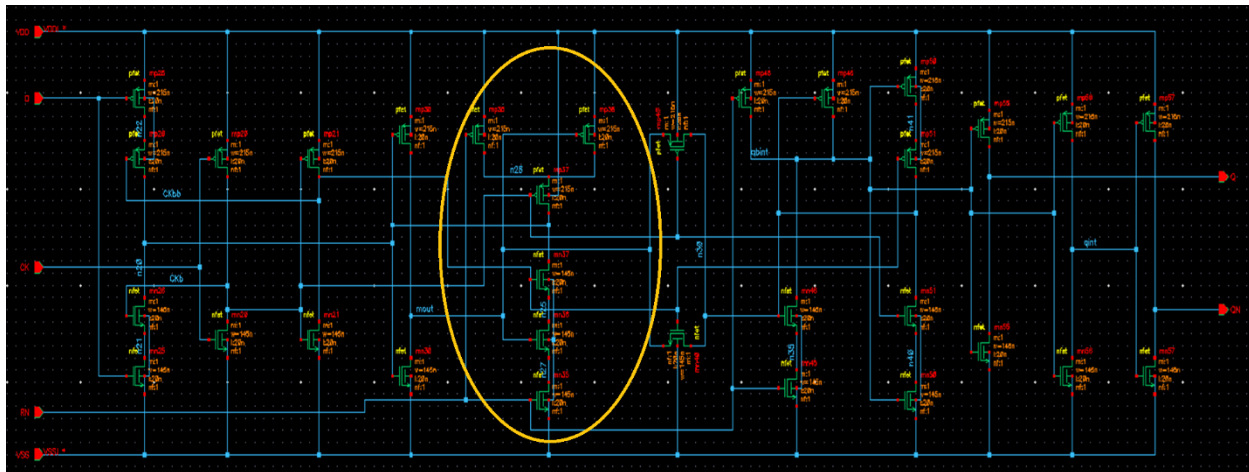
Σχήμα 2.18 Cmos τοπολογία αντιστροφέα με διακόπτη



Σχήμα 2.19 Σύμβολο αντιστροφέα με διακόπτη

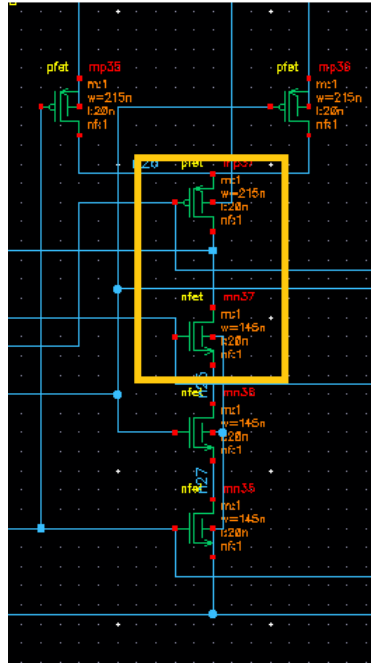
2.7.5 NAND με διακόπτη

Τέλος, θα αναλύσουμε την δομή του σχήματος 2.20. Με παρόμοια λογική, με προηγουμένως, θα δείξουμε, ότι η δομή αυτή είναι περίπου ισοδύναμη με μια πύλη NAND σε σειρά με ένα switch. Τονίζουμε, ξανά, ότι δεν είναι ακριβώς ισοδύναμη, αλλά προχωράμε σε αυτή την απλοποίηση για ευκολότερη κατανόηση του κυκλώματος. Με οπτική εξέταση παρατηρούμε ότι το pmos και το

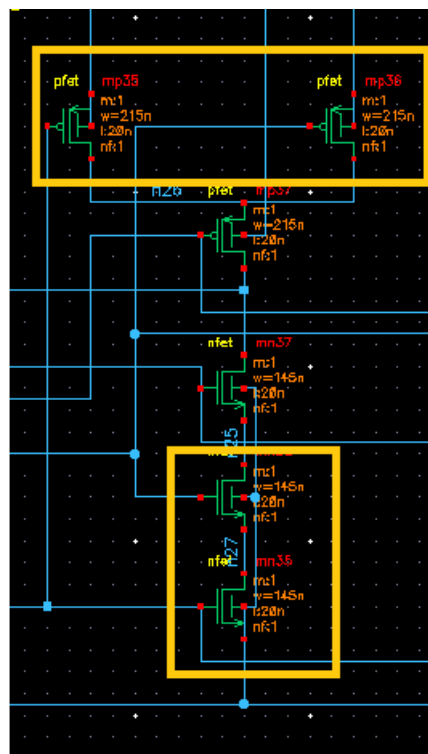


Σχήμα 2.20 Cmos τοπολογία ενός DFF με κυκλωμένη την δομή μιας NAND με διακόπτη

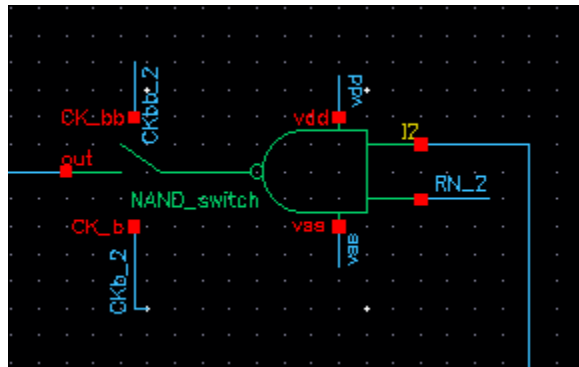
nmpos του κυκλωμένου τμήματος του σχήματος 2.21 είναι συνδεδεμένα στο CKb και στο CKbb, αντίστοιχα. Άρα όταν το CK είναι “0” τα τρανζίστορ δεν άγουν, ενώ όταν το CK είναι “1” τα τρανζίστορ άγουν. Αυτό σημαίνει ότι το κυκλωμένο τμήμα του σχήματος 2.21, λειτουργεί σαν διακόπτης. Όταν το CK είναι “1”, η δομή μας λειτουργεί σαν μια πύλη NAND, όπως φαίνεται στο σχήμα 2.22 και εξηγήσαμε στην ενότητα 2.7.3. Για αυτό τον λόγο θα απλοποιήσουμε την δομή μας με το σύμβολο του σχήματος 2.23.



Σχήμα 2.21 NAND με διακόπτη, με κυκλωμένο τον διακόπτη



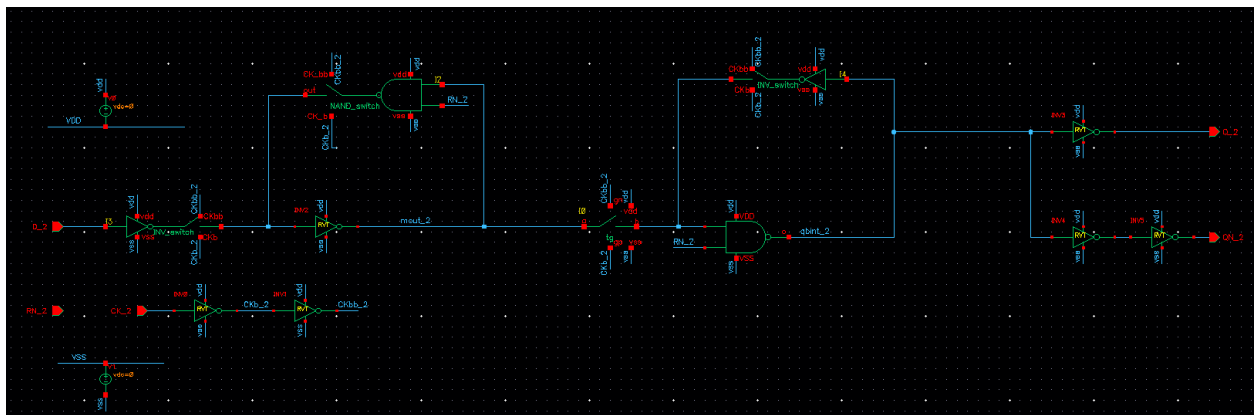
Σχήμα 2.22 NAND με διακόπτη με κυκλωμένη την NAND



Σχήμα 2.23 Σύμβολο NAND με διακόπτη

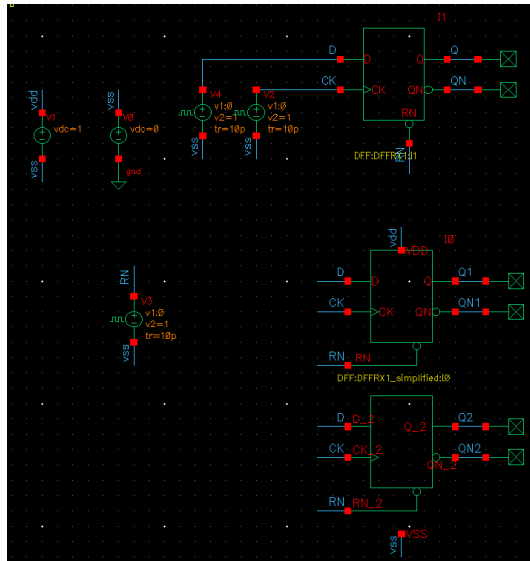
2.7.6 Απλοποιημένο σχηματικό του DFF

Μετά από τις απλοποιήσεις, που αναφέραμε στις προηγούμενες ενότητες, η δομή μας έγινε πολύ ευκολότερη προς κατανόηση και φαίνεται στο σχήμα 2.24. Με ιδιαίτερη προσοχή, φροντίσαμε η καλωδίωση να είναι ολόιδια με πριν, ώστε να μην προκύψει η οποιαδήποτε αλλοίωση στην λειτουργία του DFF. Αναγκαία είναι και η χρήση προσομοίωσης, για την ακριβή επαλήθευση της σωστής λειτουργίας του κυκλώματος. Η προσομοίωση εκτελέστηκε με το testbench του σχήματος

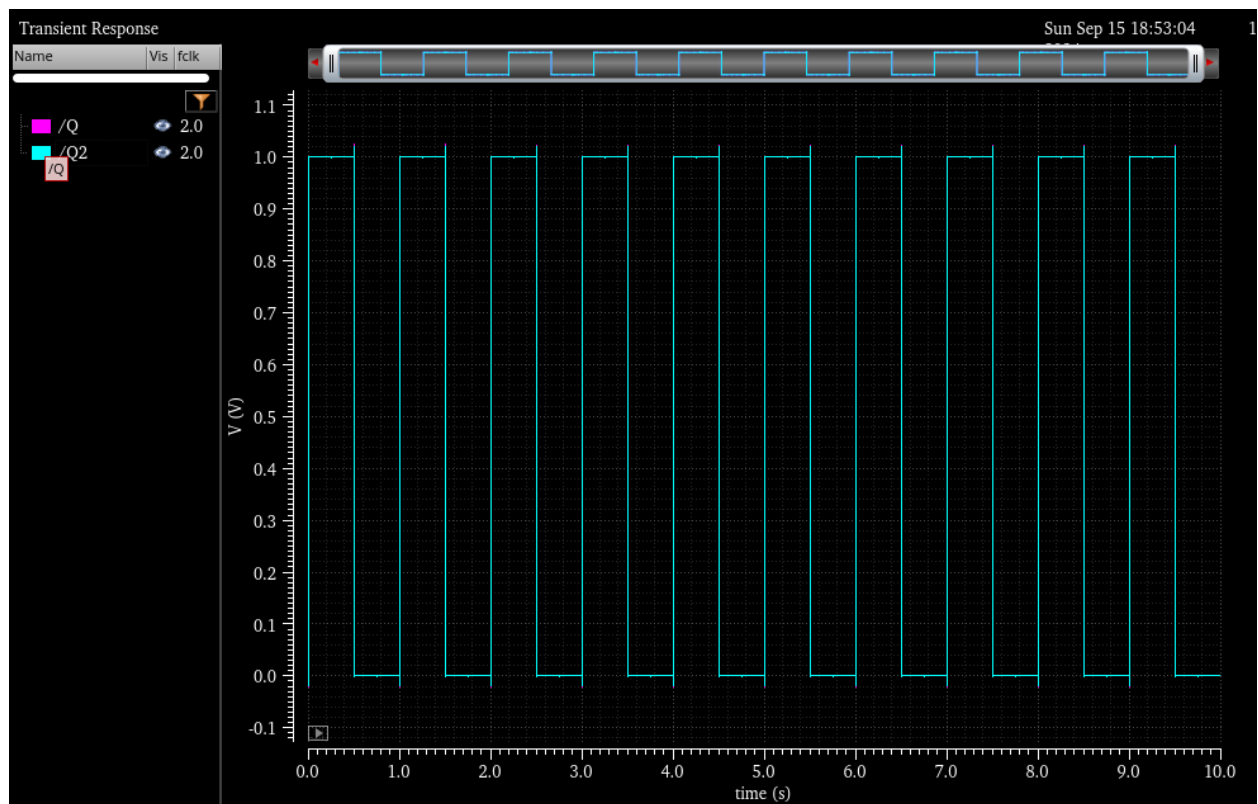


Σχήμα 2.24 Απλοποιημένο σχηματικό με χρήση ισοδύναμων συμβόλων

2.25 και το αποτέλεσμα των εξόδων Q των DFF είναι ακριβώς ίδιο, όπως φαίνεται στο σχήμα 2.26. Προσομοιώσαμε και τις εξόδους QN και καταλήξαμε σε ταυτόσημα σήμα. Αυτό σημαίνει ότι οι απλοποιήσεις μας είχαν λογική συνέπεια, οπότε θα προχωρήσουμε στο τελευταίο μέρος της παρουσίασης, δηλαδή την ανάλυση της λειτουργίας του DFF σε επίπεδο λογικών πυλών.



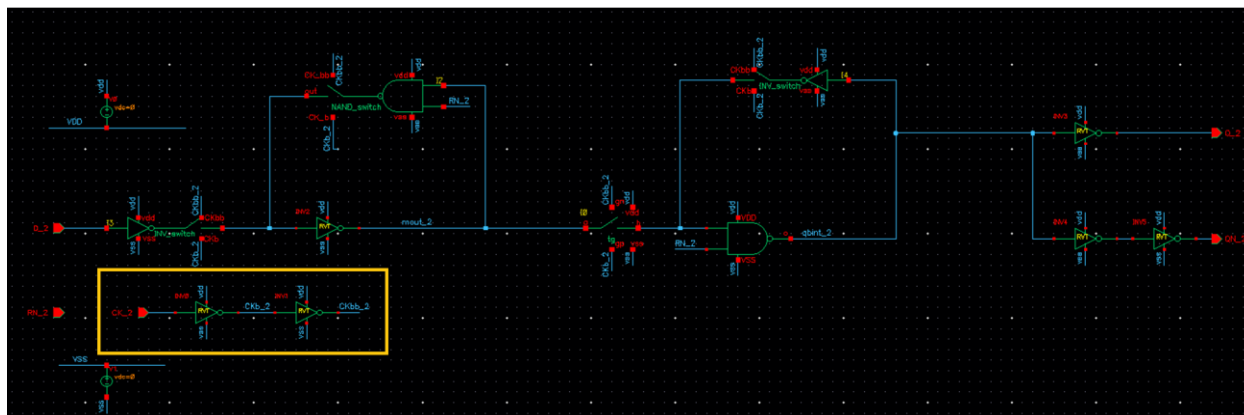
Σχήμα 2.25 Testbench για την επαλήθευση της σωστής λειτουργίας του απλοποιημένου σχηματικού



Σχήμα 2.26 Ταυτόσημα σήματα εξόδου Q του αρχικού DFF και του απλοποιημένου σχηματικού μας

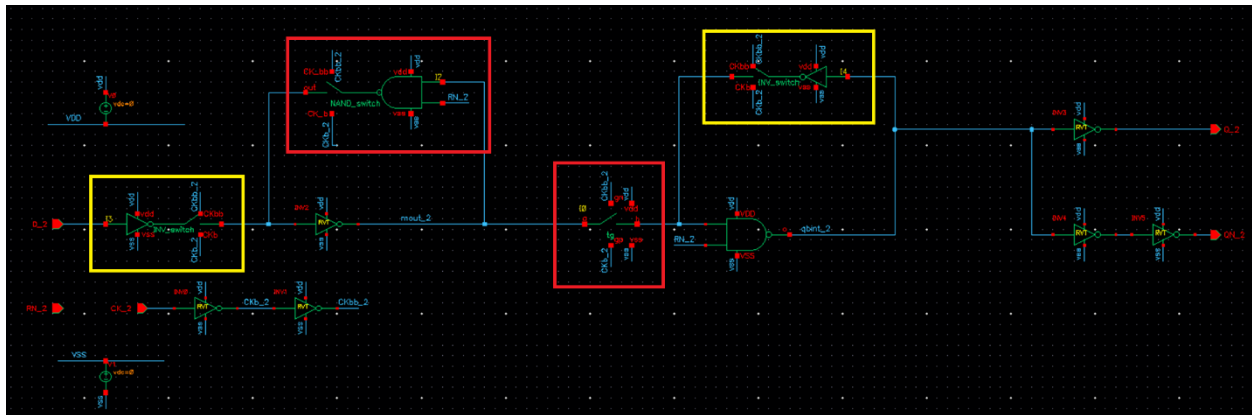
2.7.7 Αναλυτική λειτουργία DFF σε επίπεδο λογικών πυλών

Με την εξέταση του απλοποιημένου σχηματικού, του σχήματος 2.24, θα εξηγήσουμε την αναλυτική λειτουργία του DFF. Θα εξηγήσουμε τις λογικές διεργασίες μεταξύ των πυλών και το πως παράγεται η έξοδος Q, από την είσοδο D, σε κάθε εναλλαγή του CK από “0” σε “1”. Στο σχήμα 2.27 η κυκλωμένη δομή παράγει τα σήματα CKb και CKbb, τα οποία συνδέονται σε πολλά σημεία του υπόλοιπου κυκλώματος. Πρόκειται για έναν buffer, όπως αναλύσαμε στην ενότητα 2.6, ο οποίος αντιστρέφει δύο φορές το σήμα εισόδου CK. Η πρώτη αντιστροφή παράγει το σήμα CKb (δηλαδή το CK αντεστραμμένο) και η δεύτερη παράγει το CKbb (δηλαδή ταυτόσημο σήμα με το CK, αλλά με μια μικρή χρονική καθυστέρηση). Η χρήση του CKbb και όχι αυτούσιου του CK γίνεται για να είμαστε βέβαιοι ότι τα σήματα, που θα χρησιμοποιηθούν στο υπόλοιπο κύκλωμα θα βρίσκονται μέσα στα επιτρεπτά όρια της τροφοδοσίας. Αποκόψαμε την δομή αυτή, από το υπόλοιπο κύκλωμα και την συνδέσαμε με ονοματολογία καλωδίων, όπου χρειαζόταν, ώστε να μην υπάρχουν πολλαπλά καλώδια στο σχηματικό μας και γίνεται δυσκολότερη η ανάλυση μας. Αυτή την απλοποίηση μας την επιτρέπει το σχεδιαστικό εργαλείο “Cadence”, στο οποίο εργαζόμαστε.



Σχήμα 2.27 Κυκλωμένος ο buffer που παράγει τα σήματα CKb και CKbb

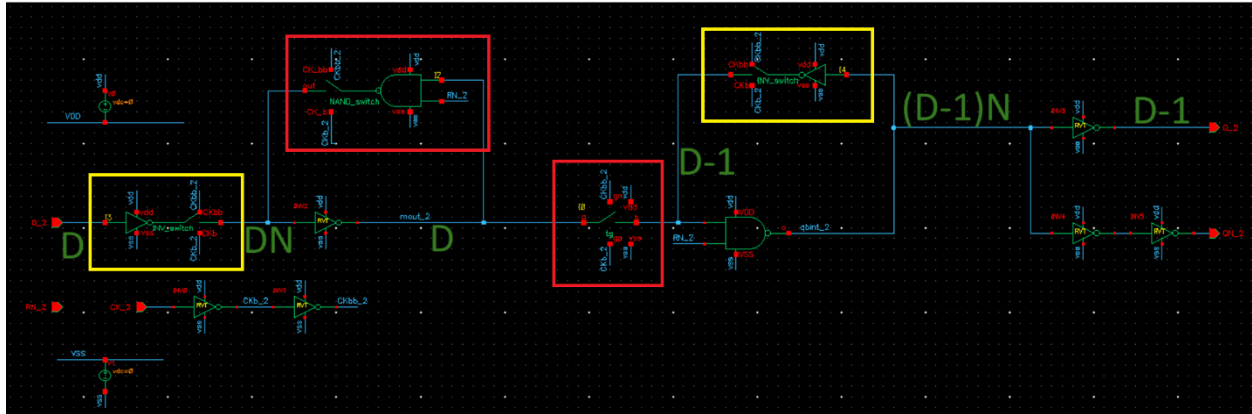
Όπως εξηγήσαμε στις προηγούμενες ενότητες, τα κίτρινα πλαίσια του σχήματος 2.28 άγουν, όταν το CK είναι “0”, ενώ τα κόκκινα πλαίσια άγουν, όταν το CK είναι “1”. Θεωρούμε ότι λειτουργούμε, αφότου έχει γίνει το απαραίτητο reset. Δηλαδή, αφότου, έχουμε στείλει έναν μηδενικό παλμό στην είσοδο RN του DFF για μερικές εκατοντάδες ps. Στην συνέχεια της ανάλυσης θα θεωρήσουμε ότι στην έξοδο του DFF μας υπάρχει αποθηκευμένη η προηγούμενη χρονική τιμή της εισόδου D, από αυτή που θα εξετάσουμε. Δηλαδή στην έξοδο “Q” υπάρχει η τιμή “D-1”. Δεν θα παραλείψουμε να εξηγήσουμε και το γιατί η θεώρηση αυτή, που κάνουμε, είναι δόκιμη. Αρχικά, θεωρούμε ότι το CK είναι “0”, άρα τα κίτρινα πλαίσια του σχήματος 2.29



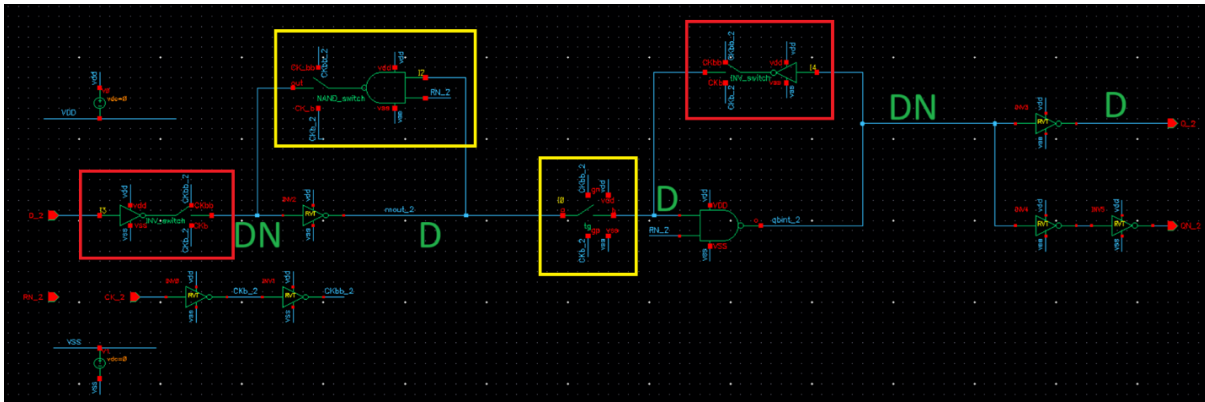
Σχήμα 2.28 Τα κίτρινα άγουν όταν το CK είναι “0”, ενώ τα κόκκινα, όταν το CK είναι “1”

άγουν, ενώ τα κόκκινα όχι. Το σήμα “D” φτάνει στην είσοδο του switch, αλλά δεν μπορεί να περάσει στην έξοδο του. Η απορία που εύλογα προκύπτει είναι το πως είναι δυνατόν να διατηρείται η τιμή του “D-1” στην έξοδο Q του DFF, από την στιγμή που από το switch δεν περνάει κάποιο σήμα. Αν παρατηρήσουμε προσεκτικά, η ύπαρξη της δομής INV_switch δημιουργεί ένα μονοπάτι ανάδρασης, από την έξοδο της πύλης NAND(εν προκειμένω λειτουργεί σαν inverter) ξανά στην είσοδο της. Με αυτήν την ανάδραση λοιπόν το σήμα ανατροφοδοτείται συνεχώς και διατηρεί τις τιμές που φαίνονται στην φωτογραφία. Η συγκεκριμένη δομή ονομάζεται μανδαλωτής (latch), επειδή μανδαλώνει στην τιμή που είχε ακόμα και όταν διακόπτεται η τροφοδοσία. Στην συνέχεια, θα εξετάσουμε τι συμβαίνει μόλις το CK αλλάξει από “0” σε “1”.

Τώρα άγουν τα άνάποδα components που βρίσκονται πάλι σε κίτρινα πλαίσια, στο σχήμα 2.30. Αν και η είσοδος D έχει αποκοπεί από το υπόλοιπο κύκλωμα, η τιμή της διατηρείται λόγω της ύπαρξης του μανδαλωτή, που δημιουργείται από τον αντιστροφέα και την NAND_switch. Έπειτα, η είσοδος D περνάει από το switch και καταλήγει μετά από αντιστροφές στην έξοδο Q. Άρα, μόλις συνέβη η εναλλαγή από “0” σε “1” του CK, η έξοδος Q του DFF άλλαξε τιμή και έγινε “D”, ενώ πριν ήταν “D-1”. Με αυτό τον τρόπο αναλύσαμε την λειτουργία ενός θετικά ακμοφυροδότητου DFF. Τέλος, όταν το CK ξαναπάρει την τιμή “0”, επιστρέφουμε στην πρότερη κατάσταση, του σχήματος 2.29 όπου πλέον το D είναι η νέα τιμή του data και η τιμή D-1 είναι η τιμή που είχαμε πριν. Η διαδικασία αυτή επαναλαμβάνεται καθ’ όλη την διάρκεια λειτουργίας του DFF με την έξοδο Q του να “ενημερώνεται” στην εκάστοτε τιμή της εισόδου D, όταν και μόνο όταν, η τιμή του CK εναλλαχθεί από την τιμή “0” στην τιμή “1”.



Σχήμα 2.29 Κατάσταση λειτουργίας όταν το CK είναι “0”



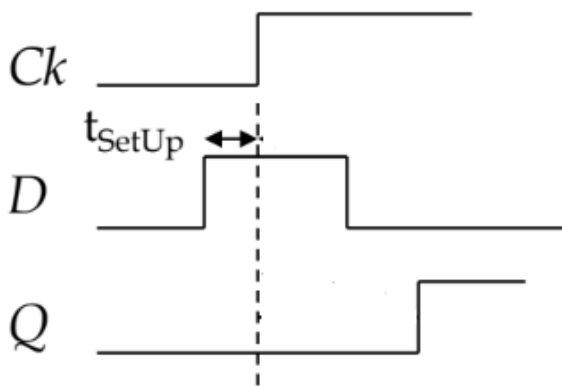
Σχήμα 2.30 Κατάσταση λειτουργίας όταν το CK είναι “1”

2.8 Χαρακτηρισμός D Flip-Flop

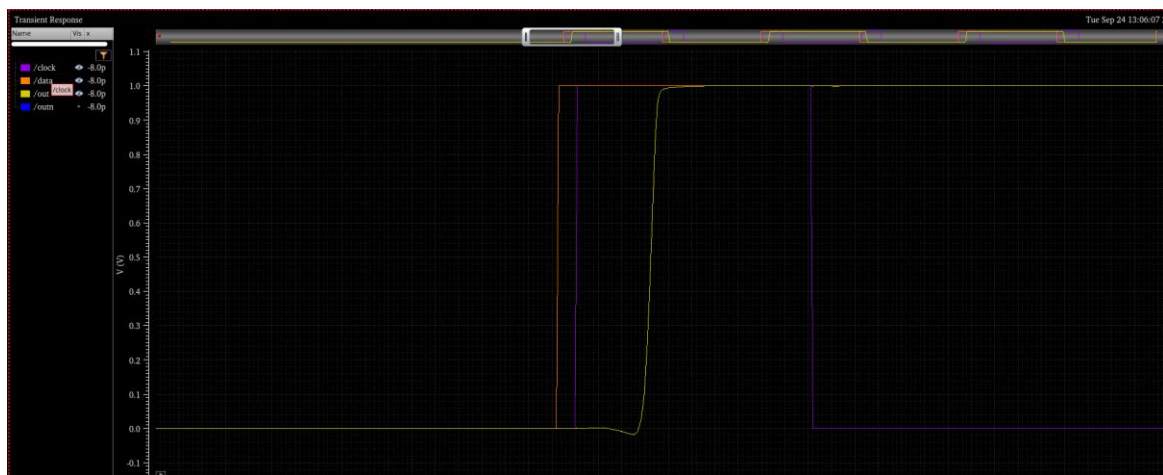
Στην παρούσα ενότητα θα προχωρήσουμε στον χαρακτηρισμό του DFF, υπολογίζοντας τα setup time, hold time και propagation time. Τα μεγέθη αυτά είναι χαρακτηριστικά για την λειτουργία των ψηφιακών κυκλωμάτων.

2.8.1 Setup time

Με τον όρο setup time, εννοούμε την ελάχιστη χρονική διάρκεια κατά την οποία ο παλμός εισόδου D του DFF πρέπει να είναι σταθερός, πριν την εναλλαγή του ρολογιού από 0 σε 1 (θετικά ακμοπυροδότητο DFF). Οποιαδήποτε αλλαγή, κατά την διάρκεια του setup time, στον παλμό εισόδου D μπορεί να οδηγήσει σε απρόβλεπτα αποτελέσματα, συνεπώς είναι απαραίτητο να ξέρουμε την τιμή του. Το σχήμα 2.31 βοηθά στην οπτικοποίηση του setup time. Θα μεταβάλλουμε



Σχήμα 2.31 Setup time



Σχήμα 2.32 Προσομοίωση όπου το setup time είναι 8 ps

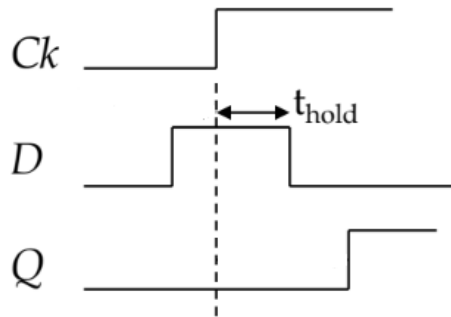


Σχήμα 2.33 Προσομοίωση όπου το setup time είναι 7 ps

την χρονική διαφορά, μεταξύ του παλμού D και του παλμού CK, ώστε να βρούμε την ελάχιστη τιμή κατά την οποία θα αποκριθεί ορθά η έξοδος Q. Στο σχήμα 2.32 φαίνεται μια transient προσομοίωση, στην οποία ο παλμός D προηγείται για 8 ps, από τον παλμό CK (setup time = 8 ps). Παρατηρούμε ότι, η έξοδος out του DFF αποκρίνεται ορθά μετά από μερικά ps και λαμβάνει την τιμή της εισόδου D. Στην συνέχεια, στο σχήμα 2.33, θέτουμε το setup time ίσο με 7 ps και επαναλαμβάνουμε την προσομοίωση. Παρατηρούμε ότι, η έξοδος out δεν αποκρίνεται όπως θα έπρεπε. Δεν λαμβάνει την τιμή της εισόδου D, μετά την εναλλαγή του ρολογιού από “0” σε “1”. Άρα, αν η χρονική διαφορά του σήματος D με το σήμα CK είναι μικρότερη από 8 ps το DFF δεν αποκρίνεται ορθά. Αυτό μας οδηγεί στο συμπέρασμα πως το setup time είναι 8 ps.

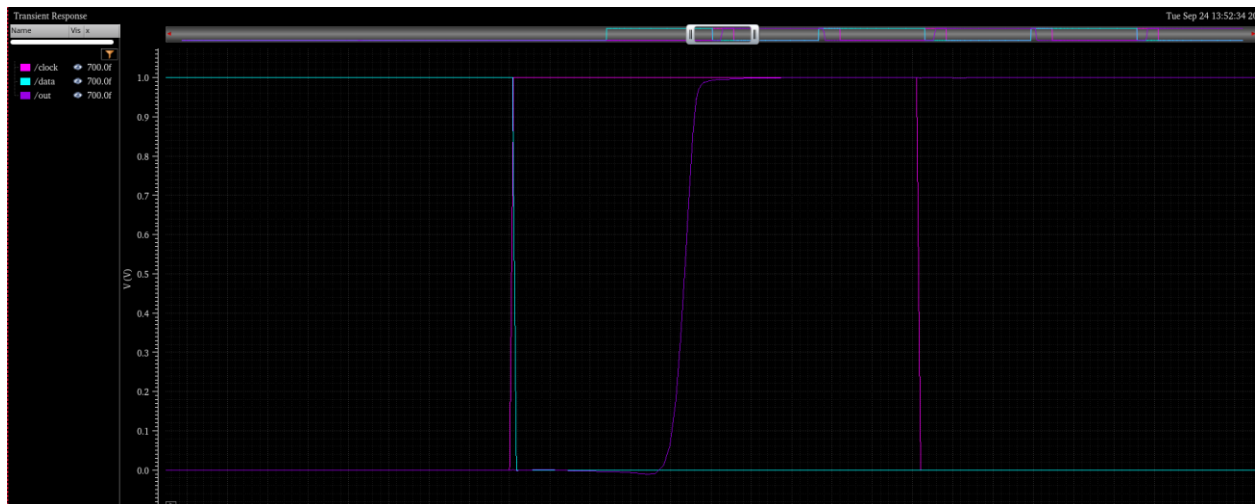
2.8.2 Hold time

Με τον όρο hold time, εννοούμε την ελάχιστη χρονική διάρκεια όπου η είσοδος D του DFF πρέπει να παραμείνει σταθερή μετά την εναλλαγή του CK, ώστε να μανδαλώσει σωστά στην έξοδο του DFF. Επίσης, σημαντικό μέγεθος που πρέπει να γνωρίζουμε για να μην προκύψουν απρόβλεπτα αποτελέσματα στην λειτουργία του κυκλώματός μας. Το σχήμα 2.34 βοηθά στην οπτικοποίηση του hold time. Θα μεταβάλλουμε τον χρόνο, κατά τον οποίο διατηρούμε ίδια την τιμή της εισόδου



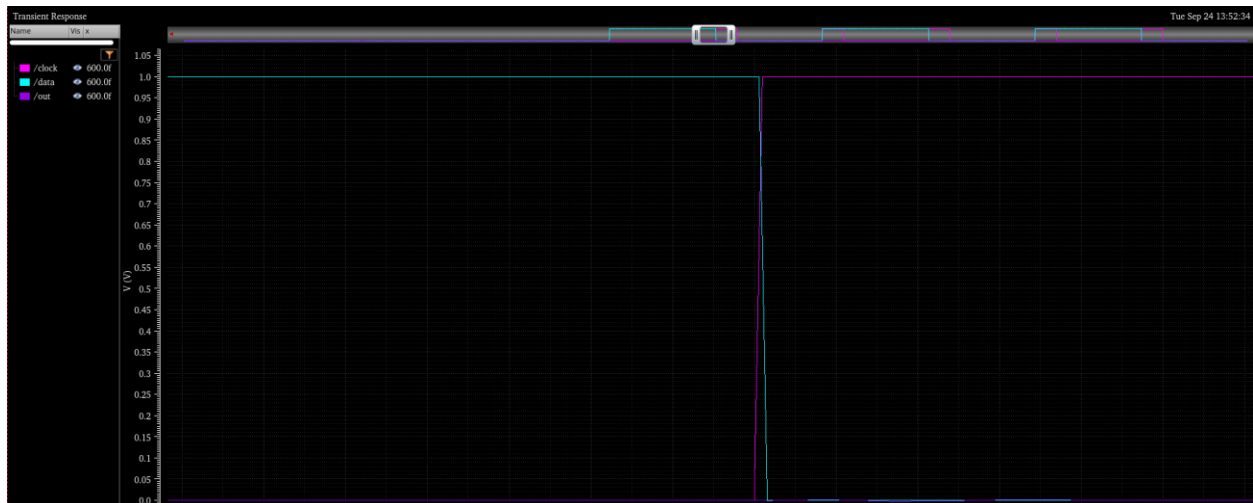
Σχήμα 2.34 Hold time

D μετά την εναλλαγή του CK από “0” σε “1”. Με χρήση κατάλληλης transient προσομοίωσης προέκυψε ότι, το DFF λειτουργούσε κανονικά ακόμα και με hold time ίσο με 1 ps. Στο σχήμα 2.35



Σχήμα 2.35 Προσομοίωση όπου το hold time είναι ίσο με 700 fs

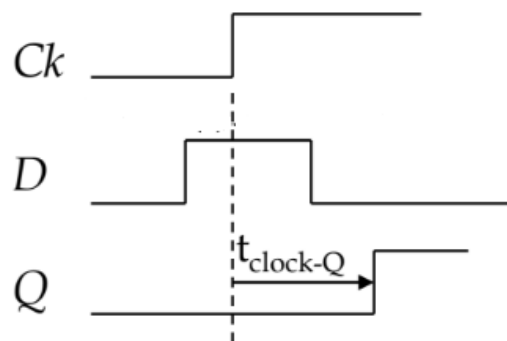
φαίνεται η προσομοίωση, όπου το hold time είναι ίσο 700 fs. Ακόμα και έτσι, το DFF προλαβαίνει να μανδαλώσει και η έξοδος του αποκρίνεται κανονικά μετά από μερικά ps. Στο σχήμα 2.36, φαίνεται η προσομοίωση όπου το hold time είναι ίσο με 600 fs και εκεί προκύπτει η οριακή τιμή αυτού του μεγέθους. Όπως φαίνεται, η έξοδος του DFF δεν αποκρίνεται όπως θα έπρεπε αλλά παραμένει μηδενική καθ' όλη την διάρκεια της προσομοίωσης.



Σχήμα 2.36 Προσομοίωση όπου το hold time είναι ίσο με 600 fs

2.8.3 Propagation time

Τέλος, θα υπολογίσουμε το propagation time του DFF. Αυτός είναι ο απαιτούμενος χρόνος ανάμεσα στην εναλλαγή του clock από “0” σε “1”, μέχρι να περάσει η τιμή της εισόδου στην έξοδο, δηλαδή μέχρι να αποκριθεί το DFF. Με χρήση κατάλληλης προσομοίωσης, υπολογίστηκε αυτή η χρονική διαφορά, η οποία βρέθηκε ίση με 26ps. Άρα το propagation time είναι ίσο με 26ps. Το σχήμα 2.36 βοηθάει στην οπτικοποίηση του propagation time. Τονίζεται ότι όλες οι προσομοιώσεις έγιναν σε typical process. Διαφοροποιήσεις στο process και στην θερμοκρασία θα οδηγήσουν σε διαφορετικά αποτελέσματα, όπως είναι φυσικό.



Σχήμα 2.37 Propagation time

Κεφάλαιο 3

Μελέτη και σχεδίαση TDC

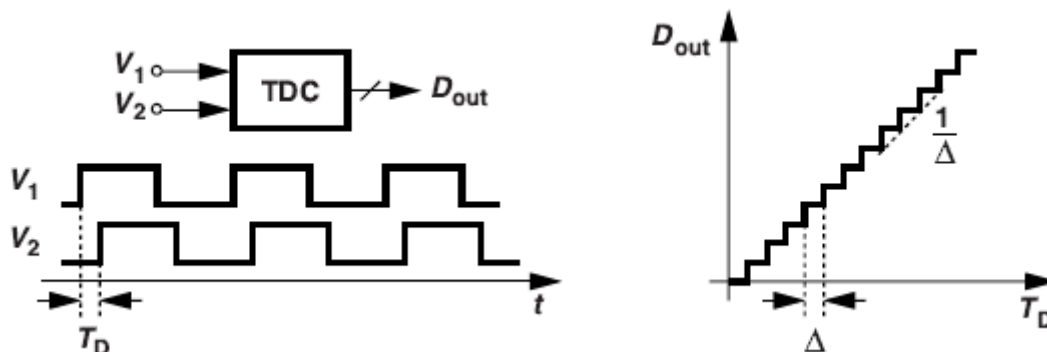
Η μέτρηση του χρονικού διαστήματος μεταξύ δύο γεγονότων είναι απαραίτητη σε διάφορες στιγμές της καθημερινής μας ζωής και αποτελεί αναπόσπαστο εργαλείο πολλών επιστημών, όπως η φυσική, η χημεία, η βιολογία κ.α. Κάθε εφαρμογή απαιτεί διαφορετική ακρίβεια στην μέτρηση του χρόνου, με αποτέλεσμα να χρησιμοποιείται κάθε φορά το κατάλληλο εργαλείο. Στον κλάδο της Ηλεκτρονικής, στις περισσότερες εφαρμογές απαιτείται υπερυψηλή ακρίβεια της τάξης των πικοδευτερολέπτων. Αυτήν την ακρίβεια στην μέτρηση μας, μπορούν να την πετύχουν κυκλώματα που λέγονται TDCs (Time to Digital Converters), τα οποία χρησιμοποιούνται σε πληθώρα εφαρμογών.

3.1 Λειτουργία του TDC

Ο TDC μετράει την χρονική διαφορά μεταξύ δύο σημάτων. Το πρώτο σήμα ορίζει την αρχή της χρονικής μέτρησης και το δεύτερο σήμα ορίζει το τέλος της. Ο TDC μετατρέπει αυτή την χρονική διαφορά σε μια ψηφιακή λέξη (δυαδικός αριθμός). Προφανώς όσο μεγαλύτερος είναι ο μετρούμενος χρόνος τόσο μεγαλύτερη είναι και η ψηφιακή λέξη. Με την μετατροπή, από χρόνο σε ψηφιακή λέξη, μπορούμε να μεταδώσουμε την πληροφορία σε επόμενα κυκλώματα, επιτυγχάνοντας τις διαφορετικές λειτουργίες που επιθυμούμε. Οι TDCs δύναται να ενσωματωθούν εύκολα πάνω σε chips της CMOS τεχνολογίας και με την χρήση τους μειώνουμε το μέγεθος, την κατανάλωση ισχύος και την πολυπλοκότητα των ολοκληρωμένων κυκλωμάτων μας σε σύγκριση με άλλες υλοποιήσεις [8]-[14].

Στο σχήμα 3.1 φαίνεται η λειτουργία του TDC και η χαρακτηριστική του συνάρτηση. Ο TDC δέχεται στην είσοδο του δύο περιοδικά σήματα με διαφορά φάσης T_D και παράγει στην έξοδο του, την ψηφιακή λέξη που αντιστοιχεί σε αυτή την διαφορά. Ο TDC, ως ψηφιακό κύκλωμα, έχει ένα ελάχιστο κατώφλι, κάτω από το οποίο δεν μπορεί να ανιχνεύσει τις χρονικές διαφορές. Η ελάχιστη χρονική διαφορά, που μπορεί να ανιχνεύσει, συμβολίζεται με το γράμμα Δ και αντιστοιχεί στο ελάχιστο σημαντικό ψηφίο της ψηφιακής λέξης, που παράγεται. Η παράμετρος Δ ονομάζεται και χρονική ευκρίνεια και το πόσο μικρή μπορεί να γίνει περιορίζεται άμεσα από την τεχνολογία.

Παρατηρούμε, ότι η χαρακτηριστική συνάρτηση έχει την μορφή «σκαλοπατιών», επειδή όλες οι χρονικές διαφορές μέσα σε ένα εύρος, μικρότερο ή ίσο του Δ ,



Σχήμα 3.1 TDC και η χαρακτηριστική του συνάρτηση

αντιστοιχούν στην ίδια ψηφιακή λέξη. Η κλίση της χαρακτηριστικής συνάρτησης ισούται με $1/\Delta$.

3.2 Σημαντικά μεγέθη του TDC

Για ένα κύκλωμα, όπως ο TDC, μπορούν να υπάρξουν διάφορα χαρακτηριστικά μεγέθη που θα κρίνουν την απόδοσή του. Θα αναφερθούμε στα κυριότερα από αυτά καθώς και σε κάποιες γραμμικές και μη γραμμικές παραμορφώσεις. Επιπλέον, θα αναλύσουμε την πολύ σημαντική αλλαγή μεταξύ χρονικής ευκρίνειας και δυναμικού εύρους και θα καθορίσουμε τους σχεδιαστικούς στόχους που θέλουμε να πετύχουμε.

3.2.1 Κύρια μεγέθη του TDC

1) Χρονική ευκρίνεια: Όπως προαναφέρθηκε, χρονική ευκρίνεια ονομάζεται η ελάχιστη χρονική διάρκεια, που μπορούν να διαφέρουν οι φάσεις των δύο σημάτων εισόδου, την οποία, ο TDC είναι ικανός να ανιχνεύσει. Η χρονική διάρκεια αυτή συμβολίζεται με το γράμμα Δ και συχνά αναφέρεται ως το ελάχιστο σημαντικό ψηφίο, διότι ποσοτικοποιείται με μια ψηφιακή λέξη, η οποία έχει άσσο μόνο στο ελάχιστο σημαντικό ψηφίο της (LSB). Το μέγεθος Δ εξαρτάται από την τοπολογία του κυκλώματος, την τεχνολογία και τις απαιτήσεις για την επίδοση του θορύβου. Σε έναν ιδανικό TDC, χωρίς καμία παραμόρφωση, η πρώτη του απόκριση, δηλαδή η ψηφιακή λέξη με άσσο στο ελάχιστο σημαντικό ψηφίο, θα εμφανιζόταν για χρονική διαφορά ίση με Δ και θα αυξανόταν κατά ένα σε κάθε επόμενο πολλαπλάσιο του Δ . Με αυτό τον τρόπο, θα προέκυπτε η

ιδανική χαρακτηριστική συνάρτηση του σχήματος 3.1, σε σχήμα σκάλας, με κλίση $1/\Delta$ και πλάτος σκαλοπατιού, ίσο με Δ .

2) Δυναμικό εύρος: Δυναμικό εύρος ορίζεται η μέγιστη χρονική διαφορά που μπορούν να έχουν δύο σήματα, ώστε να ανιχνευτεί σωστά από τον TDC. Όπως φαίνεται και στο σχήμα 3.1, υπάρχει ένα ανώτατο σκαλοπάτι, πέρα από το οποίο οποιαδήποτε χρονική διαφορά υπάρξει θα ποσοτικοποιηθεί με την ίδια λέξη. Άρα, μετά από ένα χρονικό όριο, ο TDC δεν μπορεί να ανιχνεύσει σωστά την διαφορά φάσης των σημάτων. Το δυναμικό εύρος συμβολίζεται, ως T_{FS} , και εξαρτάται, όπως θα δούμε αναλυτικότερα στην συνέχεια, από το πόσα στοιχεία καθυστέρησης έχουμε στο κύκλωμα μας και από το πόσο μεγάλο είναι το Δ . Ισχύει ότι:

$$T_{FS} = N * \Delta \quad (3.1)$$

όπου N , ο αριθμός των στοιχείων καθυστέρησης του κυκλώματος. Από τον τύπο (3.1) προκύπτει μια πρώτη ανταλλαγή του κυκλώματος που θα εξετάσουμε στην συνέχεια. Ιδανικά θα επιθυμούσαμε το Δ να είναι πολύ μικρό, ώστε να ανιχνεύαμε και τις ελάχιστες χρονικές διαφορές. Κάτι τέτοιο όμως, θα μας οδηγούσε σε ένα πολύ μικρό δυναμικό εύρος, που θα περιόριζε την εύρυθμη λειτουργία του κυκλώματος.

3) Χρόνος μετατροπής: Είναι ο χρόνος που απαιτείται από την στιγμή που φτάνει το πρώτο σήμα, μέχρι την στιγμή που θα παραχθεί στην έξοδο η αντίστοιχη ψηφιακή λέξη. Ο χρόνος μετατροπής έχει ιδιαίτερη σημασία σε εφαρμογές που απαιτούν υψηλή ταχύτητα απόκρισης, όπως για παράδειγμα οι στρατιωτικές. Μέσα στον χρόνο μετατροπής, όμως συμπεριλαμβάνεται και η εγγενής χρονική διαφορά που έχουν μεταξύ τους τα δύο σήματα και που πρέπει να μετρήσει ο TDC. Για αυτό τον λόγο, ο χρόνος μετατροπής, αν και σημαντικός, είναι ένα μέγεθος από το οποίο δεν μπορούν να αντληθούν ξεκάθαρα συμπεράσματα.

4) Χρόνος καθυστέρησης: Είναι ο χρόνος που απαιτείται από την στιγμή που φτάνει το δεύτερο σήμα, το οποίο σηματοδοτεί και την λήξη της χρονικής μέτρησης, μέχρι την στιγμή που θα παραχθεί στην έξοδο η αντίστοιχη ψηφιακή λέξη. Το μέγεθος αυτό είναι πολύ πιο

αντιπροσωπευτικό όσον αφορά τον χρόνο απόκρισης, μιας και δεν περιέχει τον χρόνο που απαιτείται για την μέτρηση της διαφοράς φάσης [21].

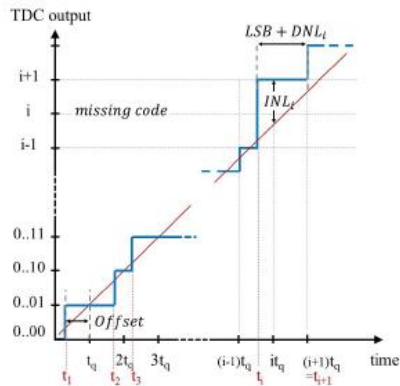
3.2.2 Γραμμικές και μη γραμμικές παραμορφώσεις

Στην συνέχεια θα αναφέρουμε και θα αναλύσουμε κάποιες γραμμικές και μη γραμμικές παραμορφώσεις του TDC. Στο σχήμα 3.2 φαίνονται ορισμένες από αυτές τις παραμορφώσεις.

1) Σφάλμα κβαντοποίησης: Πρόκειται για το αναπόφευκτο σφάλμα που παρουσιάζεται στα κυκλώματα που επιτελούν οποιαδήποτε ψηφιακή μετατροπή. Προαναφέρθηκε, ότι κάθε ψηφιακή λέξη αντιστοιχεί σε ένα εύρος Δ χρονικών στιγμών, όπου αντιπροσωπεύουν την χρονική διαφορά μεταξύ δύο σημάτων. Αυτό σημαίνει ότι ο TDC δεν ανιχνεύει ακριβώς την χρονική διαφορά μεταξύ δύο σημάτων, αλλά ένα χρονικό διάστημα μέσα στο οποίο βρίσκεται η ακριβής χρονική διαφορά. Η διαφορά της ψηφιακής τιμής με την πραγματική τιμή, ονομάζεται σφάλμα κβαντοποίησης και συμβολίζεται με το γράμμα ε . Άρα, για την ακριβή χρονική διαφορά θα ισχύει πάντα ότι:

$$t_{real} = TDC_{out} * \Delta + \varepsilon \quad (3.2)$$

Όπως είναι λογικό το σφάλμα κβαντοποίησης, ε , μειώνεται όσο μικραίνει η χρονική ευκρίνεια Δ , διότι με αυτό τον τρόπο μειώνεται το περιθώριο σφάλματος.



Σχήμα 3.2 Παραδείγματα παραμορφώσεων TDC

2) Διαφορική μη γραμμικότητα (DNL): Είναι η απόκλιση οποιουδήποτε σκαλοπατιού από το επιθυμητό πλάτος Δ , που θα είχε ένας ιδανικός TDC, προς το πλάτος Δ . Αυτό συμβαίνει, αν κάποιο από τα στοιχεία καθυστέρησης, που θα δούμε στην συνέχεια, εισάγει κάποιο σφάλμα μετατόπισης, δηλαδή αντί για την επιθυμητή καθυστέρηση Δ , εισάγει $\Delta + \delta$ ή $\Delta - \delta$, όπου δ το σφάλμα μετατόπισης. Ο τύπος για την διαφορική μη γραμμικότητα είναι ο εξής:

$$DNL(n) = \frac{t_{n+1} - t_n - \Delta}{\Delta} \quad (3.3)$$

,όπου t_n η χρονική στιγμή που εμφανίζεται το νιοστό σκαλοπάτι.

3) Ολοκληρωτική μη γραμμικότητα (INL): Είναι η κατακόρυφη απόκλιση, οποιουδήποτε σκαλοπατιού, από την ιδανική γραμμική χαρακτηριστική συνάρτηση, που φαίνεται με κόκκινο χρώμα στο σχήμα 3.2. Ονομάζεται ολοκληρωτική, διότι δείχνει την αθροιστική απόκλιση από την ιδεατή τιμή ενός σκαλοπατιού, λόγω των αποκλίσεων όλων των προηγούμενων σκαλοπατιών. Επομένως, γίνεται κατανοητό, ότι η ολοκληρωτική μη γραμμικότητα ενός σκαλοπατιού είναι το άθροισμα της διαφορικής μη γραμμικότητας του σκαλοπατιού και όλων των προηγούμενων σκαλοπατιών. Έτσι, προκύπτει ο τύπος:

$$INL(n) = \sum_{k=0}^n DNL_k \quad (3.4)$$

3.2.3 Ανταλλαγή μεταξύ χρονικής ευκρίνειας και δυναμικού εύρους

Από τον τύπο (3.1) προκύπτει μια βασική ανταλλαγή μεταξύ δύο κύριων μεγεθών ενός TDC. Για σταθερό αριθμό N σταδίων καθυστέρησης, τα μεγέθη T_{FS} και Δ είναι μεταξύ τους ανάλογα. Ιδανικά θα επιθυμούσαμε όσο το δυνατόν μικρότερο Δ για να μπορούμε να ανιχνεύσουμε και τις μικρότερες χρονικές διαφορές φάσης και όσο το δυνατόν μεγαλύτερο T_{FS} για να είμαστε σε θέση να μετράμε σωστά όσο το δυνατόν μεγαλύτερες διαφορές φάσεις μεταξύ των δύο σημάτων. Στην αρχική φάση του κλειδώματος του DPLL τα δύο σήματα δύναται να έχουν μεγάλη διαφορά φάσης μεταξύ τους. Αν το T_{FS} είναι μικρότερο από την διαφορά φάσης, τότε αυτή δεν θα μπορέσει να ποσοτικοποιηθεί σωστά από τον TDC με αποτέλεσμα το DPLL να μην μπορέσει να κλειδώσει και να συγχρονίσει τα δύο σήματα μεταξύ τους. Από την άλλη στην τελική φάση του κλειδώματος επιζητάμε τα δύο σήματα να συγχρονιστούν όσο καλύτερα γίνεται μεταξύ τους κάτι που σαφώς εξαρτάται από το πόσο μικρό είναι το Δ , ώστε να μπορούμε να ανιχνεύσουμε οποιαδήποτε μικρή

διαφορά φάσης. Ο τύπος (3.1) καταδεικνύει ότι το να προσπαθήσουμε να επιτύχουμε μικρό Δ συνεπάγεται μείωση στο T_{FS} , ενώ για να πετύχουμε μεγαλύτερο δυναμικό εύρος πρέπει να αυξήσουμε το Δ . Υπάρχει η προφανής επιλογή να αυξήσουμε τον αριθμό των σταδίων καθυστέρησης N , αλλά δεν είναι πάντα εφικτό στον βαθμό που επιθυμούμε διότι η αύξηση των σταδίων καθυστέρησης οδηγεί στην αύξηση του χώρου που καταλαμβάνει το τσιπ. Ο περιορισμός αυτός των σταδίων καθυστέρησης περιορίζει και το πόσο μπορούμε να εκμεταλλευτούμε την δεδομένη ανταλλαγή.

Η ανάλυση γίνεται πολύπλοκότερη εξαιτίας της μεταβολής που υπάρχει με τις PVT (Process, Voltage, Temperature) μεταβολές. Ειδικότερα, με τις μεταβολές στο Process, ο σχεδιαστής πρέπει να φροντίσει ώστε το Δ να είναι επαρκώς μικρό στο SS (Slow-Slow) corner και το T_{FS} να είναι επαρκώς μεγάλο στο FF corner. Με αυτό τον τρόπο ο σχεδιαστής χρειάζεται να υπερκαλύψει τους σχεδιαστικούς στόχους του κυκλώματος, ώστε να το κύκλωμα να είναι λειτουργικό σε όλο το εύρος των PVT μεταβολών. Αυτή η υπερκάλυψη οδηγεί σε επιπλέον κατανάλωση χώρου του ολοκληρωμένου [2].

Ιδανική θα ήταν η ύπαρξη μιας αντιστάθμισης στις PVT μεταβολές που θα καθιστούσε αχρείαστη την υπερκάλυψη αυτή. Θα αναφερθούμε στην συνέχεια σε μια καινοτόμα ιδέα που επιτυγχάνει ακριβώς αυτό τον στόχο και επινοήθηκε στα πλαίσια της παρούσης διπλωματικής.

3.2.4 Σχεδιαστικά δεδομένα και στόχοι για τον TDC

Τα σήματα εισόδου του TDC από τον κρύσταλλο και από τον διαιρέτη θα είναι συχνότητας 40 MHz. Ένας εμπειρικός κανόνας για τον TDC είναι ότι πρέπει να έχει δυναμικό εύρος τουλάχιστον ίσο με 3 περιόδους του DCO. Το DPLL θέλουμε να μπορεί να κλειδώσει σε κεντρική συχνότητα

5 GHz και εύρος +/- 1 GHz. Με δεδομένη την κεντρική συχνότητα προκύπτει για την περίοδο του DCO ότι:

$$T_{DCO} = \frac{1}{f_{DCO}} = \frac{1}{5 * 10^9} = 200 \text{ ps}$$

Άρα για το δυναμικό εύρος ισχύει ότι:

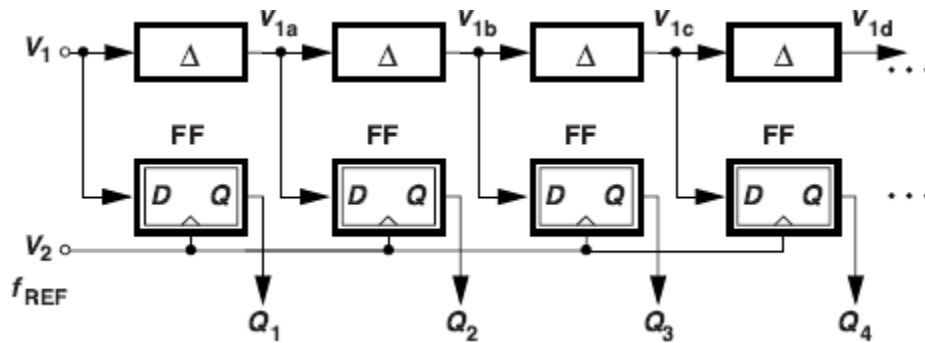
$$T_{FS} \geq 3 * T_{DCO} = 3 * 200 = 600 \text{ ps}$$

Τέλος ο σχεδιαστικός στόχος για το resolution είναι:

$$\Delta < 5 \text{ ps}$$

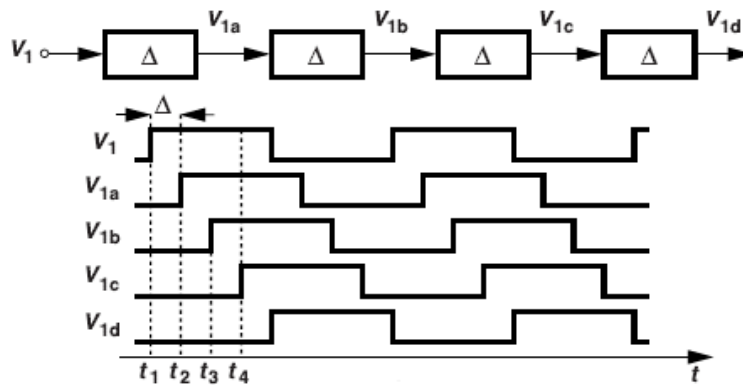
3.3 Ανάλυση βασικής τοπολογίας του TDC

Η βασική λειτουργία ενός TDC είναι η μέτρηση της διαφοράς φάσης μεταξύ δύο σημάτων. Μια απλή τοπολογία TDC που επιτυγχάνει αυτή την λειτουργία φαίνεται στο σχήμα 3.3. Το σήμα V_1



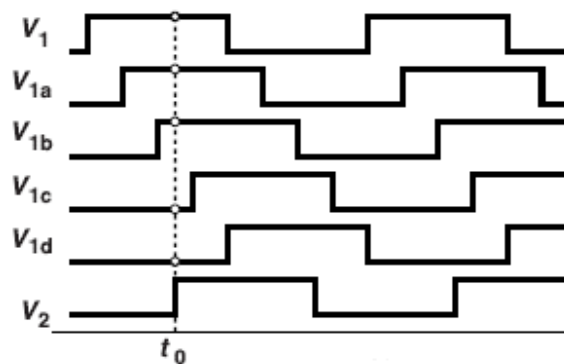
Σχήμα 3.3 Βασική τοπολογία TDC

περνάει μέσα από N διαδοχικά στάδια καθυστέρησης Δ , καθένα από τα οποία παράγει στην έξοδο του μια καθυστερημένη έκδοση του σήματος V_1 , όπως φαίνεται στο σχήμα 3.4. Στην συνέχεια,



Σχήμα 3.4 Στάδια καθυστέρησης σήματος V_1

θέλουμε να προσδιορίσουμε ανάμεσα σε ποιες δύο καθυστερημένες εκδοχές του σήματος V_1 , καταφθάνει το σήμα V_2 , όπως φαίνεται στο σχήμα 3.5. Για να το πετύχουμε αυτό, θα χρησιμοποιήσουμε N D flip-flop (DFF), καθένα από τα οποία θα συγκρίνει μια καθυστερημένη εκδοχή του σήματος V_1 , με το σήμα V_2 . Το σήμα V_2 χρησιμοποιείται, ως είσοδος στο ρολόι σε όλα τα DFF. Κάθε DFF δέχεται στην είσοδο των δεδομένων του (data), μία από τις καθυστερημένες εκδοχές του σήματος V_1 . Εάν το σήμα V_2 , έρθει αργότερα από την αντίστοιχη εκδοχή του V_1 , όπως γίνεται με το σήμα V_{1b} , στο σχήμα 3.5, τότε στην εναλλαγή του ρολογιού



Σχήμα 3.5 Σύγκριση του σήματος V_2 με όλες τις εκδοχές του σήματος V_1

από μηδέν σε ένα, τα δεδομένα θα έχουν άσσο, οπότε στην έξοδο θα περάσει ο άσσο. Αν, όμως το σήμα V_2 , έρθει νωρίτερα από την εκδοχή του V_1 , όπως γίνεται με το σήμα V_{1c} , τότε στην

εναλλαγή του ρολογιού από μηδέν σε ένα, τα δεδομένα θα έχουν μηδενικό, οπότε στην έξοδο θα περάσει μηδέν.

Γίνεται κατανοητό, ότι θα έχουμε N εξόδους Q των DFF, από τις οποίες κάποιες αρχικές θα είναι άσσοι και στην συνέχεια οι υπόλοιπες θα είναι μηδενικά. Η εναλλαγή από άσσους σε μηδενικά θα γίνει μεταξύ των σημάτων, στα οποία ενδιάμεσα θα παρευρίσκεται χρονικά η άφιξη του σήματος V_2 . Στο σχήμα 3.5, τα δύο αυτά σήματα είναι το V_{1b} και το V_{1c} . Με αυτό τον τρόπο θα ποσοτικοποιηθεί η χρονική διαφορά των σημάτων V_1 και V_2 , δεδομένου ότι θα γνωρίζουμε μέσα από πόσα στάδια καθυστέρησης Δ θα πρέπει να περάσει το σήμα V_1 , ώστε να το προσπεράσει χρονικά, το σήμα V_2 . Σημειώνουμε ότι γνωρίζουμε ακριβώς, μέσα από προσομοιώσεις, την τιμή της χρονικής καθυστέρησης Δ . Οι N εξοδοί των DFF σχηματίζουν μία ψηφιακή λέξη θερμομετρικής λογικής, που έχει αρχικά M άσσους και στην συνέχεια $N-M$ μηδενικά. Η ψηφιακή λέξη αυτή γίνεται εισόδος, σε έναν μετατροπέα αριθμού θερμομετρικής λογικής σε δυαδικό, όπως αυτός που αναλύσαμε στην ενότητα 2.4, και έτσι μετατρέπεται σε δυαδικό αριθμό.

Η χρονική καθυστέρηση Δ θα υλοποιηθεί, κυκλωματικά, με την χρήση ενός buffer. Η χρονική ευκρίνεια Δ , είναι επιθυμητό να είναι, όσο μικρότερη γίνεται. Τα στάδια Δ θα μπορούσαν να υλοποιηθούν και με την χρήση ενός απλού inverter, τεχνική με την οποία θα πετυχαίναμε ακόμα μικρότερη χρονική ευκρίνεια. Η μείωση του Δ , όμως, συνεπάγεται και μείωση του δυναμικού εύρους του TDC, όπως προκύπτει από την σχέση (3.1). Επιπλέον, η χρήση των inverter κάνει πολυπλοκότερη την εξέταση του κυκλώματος, καθώς υπάρχουν και αντεστραμμένα σήματα. Ο buffer πετυχαίνει αρκετά μικρό Δ και μας εξασφαλίζει, ότι θα υπάρχουν, μόνο καθυστερημένες εκδόσεις του σήματος εισόδου και όχι αντεστραμμένες. Το μικρότερο Δ που μπορούμε να πετύχουμε είναι με χρήση των ταχύτερων τρανζίστορ, που υπάρχουν στην τεχνολογία.

Η 22FDX επιτρέπει ελάχιστο μήκος 20nm και ελάχιστο πλάτος 80nm, στα nmos και pmos τρανζίστορ. Ανάμεσα στα τέσσερα διαφορετικά τρανζίστορ, που έχουμε να επιλέξουμε για την υλοποίηση του buffer, τρέξαμε κατάλληλη transient προσομοίωση για να αποφανθούμε για το ποιο τρανζίστορ, οδηγεί σε χαμηλότερο Δ . Τα αποτελέσματα της προσομοίωσης φαίνονται στο

πίνακα 3.1. Αυτό που μετρήθηκε είναι το πόσος χρόνος απαιτείται, ώστε οι τέσσερις buffer να αναστρέψουν δύο φορές ένα σήμα εισόδου και να το παράξουν στην έξοδο τους. Από την

Τρανζίστορ	Δ
Regular V_t	7.55ps
High V_t	11.75ps
Low V_t	8.216ps
Super low V_t	5.771ps

Πίνακας 3.1 Μέτρηση Δ για διαφορετικά transistor

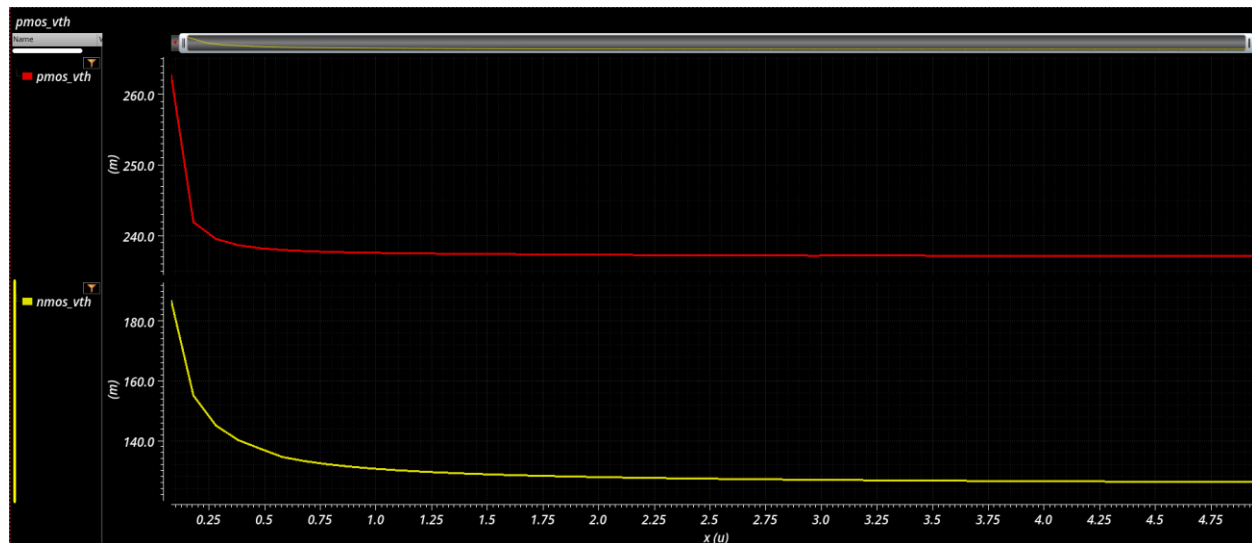
προσομοίωση προέκυψε ότι το slvt τρανζίστορ παρήγαγε μικρότερο Δ , άρα αυτό επιλέγουμε για την υλοποίηση του buffer.

3.4 Υλοποίηση βασικής τοπολογίας TDC

3.4.1 Αντιστροφέας με χρήση slvt τρανζίστορ

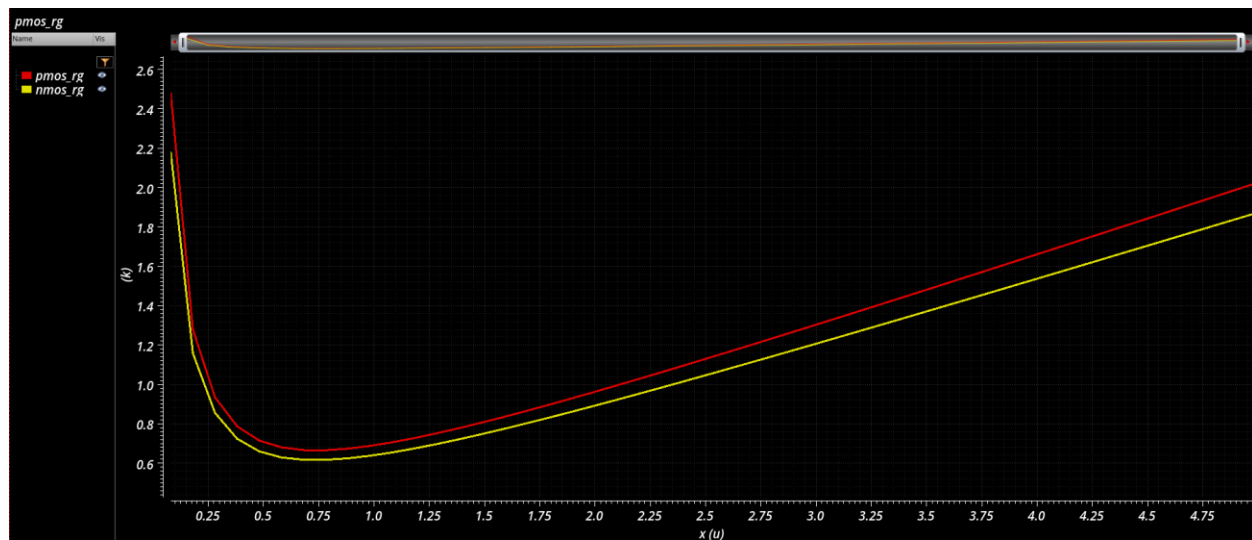
Απαραίτητος για την δημιουργία του buffer, είναι ο αντιστροφέας, του οποίου την λειτουργία αναλύσαμε στην ενότητα 2.5. Η μέχρι πρότινος πρακτική, για την δημιουργία του αντιστροφέα με την μικρότερη χρονική απόκριση στην έξοδο του, ήταν η επιλογή των μικρότερων διαστάσεων, που επιτρέπει η κάθε τεχνολογία, για τα pmos και nmos τρανζίστορ. Κάτι τέτοιο, δεν ισχύει στην τεχνολογία 22FDX. Το μήκος των τρανζίστορ πρέπει να είναι το μικρότερο δυνατό, καθώς οποιαδήποτε αύξηση του, οδηγεί σε χαμηλότερη ταχύτητα απόκρισης του αντιστροφέα. Αυτό δεν ισχύει όμως, για το πλάτος των τρανζίστορ. Δύο παράγοντες, που επηρεάζονται από το πλάτος και επηρεάζουν την ταχύτητα απόκρισης είναι το V_{th} και ο RC συνδυασμός, που δημιουργείται στην

πύλη των τρανζίστορ. Με χρήση κατάλληλης transient προσομοίωσης, δημιουργούμε τα διαγράμματα $V_{th} - W$, $R_g - W$ και $C_{gg} - W$. Στο σχήμα 3.6 φαίνεται το διάγραμμα $V_{th} - W$, για τα



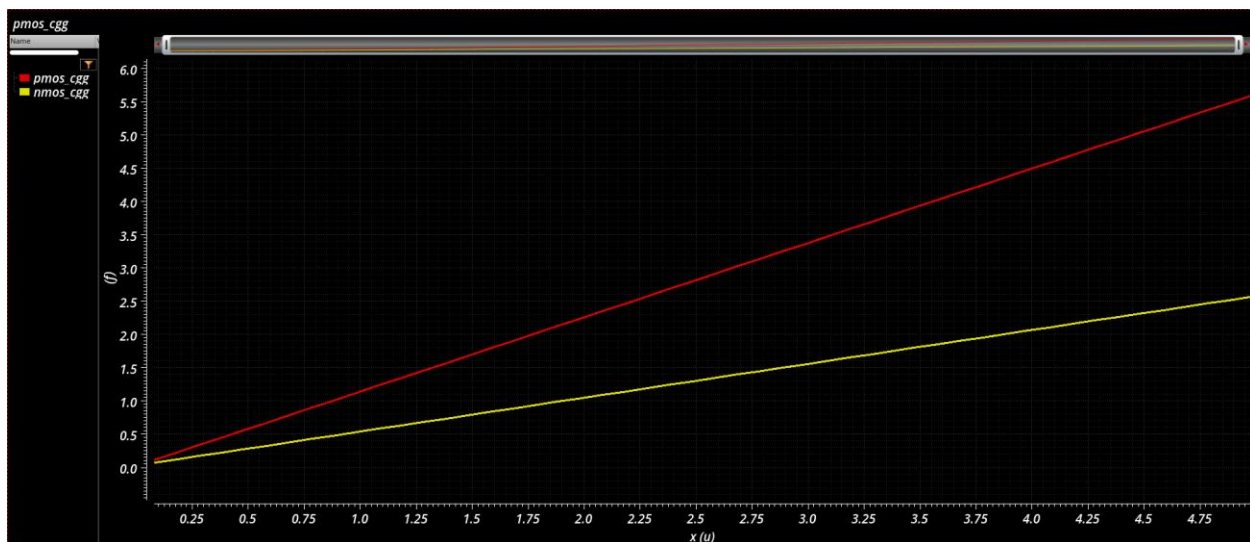
Σχήμα 3.6 Διάγραμμα $V_{th} - W$ για τα pmos και nmos τρανζίστορ

pmos και nmos. Όπως παρατηρούμε, το V_{th} εμφανίζει σημαντική μείωση μέχρι και τα 300nm, για τα pmos. Για τα nmos, η αντίστοιχη μείωση είναι μέχρι τα 500nm. Η μείωση του V_{th} , των τρανζίστορ, κάνει τους αντιστροφείς και συνεπώς, τους buffer, ταχύτερους. Μετά από τα πλάτη που αναφέραμε, το V_{th} μειώνεται ελάχιστα και δεν συμβάλει σε περαιτέρω αύξηση, της ταχύτητας απόκρισης. Στο σχήμα 3.7 παρατίθεται το διάγραμμα $R_g - W$, για τα pmos και nmos. Αν και αυτό,



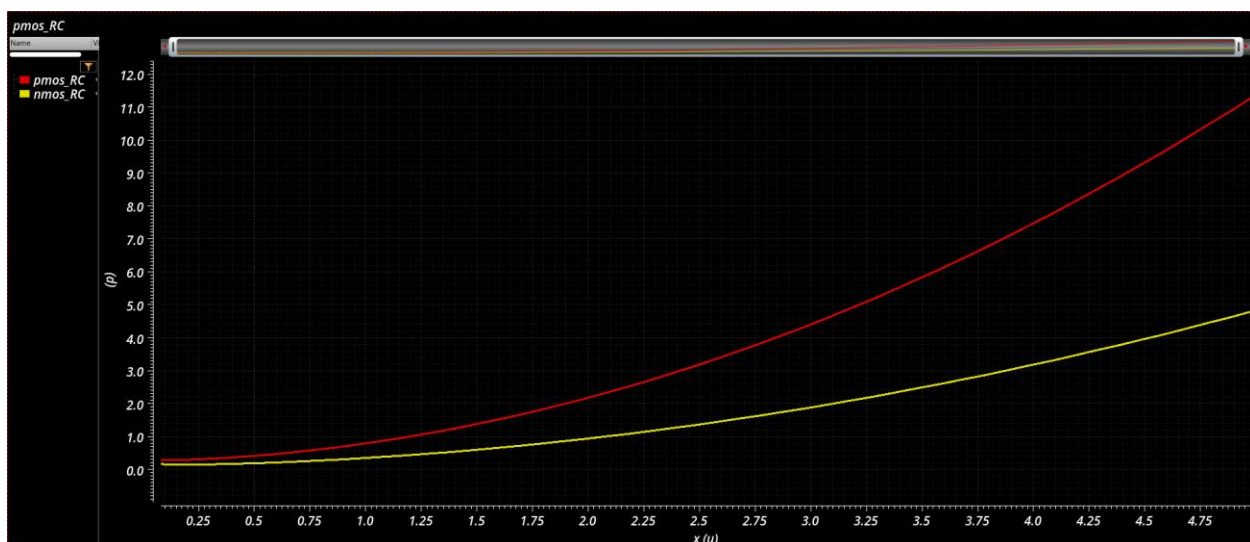
Σχήμα 3.7 Διάγραμμα $R_g - W$ για τα pmos και nmos τρανζίστορ

που μας ενδιαφέρει, είναι ο συνδυασμός RC, είναι δόκιμο να εξετάσουμε ξεχωριστά την συνάρτηση της αντίστασης και της χωρητικότητας, ως προς το πλάτος. Όπως παρατηρούμε, η αντίσταση R_g , γίνεται ελάχιστη, για πλάτος περίπου 750nm, τόσο για τα pmos, όσο και για τα nmos. Στο σχήμα 3.8, φαίνεται το διάγραμμα $C_{gg} - W$. Όπως ήταν αναμενόμενο, υπάρχει γραμμική εξάρτηση μεταξύ της χωρητικότητας C_{gg} και του πλάτους W , των τρανζίστορ. Βέβαια,



Σχήμα 3.8 Διάγραμμα $C_{gg} - W$ για τα pmos και nmos τρανζίστορ

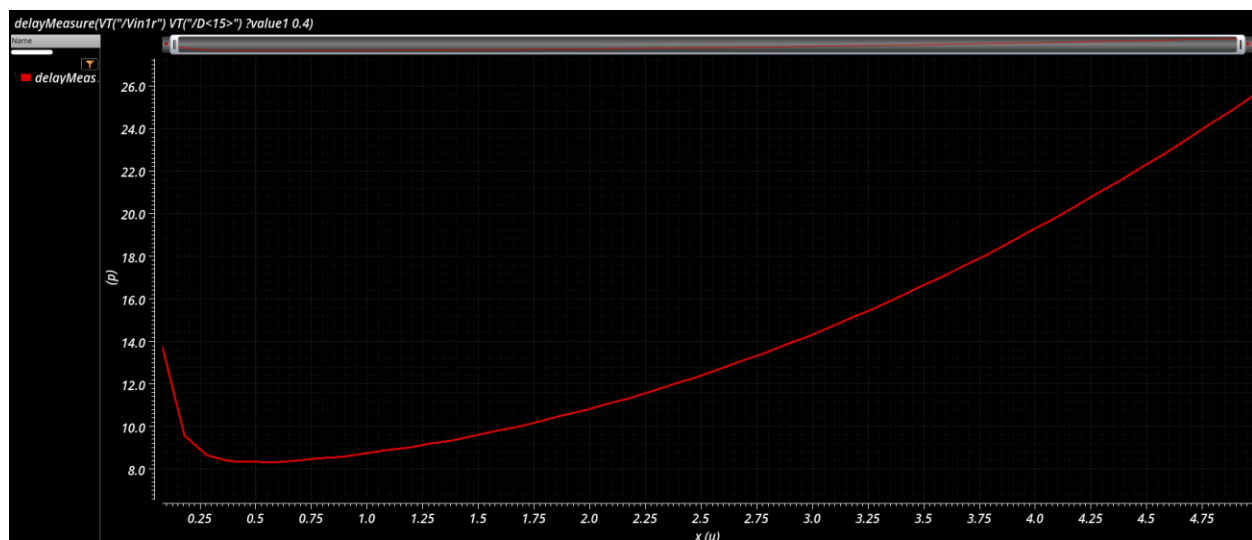
μας ενδιαφέρει, η συνολική εξάρτηση του RC από το πλάτος, η οποία παρουσιάζεται στο διάγραμμα 3.9. Παρατηρούμε, ότι το βέλτιστο σημείο, που υπήρχε στο σχήμα 3.7, δεν υπάρχει



Σχήμα 3.9 Διάγραμμα $R_g * C_{gg} - W$ για το pmos και nmos τρανζίστορ

στο παρόν σχήμα. Αυτό σημαίνει, ότι η μείωση της αντίστασης R_g , δεν είναι αρκετή για να

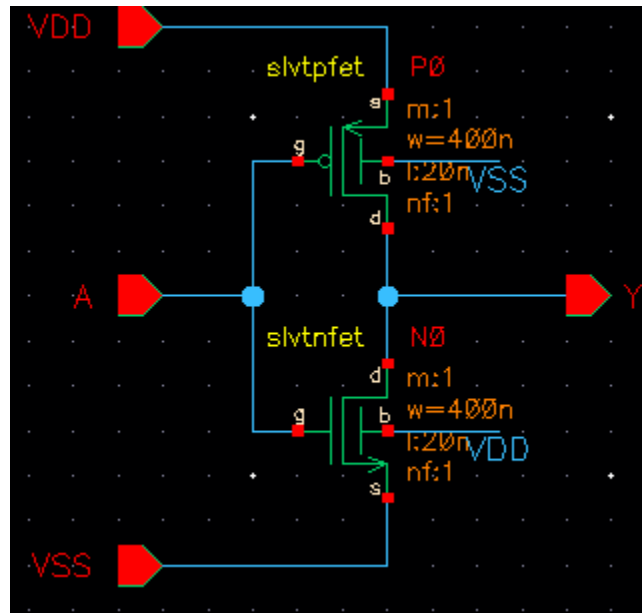
υπερκεράσει την αύξηση της χωρητικότητας C_{gg} . Άρα, για να βρούμε το βέλτιστο πλάτος, που θα μας οδηγήσει, στον χαμηλότερο χρόνο απόκρισης, πρέπει να βρούμε το πλάτος, για το οποίο ο συνδυασμός V_{th} και RC θα γίνει βέλτιστος. Για να το βρούμε αυτό, δεν είναι απαραίτητο να ασχοληθούμε με γραφική επίλυση ή με τις μαθηματικές εξισώσεις. Μπορούμε απλά να τρέξουμε κατάλληλη transient προσομοίωση, για διάφορα πλάτη και να μετράμε κάθε φορά την χρονική καθυστέρηση, που εισάγει ο κάθε buffer. Η παραπάνω ανάλυση, θα είναι απλά η εξήγηση των αποτελεσμάτων, που θα προκύψουν. Στο σχήμα 3.10, φαίνεται αυτή η χρονική καθυστέρηση σε συνάρτηση με το πλάτος. Όπως ήταν αναμενόμενο, το παρόν διάγραμμα έχει βέλτιστο σημείο. Η



Σχήμα 3.10 Διάγραμμα χρονικής καθυστέρησης σε συνάρτηση με το πλάτος

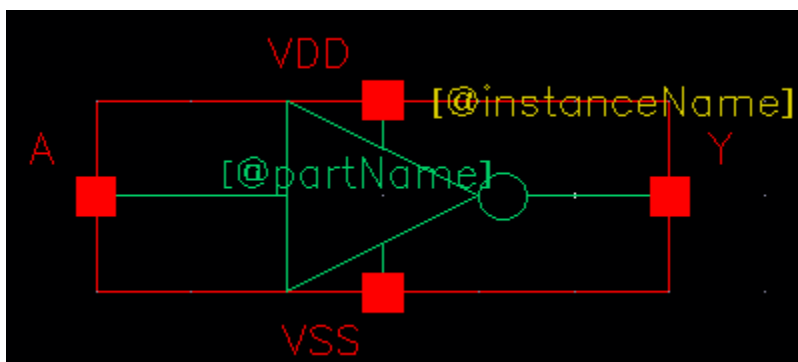
βελτίωση της χρονικής καθυστέρησης, συγκριτικά με αυτή, που υπάρχει στο χαμηλότερο πλάτος που επιτρέπει η τεχνολογία, δηλαδή στα 80nm, είναι περίπου 5ps. Η μείωση αυτή, ποσοστιαία είναι περίπου 50%, άρα είναι πολύ θεμιτή, δεδομένου ότι χρειαζόμαστε πολύ μικρή χρονική ευκρίνεια Δ . Παρατηρούμε, επίσης, ότι υπάρχει μια περιοχή ανάμεσα στα 250nm και τα 750nm, όπου η χρονική καθυστέρηση, δεν μεταβάλλεται παρά μόνο, για μερικές εκατοντάδες fs. Επιλέγουμε, για πλάτος των τρανζίστορ, την τιμή 400nm, διότι είναι πολύ κοντά στο βέλτιστο σημείο και παραμένει μια σχετικά μικρή τιμή πλάτους, η οποία δεν θα δημιουργήσει προβλήματα στον χώρο, που θα καταλαμβάνει το ολοκληρωμένο κύκλωμα. Με την παραπάνω ανάλυση, βρέθηκαν οι βέλτιστες τιμές, για την κατασκευή των ταχύτερων αντιστροφών, που μπορούμε να παραγάγουμε, με την τεχνολογία 22FDX. Ειδικά στην βασική τοπολογία του TDC, θα χρησιμοποιήσουμε αποκλειστικά αυτούς. Τα τρανζίστορ των αντιστροφών, δηλαδή, θα έχουν μήκος ίσο με 20nm και πλάτος ίσο με 400nm. Με την χρήση αυτών των αντιστροφών θα

δημιουργήσουμε και τους ταχύτερους buffer, αντίστοιχα. Όπως επεξηγήθηκε στην αντίστοιχη ενότητα, τα slvt τρανζίστορ απαιτούν forward back biasing, διότι κατασκευάζονται με flipwell. Συνεπώς, το body του nmos πολώνεται με την τάση τροφοδοσίας και το body του pmos συνδέεται στο ground. Το σχηματικό του αντιστροφέα, που περιγράφουμε φαίνεται στο σχήμα 3.11. Το



Σχήμα 3.11 Αντιστροφέας για την βασική τοπολογία του TDC

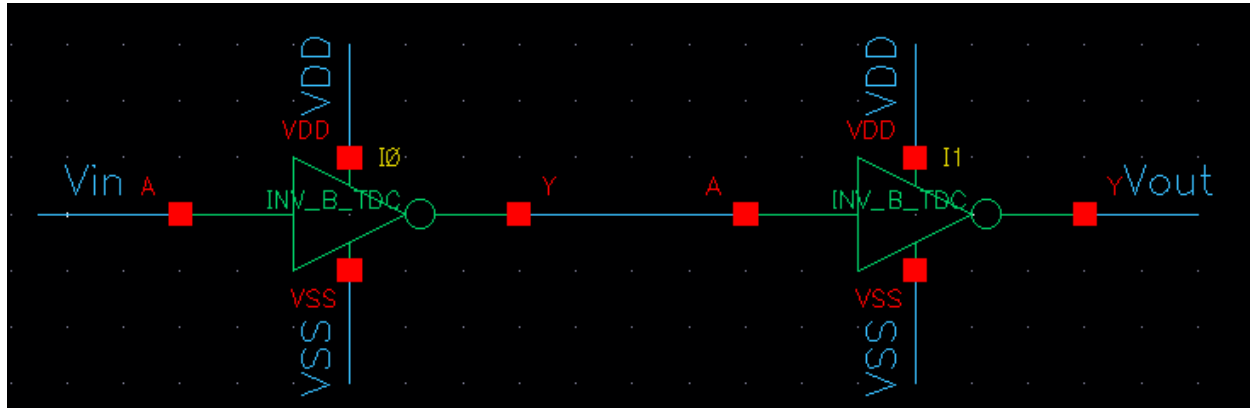
σχεδιαστικό εργαλείο “Cadence”, μας επιτρέπει να δημιουργούμε σύμβολα, ώστε να απλοποιούμε τα σχηματικά μας. Δημιουργούμε, λοιπόν, το σύμβολο του σχήματος 3.12, ώστε να το χρησιμοποιήσουμε, στην συνέχεια, όπου χρειάζεται.



Σχήμα 3.12 Σύμβολο αντιστροφέα με ονομασία INV_B_TDC

3.4.2 Buffer με χρήση slvt τρανζίστορ

Αναλύσαμε την λειτουργία του buffer και το πως αυτός υλοποιείται, στην ενότητα 2.6. Στο σχήμα 3.13 φαίνεται η υλοποίηση του buffer, ο οποίος αποτελείται από δύο αντιστροφείς του σχήματος 3.12, σε σειρά. Με την δημιουργία του συμβόλου INV_B_TDC απλοποιήσαμε την δομή του buffer.



Σχήμα 3.13 Υλοποίηση buffer με slvt τρανζίστορ



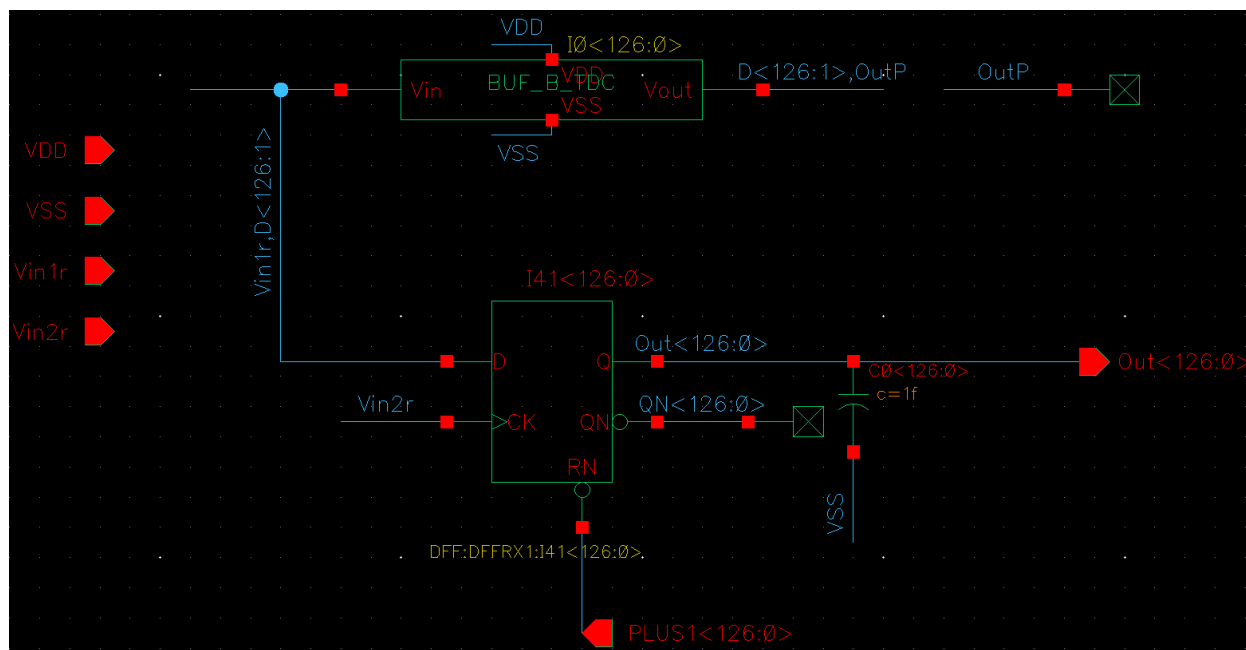
Σχήμα 3.14 Σύμβολο buffer με ονομασία BUF_B_TDC

Στην συνέχεια δημιουργούμε σύμβολο για τον buffer, ώστε να το χρησιμοποιήσουμε, όπου χρειάζεται. Το σύμβολο ονομάζεται BUF_B_TDC και φαίνεται στο σχήμα 3.14.

3.4.3 Υλοποίηση TDC_BASIC_CELL

Υλοποιούμε την δομή του TDC, όπως αυτή φαίνεται στο σχήμα 3.3, της ενότητας 3.3. Επιλέγουμε να χρησιμοποιήσουμε 127 στάδια καθυστέρησης, άρα τοποθετούμε σε σειρά 127 buffer, την έξοδο, των οποίων, οδηγούμε στην είσοδο data των αντίστοιχων 127 DFF. Το ένα από τα δύο σήματα, των οποίων, την χρονική διαφορά θέλουμε να μετρήσουμε, θα περάσει από τα 127 διαδοχικά στάδια καθυστέρησης, ενώ το δεύτερο θα οδηγηθεί στην είσοδο CK του DFF. Στην είσοδο RN, του DFF, θα στείλουμε έναν παλμό, ο οποίος είναι αρχικά 0 και στην συνέχεια γίνεται

1, όπως εξηγήσαμε στην ενότητα 2.7.3 και δείξαμε στο σχήμα 2.16. Η υλοποίηση που περιγράφουμε φαίνεται στο σχήμα 3.15. Η έξοδος κάθε DFF, θα έχει την λογική τιμή “1” ή την



Σχήμα 3.15 Υλοποίηση TDC_BASIC_CELL

λογική τιμή “0”. Το τι σημαίνει, η κάθε λογική τιμή, εξηγήθηκε στην ενότητα 3.3. Δημιουργούμε σύμβολο, που να αντιστοιχεί και σε αυτή την δομή. Το σύμβολο με τις διάφορες εισόδους και εξόδους φαίνεται στο σχήμα 3.16. Μάλιστα, στο σχήμα 3.16, φαίνονται 2 τέτοια σύμβολα, διότι



Σχήμα 3.16 Συνολική υλοποίηση της βασικής τοπολογίας του TDC

δεν γνωρίζουμε ποιο από τα δύο σήματα, των οποίων την χρονική διαφορά θέλουμε να μετρήσουμε, προπορεύεται και ποιο υστερεί. Για αυτό τον λόγο, πρέπει να χρησιμοποιήσουμε δύο ίδιες δομές. Στην μία θα περνάει, από τα διαδοχικά στάδια καθυστέρησης, το ένα σήμα και στην άλλη, το άλλο. Έτσι, σε κάθε περίπτωση, θα χρησιμοποιούμε το αποτέλεσμα μιας από τις δύο δομές. Η έξοδος της κάθε δομής είναι μια λέξη 127 ψηφίων θερμομετρικής λογικής, όπως

εξηγήσαμε στην ενότητα 2.4. Οπότε, οδηγούμε τις εξόδους των δύο δομών σε έναν μετατροπέα αριθμού θερμομετρικής λογικής σε δυαδικό. Ο μετατροπέας δημιουργήθηκε με χρήση της γλώσσας VerilogA, ώστε να μας είναι ευκολότερη, η χρήση του, σε προσομοιώσεις. Η υλοποίηση του είναι ίδια με αυτή της ενότητας 2.4. Το σύμβολό του φαίνεται στο σχήμα 3.17. Η είσοδός του



Σχήμα 3.17 Μετατροπέας αριθμού θερμομετρικής λογικής σε δυαδικό με χρήση VerilogA κώδικα είναι 127 ψηφία θερμομετρικής λογικής και η έξοδος του 7 ψηφία δυαδικής λογικής.

3.5 Προσομοιωτικά αποτελέσματα της βασικής τοπολογίας TDC στο εύρος των PVT μεταβολών

Στην παρούσα ενότητα θα παρουσιάσουμε τα προσομοιωτικά αποτελέσματα της βασικής τοπολογίας TDC και θα σχολιάσουμε το κατά πόσο επιτεύχθηκαν οι σχεδιαστικοί μας στόχοι. Θα παρουσιάσουμε την μεταβολή των μεγεθών Δ και T_{FS} σε όλο το εύρος των PVT μεταβολών καθώς και σε Monte Carlo ανάλυση.

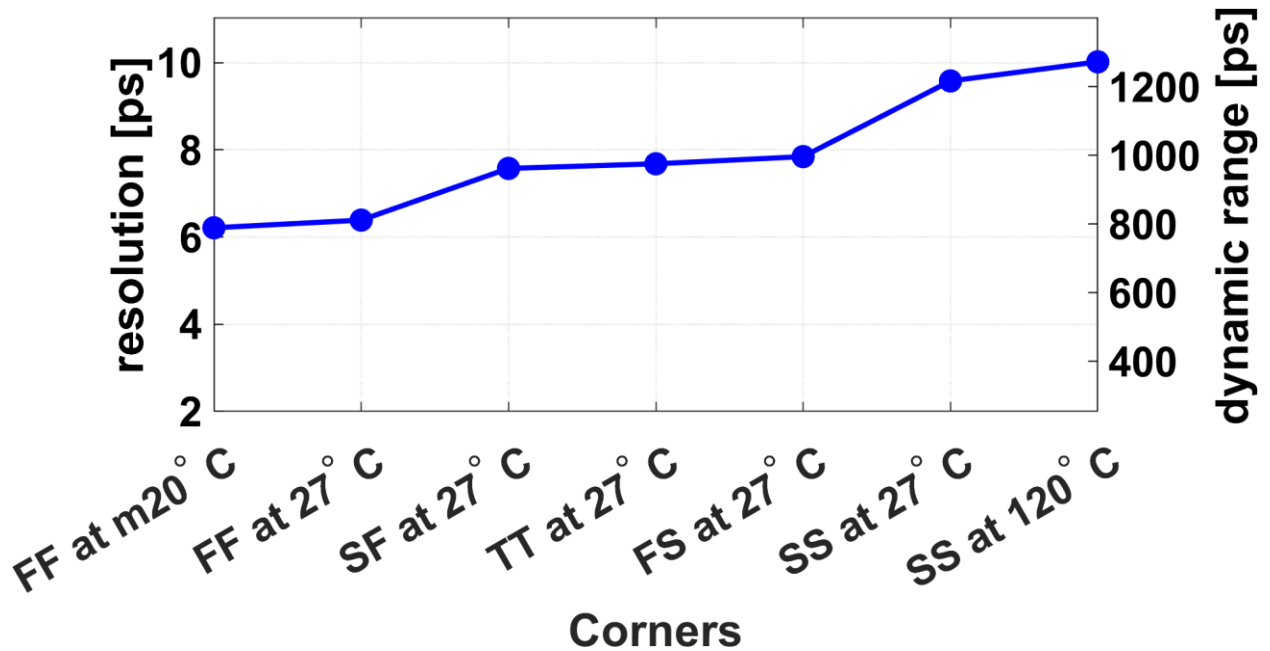
3.5.1 Προσομοιωτικά αποτελέσματα με μεταβολή του process και της θερμοκρασίας

Αρχικά κάνοντας την ασφαλή θεώρηση ότι η τάση τροφοδοσίας θα παραμένει σταθερή στην τιμή που της καθορίζουμε δηλαδή $V_{DD} = 800 \text{ mV}$, προσομοιώνουμε την συμπεριφορά του Δ και του T_{FS} με την μεταβολή του process και της θερμοκρασίας. Θεωρούμε 7 διαφορετικά corners τα οποία φαίνονται στον πίνακα 3.2 μαζί με τις αντίστοιχες τιμές του Δ και του T_{FS} . Στο σχήμα

Μεγέθη/Corner	FF at m20° C (ps)	FF at 27° C (ps)	SF at 27° C (ps)	TT at 27° C (ps)	FS at 27° C (ps)	SS at 27° C (ps)	SS at 120° C (ps)
Δ	6.21	6.39	7.56	7.68	7.85	9.58	10.02
T_{FS}	789	811	962	975	996	1217	1273

Πίνακας 3.2 Μεγέθη Δ και T_{FS} σε 7 corners που μεταβάλλεται το process και η θερμοκρασία

3.18 φαίνεται το αντίστοιχο διάγραμμα για τα μεγέθη αυτά. Άμεσα παρατηρούμε ότι ο σχεδιαστικός στόχος του $\Delta < 5$ ps, δεν επιτυγχάνεται τόσο σε τυπικό process και θερμοκρασία



Σχήμα 3.18 Διάγραμμα Δ και T_{FS} σε 7 corners που μεταβάλλεται το process και η θερμοκρασία όσο και στο ταχύτερο από τα 7 corner. Αυτός είναι και ο βασικός περιορισμός της βασικής τοπολογίας του TDC. Η χρονική ευκρίνεια Δ δεν μπορεί να μειωθεί όσο επιθυμούμε. Αντίθετα, το Δ είναι περιορισμένο από τις δυνατότητες της τεχνολογίας και συγκεκριμένα από τον ταχύτερο buffer, τον οποίο μπορούμε να κατασκευάσουμε με αυτή.

Όπως εξηγήσαμε και στην ενότητα 3.χχ, μεγαλύτερο Δ ισοδυναμεί με μεγαλύτερο δυναμικό εύρος T_{FS} . Παρατηρούμε ότι ο σχεδιαστικός στόχος του $T_{FS} > 600$ ps επιτυγχάνεται και μάλιστα υπερκαλύπτεται σε όλο το εύρος των corners. Αυτό σημαίνει ότι θα μπορούσαμε να μειώσουμε τον αριθμό των σταδίων καθυστέρησης της βασικής τοπολογίας. Ο ακριβής απαιτούμενος αριθμός σταδίων καθυστέρησης, προκύπτει όπως είναι λογικό, από το corner που παρουσιάζει μικρότερο Δ . Αυτό το corner είναι το FF process σε θερμοκρασία -20° C. Από τον πίνακα 3.χχ προκύπτει ότι σε αυτό το corner είναι $\Delta = 6.21$ ps. Άρα για τον ελάχιστο απαιτούμενο αριθμό σταδίων καθυστέρησης N_{min} προκύπτει ότι:

$$T_{FS} > 600 \text{ ps} \Rightarrow N_{min} * \Delta_{min} > 600 \text{ ps} \Rightarrow N_{min} > \frac{600 \text{ ps}}{6.21 \text{ ps}} \Rightarrow N_{min} > 96.6$$

Παρατηρούμε ότι 97 στάδια καθυστέρησης θα ήταν αρκετά για να επιτευχθεί ο σχεδιαστικός στόχος για το T_{FS} .

Αν και τα παραπάνω στάδια καθυστέρησης οδηγούν σε κατανάλωση μεγαλύτερο χώρου από το ολοκληρωμένο μας, η ύπαρξη τους δεν είναι αποκλειστικά αρνητική. Το ότι ξεπερνάμε αρκετά τον σχεδιαστικό μας στόχο δεν είναι απαραίτητως αρνητικό, διότι ο TDC μπορεί να ανιχνεύει ακόμα μεγαλύτερες διαφορές φάσεις. Επιπλέον είμαστε αναγκασμένοι να ενσωματώσουμε έναν μετατροπέα αριθμού θερμομετρικής λογικής 127 ψηφίων σε δυαδικό αριθμό 7 ψηφίων. Το να χρησιμοποιήσουμε λοιπόν όλο το εύρος του δεν είναι απαραίτητα μόνο αρνητικό.

3.5.2 Προσομοιωτικά αποτελέσματα με μεταβολή της τάσης τροφοδοσίας

Η τάση τροφοδοσίας είναι ένα μέγεθος που επηρεάζει σημαντικά την συμπεριφορά των ολοκληρωμένων κυκλωμάτων. Η τυπική τάση τροφοδοσίας της τεχνολογίας GF22 είναι τα 800 mV. Η απόκλιση που αναγράφεται ως επιτρεπτή στα εγχειρίδια της τεχνολογίας είναι $\pm 10\%$. Η ορθότερη πρακτική βέβαια είναι να ακολουθούμε την τυπική τιμή της τάσης τροφοδοσίας, γιατί υπερβαίνοντας την οδηγούμαστε σε μείωση της διάρκειας ζωής των τρανζίστορ.

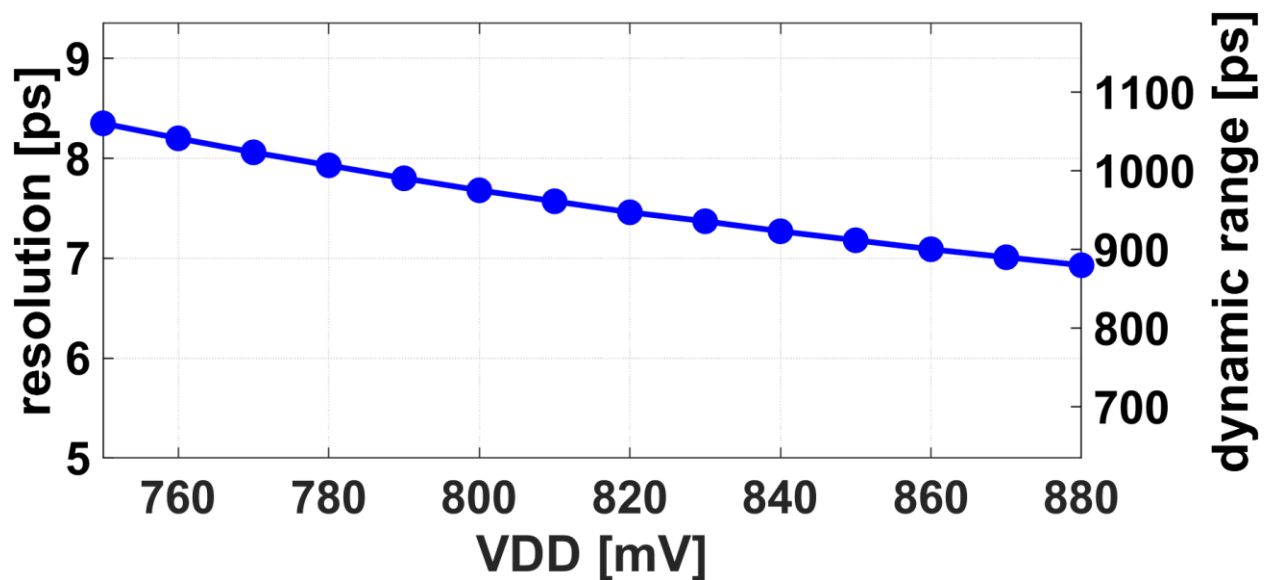
Η τάση τροφοδοσίας προκύπτει συνήθως από τον συνδυασμό της Bandgap Voltage Reference (BGR) ενός ολοκληρωμένου, έπειτα από την οποία ακολουθεί ένας Load Dropout Regulator (LDO). Ο συνδυασμός μιας σταθερής BGR και ενός προσεκτικά σχεδιασμένου LDO μας οδηγεί συνήθως σε μια πολύ σταθερή τάση τροφοδοσίας με μικρές αποκλίσεις της τάξης των mV. Εμείς θα εξετάσουμε την συμπεριφορά της βασικής τοπολογίας του TDC, σε ένα μεγαλύτερο εύρος μεταβολής της τάσης τροφοδοσίας περίπου ίσο με αυτό που μας επιτρέπει η τεχνολογία. Η μελέτη αυτή θα γίνει αφενός για να δούμε την εξάρτηση του TDC από την τάση τροφοδοσίας και αφετέρου για να εξετάσουμε αν μπορούμε να χρησιμοποιήσουμε με έξυπνο τρόπο την τάση τροφοδοσίας για να πετύχουμε τους σχεδιαστικούς μας στόχους.

Στον πίνακα 3.3 φαίνονται οι τιμές των μεγεθών Δ και T_{FS} για τιμές της τάσης τροφοδοσίας από 750 έως 880 mV με βήμα 10 mV. Όπως ήταν αναμενόμενο οι buffer γίνονται ταχύτεροι με την αύξηση της τάσης τροφοδοσίας με αποτέλεσμα την μείωση του Δ .

Μεγέθη/ V_{DD}	750 mV	760 mV	770 mV	780 mV	790 mV	800 mV	810 mV	820 mV	830 mV	840 mV	850 mV	860 mV	870 mV	880 mV
Δ (ps)	8.35	8.2	8.06	7.93	7.8	7.68	7.57	7.46	7.37	7.27	7.18	7.09	7.01	6.93
T_{FS} (ps)	1060	1041	1023	1007	990	975	961	947	936	923	912	900	890	880

Πίνακας 3.3 Μεγέθη Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας

Στο σχήμα 3.19 φαίνεται το αντίστοιχο διάγραμμα για τις τιμές αυτές. Παρατηρούμε ότι η αύξηση της τάσης τροφοδοσίας είναι ένας έξυπνος τρόπος να έρθουμε πιο κοντά στον σχεδιαστικό μας στόχο του $\Delta < 5$ ps. Βέβαια ακόμα και με την μεγαλύτερη επιτρεπτή τάσης τροφοδοσίας $V_{DD} = 880$ mV κατορθώνουμε να πετύχουμε Δ οριακά μικρότερο από 7 ps. Ο περιορισμός της τεχνολογίας παραμένει ακόμα και με αυξημένη τάση τροφοδοσίας. Η συνολική εικόνα του διαγράμματος επιβεβαιώνει την εξάρτηση του κυκλώματος μας από την τάση τροφοδοσίας συνολικά και μας οδηγεί στο συμπέρασμα ότι για να επιτύχουμε σταθερή απόδοση από τον TDC πρέπει να έχουμε και σταθερή τάση τροφοδοσίας.



Σχήμα 3.19 Διάγραμμα Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας

Όπως ήταν αναμενόμενο ο σχεδιαστικός στόχος για το T_{FS} συνεχίζει να επιτυγχάνεται σε όλο το εύρος της τάσης τροφοδοσίας. Μιας και η αύξηση της τάσης τροφοδοσίας δεν οδηγεί σε $\Delta < 5$ ps, η τάση τροφοδοσίας θα παραμείνει στα 800 mV. Σε επόμενη ενότητα θα παρουσιάσουμε μια καινοτόμα ιδέα που βασίζεται στην εξάρτηση του TDC από την τάση τροφοδοσίας.

3.5.3 Προσομοιωτικά αποτελέσματα με μεταβολή της θερμοκρασίας

Η θερμοκρασία είναι ένας παράγοντας που επηρεάζει την λειτουργία των ολοκληρωμένων κυκλωμάτων και αποτελεί τον τρίτο και τελευταίο παράγοντα των PVT μεταβολών. Η επίδραση της θερμοκρασίας είναι μικρότερη αν την συγκρίνουμε με απόλυτες τιμές συγκριτικά με τις μεταβολές του process και της τάσης τροφοδοσίας, αλλά είναι ένας αστάθμητος παράγοντας που μεταβάλλεται συνεχώς και δυναμικά καθόλη την διάρκεια λειτουργίας του ολοκληρωμένου. Σαφώς υπάρχουν τεχνικές περιορισμού της μεταβολής της, αλλά αυτό σπάνια επιτυγχάνεται με κυκλωματικό τρόπο.

Αρχικά, θα αναλύσουμε θεωρητικά τον τρόπο με τον οποίο επηρεάζει η θερμοκρασία τα μεγέθη Δ και T_{FS} και συνεπώς την συνολική λειτουργία του TDC. Η θερμοκρασία επηρεάζει σημαντικά τα μεγέθη μ_n και μ_p , τα οποία είναι η κινητικότητα των ηλεκτρονίων και των οπών, αντίστοιχα. Η εξάρτηση εν γένει της κινητικότητας μ από την θερμοκρασία δίνεται από τον τύπο:

$$\mu = \mu_0 \left(\frac{T}{T_0} \right)^{-n} \quad (3.5)$$

,όπου T_0 η θερμοκρασία δωματίου (27°C), μ_0 η κινητικότητα σε θερμοκρασία T_0 και n ο συντελεστής θερμικής εξάρτησης. Παρατηρούμε ότι με την αύξηση της θερμοκρασίας η κινητικότητα των ηλεκτρονίων και των οπών μειώνεται. Αυτό μπορεί να φανεί παράξενο σε κάποιον αναγνώστη με υψηλή φυσική διαίσθηση, ο οποίος γνωρίζει ότι τα άτομα των σωμάτων κινούνται πολύ ταχύτερα σε υψηλές θερμοκρασίες παρότι σε χαμηλές. Στην πραγματικότητα βέβαια αυτός είναι και ο λόγος που ισχύει αυτή η εξάρτηση της κινητικότητας από την θερμοκρασία. Η κινητικότητα δεν μας δείχνει πόσο γρήγορα κινούνται τα άτομα ενός σώματος, αλλά το πόσο εύκολα μπορεί να διαδοθεί το ηλεκτρικό ρεύμα μέσα σε έναν αγωγό. Σε υψηλές θερμοκρασίες λοιπόν, τα άτομα του αγωγού δονούνται ταχύτερα με αποτέλεσμα να γίνονται περισσότερες σκεδάσεις με τα ηλεκτρόνια που διαδίδονται με αποτέλεσμα η μέση ελεύθερη διαδρομή τους να μειώνεται. Αντίθετα σε χαμηλές θερμοκρασίες, όπου τα άτομα δονούνται με μικρότερο ταχύτητα η μέση ελεύθερη διαδρομή για τα ηλεκτρόνια διάδοσης είναι πολύ μεγαλύτερη με αποτέλεσμα η κινητικότητα να αυξάνεται.

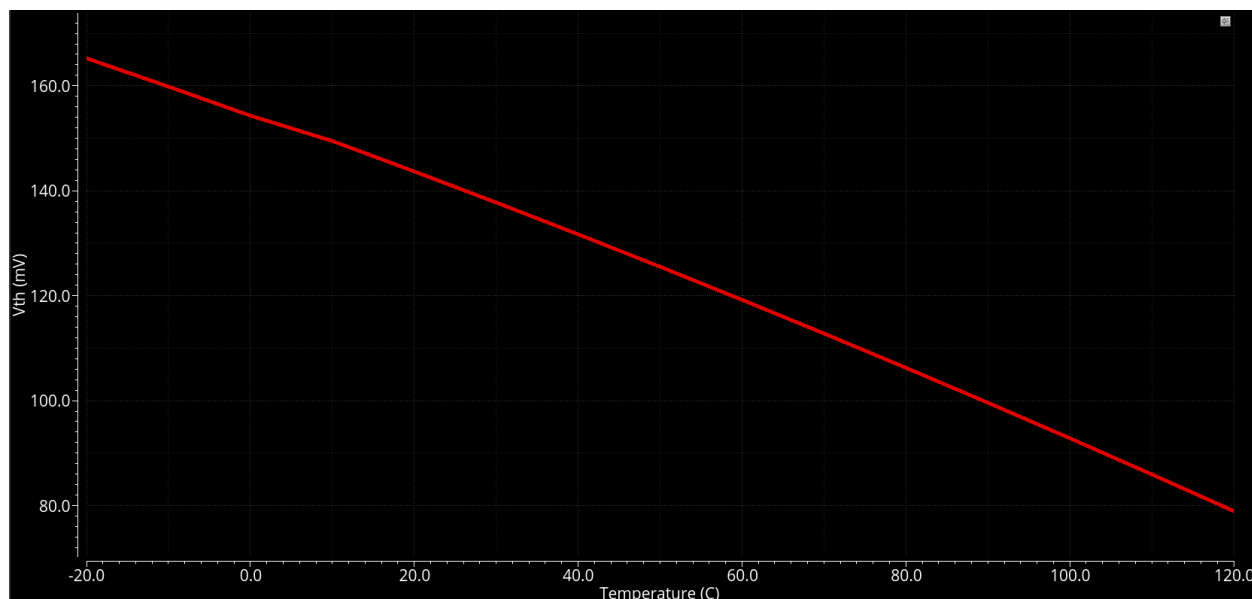
Η κινητικότητα μ επηρεάζει άμεσα το ρεύμα οδήγησης I_D σύμφωνα με τον τύπο:

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 \quad (3.6)$$

Από τον τύπο προκύπτει άμεσα ότι το ρεύμα οδήγησης I_D και η κινητικότητα μ είναι ποσά ανάλογα. Με την μείωση του μ έχουμε και μείωση του I_D . Η μείωση του I_D οδηγεί σε αργότερη φόρτιση και ξεφόρτιση των χωρητικοτήτων με αποτέλεσμα την αύξηση του χρόνου καθυστέρησης, δηλαδή στην προκειμένη περίπτωση την αύξηση του Δ . Μια σειρά εξάρτησης των μεγεθών που αναλύσαμε φαίνεται παρακάτω:

$$T \uparrow \Rightarrow \mu \downarrow \Rightarrow I_D \downarrow \Rightarrow \Delta \uparrow$$

Ένα άλλο μέγεθος που επηρεάζεται από την μεταβολή της θερμοκρασίας είναι η τάση κατωφλίου V_{th} του τρανζίστορ. Από τον τύπο του ρεύματος οδήγησης προκύπτει άμεσα ότι η μείωση του V_{th} οδηγεί σε μεγαλύτερο ρεύμα οδήγησης I_D και άρα σε μικρότερο Δ . Στο σχήμα 3.20 φαίνεται η εξάρτηση του V_{th} από την θερμοκρασία. Παρατηρούμε ότι η αύξηση της θερμοκρασίας οδηγεί σε



Σχήμα 3.20 Εξάρτηση του V_{th} από την θερμοκρασία

μείωση του V_{th} . Άρα μια σειρά εξάρτησης των μεγεθών που αναλύσαμε είναι η παρακάτω:

$$T \uparrow \Rightarrow V_{th} \downarrow \Rightarrow I_D \uparrow \Rightarrow \Delta \downarrow$$

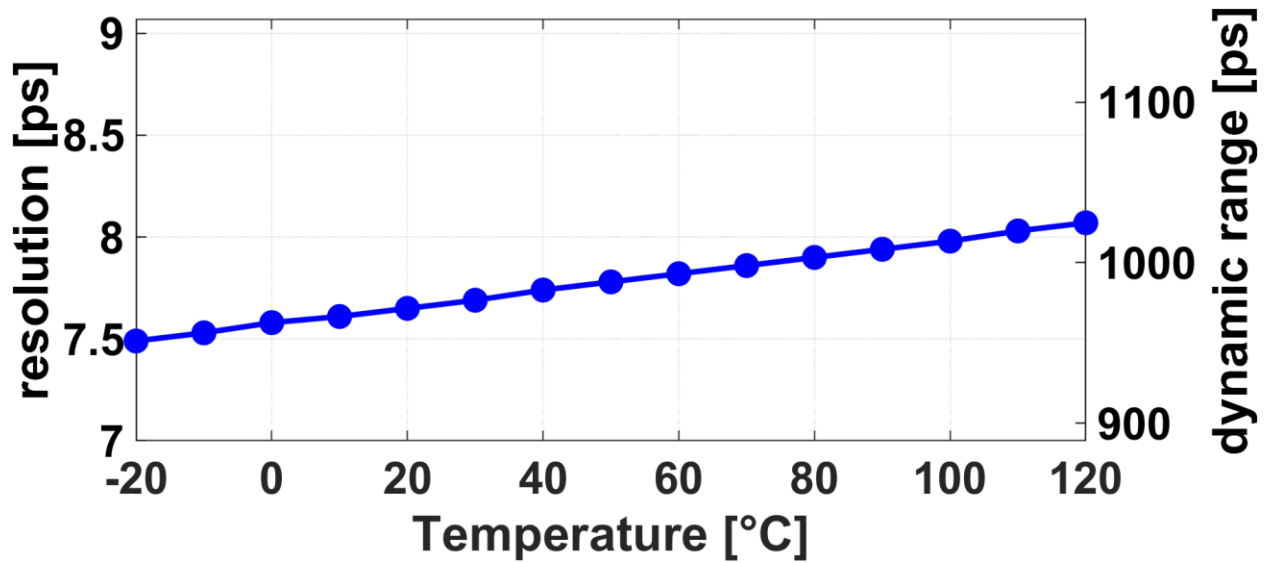
Παρατηρούμε λοιπόν ότι η αύξηση της θερμοκρασίας οδηγεί σε δύο διαφορετικά αποτελέσματα τα οποία έχουν αντίθετη επίδραση στην χρονική ευκρίνεια Δ του TDC. Δεν χρειάζεται να κάνουμε περαιτέρω μαθηματική ανάλυση για το ποια από τις δύο επιδράσεις θα υπερισχύσει, αφού αυτό

θα φανεί από την τελική προσομοίωση του Δ με την θερμοκρασία. Στον πίνακα 3.4 φαίνεται η μεταβολή των μεγεθών Δ και T_{FS} σε συνάρτηση με την θερμοκρασία. Στο σχήμα 3.21 φαίνεται η

Μεγέθη/θερμοκρασία (°C)	-20	-10	0	10	20	30	40	50	60	70	80	90	100	110	120
Δ (ps)	7.49	7.53	7.58	7.61	7.65	7.69	7.74	7.78	7.82	7.86	7.9	7.94	7.98	8.03	8.07
T_{FS} (ps)	951	956	963	966	972	977	983	988	993	998	1003	1008	1013	1020	1024

Πίνακας 3.4 Δ και T_{FS} με την μεταβολή της θερμοκρασίας

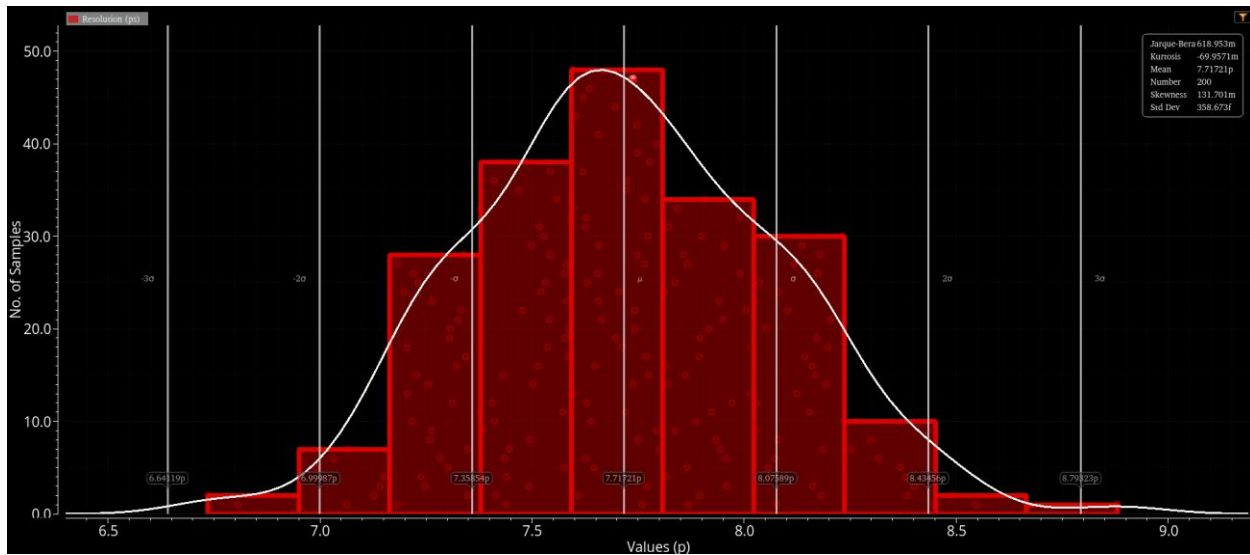
γραφική παράσταση της εξάρτησης των μεγεθών Δ και T_{FS} από την θερμοκρασία. Παρατηρούμε ότι τελικά η αύξηση της θερμοκρασίας οδηγεί σε αύξηση του Δ και αντίστοιχα του T_{FS} , άρα η επίδραση της κινητικότητας μ υπερिशύει αυτήν της τάσης κατωφλίου V_{th} .



Σχήμα 3.21 Διάγραμμα Δ και T_{FS} με την μεταβολή της θερμοκρασίας

3.5.4 Προσομοιωτικά αποτελέσματα Monte Carlo ανάλυσης

Στο σχήμα 3.22 φαίνεται το αποτέλεσμα της Monte Carlo ανάλυσης του Δ του TDC. Για την κανονική κατανομή προκύπτει ότι $\mu = 7.72 \text{ ps}$ και $\sigma = 0.36 \text{ ps}$. Η ανάλυση Monte Carlo έγινε σε 200 σημεία και περιλάμβανε και process και mismatch. Η κατανομή μας είναι αρκετά στενή, αλλά οι μέγιστες αποκλίσεις που παρατηρήθηκαν δημιουργούν αναγκαιότητα για υπερκάλυψη στην σχεδίαση μας. Ο σχεδιαστικός μας στόχος για $\Delta < 5 \text{ ps}$ παραμένει ανέφικτος.



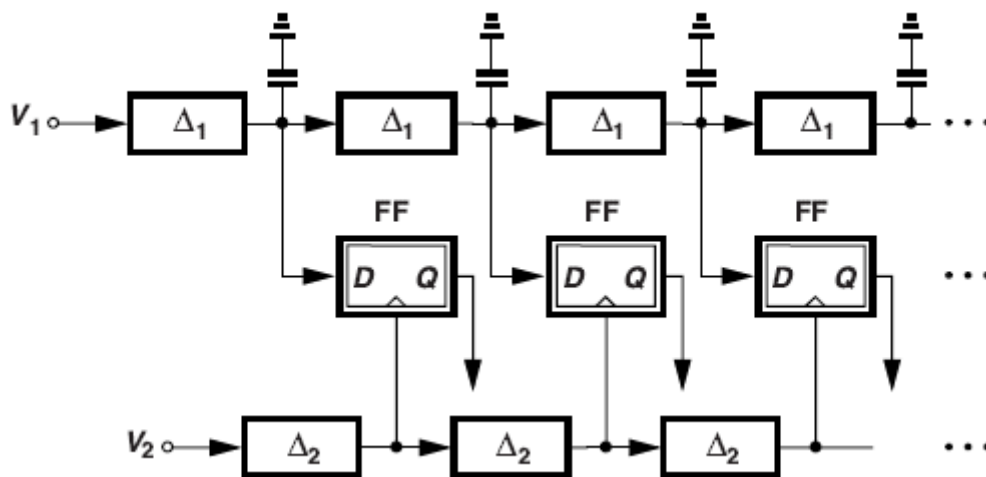
Σχήμα 3.22 Monte Carlo ανάλυση για το Δ του TDC

3.6 Ανάλυση τοπολογίας TDC με Vernier γραμμές καθυστέρησης

Η βασική υλοποίηση του TDC, οδηγεί σε ικανοποιητικά αποτελέσματα, αλλά έχει περιορισμό στο πόσο μικρό Δ μπορεί να πετύχει. Ο περιορισμός αυτός τίθεται από την τεχνολογία, αφού δεν μας επιτρέπει να μειώσουμε περισσότερο το μήκος των τρανζίστορ. Οι υλοποιήσεις του TDC, με τις οποίες θα ασχοληθούμε στην παρούσα διπλωματική, ξεπερνάνε με έξυπνο τρόπο, τον περιορισμό αυτό της τεχνολογίας και πετυχαίνουν ακόμη χαμηλότερες χρονικές καθυστερήσεις Δ .

Η υλοποίηση του TDC, με Vernier γραμμές καθυστέρησης, φαίνεται στο σχήμα 3.23. Η ιδέα, αυτής της υλοποίησης, είναι ότι και τα δύο σήματα V_1 και V_2 , περνούν από διαδοχικά στάδια καθυστέρησης Δ_1 και Δ_2 , αντίστοιχα. Ας θεωρήσουμε, ότι η αρχική χρονική διαφορά των δύο σημάτων, ήταν T_D , με το V_1 να προηγείται του V_2 και ότι $\Delta_1 > \Delta_2$. Μετά από κάθε στάδιο, η χρονική διαφορά των δύο σημάτων θα μειώνεται κατά $\Delta_1 - \Delta_2$. Η διαφορά $\Delta_1 - \Delta_2$ δεν περιορίζεται από την τεχνολογία, αλλά μπορεί να γίνει πολύ πιο μικρή. Μετά από N στάδια, η χρονική διαφορά των δύο σημάτων θα είναι $T_D - N * (\Delta_1 - \Delta_2)$. Με αυτή την υλοποίηση, έχουμε καλύτερη χρονική ευκρίνεια Δ , αφού μπορούμε να εντοπίσουμε μικρότερες χρονικές διαφορές. Χρησιμοποιείται, βέβαια διπλάσιος αριθμός buffer, αυξάνοντας τον απαιτούμενο χώρο που καταλαμβάνει η

υλοποίηση μας, ένα μειονέκτημα που είμαστε πρόθυμοι να δεχτούμε για χάρη της καλύτερης χρονικής ευκρίνειας. Αν και η χρονική διαφορά $\Delta_1 - \Delta_2$, μπορεί να γίνει όσο μικρή επιθυμούμε,



Σχήμα 3.23 Υλοποίηση TDC με Vernier γραμμές καθυστέρησης

πρέπει να λάβουμε υπόψη μας, τις πιθανές διαφοροποιήσεις που μπορεί να υπάρξουν στα στάδια καθυστέρησης. Αυτό που θέλουμε να αποφύγουμε είναι η διαφορά $\Delta_1 - \Delta_2$, να αλλάξει πρόσημο και να γίνει αρνητική. Για τον λόγο αυτό, διατηρούμε την χρονική ευκρίνεια μεγαλύτερη από τις διαφοροποιήσεις, που αναμένουμε να υπάρξουν. Τα στάδια καθυστέρησης παραμένουν buffers, που κατασκευάζονται με την χρήση δύο αντιστροφών σε σειρά. Η επίτευξη της μεγαλύτερης χρονικής καθυστέρησης Δ_1 , σε σχέση με την χρονική καθυστέρηση Δ_2 , γίνεται με την χρήση τρανζίστορ στους αντιστροφείς, τα οποία έχουν μεγαλύτερο μήκος. Για την υλοποίηση του TDC με Vernier γραμμές καθυστέρησης, θα επιλέξουμε τα regular V_t τρανζίστορ, γιατί πλέον δεν υφίσταται το πλεονέκτημα της ταχύτητας των super low V_t τρανζίστορ, αφού η χρονική ευκρίνεια προκύπτει από διαφορά χρονικών καθυστερήσεων και όχι από μία μόνο χρονική καθυστέρηση. Τα regular V_t τρανζίστορ επιδεικνύουν χαμηλότερο ρεύμα διαρροής, συμβάλλοντας στην χαμηλότερη κατανάλωση, σε κατάσταση μη λειτουργίας και παρουσιάζουν χαμηλότερη ευαισθησία σε αλλαγές της θερμοκρασίας και σε διαφοροποιήσεις της τεχνολογίας. Η έξοδος του TDC παραμένει ένας αριθμός θερμομετρικής λογικής, όπου με χρήση κατάλληλου μετατροπέα, γίνεται δυαδικός αριθμός.

3.7 Υλοποίηση TDC με Vernier γραμμές καθυστέρησης

3.7.1 Υλοποίηση σταδίων καθυστέρησης Δ_1 και Δ_2

Η CMOS υλοποίηση των αντιστροφών, που θα χρησιμοποιηθούν για την κατασκευή των buffer Δ_1 και Δ_2 , γίνεται με χρήση regular V_t τρανζίστορ. Έχουμε παρουσιάσει, εκτενώς, την υλοποίηση των αντιστροφών, οπότε δεν θα το ξανακάνουμε. Το ίδιο ισχύει και για την υλοποίηση των buffer. Παρουσιάζουμε, στον πίνακα 3.5, τα μεγέθη του μήκους και του πλάτους των τρανζίστορ που θα χρησιμοποιηθούν για τον κάθε buffer, την χρονική καθυστέρηση που εισάγει ο καθένας, καθώς και την χρονική διαφορά, δηλαδή την χρονική ευκρίνεια, που επιτυγχάνεται. Παρατηρούμε,

	Μήκος τρανζίστορ	Πλάτος τρανζίστορ	Χρονική καθυστέρηση
Buffer Δ_1	28 nm	80 nm	18.5 ps
Buffer Δ_2	20 nm	80 nm	13.8 ps
Χρονική ευκρίνεια Δ	$\Delta = \Delta_1 - \Delta_2 = 4.7$ ps		

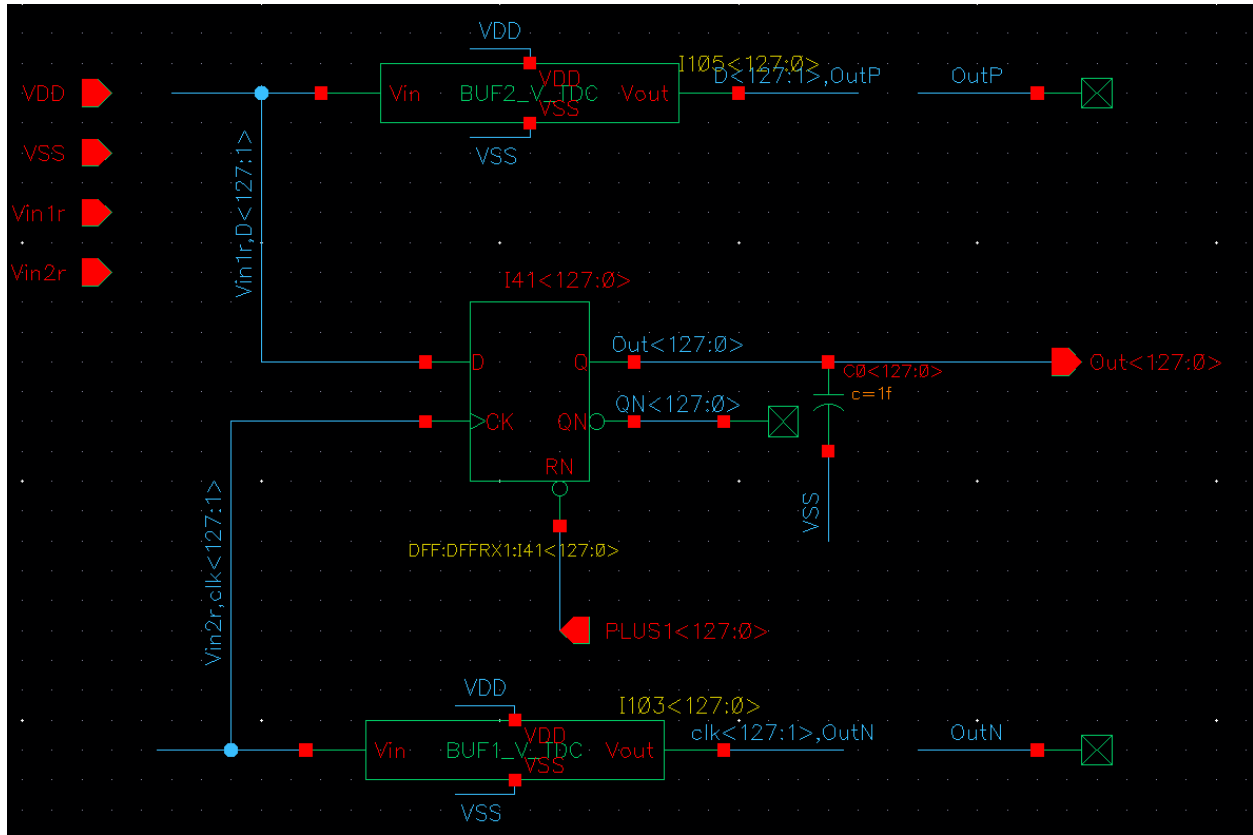
Πίνακας 3.5 Χαρακτηριστικά μεγέθη των buffer και χρονική ευκρίνεια Δ

ότι με την επιλογή των παραπάνω μεγεθών, η χρονική ευκρίνεια του TDC είναι ίση με 4.7 ps. Δηλαδή, λίγο μικρότερη από 5 ps και σαφώς μικρότερη από τα 7.7 ps, τα οποία είχαμε πετύχει με την βασική υλοποίηση του TDC. Όπως προαναφέρθηκε, η χρονική ευκρίνεια θα μπορούσε να γίνει ακόμη μικρότερη. Επιλέγουμε να περιοριστούμε, περίπου στα 5ps, διότι τα διάφορα μη ταιριάσματα, μεταξύ των στοιχείων του κυκλώματος, μπορούν να οδηγήσουν σε ανεπιθύμητα αποτελέσματα. Επιπλέον, τα ανεπιθύμητα αυτά αποτελέσματα, μπορούν να γίνουν ήδη εμφανή αν η διαδικασία παραγωγής τύχει να κάνει γρήγορα όλα τα τρανζίστορ. Σε αυτή την περίπτωση, η χρονική ευκρίνεια θα μειωθεί περισσότερο και αναπόφευκτα σφάλματα μπορεί να εμφανιστούν.

3.7.2 Υλοποίηση TDC_VERNIER_CELL

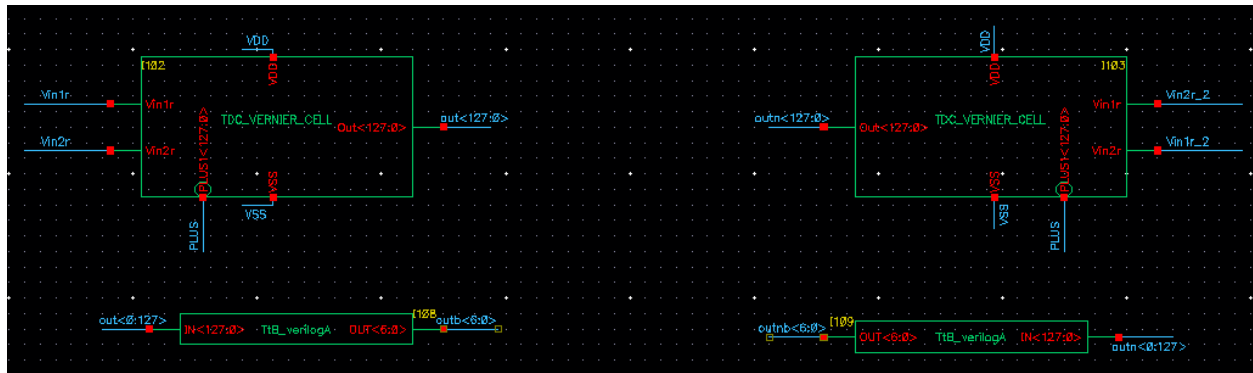
Η υλοποίηση του TDC, με Vernier γραμμές καθυστέρησης, που θέλουμε να κατασκευάσουμε φαίνεται στο σχήμα 3.23 της ενότητας 3.6. Το σήμα V_1 , που προπορεύεται χρονικά, περνάει μέσα από τα διαδοχικά στάδια καθυστέρησης Δ_1 . Ενώ το σήμα V_2 , που υστερεί χρονικά περνάει μέσα από τα διαδοχικά στάδια καθυστέρησης Δ_2 , όπου $\Delta_2 < \Delta_1$. Με αυτό τον τρόπο το σήμα V_1 καθυστερεί περισσότερο, από το σήμα V_2 , με αποτέλεσμα η διαφορά φάσης τους να μειώνεται μετά από κάθε στάδιο. Οι καθυστερημένες εκδοχές του σήματος V_1 , οδηγούνται στην είσοδο data των DFF, ενώ οι καθυστερημένες εκδοχές του σήματος V_2 , οδηγούνται στην είσοδο CK των DFF. Με αυτό τον τρόπο, κάθε DFF ανιχνεύει ποια καθυστερημένη εκδοχή των δύο σημάτων

προπορεύεται. Όταν υπάρξει εναλλαγή στην έξοδο του DFF, από “1” σε “0”, τότε μπορούμε να μετρήσουμε πόσα στάδια χρονικής καθυστέρησης $\Delta = \Delta_1 - \Delta_2$, απαιτήθηκαν, ώστε να βρούμε την αρχική διαφορά φάσης των δύο σημάτων. Επιλέγουμε να κατασκευάσουμε, έναν TDC με 128 στάδια καθυστέρησης. Ο TDC που περιγράψαμε φαίνεται στο σχήμα 3.24. Ο παλμός PLUS είναι



Σχήμα 3.24 Υλοποίηση TDC_VERNIER_CELL

αυτός, που έχουμε ξανααναφέρει και χρησιμοποιείται για την επανεκκίνηση του DFF. Οι πυκνωτές στην έξοδο του DFF, χρησιμοποιούνται ως φορτία. Όπως και στην υλοποίηση της βασικής τοπολογίας του TDC, έτσι και εδώ, δεν μπορούμε να γνωρίζουμε ποιο από τα δύο σήματα προπορεύεται χρονικά. Για αυτό τον λόγο, χρησιμοποιούμε δύο συμμετρικά TDC_VERNIER_CELL, στην τελική υλοποίηση του TDC με Vernier γραμμές καθυστέρησης, ώστε να μπορούμε να ανιχνεύσουμε και τις δύο περιπτώσεις. Επιπλέον, οι έξοδοι των δύο συμμετρικών κυκλωμάτων, αντιστρέφονται και οδηγούνται, ως είσοδοι, σε δύο μετατροπείς αριθμών θερμομετρικής λογικής σε δυαδικούς αριθμούς, όπως έχουμε εξηγήσει. Η τελική υλοποίηση φαίνεται στο σχήμα 3.25.



Σχήμα 3.25 Υλοποίηση TDC με Vernier γραμμές καθυστέρησης

3.8 Προσομοιωτικά αποτελέσματα της τοπολογίας Vernier TDC στο εύρος των PVT μεταβολών

Στην παρούσα ενότητα θα παρουσιάσουμε τα προσομοιωτικά αποτελέσματα της τοπολογίας Vernier TDC και θα σχολιάσουμε το κατά πόσο επιτεύχθηκαν οι σχεδιαστικοί μας στόχοι. Θα παρουσιάσουμε την μεταβολή των μεγεθών Δ και T_{FS} σε όλο το εύρος των PVT μεταβολών καθώς και σε Monte Carlo ανάλυση.

3.8.1 Προσομοιωτικά αποτελέσματα με μεταβολή του process και της θερμοκρασίας

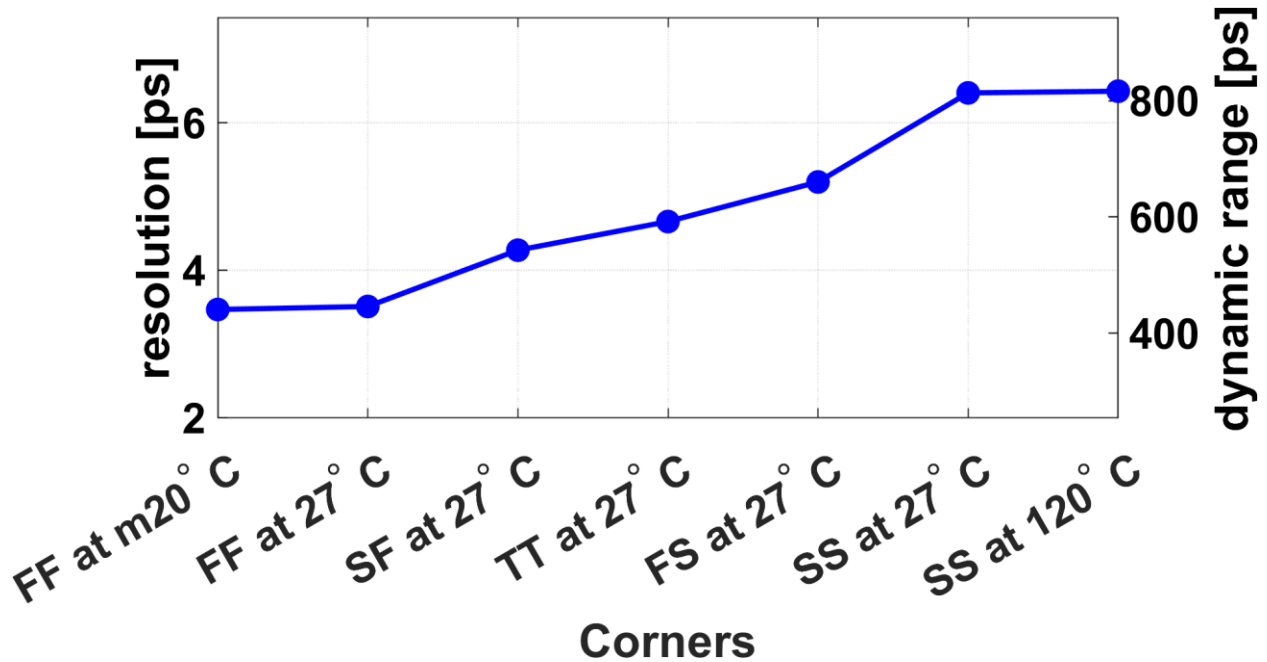
Αρχικά κάνοντας την ασφαλή θεώρηση ότι η τάση τροφοδοσίας θα παραμένει σταθερή στην τιμή που της καθορίζουμε δηλαδή $V_{DD} = 800 \text{ mV}$, προσομοιώνουμε την συμπεριφορά του Δ και του T_{FS} με την μεταβολή του process και της θερμοκρασίας. Θεωρούμε 7 διαφορετικά corners τα οποία φαίνονται στον πίνακα 3.6 μαζί με τις αντίστοιχες τιμές του Δ και του T_{FS} . Στο σχήμα

Μεγέθη/Corner	FF at m20° C (ps)	FF at 27° C (ps)	SF at 27° C (ps)	TT at 27° C (ps)	FS at 27° C (ps)	SS at 27° C (ps)	SS at 120° C (ps)
Δ	3.47	3.51	4.27	4.66	5.2	6.41	6.43
T_{FS}	441	446	543	592	660	814	817

Πίνακας 3.6 Μεγέθη Δ και T_{FS} σε 7 corners που μεταβάλλεται το process και η θερμοκρασία

3.26 φαίνεται το αντίστοιχο διάγραμμα για τα μεγέθη αυτά. Παρατηρούμε ότι ο σχεδιαστικός στόχος του $\Delta < 5 \text{ ps}$ επιτυγχάνεται σε τυπικό process και τυπική θερμοκρασία καθώς και στα 3 ταχύτερα corners. Στα 3 πιο αργά corner ο σχεδιαστικός στόχος αυτός δεν επιτυγχάνεται. Αντίθετα, όπως είναι φυσικό, στο typical corner και στα 3 πιο αργά από αυτό επιτυγχάνεται ο

σχεδιαστικός περιορισμός του $T_{FS} > 600 \text{ ps}$ ενώ στα 3 ταχύτερα δεν επιτυγχάνεται. Η παρατήρηση αυτή μας οδηγεί στο συμπέρασμα ότι χρειάζεται αρκετή υπερκάλυψη στην σχεδίαση



Σχήμα 3.26 Διάγραμμα Δ και T_{FS} σε 7 corners που μεταβάλλεται το process και η θερμοκρασία για να κατορθώσουμε να επιτύχουμε τους σχεδιαστικούς μας στόχους σε όλο το εύρος των PVT μεταβολών. Συγκεκριμένα, ο σχεδιαστής πρέπει να φροντίσει να ισχύει ότι $\Delta < 5 \text{ ps}$ στο πιο αργό corner, που είναι το SS στους 120°C και να υπάρχουν αρκετά στάδια καθυστέρησης N στο ταχύτερο corner FF στους -20°C ώστε να ισχύει ότι $T_{FS} > 600 \text{ ps}$. Με την υπερκάλυψη στην σχεδίαση του Δ δεν θα ασχοληθούμε περαιτέρω, διότι θα άλλαζε ο σχεδιαστικός μας στόχος για το Δ στο τυπικό corner. Αντίθετα, μπορούμε εύκολα να υπολογίσουμε τον αριθμό των σταδίων καθυστέρησης που θα απαιτούνταν για να καλυφθεί ο στόχος για το T_{FS} στο FF corner στους -20°C . Έστω M τα απαιτούμενα στάδια καθυστέρησης. Θα πρέπει να ισχύει ότι:

$$3.47M > 600 \Rightarrow M > \frac{600}{3.47} \Rightarrow M > 172.9$$

Από την παραπάνω σχέση προκύπτει ότι θα χρειαζόνταν τουλάχιστον 173 στάδια καθυστέρησης για να ίσχυε ότι $T_{FS} > 600 \text{ ps}$ σε όλα τα corners. Μετά από αυτή την παρατήρηση η ανάγκη για αντιστάθμιση των PVT μεταβολών γίνεται ιδιαίτερα εμφανής. Σε επόμενη ενότητα θα παρουσιάσουμε μια καινοτόμα ιδέα που πετυχαίνει ακριβώς αυτό και καθιστά αχρείαστη την ανάγκη υπερκάλυψης στην σχεδίαση.

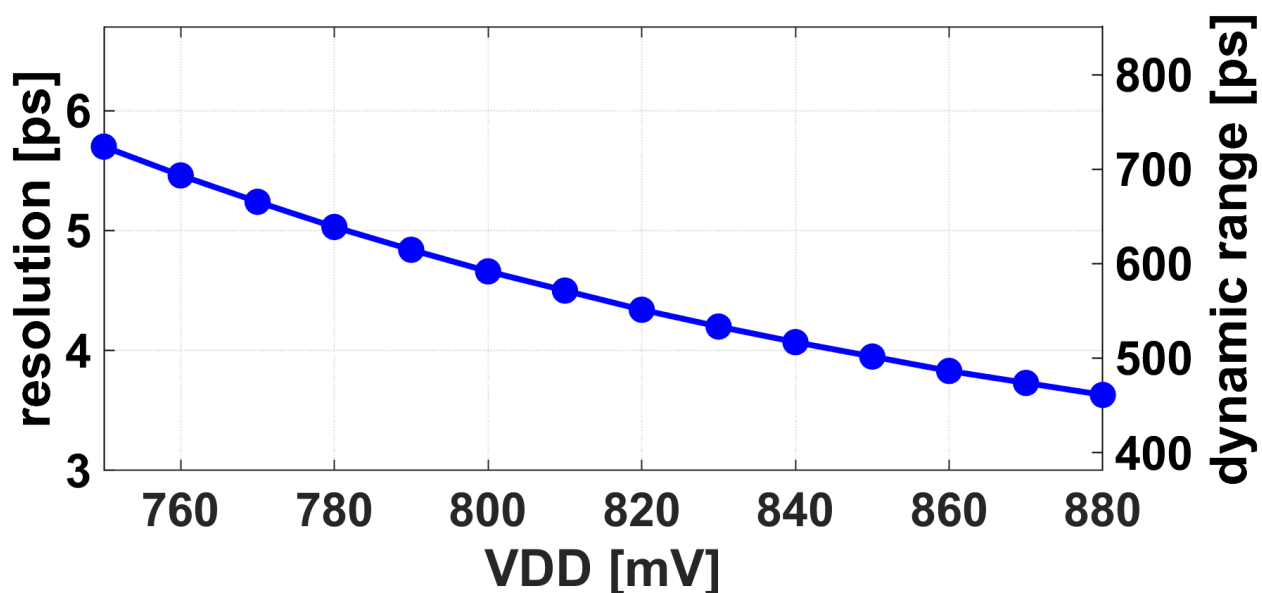
3.8.2 Προσομοιωτικά αποτελέσματα με μεταβολή της τάσης τροφοδοσίας

Στον πίνακα 3.7 φαίνονται οι τιμές των μεγεθών Δ και T_{FS} για τιμές της τάσης τροφοδοσίας από 750 έως 880 mV με βήμα 10 mV. Όπως ήταν αναμενόμενο οι buffer γίνονται ταχύτεροι με την αύξηση της τάσης τροφοδοσίας με αποτέλεσμα την μείωση του Δ . Το γεγονός ότι το Δ προκύπτει

Μεγέθη/ V_{DD}	750 mV	760 mV	770 mV	780 mV	790 mV	800 mV	810 mV	820 mV	830 mV	840 mV	850 mV	860 mV	870 mV	880 mV
Δ (ps)	5.7	5.46	5.24	5.03	4.84	4.66	4.5	4.34	4.2	4.07	3.95	3.83	3.73	3.63
T_{FS} (ps)	724	693	665	639	615	592	572	551	533	517	502	486	474	461

Πίνακας 3.7 Μεγέθη Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας

από την διαφορά των επιμέρους Δ των δύο buffer δεν πρέπει να μας προβληματίζει. Και οι δύο buffer γίνονται ταχύτεροι με ανάλογο τρόπο με αποτέλεσμα την μείωση της μεταξύ τους διαφοράς. Στο σχήμα 3.27 φαίνεται το διάγραμμα των μεγεθών Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας. Παρατηρούμε ότι με την αύξηση της τάσης τροφοδοσίας πέραν της τιμής $V_{DD} = 800$ mV, το δυναμικό εύρος T_{FS} γίνεται όλο και μικρότερο και αποκλίνει όλο και περισσότερο από το επιθυμητό.



Σχήμα 3.27 Διάγραμμα Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας

Όπως αναφέραμε και στην ενότητα 3.5.2 η αύξηση της τάσης τροφοδοσίας είναι ένας έξυπνος τρόπος ώστε να πλησιάσουμε περισσότερο τους σχεδιαστικούς μας στόχους. Ας εξετάσουμε τι θα συμβεί αν χρησιμοποιήσουμε την ακραία τιμή της τάσης τροφοδοσίας, ώστε να πετύχουμε τον

σχεδιαστικό στόχο $\Delta < 5 \text{ ps}$ στο SS corner στους 120°C . Θεωρώντας $V_{DD} = 880 \text{ mV}$ προκύπτουν οι εξής τιμές στα παρακάτω corner, που φαίνονται στον πίνακα 3.8:

Μεγέθη/Corners	FF at m20 °C (ps)	TT at 27 °C (ps)	SS at 120 °C (ps)
Δ	2.81	3.63	4.99
T_{FS}	357	461	634

Πίνακας 3.8 Μεγέθη Δ και T_{FS} στο τυπικό και στα ακραία corner

Παρατηρούμε ότι φτάνοντας την τροφοδοσία στο υψηλότερο όριο που επιτρέπει η τεχνολογία GF22 κατορθώνουμε να πετύχουμε τον σχεδιαστικό στόχο $\Delta < 5 \text{ ps}$ ακόμα και στο πιο αργό corner καλύπτοντας έτσι όλο το εύρος των corner. Αυτό όμως έχει σαν αποτέλεσμα την περαιτέρω μείωση του δυναμικού εύρους στο ταχύτερο corner. Έστω K ο νέος αριθμός σταδίων καθυστέρησης που πρέπει να χρησιμοποιήσουμε ώστε να επιτυγχάνεται ο σχεδιαστικός στόχος $T_{FS} > 600 \text{ ps}$ στο ταχύτερο corner. Για το K ισχύει ότι:

$$2.81K > 600 \Rightarrow K > \frac{600}{2.81} \Rightarrow K > 213.5$$

Από την παραπάνω σχέση προκύπτει ότι το K πρέπει να είναι τουλάχιστον 214 κάνοντας την υλοποίηση μας σχεδόν διπλάσια σε κατανάλωση χώρου. Τονίζουμε ξανά ότι είναι αναγκαία η ύπαρξη κάποιας αντιστάθμισης για την αποφυγή χρήσης περιττού υλικού και πλεονάζοντα χώρου.

3.8.3 Προσομοιωτικά αποτελέσματα με μεταβολή της θερμοκρασίας

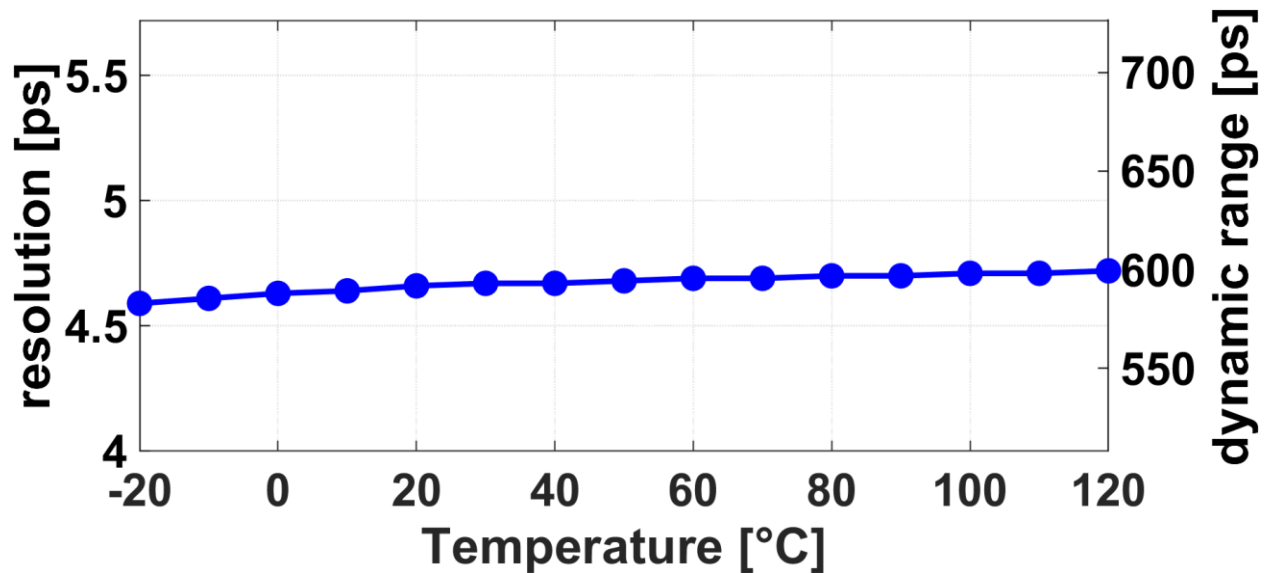
Στον πίνακα 3.9 φαίνεται η μεταβολή των μεγεθών Δ και T_{FS} με την αλλαγή της θερμοκρασίας.

Όπως εξηγήσαμε και στην ενότητα 3.5.3 η αύξηση της θερμοκρασίας οδηγεί σε αύξηση του Δ ,

Μεγέθη/θερμοκρασία (°C)	-20	-10	0	10	20	30	40	50	60	70	80	90	100	110	120
Δ (ps)	4.59	4.61	4.63	4.64	4.66	4.67	4.67	4.68	4.69	4.69	4.7	4.7	4.71	4.71	4.72
T_{FS} (ps)	583	585	588	589	592	593	593	594	596	596	597	597	598	598	599

Πίνακας 3.9 Δ και T_{FS} με την μεταβολή της θερμοκρασίας

όπως παρατηρείται και εδώ. Όπως αναμέναμε η θερμοκρασία δεν έχει τόσο μεγάλη επίδραση όσο η τάση τροφοδοσίας και το process. Στο σχήμα 3.28 φαίνεται το διάγραμμα των Δ και T_{FS} με την μεταβολή της θερμοκρασίας. Αυτό που παρατηρούμε από το διάγραμμα είναι ότι η επίδραση της

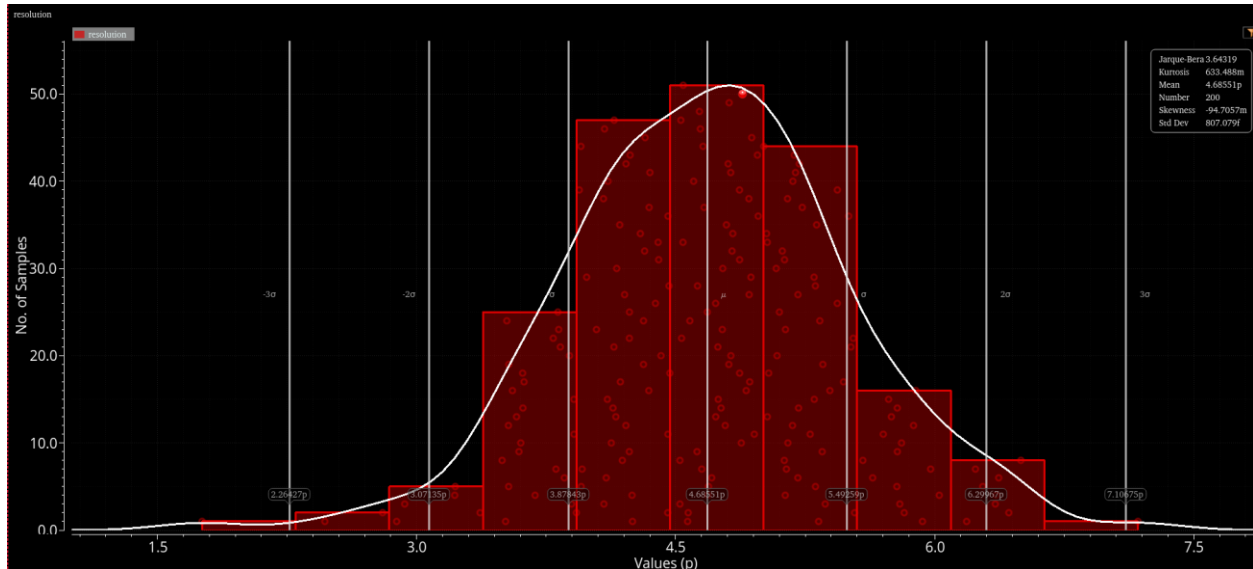


Σχήμα 3.28 Δ και T_{FS} με την μεταβολή της θερμοκρασίας

θερμοκρασίας στην περίπτωση του Vernier TDC είναι σαφώς μικρότερη από ότι αυτή στην βασική τοπολογία του TDC. Παρατηρούμε ότι παρά την μεταβολή της θερμοκρασίας οι δύο σχεδιαστικοί στόχοι για το Δ και το T_{FS} καλύπτονται χωρίς σημαντικές αποκλίσεις.

3.8.4 Προσομοιωτικά αποτελέσματα Monte Carlo ανάλυσης

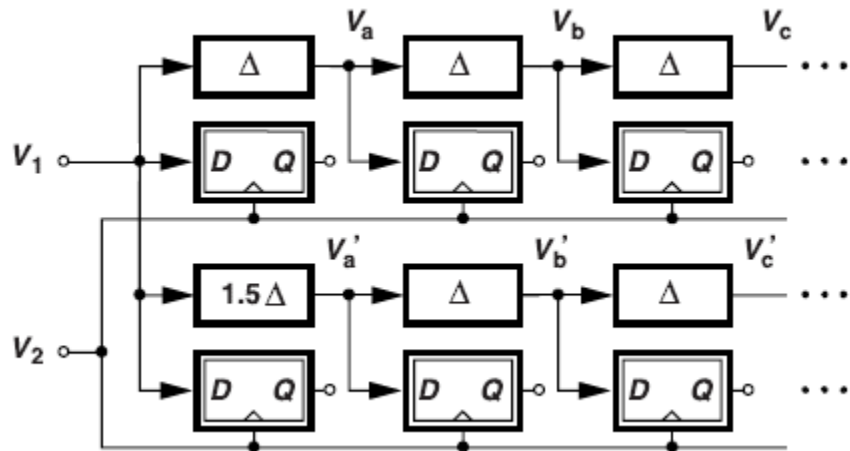
Στο σχήμα 3.29 φαίνεται το αποτέλεσμα της Monte Carlo ανάλυσης του Δ του TDC. Για την κανονική κατανομή προκύπτει ότι $\mu = 4.69 \text{ ps}$ και $\sigma = 0.81 \text{ ps}$. Η ανάλυση Monte Carlo έγινε σε 200 σημεία και περιλάμβανε και process και mismatch variations. Η κατανομή μας δεν είναι όσο στενή ήταν η αντίστοιχη της βασικής τοπολογίας. Ο λόγος της τυπικής απόκλισης σ προς την μέση τιμή μ είναι σημαντικά μεγαλύτερος από τον αντίστοιχο της βασικής τοπολογίας. Αν και η μέση τιμή της κανονικής κατανομής επιβεβαιώνει τον σχεδιαστικό στόχο του $\Delta < 5 \text{ ps}$, οι αποκλίσεις είναι πολύ μεγάλες και είναι βέβαιο ότι χωρίς την κατάλληλη αντιστάθμιση για τις PVT μεταβολές, ένας εκ των δύο σχεδιαστικών στόχων Δ και T_{FS} θα αποκλίνει σημαντικά. Η μεγάλη τυπική απόκλιση οφείλεται στο mismatch που είναι πιθανό να έχουν μεταξύ τους τα τρανζίστορ που έχουν χρησιμοποιηθεί για τους δύο buffers. Οποιαδήποτε αναπόφευκτη απόκλιση από τις τιμές που τους έχουν δοθεί μπορεί να οδηγήσει την διαφορά μεταξύ του Δ_1 και Δ_2 σε ανεπιθύμητα αποτελέσματα.



Σχήμα 3.29 Monte Carlo ανάλυση για το Δ του Vernier TDC

3.9 Ανάλυση τοπολογίας multipath TDC

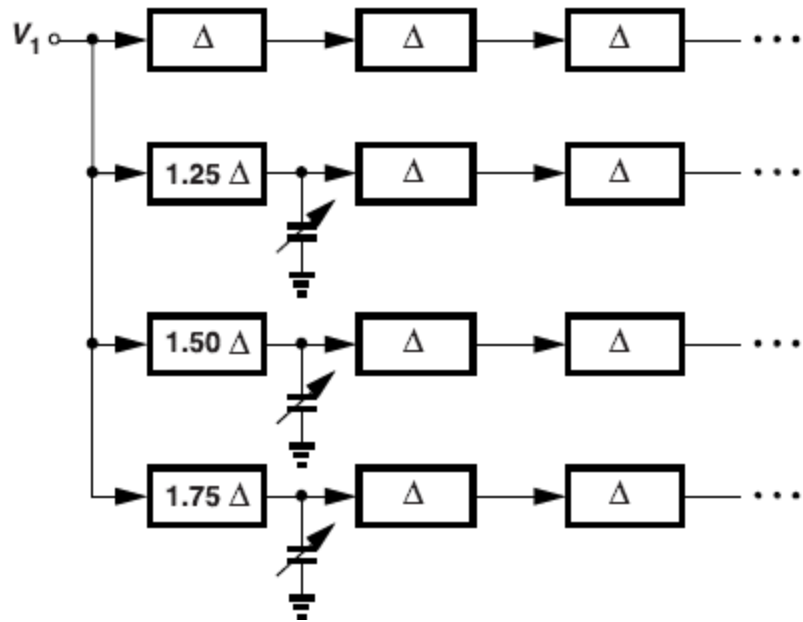
Οι multipath TDCs αποτελούν και αυτοί ένα είδος TDC, με τους οποίους μπορεί να επιτευχθεί χρονική ευκρίνεια Δ , μικρότερη από αυτή, που επιτρέπει η τεχνολογία, με τον γρηγορότερο buffer. Η ιδέα, της παρούσης υλοποίησης, φαίνεται στο σχήμα 3.30. Όπως παρατηρούμε, το σήμα V_2 δεν



Σχήμα 3.30 Υλοποίηση multipath TDC

εισέρχεται σε κάποια γραμμή καθυστέρησης, αλλά απλά οδηγείται στην είσοδο CK των DFF. Παρατηρούμε, επίσης, ότι το σήμα V_1 εισέρχεται σε μια γραμμή καθυστέρησης Δ , όπως στην βασική τοπολογία του TDC. Κάθε καθυστερημένη εκδοχή, της πρώτης γραμμής καθυστέρησης,

έχει διαφορά φάσης ίση με $N \cdot \Delta$, η οποία εξαρτάται από το πόσα στάδια καθυστέρησης έχουν περάσει, σε σχέση με το σήμα V_1 . Όμως, ένας multipath TDC έχει πολλαπλές γραμμές καθυστέρησης, από τις οποίες περνάει το προπορευόμενο σήμα, ώστε να επιτευχθεί καλύτερη χρονική ευκρίνεια. Στην δεύτερη γραμμή καθυστέρησης, κάθε καθυστερημένη εκδοχή του σήματος V_1 , που προκύπτει, έχει διαφορά φάσης $1.5\Delta + (N - 1) \cdot \Delta$. Αυτό συμβαίνει επειδή ο πρώτος buffer είναι διαφορετικός από τους υπόλοιπους και εισάγει χρονική καθυστέρηση, ίση με 1.5Δ . Κάτι τέτοιο, μπορεί να επιτευχθεί, με την τοποθέτηση προγραμματιζόμενου πυκνωτή από το άκρο εξόδου, του πρώτου ειδικού buffer, προς τη γη. Επιλέγουμε προγραμματιζόμενο πυκνωτή, ώστε να μπορεί να γίνει κατάλληλη βαθμονόμηση, ακόμα και μετά την κατασκευή του ολοκληρωμένου κυκλώματος. Βέβαια, στο πλαίσιο της παρούσης διπλωματικής θα χρησιμοποιήσουμε ένα απλό τρανζίστορ, ως πυκνωτή, κατάλληλα διαστασιολογημένο, σε επίπεδο σχηματικού, χάριν μεγαλύτερης απλότητας. Δεσμευόμαστε στο μέλλον για πολυπλοκότερη και ορθότερη υλοποίηση. Στην συνέχεια, οι υπόλοιποι buffer εισάγουν, κανονικά, καθυστέρηση Δ . Με αυτό τον τρόπο, οι καθυστερημένες εκδοχές της δεύτερης γραμμής βρίσκονται ανάμεσα στις καθυστερημένες εκδοχές της πρώτης γραμμής, όσον αφορά την διαφορά φάσης με το σήμα V_1 . Ακριβώς με αυτό τον τρόπο, λοιπόν, κατορθώνουμε να υποδιπλασιάσουμε την χρονική ευκρίνεια Δ . Με την ίδια λογική, χρησιμοποιώντας έναν πρώτο buffer κατάλληλης τιμής, σε κάθε γραμμή καθυστέρησης, μπορούμε να δημιουργήσουμε περισσότερες γραμμές καθυστέρησης μειώνοντας περισσότερο την χρονική ευκρίνεια Δ , όπως φαίνεται στο σχήμα 3.31. Όπως και με τον TDC με Vernier γραμμές καθυστέρησης, μπορούμε να πετύχουμε όσο μικρή χρονική ευκρίνεια Δ θέλουμε, αλλά πάντα πρέπει να έχουμε ως γνώμονα, τις διαφοροποιήσεις που είναι πιθανό να υπάρξουν και



Σχήμα 3.31 Υλοποίηση 4 γραμμών καθυστέρησης για multipath TDC

να οδηγήσουν σε ανεπιθύμητα αποτελέσματα. Η συγκεκριμένη υλοποίηση δημιουργεί γραμμές καθυστέρησης μικρότερου μήκους, αλλά χρησιμοποιεί περίπου ίσο αριθμό buffer για να επιτύχει το απαιτούμενο δυναμικό εύρος. Αρκεί να προστεθεί ο συνολικός αριθμός λογικών “1”, που θα προκύψουν, ώστε να παραχθεί η ζητούμενη ψηφιακή λέξη στην έξοδο του TDC.

3.10 Υλοποίηση τοπολογίας multipath TDC

Η βασική διαφορά της παρούσας τοπολογίας, από τις προηγούμενες δύο, είναι ότι οι γραμμές καθυστέρησης έχουν διαφορετικού μεγέθους, πρώτο buffer, από αυτούς που ακολουθούν στην συνέχεια. Θέλουμε να πετύχουμε παρόμοιο αποτέλεσμα, με τον TDC με Vernier γραμμές καθυστέρησης, όσον αφορά την χρονική ευκρίνεια. Υπενθυμίζουμε ότι με την Vernier τοπολογία, είχαμε χρονική ευκρίνεια περίπου ίση με 5 ps. Η υλοποίηση του multipath TDC, που θα κατασκευάσουμε, θα έχει 4 μονοπάτια καθυστέρησης, όπως φαίνεται και στο σχήμα 3.χ, της ενότητας 3.9. Με απλή οπτική εξέταση του σχήματος 3.χ, φαίνεται ότι οι εκδοχές του σήματος V_1 , που θα δημιουργηθούν, θα έχουν με την σειρά χρονική καθυστέρηση, από το σήμα V_1 , ίση με Δ , $1.25 \cdot \Delta$, $1.5 \cdot \Delta$, $1.75 \cdot \Delta$, $2 \cdot \Delta$, $2.25 \cdot \Delta$, $2.5 \cdot \Delta$, $2.75 \cdot \Delta$ και ούτω καθεξής. Γίνεται, λοιπόν, εύκολα αντιληπτό, ότι η χρονική ευκρίνεια, που θα προκύψει, θα είναι $1.25 \cdot \Delta - \Delta = 0.25 \cdot \Delta$, δηλαδή $\Delta/4$. Αυτό σημαίνει ότι για να έχουμε χρονική ευκρίνεια $\Delta/4 = 5$ ps, πρέπει η χρονική

καθυστέρηση, που θα εισάγουν οι βασικοί buffer Δ , να είναι 20 ps. Επιπλέον, οι 3 πρώτοι buffer των τριών τελευταίων μονοπατιών να είναι 25, 30, και 35 ps αντίστοιχα. Ύψιστης σημασίας ζήτημα, στην παρούσα τοπολογία, είναι οι 3 αυτοί ειδικοί buffer να αποκλίνουν, όσο το δυνατόν λιγότερο, από τις τιμές που αναφέραμε. Η μέση απόκλιση των απλών buffer Δ , θα οδηγήσει μεσοσταθμικά σε ομοιόμορφα αποτελέσματα. Αντίθετα, οι αποκλίσεις των ειδικών buffer μπορούν να προκαλέσουν σοβαρές ανομοιομορφίες και διαφορετική χρονική ευκρίνεια στα διάφορα σημεία του κυκλώματος, λόγω του ειδικού βάρους τους. Αξιοσημείωτο είναι και το γεγονός ότι με την χρήση των βασικών buffer χρονικής καθυστέρησης 20ps, θα καταφέρουμε να πετύχουμε το δυναμικό εύρος, που επιθυμούμε (περίπου 600ps), με μικρότερο αριθμό buffer, από ότι στην υλοποίηση, με Vernier γραμμές καθυστέρησης. Επισημαίνουμε, ότι αυτή η μείωση του αριθμού του buffer είναι πολύ σημαντική, διότι διαφορετικά η υλοποίηση του multipath TDC θα ήταν εντελώς ασύμφορη, από άποψη χώρου, δεδομένου ότι οι γραμμές καθυστέρησης είναι τέσσερις. Προχωράμε στην υλοποίηση των buffer, με κατάλληλες διαστάσεις ώστε να επιτευχθούν οι χρονικές καθυστερήσεις, που αναφέραμε. Δεν θα αναλύσουμε, πάλι, την υλοποίηση του βασικού buffer Δ , διότι αποτελεί ίδια σχεδίαση με αυτή του buffer, της βασικής τοπολογίας του TDC, 3.4.2. Διαφορά αποτελεί η επιλογή των πιο σταθερών regular V_t τρανζίστορ, για την κατασκευή των δύο inverter, όπως και στην Vernier υλοποίηση, μιας και δεν μας ενδιαφέρει η επίτευξη της μικρότερης χρονικής καθυστέρησης. Το κατάλληλος μήκος και πλάτος για τα τρανζίστορ που επιλέχθηκαν, ώστε να επιτευχθεί χρονική καθυστέρηση 20ps, είναι 40nm και 95nm, αντίστοιχα. Επιπλέον χρησιμοποιήθηκε σε όλα τα τρανζίστορ, πολλαπλασιαστής τέσσερα, δηλαδή τέσσερα παράλληλα τρανζίστορ, αντί για ένα μόνο του. Με τον τρόπο αυτό δημιουργήθηκε το σύμβολο BUF1_M_TDC, το οποίο θα αποτελέσει τον βασικό buffer στην παρούσα υλοποίηση.

3.10.1 Υλοποίηση ειδικών buffer BUF2_M_TDC, BUF3_M_TDC, BUF4_M_TDC

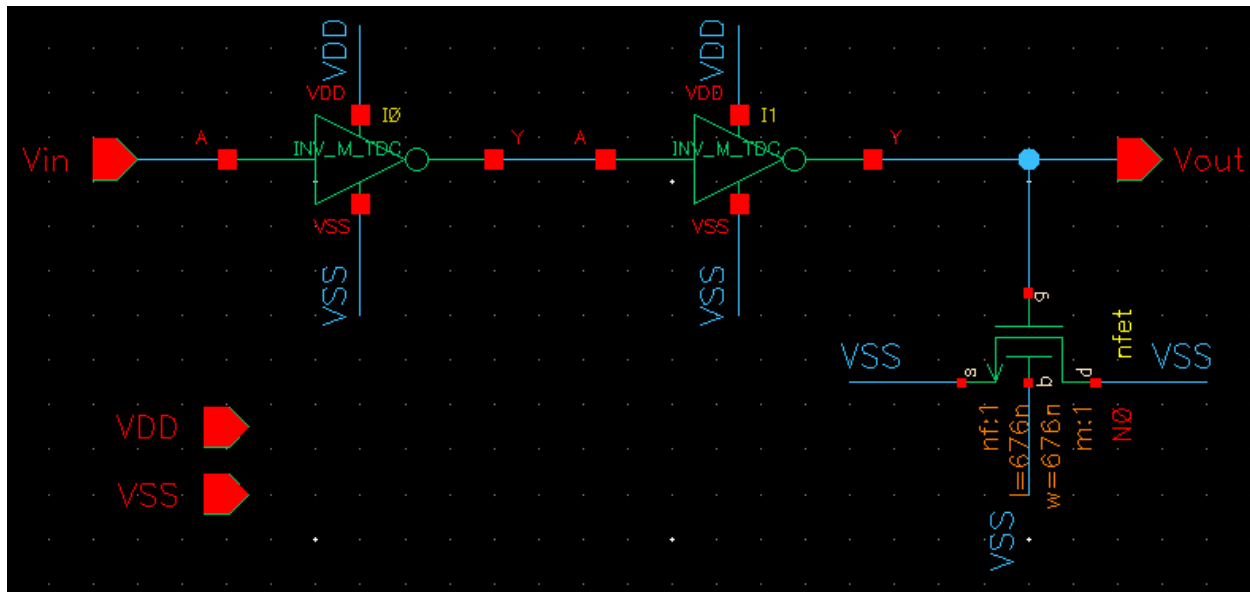
Όπως προαναφέρθηκε, θα κατασκευάσουμε έναν multipath TDC με τέσσερα μονοπάτια καθυστέρησης. Το πρώτο, από αυτά, θα αποτελείται αποκλειστικά από τους βασικούς buffer, που εισάγουν χρονική καθυστέρηση 20 ps. Τα υπόλοιπα μονοπάτια θα έχουν έναν πρώτο ειδικό buffer και έπειτα τους βασικούς buffer. Το δεύτερο, τρίτο και τέταρτο μονοπάτι θα έχουν έναν πρώτο ειδικό buffer, χρονικής καθυστέρησης 25ps, 30ps και 35ps, αντίστοιχα. Η υλοποίηση αυτών των τριών ειδικών buffer θα γίνει με τοποθέτηση κατάλληλα διαστασιοποιημένου MOSCAP, στο

άκρο εξόδου ενός βασικού buffer. MOSCAP ονομάζεται η χρήση ενός απλού τρανζίστορ, ως πυκνωτή. Αυτό γίνεται με γείωση των ακροδεκτών πηγής, υποδοχής και σώματος του τρανζίστορ. Με τον τρόπο αυτό, χρησιμοποιούμε, αθροιστικά, τις παρασιτικές χωρητικότητες, που δημιουργούνται ανάμεσα στην πύλη και στους υπόλοιπους ακροδέκτες του τρανζίστορ, ως πυκνωτή. Η ύπαρξη, αυτής της χωρητικότητας στο άκρο εξόδου του βασικού buffer, προσθέτει μια παραπάνω χρονική καθυστέρηση στο σήμα εισόδου, λόγω της φόρτισης του πυκνωτή. Η τοποθέτηση πραγματικών πυκνωτών, στην προκειμένη περίπτωση είναι αδύνατη, διότι οι χωρητικότητες που θέλουμε να παραγάγουμε, ώστε να πετύχουμε χρονικές καθυστερήσεις της τάξης των 5ps, είναι της τάξης του 1fF. Τόσο μικρές χωρητικότητες δεν υποστηρίζονται από την τεχνολογία 22FDX, αλλά και από τις περισσότερες σύγχρονες τεχνολογίες. Με χρήση κατάλληλης transient προσομοίωσης, αναζητούμε το επιθυμητό μήκος και πλάτος των τρανζίστορ, που θα χρησιμοποιήσουμε, ως πυκνωτές, ώστε να επιτευχθούν οι τρεις χρονικές καθυστερήσεις, που αναφέραμε. Διαλέγουμε να κάνουμε τετράγωνο το σχήμα των τρανζίστορ, για καλύτερη χρήση χώρου, σε επίπεδο layout. Στον πίνακα 3.10, φαίνονται τα μήκη και τα πλάτη των τετράγωνων τρανζίστορ που επιλέχθηκαν για τον κάθε buffer. Η υλοποίηση του buffer, BUF2_M_TDC,

Buffer/Μεγέθη	Μήκος και πλάτος των τετράγωνων τρανζίστορ	Χρονική καθυστέρηση
BUF2 M TDC	676nm	25ps
BUF3 M TDC	1.022um	30ps
BUF4 M TDC	1.282um	35ps

Πίνακας 3.10 Χαρακτηριστικά μεγέθη των τρανζίστορ για τον κάθε ειδικό buffer

φαίνεται, ενδεικτικά, στο σχήμα 3.32. Οι άλλοι δύο buffer κατασκευάζονται με τον ίδιο τρόπο, αλλά με διαφορετικών διαστάσεων τρανζίστορ. Υπογραμμίζουμε, ότι τα τρανζίστορ, που χρησιμοποιήθηκαν είναι nmos και για αυτό οι ακροδέκτες, πέραν της πύλης, συνδέθηκαν προς την

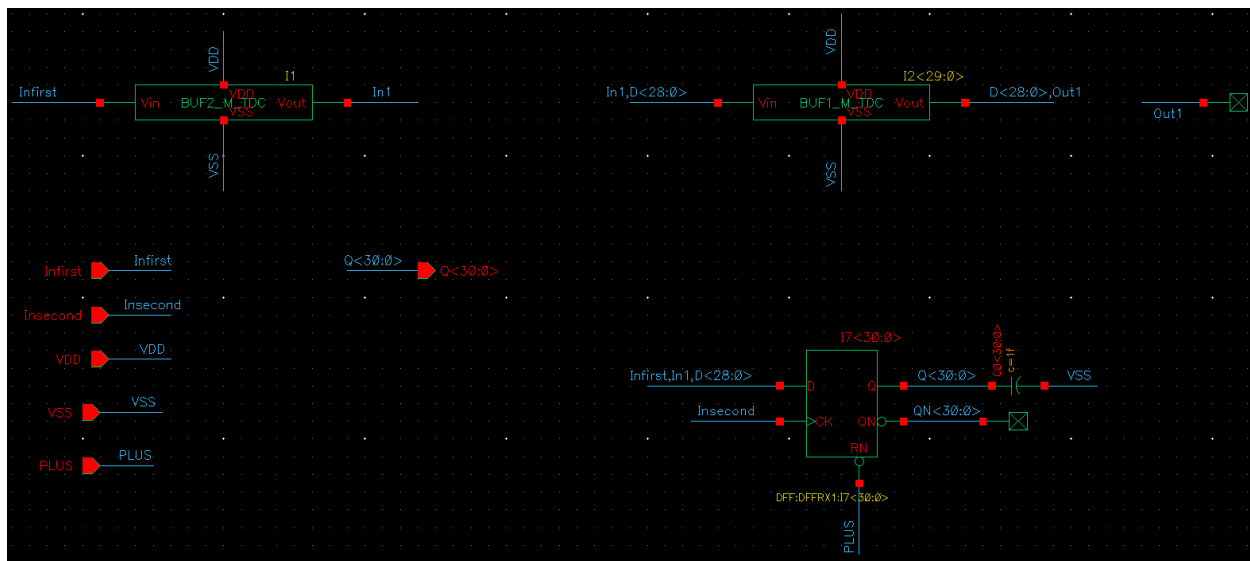


Σχήμα 3.32 CMOS υλοποίηση του buffer BUF2_M_TDC

γη. Αν τα τρανζίστορ ήταν pmos, οι ακροδέκτες θα έπρεπε να συνδεθούν στην τάση τροφοδοσίας. Συνηθίζεται να επιλέγονται nmos, διότι η γη αποτελεί καλύτερη αναφορά, από αυτή της τροφοδοσίας.

3.10.2 Υλοποίηση μονοπατιών καθυστέρησης multipath TDC

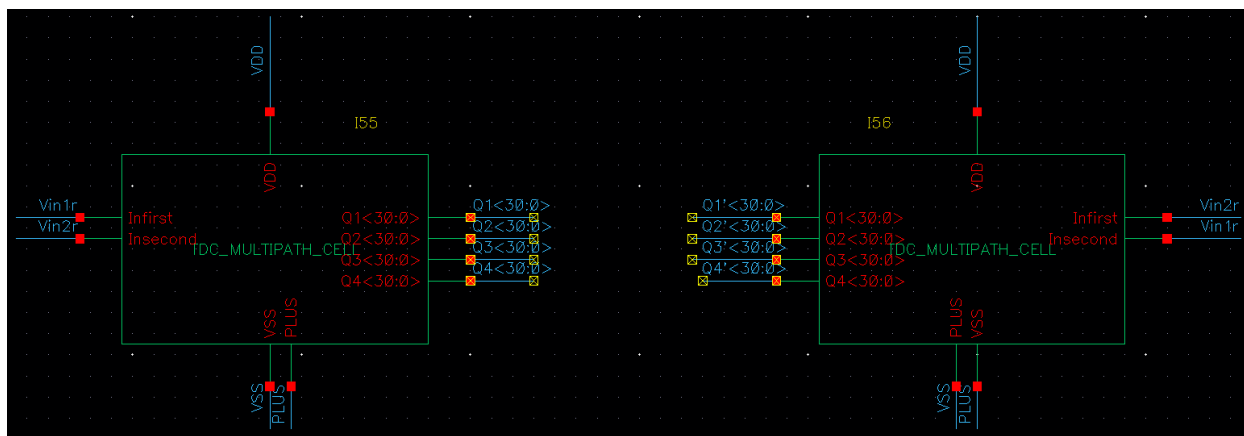
Τα τέσσερα μονοπάτια καθυστέρησης, του multipath TDC, είναι όμοια μεταξύ τους. Επιπλέον, είναι όμοια και με την βασική τοπολογία του TDC, μιας και το σήμα V_2 , δεν εισέρχεται σε κάποιο μονοπάτι καθυστέρησης. Δείχνουμε ενδεικτικά την υλοποίηση του δεύτερου μονοπατιού, διότι έχει για πρώτο buffer, έναν ειδικό buffer. Τα υπόλοιπα μονοπάτια κατασκευάζονται με τον ίδιο τρόπο, με μόνη διαφορά την αλλαγή του πρώτου buffer, με τον κατάλληλο κάθε φορά. Ο αριθμός buffer που θα τοποθετήσουμε στο κάθε μονοπάτι καθυστέρησης είναι 31. Η επιλογή αυτή γίνεται για δύο λόγους. Πρώτον, θέλουμε να πετύχουμε δυναμικό εύρος, περίπου 600ps. Με 31 buffers, χρονικής καθυστέρησης περίπου 20ps, πετυχαίνουμε δυναμικό εύρος $31 \cdot 20 = 620\text{ps}$, χωρίς να υπολογίζουμε την παραπάνω χρονική καθυστέρηση, που θα εισάγει ο πρώτος ειδικός buffer. Δεύτερον, πέρα από το κατάλληλο δυναμικό εύρος, ο αριθμός 31 μετατρέπεται ακριβώς, από αριθμό θερμομετρικής λογικής, σε δυαδικό αριθμό, με μετατροπέα 31 σε 5, χωρίς να περισσεύουν αχρείαστοι αριθμοί. Στο σχήμα 3.33, φαίνεται η υλοποίηση του mult_d1.25_path.



Σχήμα 3.33 CMOS υλοποίηση mult_d1.25_path

3.10.3 Υλοποίηση TDC_MULTIPATH_CELL

Ενοποιούμε τα τέσσερα μονοπάτια του multipath TDC, σε ένα ενιαίο σύμβολο για ευκολότερη οπτική εξέταση και καλύτερη ιεραρχία του σχηματικού μας. Όπως αναλύσαμε, στην προηγούμενη υποενότητα, η έξοδος του κάθε μονοπατιού θα είναι ένας αριθμός 31 ψηφίων θερμομετρικής λογικής. Η συνολική έξοδος του TDC, θα είναι το άθροισμα των τεσσάρων αυτών επιμέρους εξόδων. Όπως εξηγήσαμε, οι καθυστερημένες εκδοχές των μονοπατιών πλέκονται μεταξύ τους. Αρχικά, θα χρησιμοποιήσουμε τέσσερις μετατροπείς αριθμών θερμομετρικής λογικής 31 ψηφίων σε δυαδικό αριθμό 5 ψηφίων. Έπειτα, θα χρησιμοποιήσουμε έναν αθροιστή δυαδικών αριθμών για να παραγάγουμε την τελική έξοδο του TDC. Ο αθροιστής θα κατασκευαστεί με γλώσσα VerilogA, ώστε να είναι πιο βολικός στις προσομοιώσεις. Προφανώς, η πρακτική υλοποίηση του αθροιστή αυτή, θα γίνει με ψηφιακό τρόπο, σε γλώσσα VHDL ή Verilog. Στο σχήμα 3.34 φαίνεται η συνολική υλοποίηση του multipath TDC με τα δύο TDC_MULTIPATH_CELL, διότι δεν γνωρίζουμε ποιο από τα δύο σήματα προπορεύεται και πρέπει να εξετάζουμε και τις δύο περιπτώσεις.



Σχήμα 3.34 Υλοποίηση multipath TDC

3.11 Προσομοιωτικά αποτελέσματα της τοπολογίας multipath TDC στο εύρος των PVT μεταβολών

Στην παρούσα ενότητα θα παρουσιάσουμε τα προσομοιωτικά αποτελέσματα της τοπολογίας multipath TDC και θα σχολιάσουμε το κατά πόσο επιτεύχθηκαν οι σχεδιαστικοί μας στόχοι. Θα παρουσιάσουμε την μεταβολή των μεγεθών Δ και T_{FS} με την μεταβολή του process, κάνοντας την θεώρηση ότι οι ειδικοί buffers διατηρούν τον απαιτούμενο λόγο τους σε όλο το εύρος των PVT μεταβολών. Στην συνέχεια, θα συγκρίνουμε την πραγματική συμπεριφορά των ειδικών buffer σε όλο το εύρος των PVT μεταβολών και θα την συγκρίνουμε με την αντίστοιχη ιδανική.

3.11.1 Προσομοιωτικά αποτελέσματα με μεταβολή του process και της θερμοκρασίας θεωρώντας ιδανική συμπεριφορά των ειδικών buffer

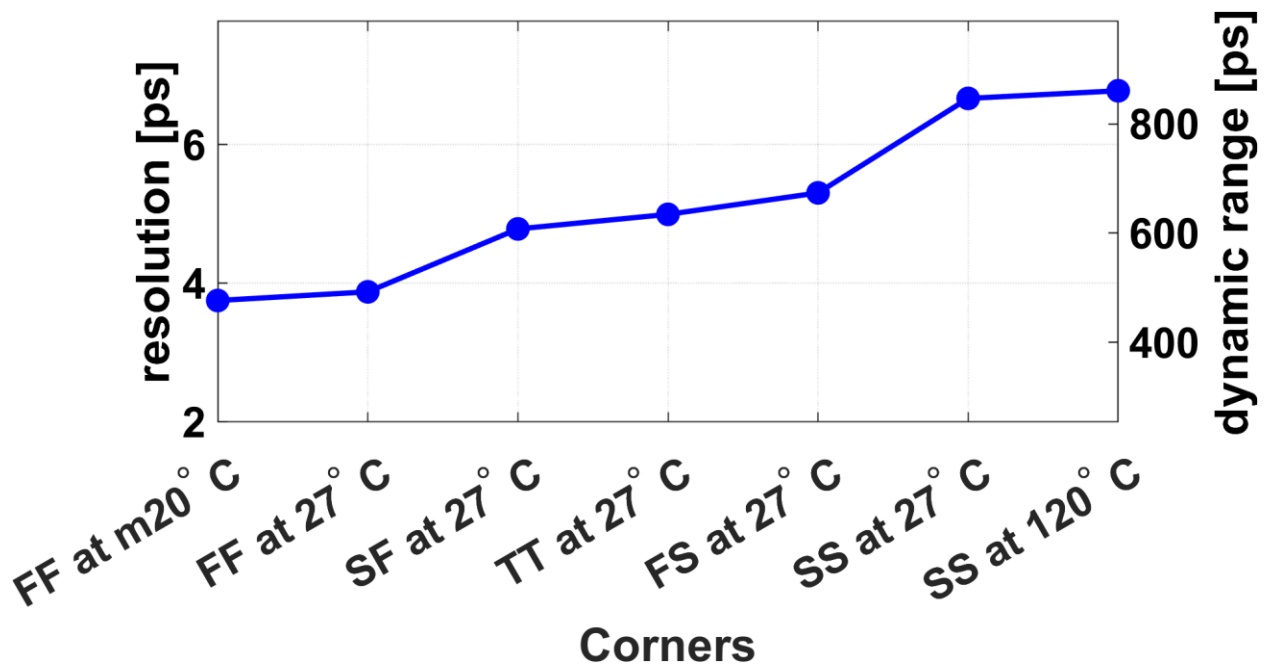
Αρχικά, θα προσομοιώσουμε το Δ και το T_{FS} του multipath TDC στις αλλαγές του process και της θερμοκρασίας, θεωρώντας ιδανική την συμπεριφορά των ειδικών buffer στις μεταβολές αυτές. Ιδανική συμπεριφορά σημαίνει ότι ο συντελεστής των ειδικών buffer παραμένει αμετάβλητος με τις PVT μεταβολές. Το Δ προφανώς και θα αλλάζει και μαζί του θα αλλάζουν και οι τιμές των ειδικών buffer, αλλά ο συντελεστής τους θα παραμένει σταθερός. Επιπλέον, θα κάνουμε την ασφαλή θεώρηση ότι η τάση τροφοδοσίας θα παραμένει σταθερή στην τιμή που της καθορίζουμε δηλαδή $V_{DD} = 800 \text{ mV}$. Θεωρούμε 7 διαφορετικά corners τα οποία φαίνονται στον πίνακα 3.11 μαζί με τις αντίστοιχες τιμές του Δ και του T_{FS} . Στο σχήμα 3.35 φαίνεται το αντίστοιχο διάγραμμα

Μεγέθη/Corner	FF at m20° C (ps)	FF at 27° C (ps)	SF at 27° C (ps)	TT at 27° C (ps)	FS at 27° C (ps)	SS at 27° C (ps)	SS at 120° C (ps)
---------------	-------------------------	---------------------	---------------------	---------------------	---------------------	---------------------	----------------------

Δ	3.75	3.88	4.79	5	5.31	6.67	6.78
T_{FS}	477	492	608	634	674	847	861

Πίνακας 3.11 Μεγέθη Δ και T_{FS} σε 7 corners που μεταβάλλεται το process και η θερμοκρασία

για τα μεγέθη αυτά. Παρατηρούμε ότι ο σχεδιαστικός στόχος του $\Delta < 5 ps$ επιτυγχάνεται σε τυπικό process και τυπική θερμοκρασία καθώς και στα 3 ταχύτερα corners. Στα 3 πιο αργά corner ο σχεδιαστικός στόχος αυτός δεν επιτυγχάνεται. Αντίθετα, όπως είναι φυσικό, στο typical corner και στα 3 πιο αργά από αυτό επιτυγχάνεται ο σχεδιαστικός περιορισμός του $T_{FS} > 600 ps$ ενώ στα 3 ταχύτερα δεν επιτυγχάνεται. Η παρατήρηση αυτή μας οδηγεί στο συμπέρασμα ότι χρειάζεται αρκετή υπερκάλυψη στην σχεδίαση για να κατορθώσουμε να επιτύχουμε τους σχεδιαστικούς μας



Σχήμα 3.35 Διάγραμμα Δ και T_{FS} σε 7 corners που μεταβάλλεται το process και η θερμοκρασία

στόχους σε όλο το εύρος των PVT μεταβολών. Συγκεκριμένα, ο σχεδιαστής πρέπει να φροντίσει να ισχύει ότι $\Delta < 5 ps$ στο πιο αργό corner, που είναι το SS στους 120 °C και να υπάρχουν αρκετά στάδια καθυστέρησης N στο ταχύτερο corner FF στους -20 °C ώστε να ισχύει ότι $T_{FS} > 600 ps$. Με την υπερκάλυψη στην σχεδίαση του Δ δεν θα ασχοληθούμε περαιτέρω, διότι θα άλλαζε ο σχεδιαστικός μας στόχος για το Δ στο τυπικό corner. Αντίθετα, μπορούμε εύκολα να υπολογίσουμε τον αριθμό των σταδίων καθυστέρησης που θα απαιτούνταν για να καλυφθεί ο στόχος για το T_{FS} στο FF corner στους -20 °C. Έστω M τα απαιτούμενα στάδια καθυστέρησης

των απλών buffer, που απαιτούνται για να πετύχουμε το ζητούμενο δυναμικό εύρος χωρίς να συνυπολογίζουμε τον πρώτο ειδικό buffer κάθε μονοπατιού καθυστέρησης. Για το δυναμικό εύρος ενός multipath TDC 4 μονοπατιών καθυστέρησης με M απλούς buffers ισχύει ότι:

$$T_{FS} = M * 4\Delta + 1.75 * 4\Delta \quad (3.7)$$

Αυτό συμβαίνει επειδή το δυναμικό εύρος επιτυγχάνεται από το μονοπάτι καθυστέρησης με τον ειδικό πρώτο buffer που εισάγει την μεγαλύτερη χρονική καθυστέρηση. Ο όρος 4Δ προκύπτει επειδή οι απλοί buffer ενός multipath TDC 4 μονοπατιών καθυστέρησης εισάγουν χρονική καθυστέρηση ίση με 4Δ όπως αναλύσαμε στην ενότητα 3.9. Άρα, θα πρέπει να ισχύει ότι:

$$T_{FS} > 600 \Rightarrow 4 * 3.75 * M + 1.75 * 4 * 3.75 > 600 \Rightarrow 15M > 573.75 \Rightarrow M > 38.25$$

Από την παραπάνω σχέση προκύπτει ότι θα χρειάζονταν τουλάχιστον 39 στάδια καθυστέρησης για να ίσχυε ότι $T_{FS} > 600 \text{ ps}$ σε όλα τα corners. Σημειώνουμε ότι αυτά τα 39 στάδια καθυστέρησης θα έπρεπε να υπάρχουν και στα 4 μονοπάτια καθυστέρησης. Μαζί με τους ειδικούς buffer το κάθε μονοπάτι καθυστέρησης θα έχει συνολικά 40 στάδια καθυστέρησης. Άρα η ολική υλοποίηση θα απαιτούσε πλέον 160 buffer συνολικά αντί για 124. Στις επόμενες ενότητες βέβαια θα εντοπίσουμε ένα μεγαλύτερο πρόβλημα της παρούσας τοπολογίας. Θα παρατηρήσουμε ότι η αρχική θεώρηση που κάναμε για την ιδανική συμπεριφορά των ειδικών buffer δεν ισχύει στην πραγματικότητα κάτι που με βεβαιότητα θα μας οδηγήσει σε λανθασμένα αποτελέσματα, αν δεν υπάρξει κάποιου είδους ταίριασμα μεταξύ των buffer.

3.11.2 Προσομοιωτικά αποτελέσματα για την πραγματική συμπεριφορά των ειδικών buffer με μεταβολή του process και της θερμοκρασίας

Όπως αναφέραμε και στην προηγούμενη ενότητα η ιδανική συμπεριφορά των ειδικών buffer είναι μια θεώρηση που δεν ισχύει στην πραγματικότητα. Η απόκλιση των ειδικών buffer από την ιδανική τιμή που θα έπρεπε να έχουν με τις PVT μεταβολές αποτελεί το βασικό μειονέκτημα της παρούσας τοπολογίας. Όπως αναφέρθηκε ιδανική συμπεριφορά θα είχαν οι ειδικοί buffer αν ο συντελεστής τους παρέμενε σταθερός σε όλο το εύρος των PVT αλλαγών. Στους πίνακες 3.12, 3.13 και 3.14 παρουσιάζονται οι ιδανικές και οι πραγματικές τιμές καθυστέρησης που εισάγουν οι ειδικοί buffer 1.25Δ , 1.5Δ και 1.75Δ αντίστοιχα. Οι αποκλίσεις των πραγματικών τιμών από τις

Μεγέθη/Corner	FF at m20° C (ps)	FF at 27° C (ps)	SF at 27° C (ps)	TT at 27° C (ps)	FS at 27° C (ps)	SS at 27° C (ps)	SS at 120° C (ps)
---------------	-------------------------	---------------------	---------------------	---------------------	---------------------	---------------------	----------------------

Πραγματικό t_D	18.69	20.14	23.12	25.01	27.81	32.51	35.57
Ιδανικό t_D	18.76	19.39	23.93	24.98	26.53	33.34	33.89

Πίνακας 3.12 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.25Δ

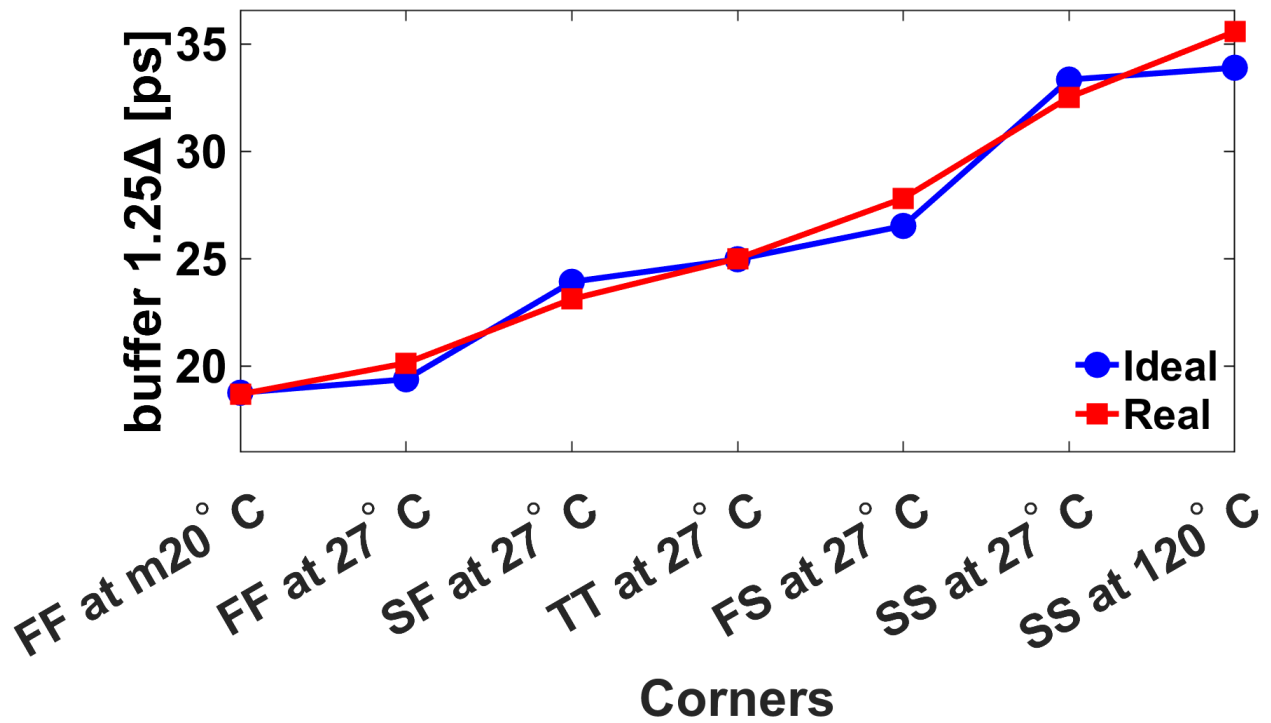
Μεγέθη/Corner	FF at m20° C (ps)	FF at 27° C (ps)	SF at 27° C (ps)	TT at 27° C (ps)	FS at 27° C (ps)	SS at 27° C (ps)	SS at 120° C (ps)
Πραγματικό t_D	22.27	24.84	26.93	30	34.5	38.17	44.43
Ιδανικό t_D	22.52	23.27	28.71	29.97	31.83	40.01	40.67

Πίνακας 3.13 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.5Δ

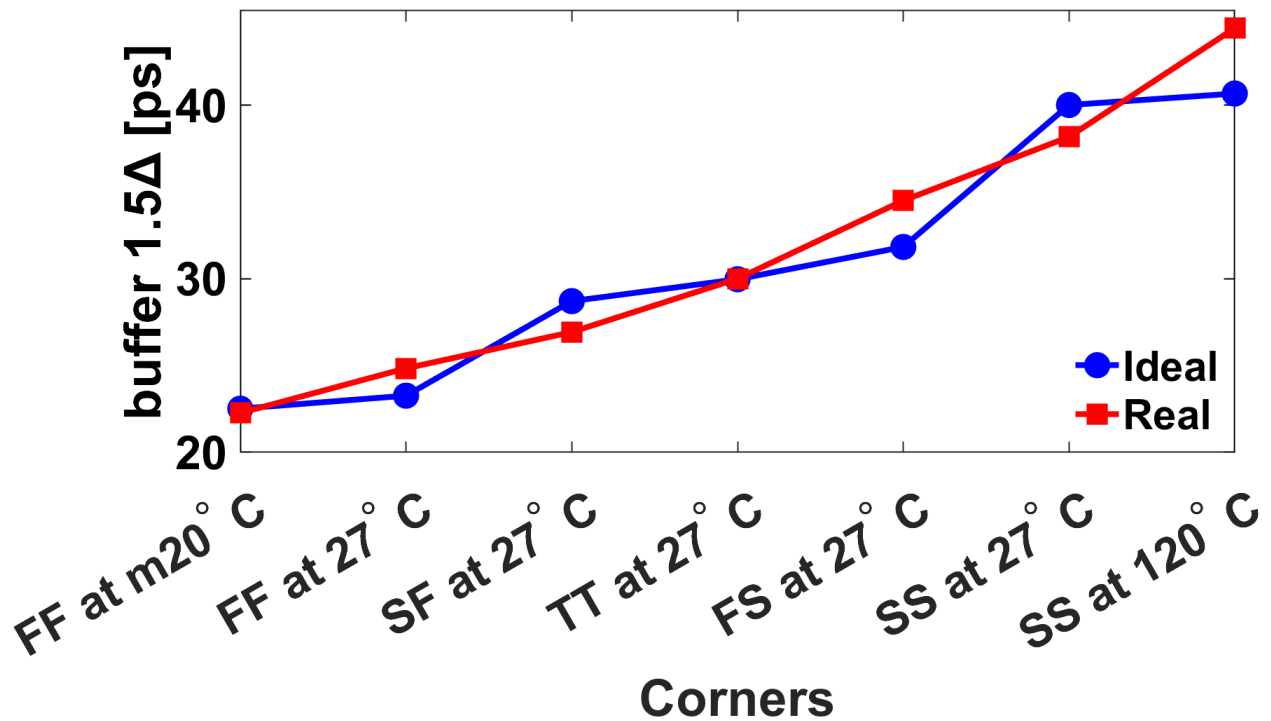
Μεγέθη/Corner	FF at m20° C (ps)	FF at 27° C (ps)	SF at 27° C (ps)	TT at 27° C (ps)	FS at 27° C (ps)	SS at 27° C (ps)	SS at 120° C (ps)
Πραγματικό t_D	25.84	29.57	30.72	35	41.27	43.81	53.41
Ιδανικό t_D	26.27	27.14	33.49	34.97	37.14	46.67	47.44

Πίνακας 3.14 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.75Δ

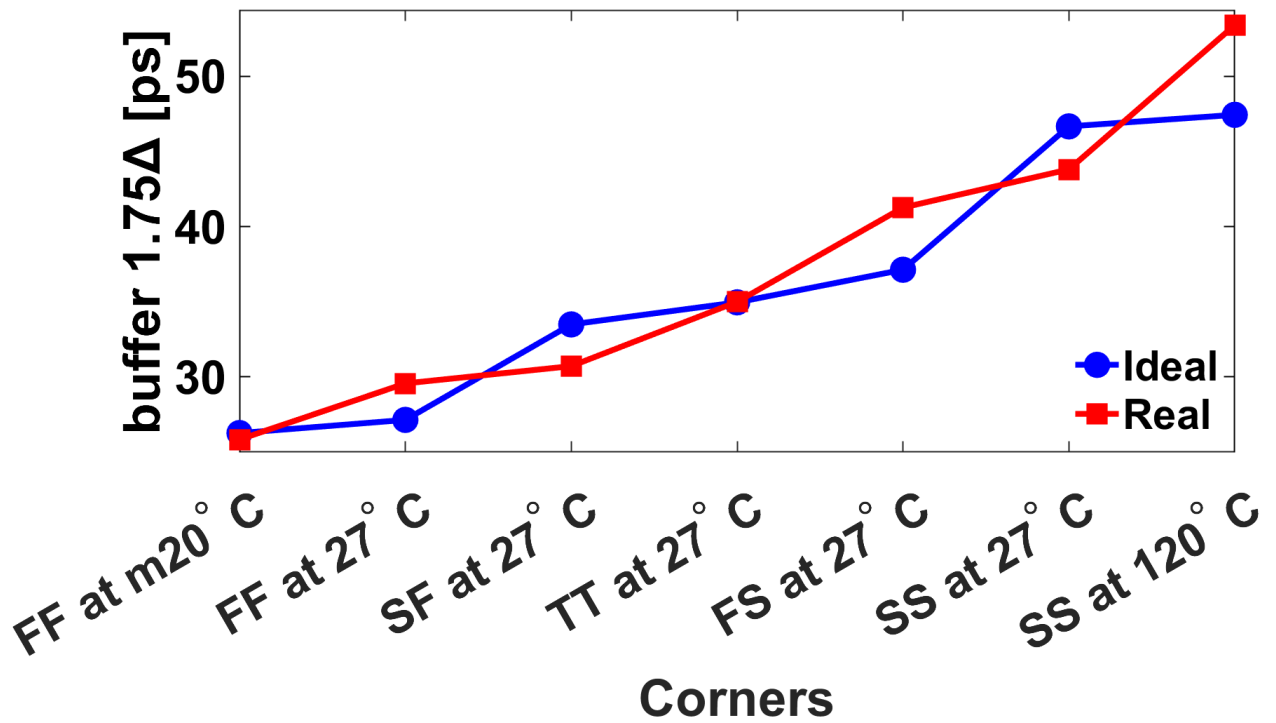
αντίστοιχες ιδανικές είναι ξεκάθαρα εμφανείς από τους πίνακες. Στην συνέχεια παρουσιάζονται και στα σχήματα 3.36, 3.37 και 3.38. Οι αποκλίσεις αυτές οφείλονται στην αναμενόμενη διαφορετική μεταβολή των MOSCAP που έχουμε χρησιμοποιήσει με τις PVT μεταβολές. Αυτός είναι και ο βασικός λόγος που η συγκεκριμένη τοπολογία δεν χρησιμοποιείται συχνά σε βιομηχανικό επίπεδο και έχει σημαντικά λιγότερες αναφορές στην διεθνή βιβλιογραφία συγκριτικά με την τοπολογία Vernier. Ένας τρόπος με τον οποίο θα μπορούσε να ξεπεραστεί το παρόν πρόβλημα είναι με την χρήση προγραμματιζόμενων MOSCAP, σε μορφή carbank. Θα ξαναγίνει αναφορά στις Carbank στο κεφάλαιο 5 όπου θα μελετήσουμε και θα σχεδιάσουμε έναν DCO. Με χρήση αντιστάθμισης ο προγραμματιζόμενος MOSCAP θα μπορούσε να αλλάζει τιμή



Σχήμα 3.36 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.25Δ



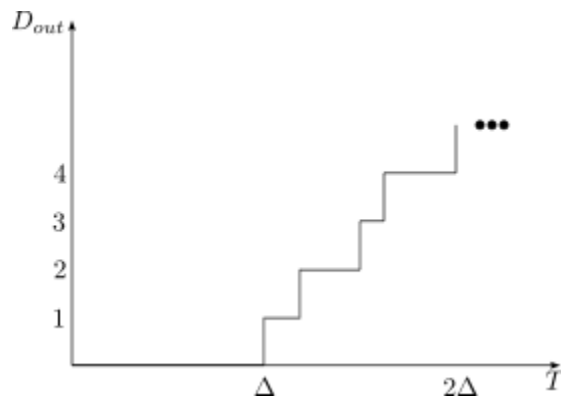
Σχήμα 3.37 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.5Δ



Σχήμα 3.38 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.75Δ

ώστε η πραγματική καθυστέρηση να ταυτίζεται πάντα με την ιδανική. Η ιδέα που περιγράφουμε δεν θα ερευνηθεί περαιτέρω στην παρούσα διπλωματική εργασία.

Οι αποκλίσεις που παρουσιάσαμε οδηγούν σε ακαθόριστη λειτουργία του TDC. Το πρόβλημα παρουσιάζεται οπτικά στο σχήμα 3.39. Το κάθε μονοπάτι καθυστέρησης θα εισάγει διαφορετική



Σχήμα 3.39 Ακαθόριστη λειτουργία του multipath TDC

καθυστέρηση με αποτέλεσμα το πλάτος κάθε σκαλοπατιού, δηλαδή το Δ , να είναι διαφορετικό σε κάθε βήμα. Εξαιτίας αυτού δεν θα είναι δυνατόν να υπολογίσουμε σωστά την χρονική διαφορά

των δύο σημάτων. Η ανάγκη αντιστάθμισης, λοιπόν, κρίνεται απαραίτητη για την σωστή λειτουργία του multipath TDC.

3.11.3 Προσομοιωτικά αποτελέσματα για την πραγματική συμπεριφορά των ειδικών buffer με μεταβολή της τάσης τροφοδοσίας

Στην συνέχεια θα συγκρίνουμε την πραγματική συμπεριφορά των ειδικών buffer με την μεταβολή της τάσης τροφοδοσίας με την αντίστοιχη ιδανική που θα επιθυμούσαμε να είχαν. Στους πίνακες 3.15, 3.16, 3.17 φαίνονται οι τιμές των πραγματικών και των ιδανικών χρονικών καθυστερήσεων t_D που εισάγουν οι 3 ειδικοί buffer. Παρατηρούμε από τις τιμές των πινάκων ότι οι πραγματικές

Μεγέθη/ V_{DD}	750 mV	760 mV	770 mV	780 mV	790 mV	800 mV	810 mV	820 mV	830 mV	840 mV	850 mV	860 mV	870 mV	880 mV
Πραγματικό t_D (ps)	29.49	28.45	27.49	26.6	25.77	25.01	24.28	23.61	22.98	22.39	21.84	21.32	20.83	20.36
Ιδανικό t_D (ps)	29.01	28.08	27.23	26.41	25.66	24.98	24.31	23.7	23.13	22.59	22.09	21.61	21.16	20.73

Πίνακας 3.15 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.25Δ

Μεγέθη/ V_{DD}	750 mV	760 mV	770 mV	780 mV	790 mV	800 mV	810 mV	820 mV	830 mV	840 mV	850 mV	860 mV	870 mV	880 mV
Πραγματικό t_D (ps)	35.78	34.44	33.2	32.06	30.99	30	29.08	28.22	27.41	26.66	25.95	25.29	24.66	24.08
Ιδανικό t_D (ps)	34.82	33.69	32.67	31.7	30.8	29.97	29.18	28.44	27.75	27.11	26.51	25.94	25.4	24.87

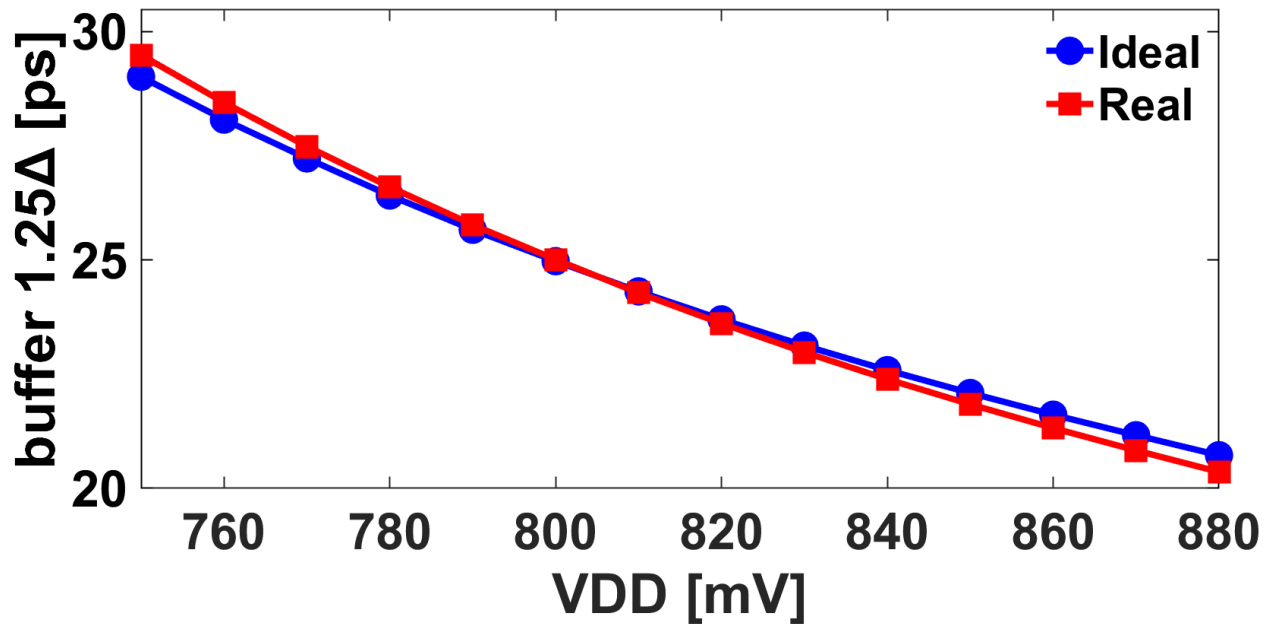
Πίνακας 3.16 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.5Δ

Μεγέθη/ V_{DD}	750 mV	760 mV	770 mV	780 mV	790 mV	800 mV	810 mV	820 mV	830 mV	840 mV	850 mV	860 mV	870 mV	880 mV
Πραγματικό t_D (ps)	42.08	40.44	38.92	37.52	36.21	35	33.87	32.83	31.84	30.92	30.06	29.25	28.5	27.78
Ιδανικό t_D (ps)	40.62	39.31	38.12	36.98	35.93	34.97	34.04	33.18	32.38	31.62	30.92	30.26	29.63	29.02

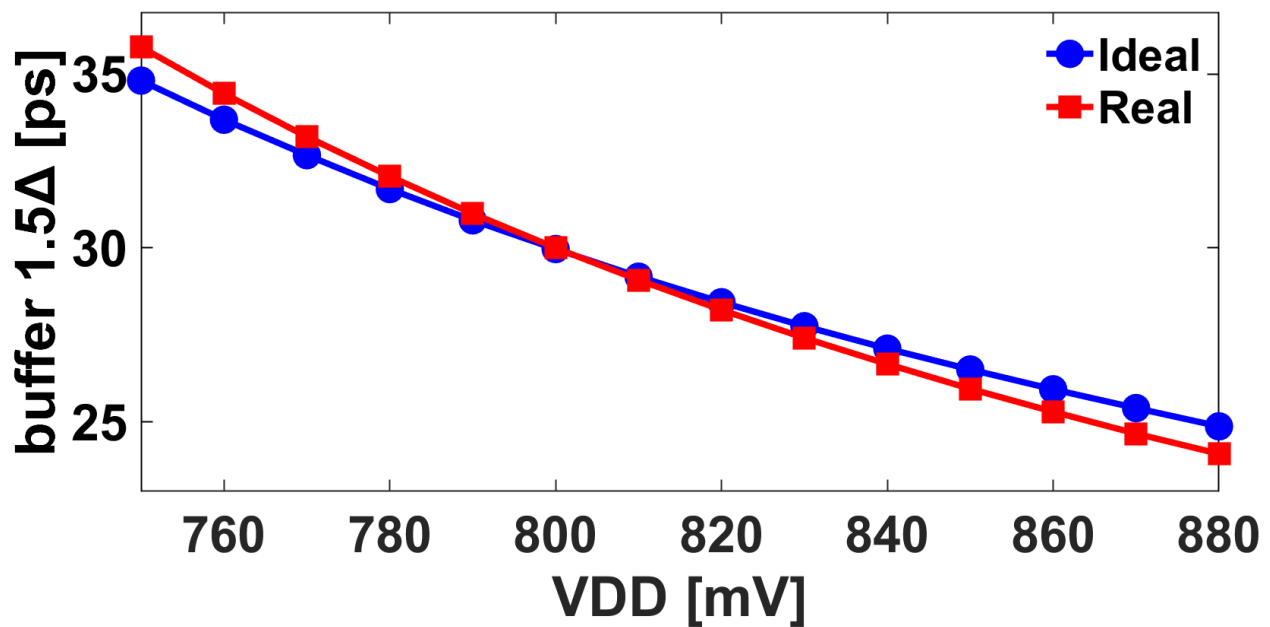
Πίνακας 3.17 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.75Δ

και οι ιδανικές τιμές δεν παρουσιάζουν σημαντικές αποκλίσεις. Πιο συγκεκριμένα, γύρω από την περιοχή των 800 mV οι δύο τιμές είναι σχεδόν ίδιες για όλους τους buffer. Αν αναλογιστούμε ότι με μια καλά σχεδιασμένη BGR και έναν LDO αναμένουμε αποκλίσεις μικρότερες των 10 mV στην τάση τροφοδοσίας, μπορούμε να συμπεράνουμε ότι οι αποκλίσεις της τάσης τροφοδοσίας δεν θα δημιουργήσουν σοβαρό πρόβλημα στην λειτουργία του multipath TDC. Οι παραπάνω

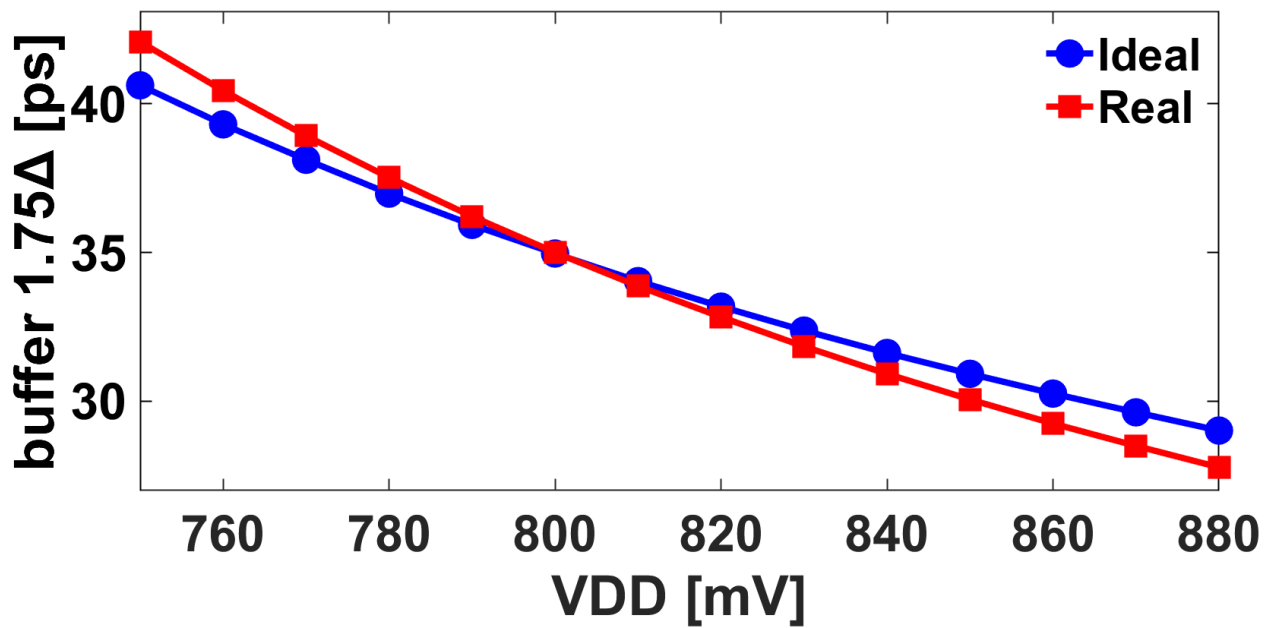
αποκλίσεις φαίνονται και στα σχήματα 3.40, 3.41 και 3.42. Ο παραπάνω ισχυρισμός μας επιβεβαιώνεται και με οπτική εξέταση των σχημάτων. Τονίζουμε ότι αυτή την στιγμή εξετάζουμε



Σχήμα 3.40 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.25Δ



Σχήμα 3.41 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.5Δ



Σχήμα 3.42 Πραγματική και ιδανική τιμή καθυστέρησης t_D του ειδικού buffer 1.75Δ

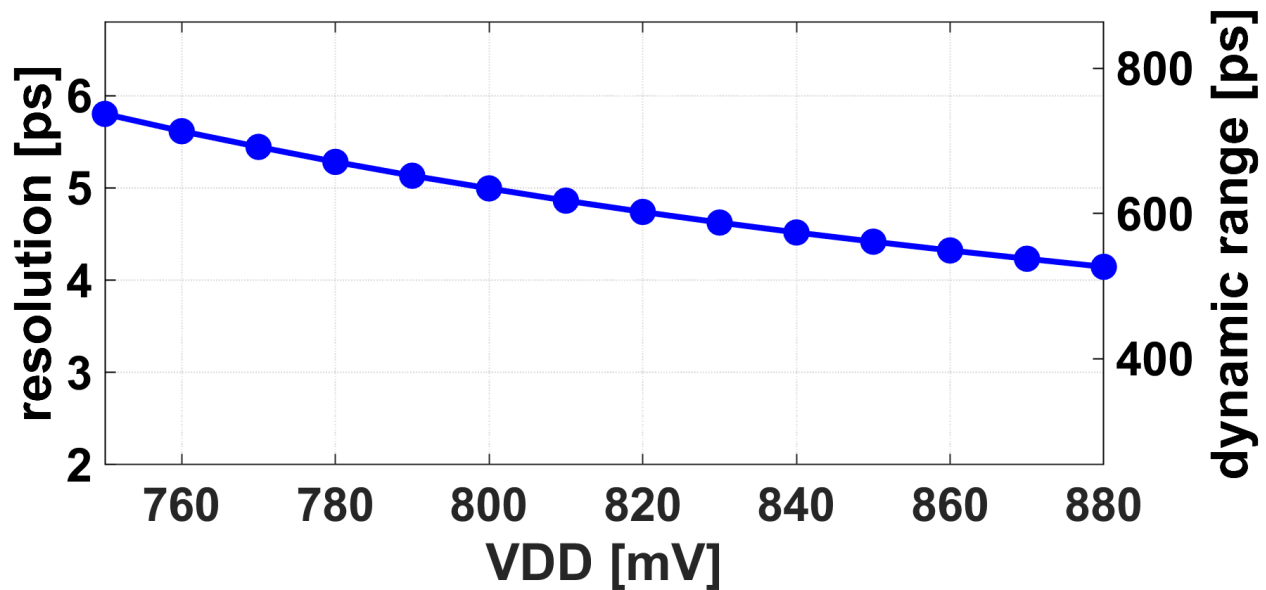
την ορθή λειτουργία του multipath TDC. Οι αλλαγές στην τάση τροφοδοσίας δεν θα επηρεάσουν την εύρυθμη λειτουργία του κυκλώματος, αλλά είναι προφανές πως θα επηρεάσουν μεγέθη όπως το Δ και το T_{FS} , με τρόπο παρόμοιο με τις δύο προηγούμενες τοπολογίες. Αυτό θα εξετάσουμε στην επόμενη ενότητα.

3.11.4 Προσομοιωτικά αποτελέσματα με μεταβολή της τάσης τροφοδοσίας

Στον πίνακα 3.18 φαίνονται οι τιμές των μεγεθών Δ και T_{FS} για τιμές της τάσης τροφοδοσίας από 750 έως 880 mV με βήμα 10 mV. Όπως ήταν αναμενόμενο οι buffer γίνονται ταχύτεροι με την αύξηση της τάσης τροφοδοσίας με αποτέλεσμα την μείωση του Δ . Στο σχήμα 3.43 φαίνεται και το διάγραμμα μεταβολής των μεγεθών Δ και T_{FS} ενός multipath TDC με την μεταβολή της τάσης τροφοδοσίας. Η συμπεριφορά είναι παρόμοια με αυτή των δύο προηγούμενων τοπολογιών και δεν θα την αναλύσουμε παραπάνω.

Μεγέθη/ V_{DD}	750 mV	760 mV	770 mV	780 mV	790 mV	800 mV	810 mV	820 mV	830 mV	840 mV	850 mV	860 mV	870 mV	880 mV
Δ (ps)	5.7	5.46	5.24	5.03	4.84	4.66	4.5	4.34	4.2	4.07	3.95	3.83	3.73	3.63
T_{FS} (ps)	724	693	665	639	615	592	572	551	533	517	502	486	474	461

Πίνακας 3.18 Μεγέθη Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας



Σχήμα 3.43 Δ και T_{FS} με την μεταβολή της τάσης τροφοδοσίας

3.11.5 Προσομοιωτικά αποτελέσματα για την πραγματική συμπεριφορά των ειδικών buffer με μεταβολή της θερμοκρασίας

Στην συνέχεια θα συγκρίνουμε την πραγματική συμπεριφορά των ειδικών buffer με την μεταβολή της θερμοκρασίας με την αντίστοιχη ιδανική που θα επιθυμούσαμε να είχαν. Στους πίνακες 3.19, 3.20, 3.21 φαίνονται οι τιμές των πραγματικών και των ιδανικών χρονικών καθυστερήσεων t_D που εισάγουν οι 3 ειδικοί buffer. Τα αντίστοιχα διαγράμματα φαίνονται στα σχήματα 3.44, 3.45 και 3.46. Παρατηρούμε σημαντική απόκλιση μεταξύ των πραγματικών και των ιδανικών τιμών καθυστέρησης t_D . Οι απλοί buffers του multipath TDC δεν έχουν MOSCAP πυκνωτή με αποτέλεσμα να συμπεριφέρονται διαφορετικά με την μεταβολή της θερμοκρασίας από ότι οι

Μεγέθη/θερμοκρασία (°C)	-20	-10	0	10	20	30	40	50	60	70	80	90	100	110	120
Πραγματικό t_D (ps)	23.5	23.8	24.1	24.4	24.8	25.1	25.4	25.8	26.1	26.4	26.8	27.1	27.5	27.8	28.2
Ιδανικό t_D (ps)	24.3	24.5	24.6	24.8	24.9	25	25.1	25.2	25.3	25.4	25.5	25.6	25.7	25.8	25.8

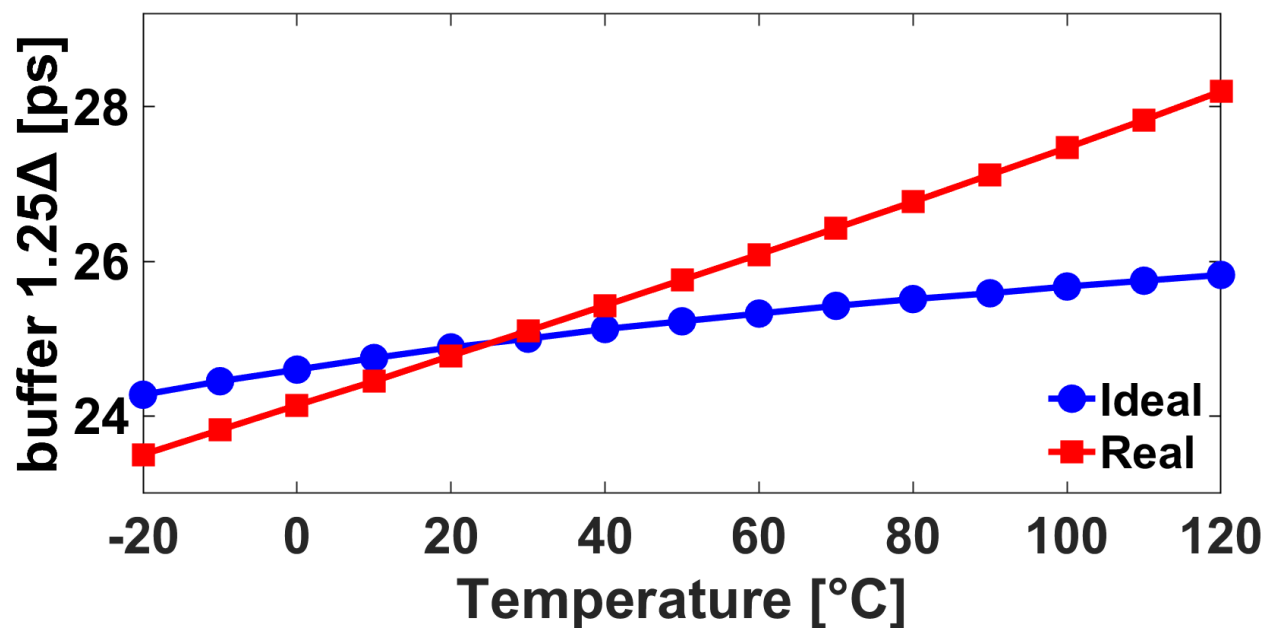
Πίνακας 3.19 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.25Δ

Μεγέθη/θερμοκρασία (°C)	-20	-10	0	10	20	30	40	50	60	70	80	90	100	110	120
Πραγματικό t_D (ps)	27.4	27.9	28.5	29	29.6	30.2	30.8	31.4	32.1	32.7	33.4	34.1	34.8	35.5	36.2
Ιδανικό t_D (ps)	29.1	29.3	29.5	29.7	29.9	30	30.2	30.3	30.4	30.5	30.6	30.7	30.8	30.9	31

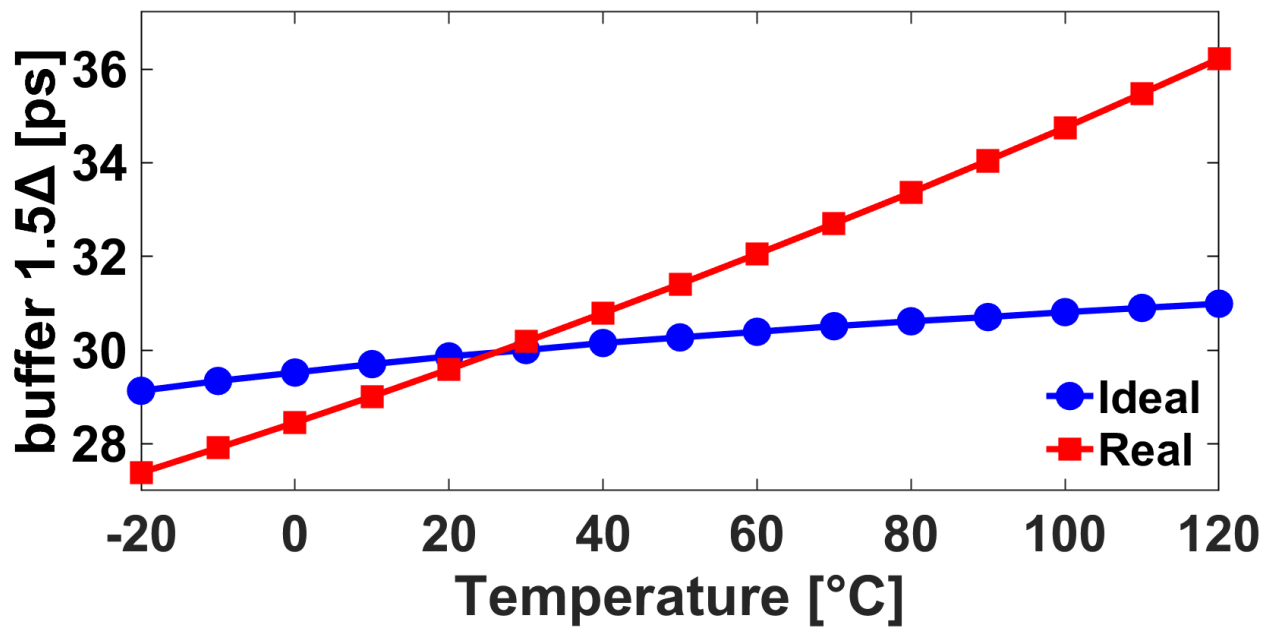
Πίνακας 3.20 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.5 Δ

Μεγέθη/θερμοκρασία (°C)	-20	-10	0	10	20	30	40	50	60	70	80	90	100	110	120
Πραγματικό t_D (ps)	31.2	32	32.7	33.6	34.4	35.3	36.2	37.1	38	39	40	41.1	42.1	43.2	44.4
Ιδανικό t_D (ps)	34	34.2	34.4	34.7	34.8	35	35.2	35.3	35.5	35.6	35.7	35.8	35.9	36.1	36.2

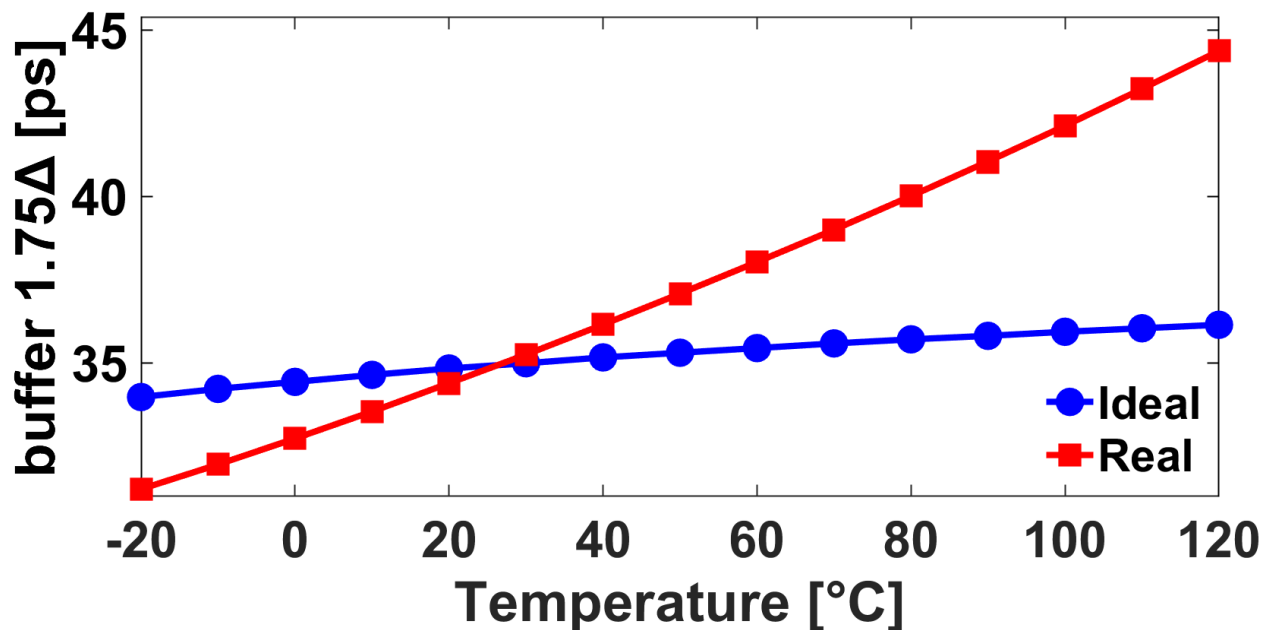
Πίνακας 3.21 Πραγματικές και ιδανικές τιμές της καθυστέρησης t_D του ειδικού buffer 1.75 Δ



Σχήμα 3.44 Πραγματικές και ιδανικές τιμές χρονικής καθυστέρησης t_D του ειδικού buffer 1.25 Δ



Σχήμα 3.45 Πραγματικές και ιδανικές τιμές χρονικής καθυστέρησης t_D του ειδικού buffer 1.5Δ



Σχήμα 3.46 Πραγματικές και ιδανικές τιμές χρονικής καθυστέρησης t_D του ειδικού buffer 1.75Δ

3 ειδικοί buffer. Η απόκλιση τους, λοιπόν, με την μεταβολή της θερμοκρασίας δημιουργεί πάλι το ίδιο πρόβλημα λειτουργίας με αυτό που περιγράψαμε στην ενότητα 3.11.2 και στο σχήμα 3.χχ με την μεταβολή στο πλάτος του κάθε σκαλοπατιού, οδηγώντας σε ακαθόριστη λειτουργία του TDC. Μια πιθανή λύση που θα μπορούσε να σκεφτεί ο αναγνώστης είναι η χρήση MOSCAP και στους απλούς buffers, ώστε με την μεταβολή της θερμοκρασίας να έχουν και οι απλοί buffers παρόμοια

συμπεριφορά με τους ειδικούς. Αυτή η πρακτική δεν αποτελεί πραγματική λύση γιατί θα δημιουργούσε προβλήματα μη ταιριάσματος σε όλους τους απλούς buffers που θα χρησιμοποιούσαμε στην υλοποίηση μας. Στόχος μας είναι η διατήρηση της απλότητας στους απλούς buffers και η χρήση αντιστάθμισης στους ειδικούς.

Συμπερασματικά καταλήγουμε στο ότι η τοπολογία multipath TDC, αν και αποτελεί έναν τρόπο περαιτέρω μείωσης της χρονικής ευκρίνειας ενός TDC, πέρα από τους περιορισμούς της τεχνολογίας, παρουσιάζει σημαντικά μειονεκτήματα συγκριτικά με την τοπολογία Vernier TDC.

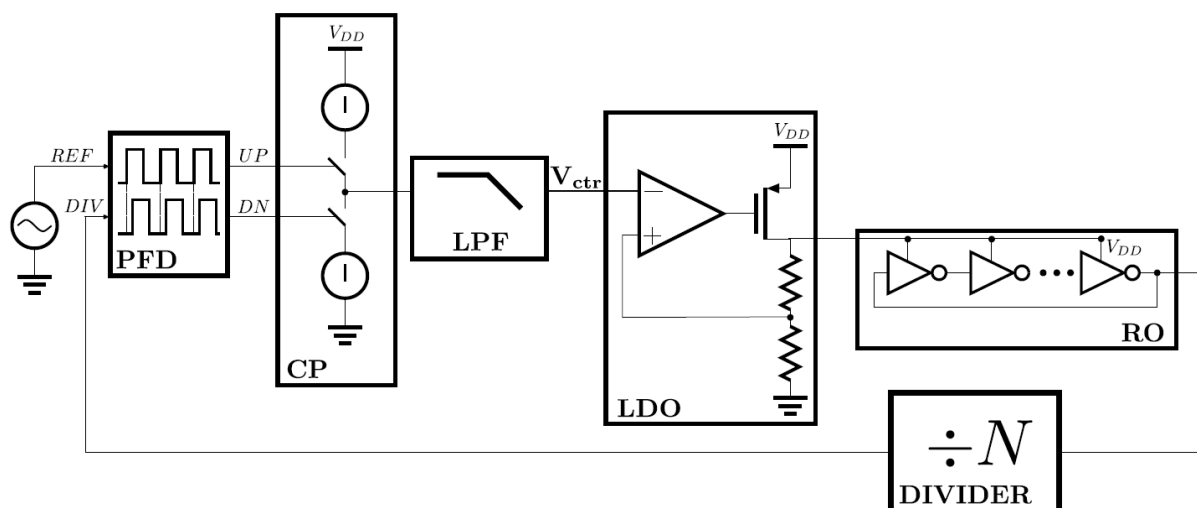
Κεφάλαιο 4

PVT αντιστάθμιση για Vernier TDC

Στο παρόν κεφάλαιο παρουσιάζεται μια καινοτόμα κυκλωματική ιδέα, με την οποία μπορούμε να αντισταθμίσουμε τις PVT μεταβολές ενός Vernier TDC. Ο μηχανισμός που θα περιγράψουμε πρακτικά εξαφανίζει τις PVT μεταβολές ενός Vernier TDC κάνοντας την χρονική ευκρίνεια Δ συνεχώς σταθερή στην τιμή που της έχουμε ορίσει. Ο μηχανισμός λειτουργεί σε πραγματικό χρόνο παράλληλα με την λειτουργία του υπόλοιπου κυκλώματος. Με την σταθεροποίηση του Δ καθίσταται αχρείαστη πλέον η ανάγκη για υπερκάλυψη της σχεδίασης, ώστε να έχουμε το επιθυμητό Δ στο αργότερο corner και το επιθυμητό T_{FS} στο ταχύτερο corner. Ο μηχανισμός αποτελείται από ένα Ring Oscillator PLL (RO PLL), στο οποίο δύο διαφορετικοί RO συνδέονται και αποσυνδέονται περιοδικά με την χρήση διακοπών. Με τον τρόπο αυτό χρησιμοποιούμε τα υπόλοιπα κομμάτια του PLL και για τους δύο RO και γλυτώνουμε σημαντικά χώρο συγκριτικά με το να είχαμε χρησιμοποιήσει δύο διαφορετικά και ανεξάρτητα RO PLL. Επιπλέον, προτείνουμε μια προαιρετική τεχνική ψηφιακής αντιστάθμισης της τάσης σώματος των nmos και pmos τρανζίστορ των αντιστροφών, η οποία οδηγεί σε ταχύτερους χρόνους κλειδώματος του RO PLL και συνεισφέρει στην καλύτερη σταθερότητα του κυκλώματος. Με την παρούσα ιδέα πετυχαίνουμε χρονική ευκρίνεια Δ ίση με 4.8 ps, η οποία εμφανίζει απόκλιση μόλις 0.056 LSB.

4.1 Ανάλυση και λειτουργία απλού RO PLL

Η λειτουργία ενός RO PLL δεν διαφέρει σημαντικά από αυτή ενός κλασικού αναλογικού PLL. Αντί να υπάρχει ο κλασικός Voltage Controlled Oscillator (VCO) με varactor, υπάρχει ένας RO. Ο RO γίνεται ένα είδος VCO, όταν η V_{ctr} , η οποία είναι η τάση εξόδου του φίλτρου του PLL γίνεται τάση τροφοδοσίας στους αντιστροφείς του RO. Στο σχήμα 4.1 φαίνεται η δομή ενός RO PLL. Είναι απαραίτητη η χρήση ενός LDO μετά την έξοδο του φίλτρου, διότι χωρίς αυτόν θα



Σχήμα 4.1 RO PLL

επηρεαζόταν η λειτουργία του PLL. Για την συχνότητα ταλάντωσης ενός RO ισχύει ότι:

$$f_{osc} = \frac{1}{2Nt_D} \quad (4.1)$$

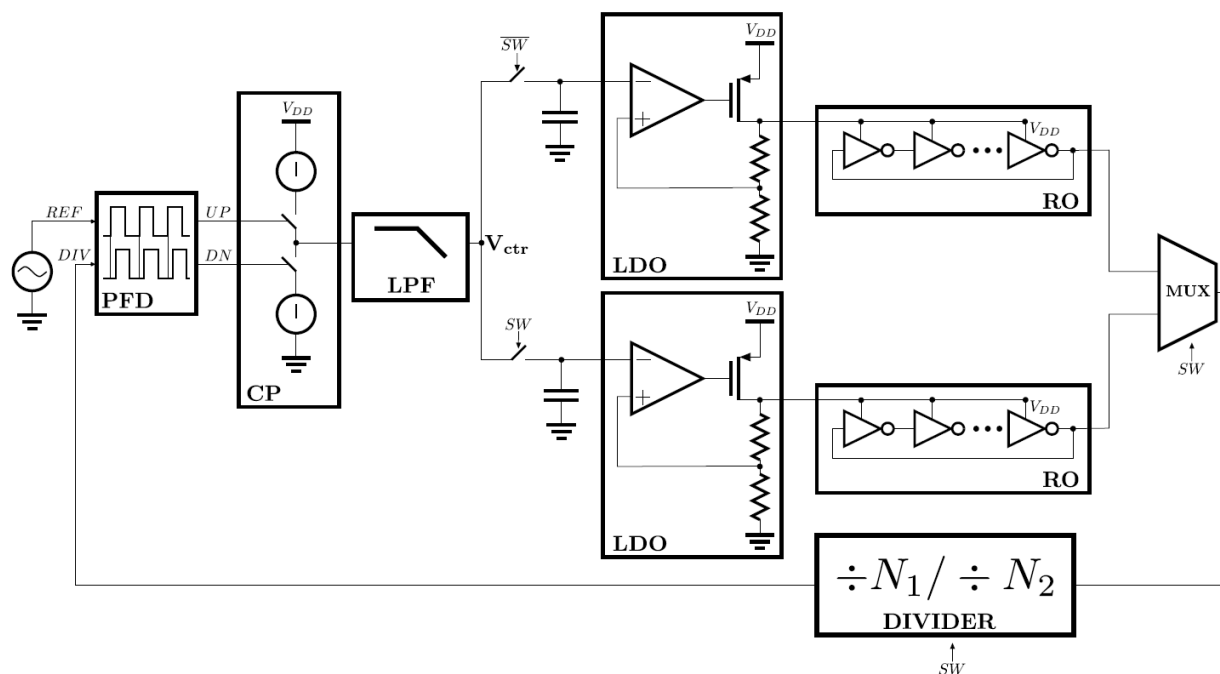
όπου N το σύνολο των αντιστροφών του RO και t_D η χρονική καθυστέρηση που εισάγει ο κάθε αντιστροφέας. Το PLL φροντίζουμε να κλειδώνει σε μια συγκεκριμένη συχνότητα ταλάντωσης f_{osc} . Το σύνολο N των αντιστροφών είναι σταθερό και δεν μεταβάλλεται. Το μόνο που μεταβάλλεται, ώστε να επιτευχθεί η απαιτούμενη f_{osc} είναι η t_D των αντιστροφών. Η χρονική καθυστέρηση t_D , λοιπόν, μεταβάλλεται με την αλλαγή της τάσης εξόδου V_{ctr} του φίλτρου. Μετά από διαδοχικούς κύκλους του PLL, η V_{ctr} σταθεροποιείται στην τιμή εκείνη που επιτυγχάνεται η απαραίτητη t_D που δίνει την επιθυμητή f_{osc} . Οποιαδήποτε PVT μεταβολή υπάρξει, η V_{ctr} θα μεταβληθεί καταλλήλως ώστε να ξαναεπιτευχθεί η απαραίτητη t_D αντιστροφών. Με αυτό τον τρόπο, λοιπόν κλειδώνοντας την f_{osc} ενός RO PLL σε μια συγκεκριμένη τιμή κατορθώνουμε να δημιουργήσουμε αντιστροφείς που έχουν σταθερή t_D σε όλο το εύρος των PVT μεταβολών.

Προφανώς χρησιμοποιούμε κοινούς αντιστροφείς στο μονοπάτι καθυστέρησης του Vernier TDC και στον RO. Με αυτό τον τρόπο μπορούμε να χρησιμοποιήσουμε την V_{ctr} , ως τάση τροφοδοσίας των buffer του Vernier TDC. Αφού η V_{ctr} είναι πάντα τέτοια ώστε να διατηρείται σταθερή η t_D των αντιστροφών του RO, διατηρείται σταθερή και η t_D των buffer του Vernier TDC, μιας και οι αντιστροφείς που τους συνθέτουν είναι ακριβώς πανομοιότυποι με αυτούς του RO.

4.2 Ανάλυση και λειτουργία switch-based RO PLL

Στην τοπολογία Vernier TDC υπάρχουν δύο διαφορετικοί buffers Δ_1 και Δ_2 , των οποίων τις χρονικές καθυστερήσεις θέλουμε να διατηρούμε σταθερές σε όλο το εύρος των PVT μεταβολών. Για να το πετύχουμε αυτό θα έπρεπε να χρησιμοποιήσουμε δύο διαφορετικά RO PLLs, όπως αυτά που αναλύσαμε στην προηγούμενη ενότητα, διότι κάθε φορά οι buffers που απαρτίζουν τον RO πρέπει να είναι ίδιοι με τους buffers που χρησιμοποιούνται στην γραμμή καθυστέρησης. Η πρακτική αυτή θα οδηγούσε σε αυξημένη κατανάλωση χώρου και θα ήταν ασύμφορη, κυρίως λόγω της μεγάλης κατανάλωσης χώρου των πυκνωτών που απαιτούνται για την κατασκευή του Low-Pass Filter (LPF). Πέρα από τους ROs τα υπόλοιπα στοιχεία του PLL θα ήταν πανομοιότυπα δεδομένου της κοντινής συχνότητας εξόδου που θα είχαν τα δύο PLL.

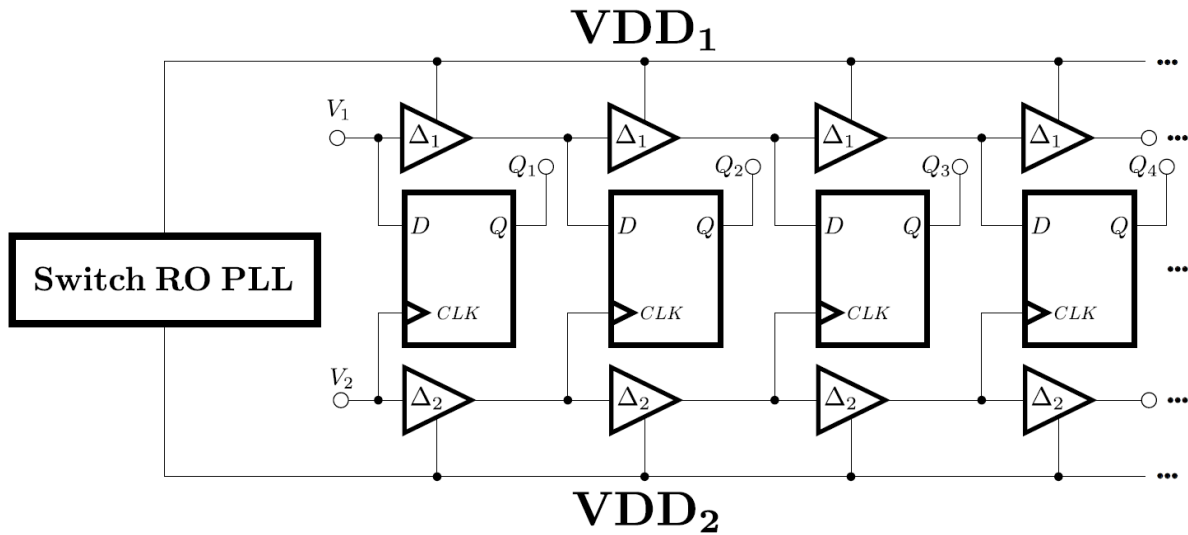
Δεδομένου αυτού, δημιουργήθηκε η ιδέα της κοινής χρησιμοποίησης των υπόλοιπων τμημάτων του PLL και από τους δύο RO εναλλάξ. Στο σχήμα 4.2 φαίνεται το switch-based RO PLL, που περιγράφουμε. PFD, CP και LPF είναι κοινές και χρησιμοποιούνται και από τους δύο ROs. Για να μπορούν να κλειδώνουν εναλλάξ χρησιμοποιούνται δύο διακόπτες, ένας πολυπλέκτης 2 σε 1 και ένας divider ελεγχόμενος από σήμα, ο οποίος μπορεί να κάνει δύο διαφορετικές διαιρέσεις. Αυτό συμβαίνει επειδή οι RO θα κλειδώσουν σε κοντινές μεν, αλλά διαφορετικές δε συχνότητες εξόδου, ενώ το σήμα αναφοράς θα είναι κοινό και για τους δύο. Επιπλέον, μετά τους διακόπτες χρησιμοποιούνται δύο πυκνωτές, οι οποίοι αποθηκεύουν την τάση V_{ctr} που χρειάστηκε για να κλειδώσουν, για το χρονικό διάστημα όπου κλειδώνει ο άλλος RO. Με αυτό τον τρόπο κατά την



Σχήμα 4.2 Switch-based RO PLL

διαδικασία κλειδώματος του ενός RO, η λειτουργία του TDC δεν επηρεάζεται γιατί η τάση τροφοδοσίας του άλλου μονοπατιού καθυστέρησης διατηρείται σταθερή στην επιθυμητή τιμή. Οι διακόπτες σχεδιάζονται κατάλληλα, ώστε να μην επιτρέψουν την ύπαρξη ρεύματος διαρροής και εν συνέπεια την αποφόρτιση των πυκνωτών, για το διάστημα που απαιτείται να κλειδώσει ο άλλος RO.

Όταν το switch σήμα είναι “0” κλειδώνει ο πάνω RO, ο πολυπλέκτης διαλέγει το πάνω σήμα και ο divider διαιρεί με την κατάλληλη τιμή N_1 . Αντίθετα, όταν το switch σήμα είναι “1” κλειδώνει ο κάτω RO, ο πολυπλέκτης διαλέγει το κάτω σήμα και ο divider διαιρεί με την κατάλληλη τιμή N_2 . Με τον τρόπο αυτό καταφέρνουμε να τροφοδοτήσουμε κατάλληλα και τους δύο διαφορετικούς αντιστροφείς των δύο γραμμών καθυστέρησης και να διατηρούμε σταθερή την καθυστέρηση που εισάγουν ανεξαρτήτως των PVT μεταβολών. Στο σχήμα 4.3 φαίνεται το σχήμα με την συνολική υλοποίηση του Vernier TDC και τον μηχανισμό αντιστάθμισης των PVT μεταβολών που περιγράφουμε. Το switch-based RO PLL έχει την μορφή συμβόλου και είναι ακριβώς ίδιο με αυτό που φαίνεται στο σχήμα 4.2. Όπως εξηγήσαμε και φαίνεται στο σχήμα 4.3, από το switch RO PLL προκύπτουν οι δύο τάσεις τροφοδοσίας των buffer που βρίσκονται στα δύο μονοπάτια καθυστέρησης Δ_1 και Δ_2 .

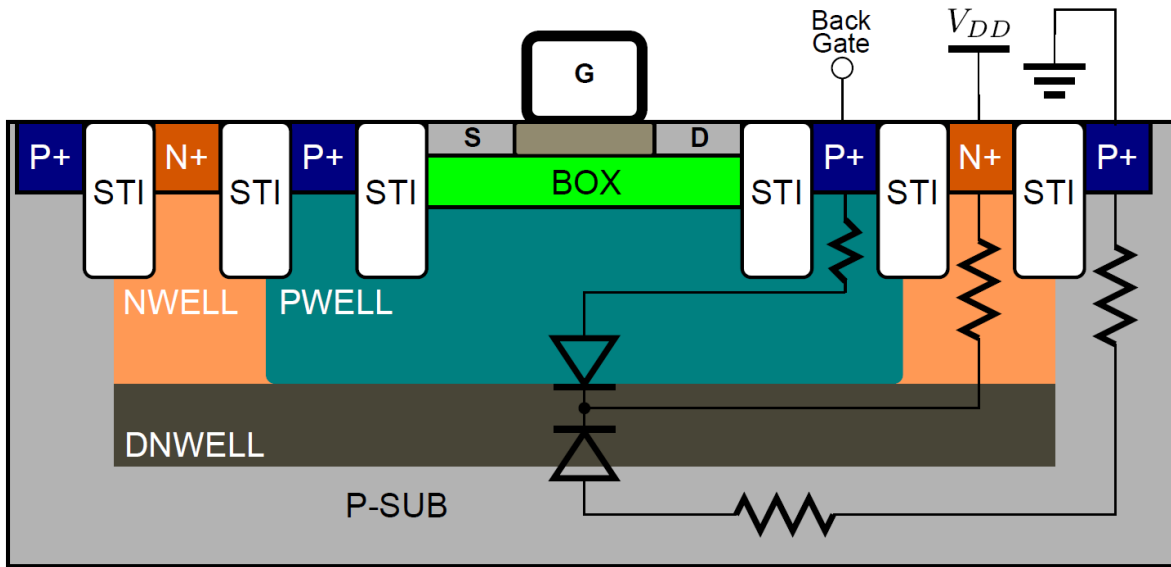


Σχήμα 4.3 Vernier TDC με τον μηχανισμό αντιστάθμισης των PVT μεταβολών

4.3 Ανάλυση και λειτουργία ψηφιακής αντιστάθμισης με την χρήση της τάσης πόλωσης του body των τρανζίστορ

Θα ήταν ιδανικό αν οι δύο RO απαιτούσαν ίδια ή πολύ κοντινή V_{ctr} για να κλειδώσουν. Με αυτό τον τρόπο θα μειωνόταν πολύ ο χρόνος κλειδώματος και το switch signal θα μπορούσε να αλλάζει κατάσταση σε μικρότερο χρόνο. Αυτό θα έκανε ακόμα πιο σταθερές τις δύο τάσεις τροφοδοσίας των γραμμών μεταφοράς μιας και ο χρόνος αποφόρτισης των πυκνωτών θα μειωνόταν πολύ. Την απαίτηση για κοντινότερο V_{ctr} μπορούμε να την καλύψουμε με την χρήση της τάσης του σώματος των τρανζίστορ. Το σώμα είναι συνδεδεμένο με το Buried Oxide (BOX), το οποίο είναι το πράσινο χωρίο στο σχήμα 4.4. Με τον τρόπο αυτό το σώμα μπορεί να χρησιμοποιηθεί σαν δεύτερη πύλη και να επηρεάσει μεγέθη του τρανζίστορ όπως το V_{th} . Έτσι, με κατάλληλη τάση στο σώμα μπορούμε να κάνουμε τους αντιστροφείς πιο αργούς ή πιο γρήγορους για δεδομένη τάση τροφοδοσίας.

Η τεχνολογία GF22 επιτρέπει να πολώνουμε το σώμα ορισμένων τρανζίστορ σε τάσεις από 0 V έως 2 V. Στον πίνακα 4.1 φαίνονται οι επιτρεπτές τάσεις πόλωσης του σώματος για τα διαφορετικά τρανζίστορ της τεχνολογίας. Σημειώνουμε ότι αυτά είναι τα εύρη τάσεων τα οποία είναι σωστά μοντελοποιημένα από το spectre. Στην πραγματικότητα η τεχνολογία επιτρέπει να πολώσουμε το σώμα των τρανζίστορ μέχρι και τα 4 V, αλλά δεν έχει κανένα πρακτικό νόημα να το κάνουμε μιας και δεν θα μπορούμε να έχουμε σωστά προσομοιωτικά αποτελέσματα από το spectre. Εμείς επιλέγουμε τα slvtnfet και pfet τρανζίστορ, διότι αυτά μπορούν να πολωθούν στις τιμές τάσεις που επιθυμούμε. Αυτά πρόκειται να χρησιμοποιήσουμε στην υλοποίηση των αντιστροφέων στις γραμμές καθυστέρησης και στους RO.



Σχήμα 4.4 Απλοποιημένη κάθετη διατομή ενός FDSOI τρανζίστορ. Η ύπαρξη του BOX μας επιτρέπει με την τάση του Back Gate να ελέγχουμε μεγέθη όπως το V_{th} .

Table 1-1 Available models and limitations

MOSFETs (SG/EG and BFMOAT)

Type	Model	Well Type	Modeling Range				
			Vbackgate Using GND ref. Nominal (Range)	Vbs = Vb - Vs Range for regular and Stack configuration #	Wdes \$	Ldes	nominal Vdd
			V	V	Um	um	V
SG **	slvtmfet, lvtmfet	NW	0 (0,+2 FBB)	-0.8 to 2	0.08 to 10	0.02 to 8	0.8 ±10%
	pfet, hvtpfet	NW	0 (0,+2 RBB)	-0.8 to 2			
	slvtpfet, lvtmfet, elvtpfet	PW	0 (0,-2 FBB)	-2.8 to 0			
	nfet, hvtnfet	PW	0 (0,-2 RBB)	-2.8 to 0			
LLHVT, UHV &	llhvtmfet, uhvtmfet	PW	0 (0,-2 RBB)	-2.8 to 0	0.3 to 3	0.020 to 0.028 (LLHVT) 0.028 to 0.036 (UHV)	0.8 ±10%
	llhvtmfet, uhvtmfet	NW	0 (0,+2 RBB)	-0.8 to 2			
MMW @	bfmoatmfet	Psub	0 (0,-2 RBB)	-2.8 to 0	0.3 to 3	0.018 to 0.07	0.8 ±10%
EG &	egslvtmfet	NW	0 (0,+2 FBB)	-1.8 to 2	0.16 to 10	0.15 to 8	1.8 ±10%
	eglvtpfet, egullpfet	NW	0 (0,+2 RBB)	-1.8 to 2			
	eglvtnfet	PW	0 (0,-2 RBB)	-3.8 to 0			
	egslvtpfet	PW	0 (0,-2 FBB)	-3.8 to 0			
	egvslvtmfet	NW	0 (0,+2 FBB)	-1.5 to 2		0.1 to 8	1.5 ±10%
	egvlvtpfet	NW	0 (0,+2 RBB)	-1.5 to 2			
	egvltnfet	PW	0 (0,-2 RBB)	-3.5 to 0			
	egvslvtpfet	PW	0 (0,-2 FBB)	-3.5 to 0			
	egvslvtmfet	NW	0 (0,+2 FBB)	-1.2 to 2		0.07 to 8	1.2 ±10%
	egulvtpfet	NW	0 (0,+2 RBB)	-1.2 to 2			
	egvslvtpfet	PW	0 (0,-2 FBB)	-3.2 to 0			
	egulvtmfet	PW	0 (0,-2 RBB)	-3.2 to 0			
	egzvtpfet	PW	0 (0,-2 FBB)	-3.2 to 0			0.9 ±10%

Πίνακας 4.1 Διαθέσιμα τρανζίστορ και επιτρεπτά όρια τάσης σώματος και τάσης τροφοδοσίας

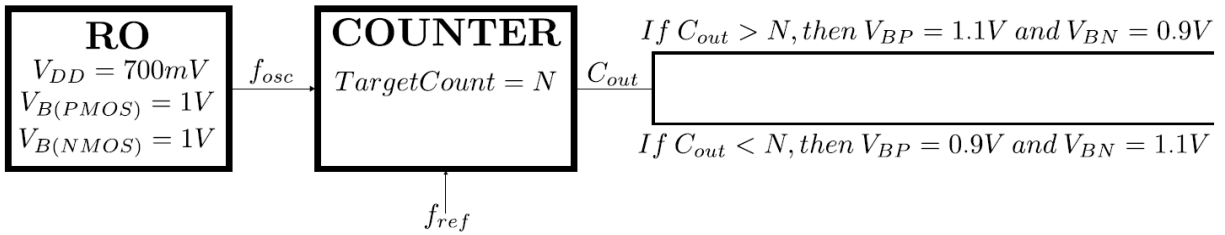
Η μείωση του V_{th} στα τρανζίστορ κάνει τους αντιστροφείς ταχύτερους. Στα nmos η μείωση του V_{th} επιτυγχάνεται με την αύξηση του V_B , ενώ στα pmos η μείωση του V_{th} επιτυγχάνεται με την μείωση του V_B . Το εύρος του V_B για τα δύο τρανζίστορ, που έχουμε διαλέξει είναι από 0 έως 2 V. Για να έχουμε κέρδος στην ταχύτητα του αντιστροφέα και από τα δύο τρανζίστορ πρέπει αν η τάση V_B του nmos είναι χ , η τάση V_B του pmos να είναι $2-\chi$. Στην συνέχεια θα αναλύσουμε τον μηχανισμό λειτουργίας του ψηφιακής αντιστάθμισης που φαίνεται στο σχήμα 4.5.

Ο στόχος για το κοινό V_{ctr} είναι $V_{ctr} = 700$ mV. Με αυτό τον τρόπο θα υπάρχει αρκετός χώρος για να αυξηθεί η τάση τροφοδοσίας σε περίπτωση που εμφανιστεί κάποιο ακραία αργό corner και απαιτείται σημαντική αύξηση του V_{ctr} . Με την ψηφιακή αντιστάθμιση θέλουμε να έρθουμε όσο πιο κοντά γίνεται στην επιθυμητή συχνότητα εξόδου του RO, με την μεταβολή της τάσης σώματος των τρανζίστορ και όχι με την μεταβολή της τροφοδοσίας. Προφανώς το τελικό κλείδωμα θα γίνει με την τάση τροφοδοσίας, αλλά χρησιμοποιώντας την ψηφιακή αντιστάθμιση, η τιμή της V_{ctr} θα είναι πολύ κοντά στα 700 mV. Επιπλέον, πρέπει να τονίσουμε ότι η ψηφιακή αντιστάθμιση δεν είναι ικανή από μόνη της να ακυρώσει όλο το εύρος των PVT μεταβολών και να φέρει την τιμή της V_{ctr} κοντά στα 700 mV πάντοτε. Όπως θα δούμε και στην συνέχεια, υπάρχουν ακραία corner που αυτό δεν είναι εφικτό. Επιπλέον, η ύπαρξη της ψηφιακής αντιστάθμισης είναι προαιρετική! Δεν υποστηρίζουν όλες οι τεχνολογίες την δυναμική μεταβολή της τάσης του σώματος των τρανζίστορ. Ακόμη και χωρίς την ψηφιακή αντιστάθμιση, ο συνολικός μηχανισμός αντιστάθμισης λειτουργεί κανονικά, αλλά με λίγο μεγαλύτερους χρόνους κλειδώματος των PLL.

Η ψηφιακή αντιστάθμιση γίνεται με τον RO και έναν Counter. Οι αρχικές τιμές για τους αντιστροφείς του RO είναι $V_{DD} = 700$ mV, $V_{BP} = 1$ V και $V_{BN} = 1$ V. Με τις τιμές αυτές προκύπτει ένα f_{osc} για τον RO. Ο Counter μετράει τους παλμούς που προκύπτουν από τον RO μέσα στην διάρκεια περιόδου του σήματος αναφοράς. Η μέτρηση αυτή είναι πρακτικά το αποτέλεσμα της διαίρεσης του f_{osc} με το f_{ref} . Επιπλέον ο Counter έχει στόχο να μετρήσει N παλμούς, όπου:

$$N = \frac{f_{osc, TARGET}}{f_{ref}} \quad (4.2)$$

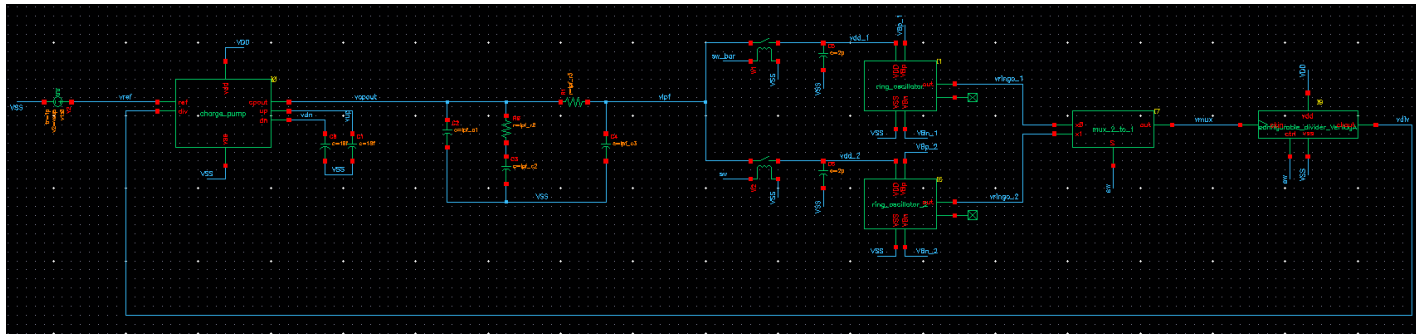
Αν $C_{out} > N$, όπου C_{out} η μέτρηση του Counter, τότε το V_{BP} πρέπει να αυξηθεί κατά 100 mV και το V_{BN} να μειωθεί κατά 100 mV, ώστε η συχνότητα του RO να μειωθεί. Αν $C_{out} < N$ πρέπει να συμβεί το αντίθετο, ώστε η συχνότητα του RO να αυξηθεί. Με αυτό τον επαναληπτικό αλγόριθμο βρίσκουμε τις κατάλληλες τιμές για τα V_{BP} , V_{BN} . Το V_B δίνεται από έναν DAC με εύρος 0 έως 2 V και βήμα 100 mV.



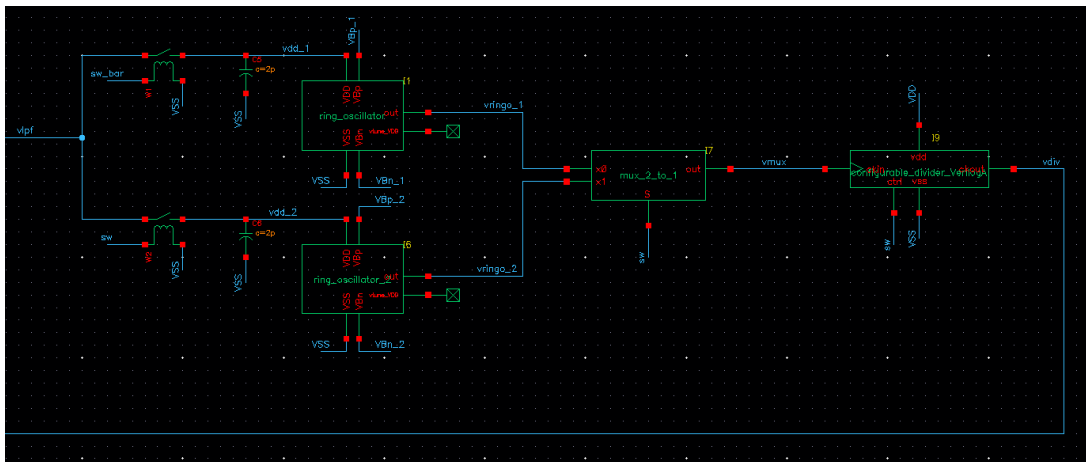
Σχήμα 4.5 Διάγραμμα ψηφιακής αντιστάθμισης

4.4 Υλοποίηση μηχανισμού αντιστάθμισης

Στο σχήμα 4.6 φαίνεται η συνολική υλοποίηση του μηχανισμού αντιστάθμισης που περιγράψαμε. Είναι η υλοποίηση του σχήματος 4.2 που παρουσιάστηκε στην ενότητα 4.2. Στην συνέχεια θα παρουσιάσουμε τις υλοποιήσεις των σημαντικότερων τμημάτων του μηχανισμού. Παρατηρούμε ότι όπως αναφέραμε οι PFD, CP και LPF είναι κοινές και για τους δύο RO. Στο σχήμα 4.7 φαίνεται το κομμάτι του switch-based PLL μετά το LPF. Αυτού του τμήματος τις υλοποιήσεις θα παρουσιάσουμε, διότι οι άλλες δεν αποτελούν κάποια καινοτομία.

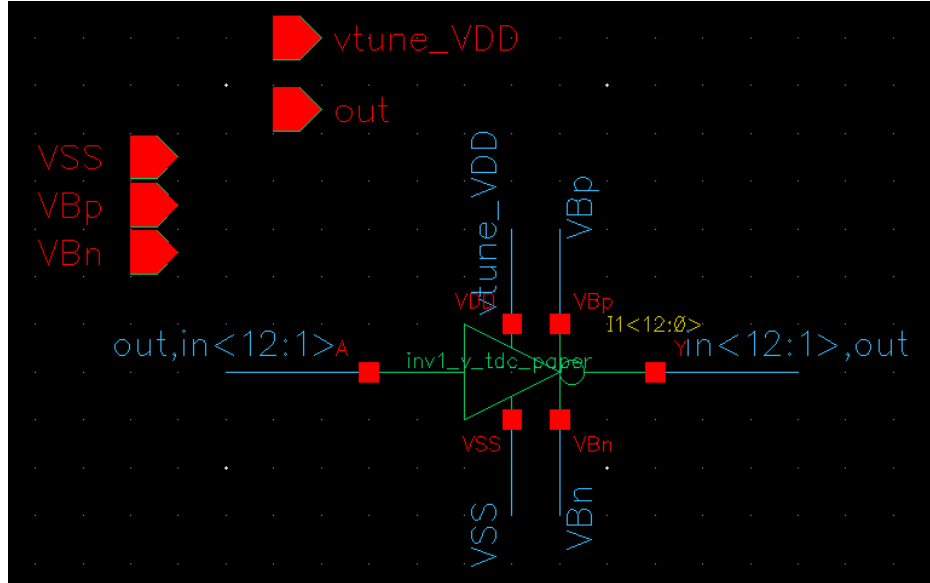


Σχήμα 4.6 Υλοποίηση μηχανισμού αντιστάθμισης



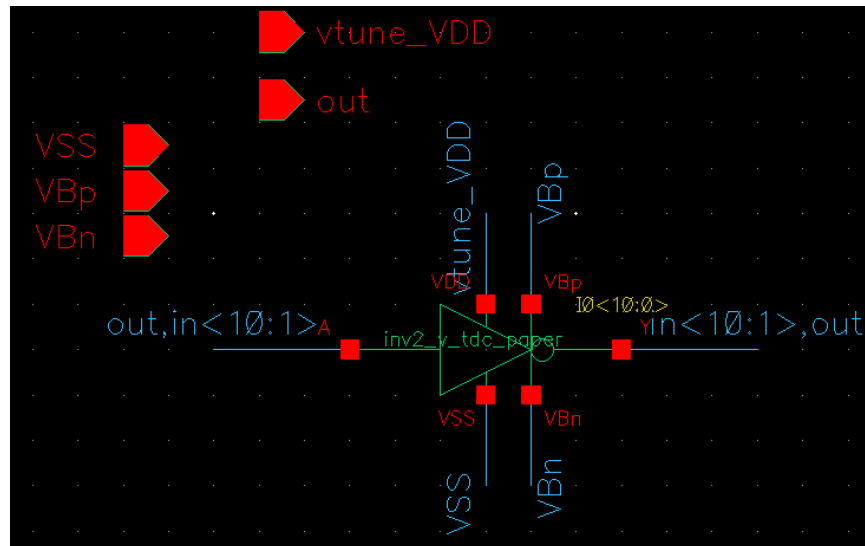
Σχήμα 4.7 ROs, MUX 2 σε 1, εναλλασσόμενος Divider

Ο πάνω RO του σχήματος 4.7 αποτελείται από τους αντιστροφείς της κάτω γραμμής καθυστέρησης Δ_2 του Vernier TDC. Η υλοποίηση του φαίνεται στο σχήμα 4.8. Αποτελείται από 13 αντιστροφείς. Με αυτό τον αριθμό των αντιστροφέων ο RO είχε f_{osc} κοντά στα 5 GHz, όπου επιθυμούσαμε.



Σχήμα 4.8 RO για την γραμμή καθυστέρησης Δ_2 του Vernier TDC

Ο κάτω RO του σχήματος 4.7 αποτελείται από τους αντιστροφείς της κάτω γραμμής καθυστέρησης Δ_1 του Vernier TDC. Η υλοποίηση του φαίνεται στο σχήμα 4.9. Αποτελείται από 11 αντιστροφείς. Με αυτό τον αριθμό των αντιστροφέων ο RO είχε f_{osc} κοντά στα 4.64 GHz, όπου επιθυμούσαμε.



Σχήμα 4.9 RO για την γραμμή καθυστέρησης Δ_1 του Vernier TDC

Άξια αναφοράς είναι και η υλοποίηση του εναλλασσόμενου Divider, η οποία έγινε με χρήση VerilogA. Στο σχήμα 4.10 παρατίθεται ο κώδικας που γράφτηκε για την υλοποίηση του.

```
// VerilogA for LOOP, configurable_divider_VerilogA, veriloga

`include "constants.vams"
`include "disciplines.vams"

(* instrument_module *) module configurable_divider_VerilogA(ckin, ckout, vdd, vss, ctrl);

inout ckin;
electrical ckin;
inout ckout;
electrical ckout;
inout vdd;
electrical vdd;
inout vss;
electrical vss;
input ctrl;
electrical ctrl;

parameter real tt=10p from (0:inf); // transition time of output signal
parameter real td=12p from [0:inf]; // average delay from input to output
parameter integer ratio1=2 from [2:inf]; // first divide ratio
parameter integer ratio2=4 from [2:inf]; // second divide ratio
parameter real threshold=0.5; // threshold voltage for division selection

integer n, count;
integer ratio;

analog begin
    @ ( initial_step ) begin
        n = 0;
        count = 0;
    end

    // Determine which division ratio to use based on control signal
    ratio = (V(ctrl) > threshold) ? ratio1 : ratio2;

    @ (cross(V(ckin)-0.3, 1, 20p, 10u)) begin
        count = count + 1;
        if (count >= 10) n = 0;
        else n = 1;
        if (count == ratio) count = 0;
    end

    V(ckout) <+ transition(n ? V(vdd) : V(vss), td, tt);
end

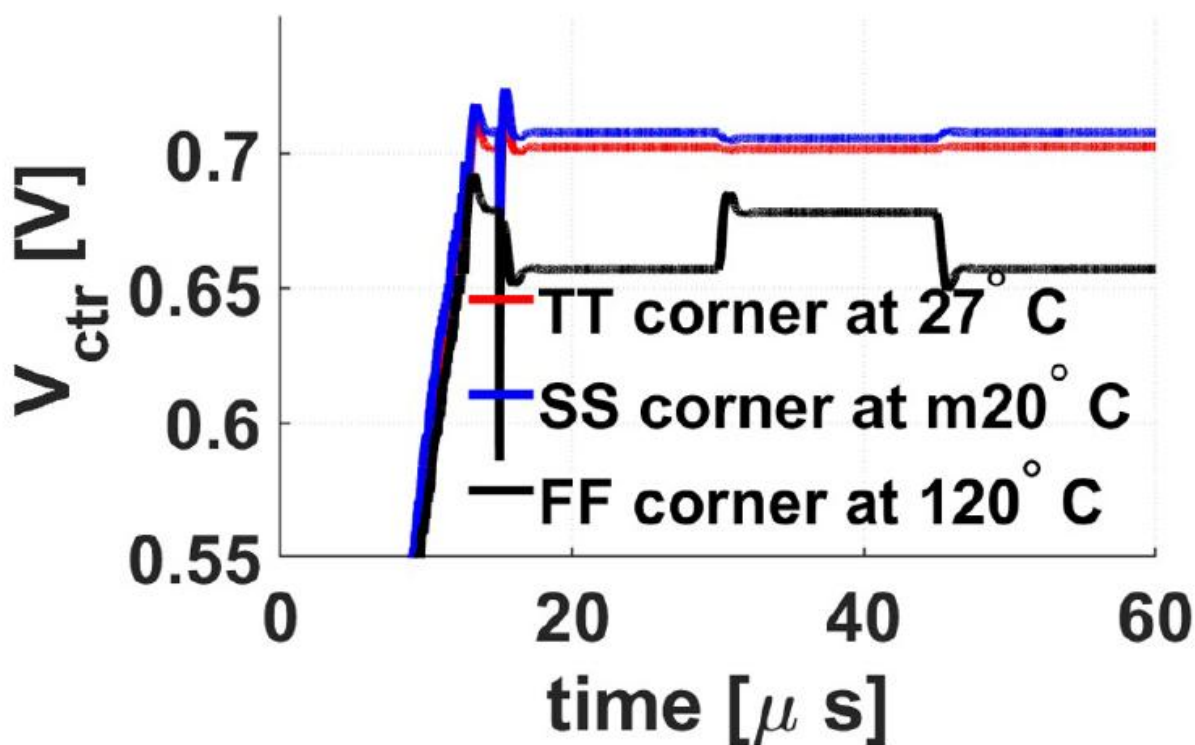
endmodule
```

Σχήμα 4.10 Κώδικας VerilogA για τον εναλλασσόμενο Divider

4.5 Προσομοιωτικά αποτελέσματα μηχανισμού αντιστάθμισης

Στο σχήμα 4.11 φαίνεται η τάση V_{ctr} για τρία διαφορετικά corners. Η κόκκινη γραμμή είναι για τυπικό process και τυπική θερμοκρασία, η μπλε γραμμή για αργό process και χαμηλή θερμοκρασία και η γκρι γραμμή για γρήγορο process και υψηλή θερμοκρασία. Παρουσιάζονται, λοιπόν, τα αποτελέσματα του τυπικού corner και των δύο ακραίων corners. Όλες οι προσομοιώσεις έχουν διάρκεια 60 μs , με το switch signal να αλλάζει κατάσταση ανά 15 μs , με αποτέλεσμα να κλειδώνει κάθε φορά ο αντίστοιχος RO. Υπενθυμίζουμε ότι με τις κατάλληλες τάσεις σώματος φροντίζουμε να κλειδώνουμε κάθε φορά κοντά στα 700 mV. Πρώτα κλειδώνει ο RO_2 και έπειτα ο RO_1 .

Στο τυπικό corner, παρατηρούμε ότι και οι δύο RO κλειδώνουν περίπου στα 702 mV, με απόκλιση μικρότερη από 1 mV. Ο κοινός στόχος επιτεύχθηκε με αποτέλεσμα να έχουμε πολύ μικρούς χρόνους κλειδώματος και μεγάλη σταθερότητα. Παρόμοια αποτελέσματα έχουμε και στο SS cold corner, μιας και οι RO_1 , RO_2 κλείδωσαν στα 708 και 706 mV, αντίστοιχα, εξασφαλίζοντας μικρούς χρόνους κλειδώματος. Χειρότερο από όλα τα corner είναι το FF hot. Η ψηφιακή αντιστάθμιση δεν είναι ικανή από μόνη της να κάνει τους ROs να κλειδώσουν κοντά στα 700 mV, με αποτέλεσμα ο RO_1 να κλειδώνει στα 657 mV και ο RO_2 στα 678 mV. Ακόμα και σε αυτό το corner, βέβαια, ο μηχανισμός μας λειτουργεί κανονικά απλά χρειάζεται λίγο μεγαλύτερο χρόνο κλειδώματος. Εξάλλου, όπως έχουμε εξηγήσει η ψηφιακή αντιστάθμιση είναι προαιρετική.



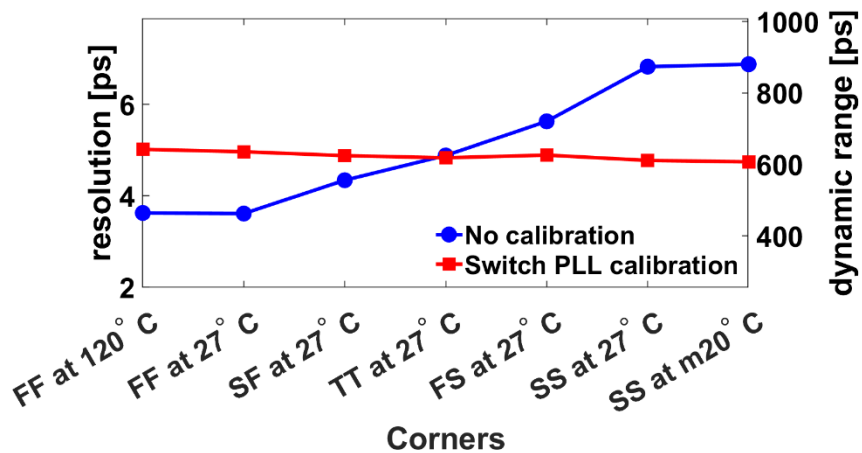
Σχήμα 4.11 V_{ctr} σε διαφορετικά corners

Στον πίνακα 4.2 παρουσιάζονται τα αποτελέσματα για την χρονική ευκρίνεια Δ σε 7 διαφορετικά corners που καλύπτουν όλο το εύρος των PVT μεταβολών. Τα αποτελέσματα καταδεικνύουν συνολική απόκλιση ίση με 0.056 LSB, ή αλλιώς 5% ως προς την τυπική τιμή του Δ . Αυτό, δεδομένου της πολύ χαμηλής χρονικής ευκρίνειας Δ που πετυχαίνουμε (4.8 ps), μεταφράζεται σε συνολική απόκλιση ίση με 273 fs! Αυτή η απόλυτη τιμή είναι σαφώς μικρότερη από οποιαδήποτε άλλη στην διεθνή βιβλιογραφία και αποδεικνύει την απόδοση του μηχανισμού μας.

Results	Corners						
	<i>TT at 27° C (Nominal)</i>	<i>FF at 120° C</i>	<i>FF at 27° C</i>	<i>FS at 27° C</i>	<i>SF at 27° C</i>	<i>SS at 27° C</i>	<i>SS at -20° C</i>
Resolution (ps)	4.834	5.019	4.967	4.893	4.881	4.777	4.746
Deviation from nom value (LSB)	0	0.038	0.027	0.012	0.009	-0.012	-0.018

Πίνακας 4.2 Δ και η απόκλιση του σε 7 διαφορετικά corners

Στο σχήμα 4.12 φαίνεται η σύγκριση μεταξύ ενός Vernier TDC χωρίς αντιστάθμιση και του δικού μας προτεινόμενου Vernier TDC με αντιστάθμιση. Η σταθερότητα στο Δ της κόκκινης γραμμής έναντι της ασταθούς μπλε καταδεικνύει την αναγκαιότητα του μηχανισμού αντιστάθμισης. Πλέον, με την χρήση του παύει να υφίσταται η ανάγκη για υπερκάλυψη της σχεδίασης εξαιτίας των ακραίων corner μιας και η χρονική ευκρίνεια Δ παραμένει σταθερή σε όλο το εύρος των PVT μεταβολών. Προφανώς μαζί με το Δ παραμένει σταθερό και το δυναμικό εύρος T_{FS} σε όλο το εύρος των PVT μεταβολών.



Σχήμα 4.12 Δ και T_{FS} χωρίς αντιστάθμιση και με τον προτεινόμενο μηχανισμό αντιστάθμισης

Τέλος στον πίνακα 4.3 παρατίθεται μια σύγκριση μεταξύ του δικού μας μηχανισμού αντιστάθμισης και άλλων μηχανισμών που έχουν παρουσιαστεί στην διεθνή βιβλιογραφία. Η ιδέα μας πετυχαίνει την δεύτερη καλύτερη ποσοστιαία μεταβολή και με διαφορά την καλύτερη μεταβολή στην απόλυτη τιμή της απόκλισης. Αυτό συμβαίνει επειδή πετυχαίνουμε ταυτόχρονα καλή ποσοστιαία μεταβολή και μικρή χρονική ευκρίνεια Δ , ότι δηλαδή απαιτείται για την άψογη λειτουργία ενός Vernier TDC.

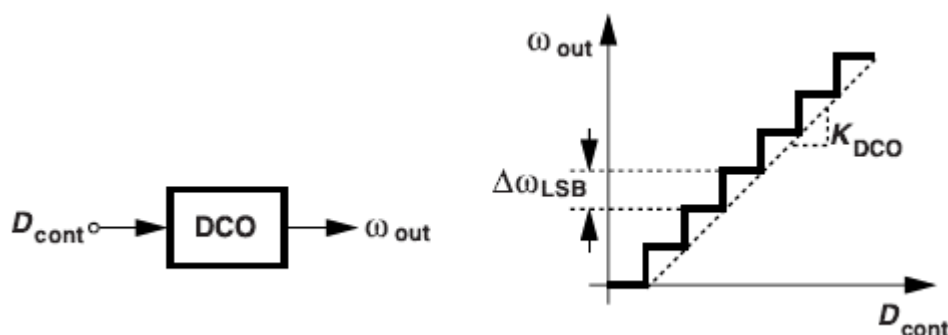
Papers	Metrics		
	<i>Resolution (ps)</i>	<i>Percentage deviation (LSB)</i>	<i>Absolute deviation (ps)</i>
ICET 2021 [15]	5.4	0.37	2
ISSCS 2015 [16]	6.15	0.65	4
IEEE 2007 [17]	37.5	0.02	0.75
TCAS-II 2018 [18]	43.2	0.15	6.4
TVLSI 2020 [19]	30	0.37	11
MJ 2024 [20]	27.8	0.54	15
This Work	4.8	0.056	0.273

Πίνακας 4.3 Σύγκριση του προτεινόμενου μηχανισμού αντιστάθμισης με άλλους μηχανισμούς που έχουν παρουσιαστεί στην διεθνή βιβλιογραφία

Κεφάλαιο 5

Μελέτη και σχεδίαση DCO

Σε αντίθεση με το αναλογικό PLL, που έχει αναλογικό φίλτρο, το ψηφιακό PLL έχει ψηφιακό. Αυτό σημαίνει, ότι η είσοδος και έξοδος του ψηφιακού φίλτρου είναι ψηφιακά σήματα. Αυτομάτως κατανοούμε, ότι δεν μπορούμε να χρησιμοποιήσουμε, πλέον, έναν VCO, για να παραγάγουμε το σήμα εξόδου στην συχνότητα που επιθυμούμε, διότι ο VCO λειτουργεί με αναλογικό σήμα, στην είσοδο του. Την θέση του VCO, στο ψηφιακό PLL, παίρνει ο DCO (Digitally Controlled Oscillator), ο οποίος λαμβάνει την ψηφιακή έξοδο του φίλτρου και παραγάγει στην έξοδο του, ένα αναλογικό σήμα κατάλληλης συχνότητας. Όπως όλα τα ψηφιακά κυκλώματα, έτσι και ο DCO, παράγει στην έξοδο του αναλογικά σήματα με διακριτές συχνότητες μεταξύ τους και όχι με συνεχή τρόπο. Δεν μπορεί, λοιπόν, να δημιουργήσει οποιαδήποτε συχνότητα, αλλά συγκεκριμένες συχνότητες μέσα σε ένα εύρος, με σχετικά μικρό βήμα $\Delta\omega_{\text{LSB}}$. Το βήμα, αυτό, αντιστοιχεί σε αύξηση του LSB, της ψηφιακής λέξης, που δέχεται στην είσοδο του, ο DCO, κατά ένα. Η αύξηση της συχνότητας, γίνεται με γραμμικό τρόπο και η κλίση της ευθείας, που δημιουργείται, συμβολίζεται με το μέγεθος K_{DCO} , το οποίο είναι και το κέρδος του DCO. Στο σχήμα 5.1, φαίνεται με απλό τρόπο, η λειτουργία του DCO και η χαρακτηριστική του συνάρτηση.



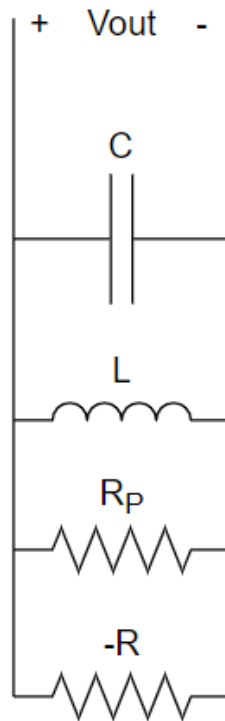
Σχήμα 5.1 Λειτουργία και χαρακτηριστική συνάρτηση του DCO

Υπάρχουν διάφορες τοπολογίες DCO, αλλά εμείς στην παρούσα εργασία θα μελετήσουμε και θα σχεδιάσουμε έναν LC DCO, με μικρής χωρητικότητας πυκνωτές, όπου θα ελέγχονται από διακόπτες.

5.1 Λειτουργία LC DCO

Η κεντρική συχνότητα, που θέλουμε να είναι το σήμα εξόδου του DCO, είναι τα 5GHz. Το DPLL, όμως, θέλουμε να μπορεί να παράξει σήματα με συχνότητες που να ανήκουν σε ένα συγκεκριμένο εύρος. Το επιθυμητό εύρος συχνοτήτων ορίζεται κάθε φορά, από την διαφορετική εφαρμογή, για την οποία σχεδιάζουμε το DPLL. Ένα εύρος $\pm 1\text{GHz}$, γύρω από την κεντρική συχνότητα

λειτουργίας, θεωρείται παραπάνω από αρκετό, στον σχεδιασμό του DCO. Η αρχή λειτουργίας του DCO, βασίζεται στον παράλληλο συνδυασμό LC. Ένας ιδανικός παράλληλος συνδυασμός LC, με μηδενικές απώλειες, με κατάλληλη διέγερση, θα ταλαντώσει με συχνότητα $\omega_0 = \frac{1}{\sqrt{LC}}$. Στην πράξη, όμως, τόσο το πηνίο όσο και ο πυκνωτής έχουν απώλειες. Οι απώλειες του πηνίου είναι σημαντικά μεγαλύτερες, για αυτό λαμβάνουμε μόνο αυτές υπόψιν στην ανάλυση. Από την στιγμή που υπάρχουν απώλειες, η ενέργεια του συστήματος σιγά σιγά θα καταναλώνεται και με αυτό τον τρόπο δεν θα υπάρξει η επιθυμητή ταλάντωση στην έξοδο του συστήματος. Πρέπει, λοιπόν με κάποιο τρόπο να ακυρώσουμε τις απώλειες και να ενισχύσουμε το σήμα αρκετά, ώστε να είμαστε σίγουροι, ότι θα παραχθεί η επιθυμητή συχνότητα στην έξοδο. Τα παραπάνω γίνονται περισσότερο κατανοητά με το σχήμα 5.2. Αν τοποθετήσουμε παράλληλα στην αντίσταση R_p , που



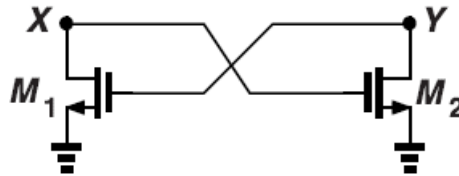
Σχήμα 5.2 LC παράλληλος συνδυασμός με τις παράλληλες απώλειες του συστήματος R_p και την αντίσταση $-R$

συμβολίζει τις απώλειες του συστήματος, μια μικρή αρνητική αντίσταση $-R$, θα καταφέρουμε όχι μόνο, να ακυρώσουμε τις απώλειες, αλλά να ενισχύσουμε και το σήμα μας. Όπως γνωρίζουμε, δεν υπάρχει κάποιο φυσικό υλικό με αρνητική αντίσταση, άρα στην θέση αυτής θα υπάρξει μια δομή κατάλληλα σχεδιασμένη ώστε να παραγάγει την αρνητική αντίσταση που επιθυμούμε. Οι

απώλειες του συστήματος, δίνονται προσεγγιστικά από την σχέση $R_P = Q_L * L * \omega$, όπου Q_L είναι ο συντελεστής ποιότητας του πηνίου. Η προσέγγιση αυτή ισχύει όταν $Q^2 \gg 1$, κάτι αρκετά ασφαλές όπως θα δούμε στην συνέχεια.

5.1.1 Λειτουργία χιαστί συνδεδεμένου ζεύγους τρανζίστορ

Η δομή, την οποία θα χρησιμοποιήσουμε, για να πετύχουμε την αρνητική αντίσταση $-R$, είναι ένα χιαστί συνδεδεμένο ζεύγος τρανζίστορ, η οποία φαίνεται στο σχήμα 5.3. Όπως φαίνεται, από το



Σχήμα 5.3 Χιαστί συνδεδεμένο ζεύγος τρανζίστορ

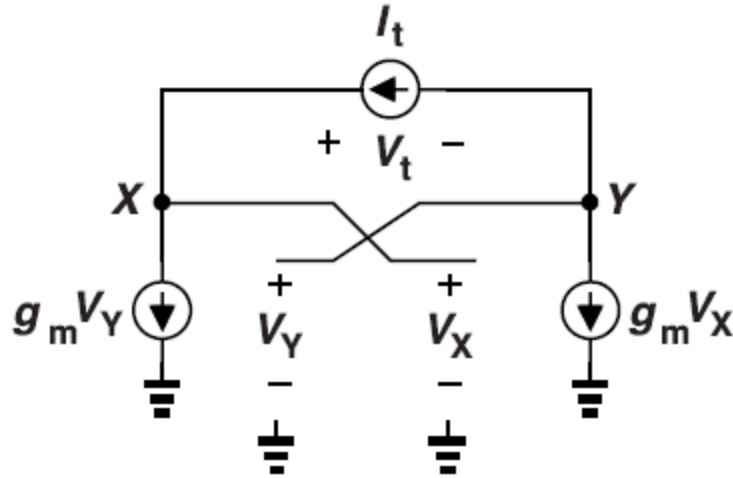
σχήμα, η τάση στην υποδοχή του ενός είναι η τάση της πύλης του άλλου. Δεν είναι εύκολο με απλή οπτική εξέταση, να κατανοήσουμε πως η συγκεκριμένη δομή δημιουργεί μια αρνητική αντίσταση. Ας εξηγήσουμε, όμως, πρώτα ποια είναι η φυσική σημασία μιας αρνητικής αντίστασης. Αυτό που συμβαίνει είναι, ότι με την αύξηση της τάσης στα άκρα της δομής, το ρεύμα που παράγεται μειώνεται. Με αυτό τον τρόπο, δημιουργούμε ένα στοιχείο που λειτουργεί, ως αρνητική αντίσταση. Προχωράμε στην ανάλυση ασθενούς σήματος, του χιαστί συνδεδεμένου ζεύγους τρανζίστορ, για να δείξουμε την αρνητική αντίσταση, που προκύπτει. Στο σχήμα 5.4, φαίνεται το ισοδύναμο ασθενούς σήματος του σχήματος 5.3. Αρκεί να υπολογίσουμε τον λόγο $\frac{V_t}{I_t}$, για να βρούμε την ισοδύναμη αντίσταση του ζεύγους. Από τον πρώτο νόμο του Kirchhoff, προκύπτει ότι,

$$g_m V_Y + g_m V_X = 0 \Rightarrow V_Y + V_X = 0 \Rightarrow V_Y = -V_X \quad (5.1)$$

Επιπλέον, ισχύει ότι,

$$V_t = V_X - V_Y \stackrel{4.x}{\Rightarrow} V_t = 2 * V_X \quad (5.2)$$

Τέλος, παρατηρούμε ότι,



Σχήμα 5.4 Ισοδύναμο μοντέλο ασθενούς σήματος του χιαστί συνδεδεμένου ζεύγους τρανζίστορ

$$I_t = g_m V_Y \stackrel{4.x}{\Rightarrow} I_t = -g_m V_X \quad (5.3)$$

Συνδυάζοντας τις εξισώσεις (5.2) και (5.3), ο λόγος $\frac{V_t}{I_t}$ γίνεται,

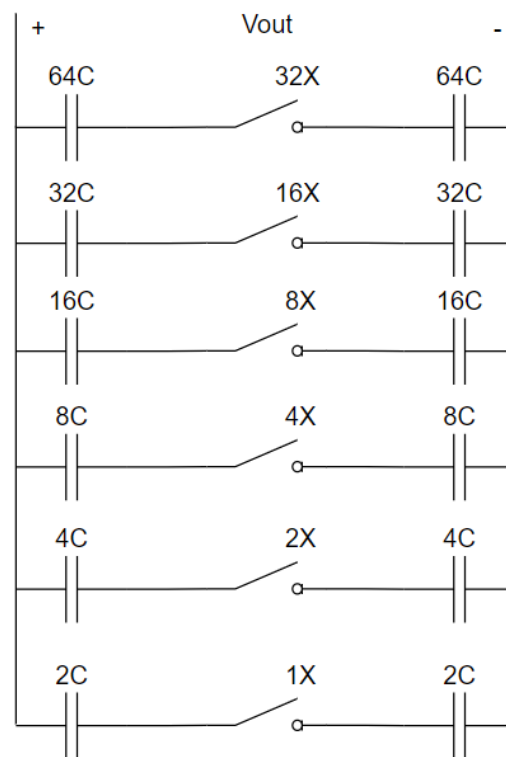
$$\frac{V_t}{I_t} = \frac{2 * V_X}{-g_m V_X} \Rightarrow \frac{V_t}{I_t} = -\frac{2}{g_m} \quad (5.4)$$

Έγινε φανερό, λοιπόν, ότι το χιαστί συνδεδεμένο ζεύγος τρανζίστορ έχει ισοδύναμη αντίσταση ίση με $-2/g_m$. Αν το g_m , γίνει αρκετά μεγάλο, τότε ο λόγος θα μειωθεί επαρκώς, ώστε να γίνει κατά μέτρο μικρότερος από το R_p και ο παράλληλος συνδυασμός LC, να μπορέσει να ταλαντώσει στην επιθυμητή συχνότητα. Θέλουμε ο λόγος να γίνει μικρότερος, διότι οι δύο αντιστάσεις είναι συνδεδεμένες παράλληλα. Βοηθητικές για τον αναγνώστη, θα μπορούσαν να είναι οι αντίστοιχες πράξεις με τις αγωγιμότητες και όχι με τις αντιστάσεις.

5.1.2 Λειτουργία coarse Capbank

Το επόμενο ζήτημα που προκύπτει είναι, το πως ο DCO, θα μπορέσει να εκπέμψει σήματα σε ένα μεγάλο εύρος συχνοτήτων, ± 1 GHz, γύρω από την κεντρική συχνότητα 5 GHz. Αυτό επιτυγχάνεται με ένα κύκλωμα, το οποίο ονομάζεται Capbank. Ο χαρακτηρισμός coarse, δηλαδή ευρύ, εισάγεται επειδή αυτή η Capbank σχεδιάζεται, ώστε να καλύπτει ένα ευρύ φάσμα συχνοτήτων. Θα δούμε στην συνέχεια, ότι θα κατασκευάσουμε μια fine Capbank, με στόχο να πετύχουμε την προδιαγραφή της κάλυψης όλων των συχνοτήτων, στο μεγάλο εύρος συχνοτήτων, με βήμα 1 MHz/LSB. Η Capbank είναι ένα κύκλωμα που αποτελείται από πυκνωτές, οι οποίοι

ελέγχονται από διακόπτες. Όταν στην είσοδο του διακόπτη έρθει η λογική τιμή “1”, ο διακόπτης άγει ρεύμα και έτσι οι πυκνωτές, που ελέγχονται από τον διακόπτη, συμμετέχουν στην συνολική χωρητικότητα της Carbank. Αντίθετα, όταν στην είσοδο του διακόπτη έρθει η λογική τιμή “0”, ο διακόπτης δεν άγει και οι πυκνωτές, που ελέγχει, αποσυνδέονται από το κύκλωμα και οι χωρητικότητες τους δεν συνεισφέρουν στην συνολική χωρητικότητα. Με τον τρόπο αυτό, συνδέοντας και αποσυνδέοντας χωρητικότητες, δημιουργούμε ένα κύκλωμα μεταβλητής χωρητικότητας, που αλλάζει την συχνότητα ταλάντωσης του DCO, επειδή μεταβάλλει την συνολική χωρητικότητα του παράλληλου LC συνδυασμού. Η Carbank, όπως είναι φυσικό, συνδέεται παράλληλα με το πηνίο L. Στο σχήμα 5.5 φαίνεται η τοπολογία μιας Carbank, 6 σταδίων, όπως αυτή που θα υλοποιήσουμε. Το δεύτερο στάδιο είναι ο παράλληλος συνδυασμός,



Σχήμα 5.5 Σχηματικό Carbank με 6 στάδια

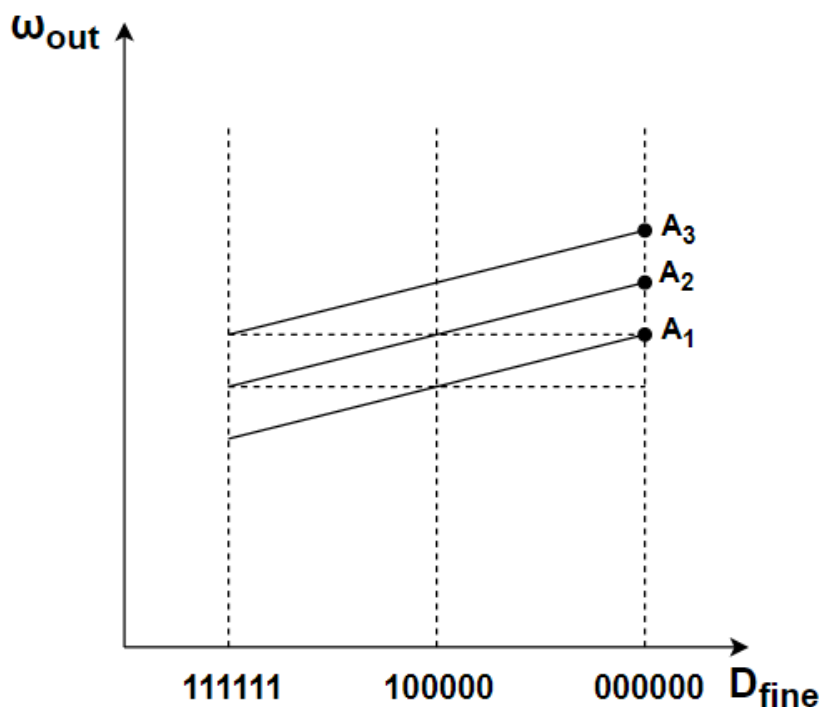
δύο πρώτων σταδίων. Το τρίτο στάδιο ο παράλληλος συνδυασμός, τεσσάρων πρώτων σταδίων και ούτω καθεξής. Οι διακόπτες κάθε σταδίου ελέγχονται από ένα κοινό bit. Έτσι, αν το bit ελέγχου του πέμπτου σταδίου είναι “0”, θα αποσυνδεθούν και τα 16 παράλληλα συνδεδεμένα πρώτα στάδια. Στο πρώτο στάδιο τοποθετούμε χωρητικότητες 2C, έτσι ώστε όταν άγει ο διακόπτης, οι σε σειρά συνδεδεμένοι πυκνωτές να δημιουργήσουν μια χωρητικότητα ίση με C. Η coarse

Carbank δεν είναι υπεύθυνη να καλύψει όλες τις συχνότητες, από 4 GHz έως 6 GHz, με βήμα 1 MHz. Απλά με σαφώς μεγαλύτερο βήμα πρέπει να καλύψει όλο το ζητούμενο εύρος. Στην συνέχεια η fine Carbank είναι αυτή, που θα αναλάβει να πετύχει το βήμα 1 MHz/LSB. Η coarse Carbank, μάλιστα, δεν αποτελεί μέρος του βρόχου! Δεν συμμετέχει δηλαδή στην διαδικασία κλειδώματος του DPLL. Ρυθμίζεται στην αρχή, στην φάση του calibration, σε μια τιμή που να παράγει ένα σήμα εξόδου, συχνότητας επαρκώς κοντινής στην επιθυμητή, ώστε στην συνέχεια να αναλάβει το κλείδωμα του βρόχου η fine Carbank. Σε επόμενη ενότητα θα περιγράψουμε, εν συντομία, τον αλγόριθμο εύρεσης της κατάλληλης ψηφιακής τιμής, δηλαδή τους λογικούς άσσους και μηδενικά, οι οποίοι οδηγούνται στην είσοδο των διακοπών.

5.1.3 Λειτουργία fine Carbank

Αφότου τα ψηφία ελέγχου της coarse Carbank έχουν ρυθμιστεί στην κατάλληλη τιμή, κατά την διαδικασία της βαθμονόμησης, η fine Carbank αναλαμβάνει να κλειδώσει την έξοδο του VCO ακριβώς στην κατάλληλη συχνότητα, που επιθυμούμε. Η fine Carbank κατασκευάζεται με τον ίδιο τρόπο με την coarse. Είναι και αυτή έξι σταδίων, μόνο που οι πυκνωτές που τοποθετούνται είναι πολύ μικρότεροι από αυτούς, της coarse. Αυτό συμβαίνει επειδή θέλουμε να πετύχουμε, όσο το δυνατόν μικρότερη αλλαγή, στην συνολική χωρητικότητα, με τις αντιστάσεις που προσθαφαιρούμε, ώστε η αλλαγή στην συχνότητα να είναι επαρκώς μικρή. Το κέρδος της fine Carbank, όπως προαναφέρθηκε, έχουμε θέσει στόχο να είναι 1 MHz/LSB. Δηλαδή η αύξηση της ψηφιακής λέξης που δημιουργείται, από τα ψηφία ελέγχου των διακοπών των έξι σταδίων, κατά 1 LSB, θέλουμε να προκαλεί αλλαγή στην συχνότητα του σήματος εξόδου, κατά 1 MHz. Αυτό το βήμα είναι επαρκώς μικρό, ώστε να θεωρούμε πως το DPLL μπορεί να κλειδώσει σε οποιαδήποτε συχνότητα απαιτείται από την εφαρμογή, σε όλο το εύρος συχνοτήτων στο οποίο λειτουργεί ο DCO. Ιδιαίτερη αναφορά πρέπει να γίνει, σε ένα πολύ σημαντικό σχεδιαστικό ζήτημα της fine Carbank, το οποίο θα περιγράψουμε με την βοήθεια του σχήματος 5.6 και χωρίς το οποίο δεν θα ήταν εφικτή η ορθή λειτουργία του DCO. Τα σημεία A_1 , A_2 και A_3 είναι διαδοχικές συχνότητες που μπορούν να επιτευχθούν με την μείωση της ψηφιακής τιμής εισόδου της coarse Carbank, κατά ένα LSB! Μειώνοντας την ψηφιακή τιμή κατά ένα LSB, μειώνεται η συνολική χωρητικότητα και από τον τύπο, $\omega_0 = \frac{1}{\sqrt{LC}}$, η συχνότητα αυξάνεται. Η ευθεία A_1 είναι η ευθεία, που προκύπτει με την αλλαγή της ψηφιακής τιμής της fine Carbank, από “000000” σε “111111”, όταν η coarse Carbank είναι σταθερή σε μια συγκεκριμένη τιμή. Οι παράλληλες ευθείες A_2 , A_3 και ούτω

καθεξής είναι οι ευθείες, που αντιστοιχούν σε άλλες σταθερές ψηφιακές τιμές της coarse Capbank. Συνολικά, σε μια Capbank έξι σταδίων θα υπάρχουν 64 διαφορετικές παράλληλες ευθείες, όλες



Σχήμα 5.6 Διάγραμμα επικάλυψης 50% της fine Capbank

με κλίση ίση με το μέγεθος K_{DCO} . Κάτι ύψιστης σημασίας, που γίνεται φανερό από το σχήμα 4.χ είναι ότι οι παράλληλες αυτές ευθείες έχουν μεταξύ του επικάλυψη ίση με 50%. Δηλαδή, το σημείο μέγιστης συχνότητας μίας ευθείας βρίσκεται στην ίδια συχνότητα με το μέσο σημείο της επόμενης της επόμενης ευθείας. Ενώ, το σημείο ελάχιστης συχνότητας βρίσκεται στην ίδια συχνότητα με το μέσο σημείο της προηγούμενης ευθείας. Αν δεν υπήρχε καθόλου επικάλυψη μεταξύ των ευθειών, θα υπήρχαν ορισμένες συχνότητες, μεταξύ των ευθειών, στις οποίες το DPLL δεν θα μπορούσε να κλειδώσει. Με το ποσοστό επικάλυψης 50%, είμαστε βέβαιοι ότι για κάθε συχνότητα μέσα στο εύρος του DCO, υπάρχουν δύο δυνατοί τρόποι επίτευξης της. Κατά την αρχική διαδικασία του calibration, υπάρχουν ειδικοί αλγόριθμοι, οι οποίοι επιλέγουν την λύση που βρίσκεται πιο κοντά στην μέση κάποιας γραμμής. Οι λύσεις, που βρίσκονται κοντά στις άκρες των γραμμών, είναι καλή πρακτική να αποφεύγονται γιατί δεν οδηγούν πάντοτε σε ορθό κλείδωμα του DPLL.

5.2 Μαθηματική ανάλυση DCO

Ο DCO θέλουμε να καλύπτει ένα εύρος συχνοτήτων. Συγκεκριμένα, από $f_{\min} = 4$ GHz έως $f_{\max} = 6$ GHz, με κεντρική συχνότητα στα 5 GHz. Από τον τύπο,

$$\omega = 2 * \pi * f \quad (5.5)$$

προκύπτει ότι $\omega_{\min} = 25,13$ Grad/s και $\omega_{\max} = 37,7$ Grad/s. Το πηνίο έχει σταθερή τιμή ίση με $L = 1$ nH. Αυτό που αλλάζει και επηρεάζει την συχνότητα είναι η χωρητικότητα, όπως έχουμε εξηγήσει. Από τον τύπο,

$$\omega = \frac{1}{\sqrt{L * C}} \quad (5.6)$$

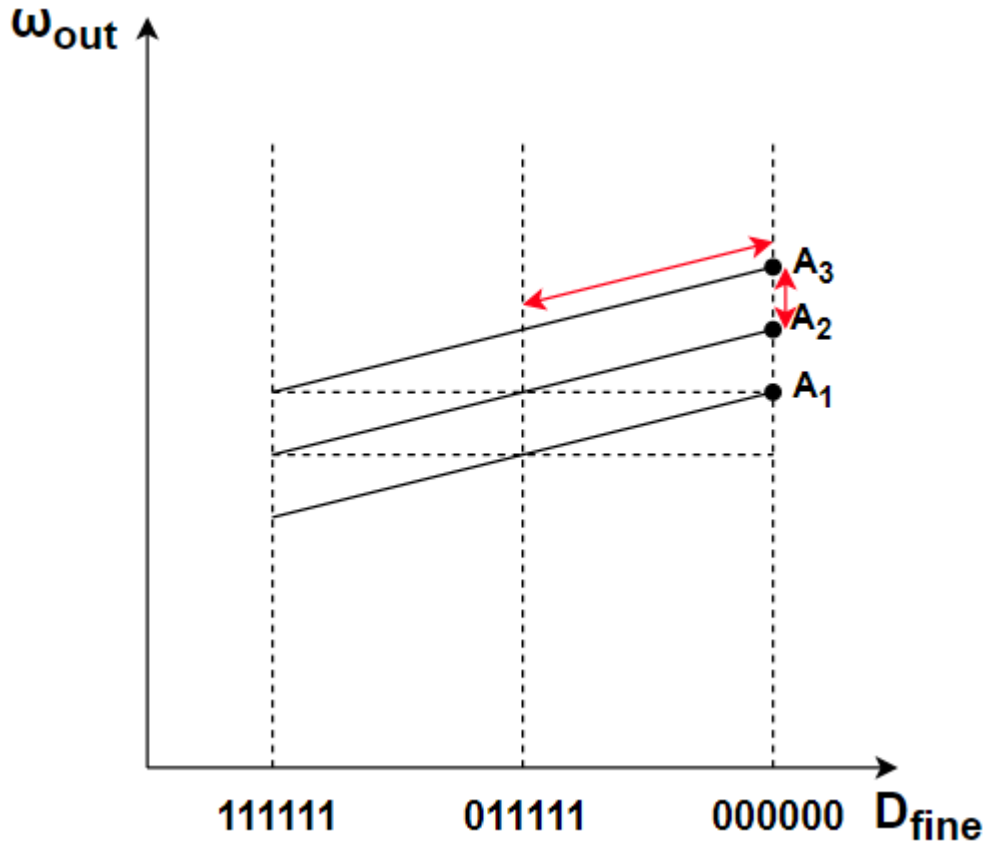
υπολογίζουμε την μέγιστη χωρητικότητα $C_{\max}$, που αντιστοιχεί στην ελάχιστη συχνότητα, $\omega_{\min}$ και την ελάχιστη χωρητικότητα $C_{\min}$, που αντιστοιχεί στην μέγιστη συχνότητα, $\omega_{\max}$. Οι τιμές που προκύπτουν είναι $C_{\min} = 0,7$ pF και $C_{\max} = 1,58$ pF. Σε αυτό το σημείο πρέπει να αναφέρουμε μια σημαντική λεπτομέρεια, για την συνέχεια της ανάλυσης. Όταν ο διακόπτης του σχήματος 4.χ, που συνδέει τους δύο πυκνωτές του κάθε σταδίου, δεν άγει, η χωρητικότητα του σταδίου αυτού δεν γίνεται μηδενική! Αυτό συμβαίνει διότι ο ίδιος ο διακόπτης, ο οποίος απαρτίζεται κατά κύριο λόγο, από ένα τρανζίστορ, όπως θα δούμε στην συνέχεια, έχει τις δικές του μικρές παρασιτικές χωρητικότητες. Οι μικρές αυτές παρασιτικές χωρητικότητες τοποθετούνται σε σειρά με τις μεγάλες χωρητικότητες $2 * C$, με αποτέλεσμα η συνολική χωρητικότητα να γίνεται πολύ μικρή, της τάξης των fF, αλλά όχι μηδενική. Αντίστοιχα, από κάθε στάδιο, τόσο της coarse όσο και της fine carbank, δημιουργούνται τέτοιες χωρητικότητες με τον πολλαπλασιαστή του κάθε σταδίου να συνεισφέρει ανάλογα. Το έκτο στάδιο δηλαδή έχει 32 φορές μεγαλύτερη χωρητικότητα από το πρώτο, όταν οι διακόπτες δεν άγουν. Αυτό που μας ενδιαφέρει είναι η συνολική χωρητικότητα, και των δύο carbank μαζί, όταν όλα τα στάδια και των δύο βρίσκονται σε αποκοπή. Η χωρητικότητα αυτή ονομάζεται C_{off} . Μπορούμε να την υπολογίσουμε με sp ανάλυση, στο Cadence, χρησιμοποιώντας το φανταστικό μέρος της y παραμέτρου, ενός διθύρου, στα άκρα του οποίου έχουμε συνδέσει παράλληλα τις δύο carbanks. Το αποτέλεσμα της ανάλυσης, έδωσε ότι $C_{\text{off_total}} = 103$ fF. Υπολογίσαμε, προηγουμένως, ότι για να έχουμε $f_{\max} = 6$ GHz, πρέπει να έχουμε $C_{\min} = 0.7$ pF = 700 fF. Αφού σε κατάσταση αποκοπής, από τις δύο carbanks, έχουμε περίπου 100 fF, χρειάζεται να τοποθετήσουμε παράλληλα στις δύο carbanks, έναν σταθερό πυκνωτή χωρητικότητας 600fF, ώστε μαζί με τις παρασιτικές χωρητικότητες να πετυχαίνουμε τα

απαραίτητα 700fF. Στην συνέχεια, προχωράμε στον υπολογισμό της χωρητικότητας του πυκνωτή, που πρέπει να τοποθετήσουμε στο δομικό πρώτο στάδιο της coarse capbank. Η coarse capbank, όπως εξηγήσαμε, είναι υπεύθυνη να μπορεί να καλύψει, όλο το εύρος των συχνοτήτων, από 4 GHz έως 6 GHz. Άρα, με την τοποθέτηση των σταδίων της coarse capbank, πρέπει να μπορούμε να φτάσουμε από το $C_{min} = 0.7$ pF, που ήδη βρισκόμαστε, λόγω της C_{off} , έως το $C_{max} = 1.58$ pF. Όπως έχουμε εξηγήσει, η coarse capbank διαθέτει συνολικά 63 στάδια. Άρα προκύπτει ο τύπος,

$$C_{unit_coarse} = \frac{C_{max} - C_{min}}{63} + C_{unit_coarse_off} \quad (5.7)$$

Παρατηρούμε ότι προστέθηκε ο όρος $C_{unit_coarse_off}$. Πρόκειται για την χωρητικότητα του δομικού σταδίου, όταν ο διακόπτης δεν άγει. Η χωρητικότητα αυτή δεν είναι αμελητέα συγκριτικά με την χωρητικότητα του σταδίου όταν αυτό άγει, για αυτό τον λόγο πρέπει να συνυπολογιστεί. Μάλιστα πρέπει να προστεθεί στον τύπο υπολογισμού, της C_{unit_coarse} , διότι διαφορετικά κάθε φορά που ένα νέο στάδιο θα άγει, θα προστίθεται χωρητικότητα ίση με $(C_{max} - C_{min}) / 63$ μείον την $C_{unit_coarse_off}$ χωρητικότητα που είχαμε προηγουμένως, όταν ο διακόπτης δεν ήγαγε. Ο λόγος $(C_{max} - C_{min}) / 63$ ισούται με 13.96 fF. Άρα αναζητάμε ένα ζευγάρι C_{unit_coarse} , $C_{unit_coarse_off}$, για το οποίο θα ισχύει $C_{unit_coarse} = 13.96 + C_{unit_coarse_off}$. Η χωρητικότητα $C_{unit_coarse_off}$ μεταβάλλεται ελάχιστα, στις μικρές μεταβολές της χωρητικότητας C_{unit_coarse} . Με μια κατάλληλη παραμετρική ανάλυση, στο Cadence, βρίσκουμε το ζευγάρι τιμών που αναζητούμε. Το αποτέλεσμα που προκύπτει είναι $C_{unit_coarse_off} = 1.62$ fF και $C_{unit_coarse} = 15.58$ fF. Επαληθεύεται λοιπόν, ότι η τιμή της $C_{unit_coarse_off}$, δεν είναι αμελητέα συγκριτικά με την τιμή της C_{unit_coarse} . Η ανάλυση μας προχωράει με τον υπολογισμό της χωρητικότητας, του πυκνωτή, της δομικής μονάδας, της fine capbank. Εξηγήσαμε στην προηγούμενη ενότητα, ότι θέλουμε να πετύχουμε επικάλυψη ίση με 50%. Αυτό πρακτικά σημαίνει ότι το μισό συχνοτικό εύρος, που μπορούμε να πετύχουμε με την fine capbank, πρέπει να αντιστοιχεί σε ολόκληρη την αύξηση συχνότητας που επιτυγχάνουμε με την μείωση του κώδικα ελέγχου, της coarse capbank, κατά ένα LSB. Ας ανατρέξουμε ξανά στο σχήμα 5.6, της ενότητας 5.1.3. Έχουμε θεωρήσει για λόγους απλότητας την ψηφιακή τιμή 32, ως την μέση των ψηφιακών τιμών από 0 έως 63, διότι δεν υπάρχει κάποια ψηφιακή τιμή ίση με 31.5. Ίδια θεώρηση μπορούμε να κάνουμε και για την ψηφιακή τιμή 31, κάτι που θα κάνουμε στην συνέχεια της ανάλυσης μας. Θέλουμε, λοιπόν, η υψηλότερη συχνότητα μιας γραμμής (αντιστοιχεί στην ψηφιακή τιμή 0), να αντιστοιχεί στην συχνότητα που προκύπτει στην προηγούμενη γραμμή, όταν η ψηφιακή τιμή της είναι 31, όπως φαίνεται στο σχήμα 5.7. Τα δύο κόκκινα βέλη είναι οι δύο διαφορετικοί τρόποι με

τους οποίους οδηγούμαστε σε ίδια συχνότητα, με σημείο εκκίνησης το υψηλότερο σημείο συχνότητας της γραμμής A₃. Στο μεγάλο βέλος, αλλάζει η ψηφιακή τιμή ελέγχου της fine capbank



Σχήμα 5.7 Διάγραμμα επικάλυψης 50% για την εύρεση των τιμών C_{unit_fine} και $C_{unit_fine_off}$

από 0 σε 31, ενώ στο μικρό βέλος αυξάνεται η ψηφιακή τιμή ελέγχου της coarse capbank κατά 1. Από τα παραπάνω δεδομένα προκύπτει ότι η αύξηση της χωρητικότητας, κατά μία δομική μονάδα, της coarse capbank αντιστοιχεί στην αύξηση της χωρητικότητας της fine capbank, κατά 31 δομικές μονάδες. Με αυτό τον τρόπο προκύπτει ο τύπος,

$$C_{unit_coarse} - C_{unit_coarse_off} = 31 * (C_{unit_fine} - C_{unit_fine_off}) \quad (5.8)$$

Με την ίδια λογική με την coarse capbank, όταν άγει μια νέα δομική μονάδα της fine capbank, η συνολική χωρητικότητα αυξάνεται κατά $C_{unit_fine} - C_{unit_fine_off}$, όπου $C_{unit_fine_off}$ είναι η μικρή παρασιτική χωρητικότητα της δομικής μονάδας της fine capbank, όταν ο διακόπτης δεν άγει. Και σε αυτή την περίπτωση, δεν μπορεί να θεωρηθεί αμελητέα σε σχέση με την C_{unit_fine} . Στον τύπο 4.χ λύνουμε ως προς το C_{unit_fine} και προκύπτει ο τύπος,

$$C_{\text{unit_fine}} = \frac{C_{\text{unit_coarse}} - C_{\text{unit_coarse_off}}}{31} + C_{\text{unit_fine_off}} \quad (5.9)$$

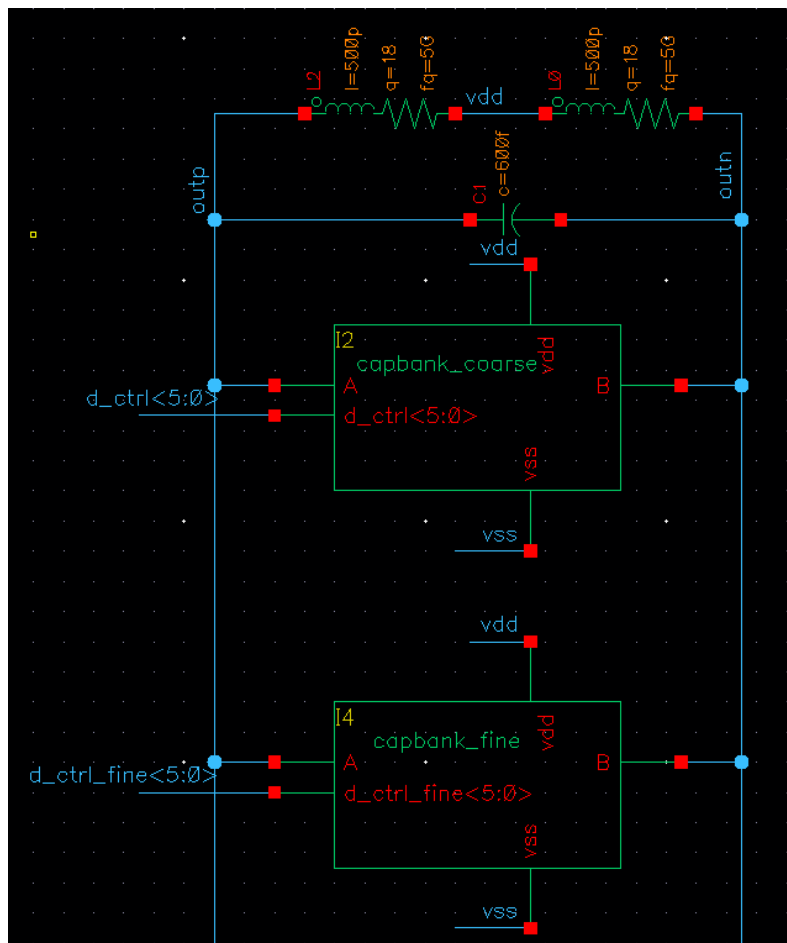
Ξανά με κατάλληλη παραμετρική ανάλυση, στο Cadence, καταλήγουμε στις τιμές $C_{\text{unit_fine}} = 480$ aF και $C_{\text{unit_fine_off}} = 30$ aF. Το αν επαληθεύεται η επικάλυψη του 50%, που θέλαμε να πετύχουμε, θα φανεί στις τελικές προσομοιώσεις που θα κάνουμε.

5.3 Υλοποίηση DCO

Στην παρούσα ενότητα θα παρουσιάσουμε τις διάφορες υλοποιήσεις, οι οποίες απαιτούνται για την κατασκευή του DCO και περιγράψαμε στις προηγούμενες ενότητες.

5.3.1 Υλοποίηση LC παράλληλου συνδυασμού

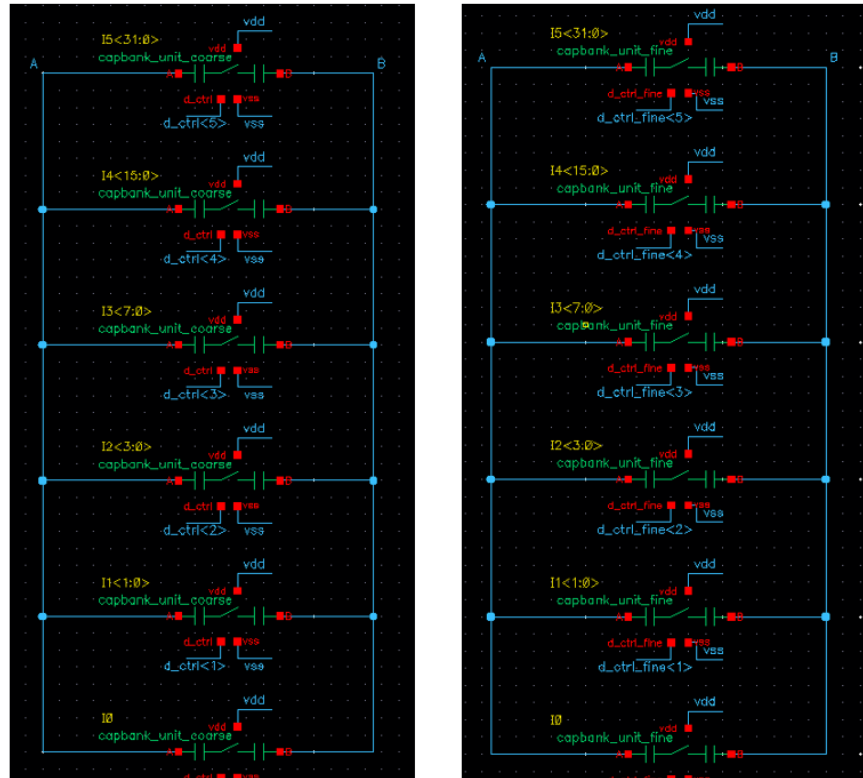
Στο σχήμα 5.8 φαίνεται η υλοποίηση του LC παράλληλου συνδυασμού. Ο LC παράλληλος συνδυασμός αποτελείται από το πηνίο, τον σταθερό πυκνωτή και τις δύο capbanks. Οι τιμές αυτών των στοιχείων είναι ακριβώς αυτές που προέκυψαν από την προηγούμενη μαθηματική ανάλυση. Με την προσθαφαίρεση σταδίων στις δύο capbanks μπορούμε να μεταβάλλουμε την συχνότητα εξόδου του DCO και να πετύχουμε τις επιθυμητές τιμές. Στην συνέχεια, θα παρουσιάσουμε τις υλοποιήσεις των δύο capbanks.



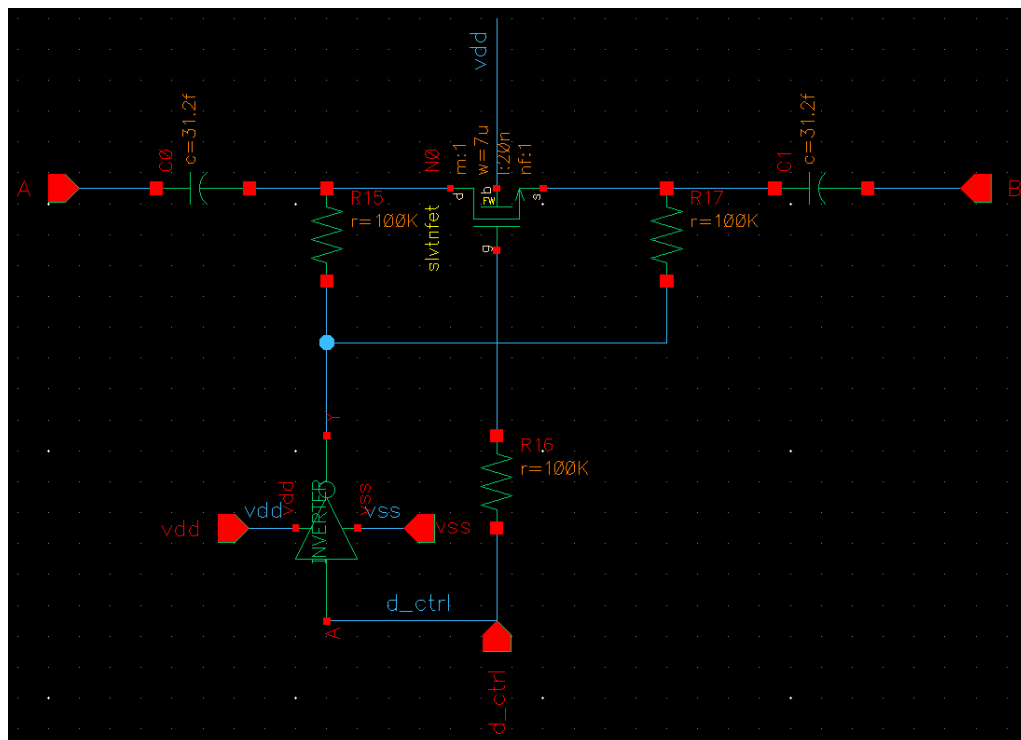
Σχήμα 5.8 Υλοποίηση LC παράλληλου συνδυασμού

5.3.2 Υλοποίηση coarse και fine capbank 6 σταδίων

Στο σχήμα 5.9 φαίνονται οι υλοποιήσεις των δύο capbank, όπως τις είχαμε περιγράψει σε προηγούμενη ενότητα. Αποτελούνται και οι δύο από 6 στάδια, καθένα από τα οποία αποτελείται από διπλάσιο αριθμό παράλληλων δομικών σταδίων από το προηγούμενο. Προφανώς, η δομική μονάδα της coarse capbank διαφέρει πλήρως από αυτήν της fine capbank, όπως θα δούμε και στην συνέχεια. Η λογική των παράλληλων σταδίων όμως παραμένει κοινή και για τις δύο. Στο σχήμα 5.10 φαίνεται η υλοποίηση της δομικής μονάδας της coarse capbank. Οι τιμές των πυκνωτών είναι αυτές που προέκυψαν από την μαθηματική ανάλυση. Ο ρόλος των αντιστάσεων είναι η κατάλληλη πόλωση των ακροδεκτών του τρανζίστορ. Όταν το σήμα `d_ctrl` είναι “1” η πύλη δέχεται λογικό “1”, ενώ η πηγή και η υποδοχή δέχονται λογικό “0” με αποτέλεσμα ο διακόπτης να άγει. Αντίθετα

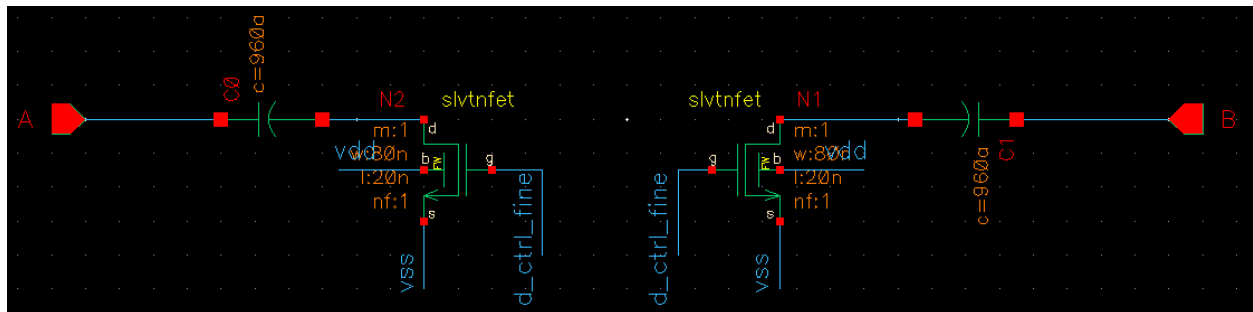


Σχήμα 5.9 Υλοποίηση coarse και fine capbank



Σχήμα 5.10 Υλοποίηση δομικής μονάδας coarse capbank

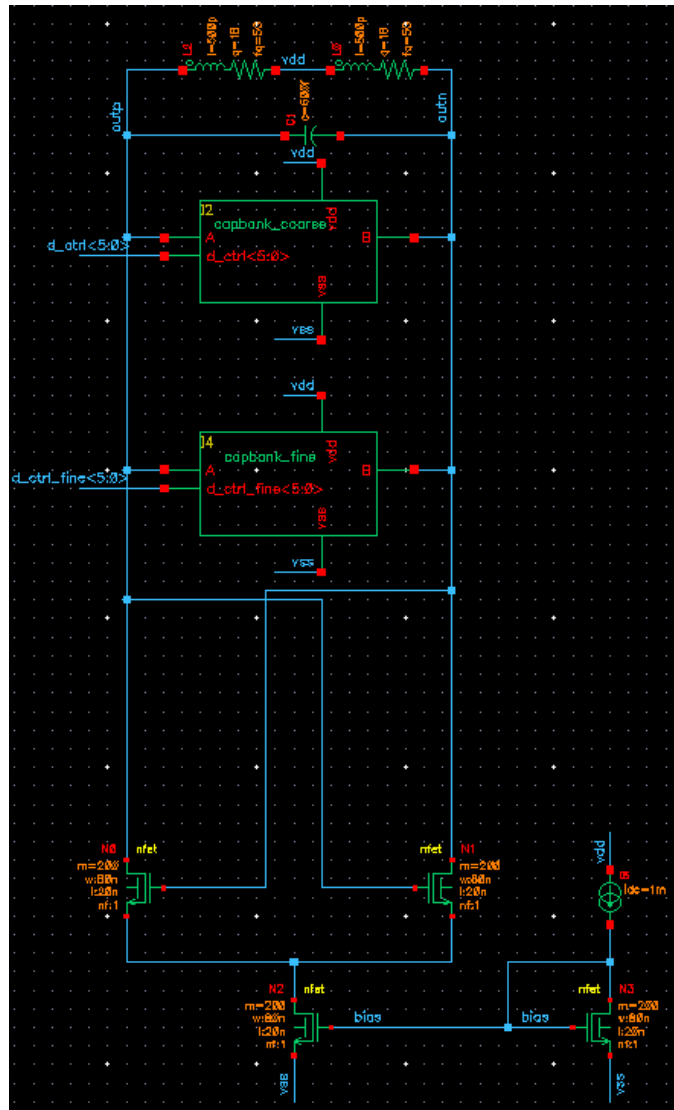
όταν το σήμα `d_ctrl` είναι “0” η πύλη δέχεται λογικό “0”, ενώ η πηγή και η υποδοχή δέχονται λογικό “1” με αποτέλεσμα ο διακόπτης να μην άγει. Στο σχήμα 5.11 φαίνεται η υλοποίηση της δομικής μονάδας της `fine carbank`. Η δομική μονάδα της `fine carbank` διαφέρει από αυτή της `coarse carbank`. Αν ακολουθούσαμε την ίδια τοπολογία, οι χωρητικότητες των πυκνωτών της `fine carbank` θα ήταν πλέον συγκρίσιμες με αυτές του τρανζίστορ διακόπτη με αποτέλεσμα την μεταβολή της χωρητικότητας του δομικού σταδίου και ως συνέπεια όλης της `fine carbank`. Όταν το σήμα `d_ctrl_fine` είναι “1” τα δύο τρανζίστορ άγουν, ενώ όταν το σήμα είναι “0” τα δύο τρανζίστορ δεν άγουν. Το μειονέκτημα της παρούσης τοπολογίας είναι ότι δεν μπορούμε να πολώσουμε ανάποδα την τάση της πύλης με αυτές της πηγής και της υποδοχής με αποτέλεσμα η διακύμανση της τάσης στα άκρα A, B του DCO να επηρεάζει την τάση της υποδοχής των τρανζίστορ αυξάνοντας τον κίνδυνο να βγουν από την επιθυμητή περιοχή λειτουργίας.



Σχήμα 5.11 Υλοποίηση δομικής μονάδας `fine carbank`

5.3.3 Υλοποίηση DCO

Στο σχήμα 5.12 φαίνεται η συνολική υλοποίηση του DCO. Φαίνονται με την σειρά από πάνω προς τα κάτω, το πηνίο, ο σταθερός πυκνωτής και οι δύο `carbanks` που αποτελούν τον παράλληλο LC συνδυασμό. Έπειτα φαίνεται το χιαστί συνδεδεμένο ζεύγος τρανζίστορ, που λειτουργεί ως αρνητική αντίσταση και αντισταθμίζει τις απώλειες του παράλληλου συνδυασμού, ώστε να επιτευχθεί η επιθυμητή ταλάντωση στα άκρα του DCO. Τέλος, φαίνεται ένας καθρέφτης ρεύματος για τον καθρεπτισμό 1 mA, για την λειτουργία του DCO.

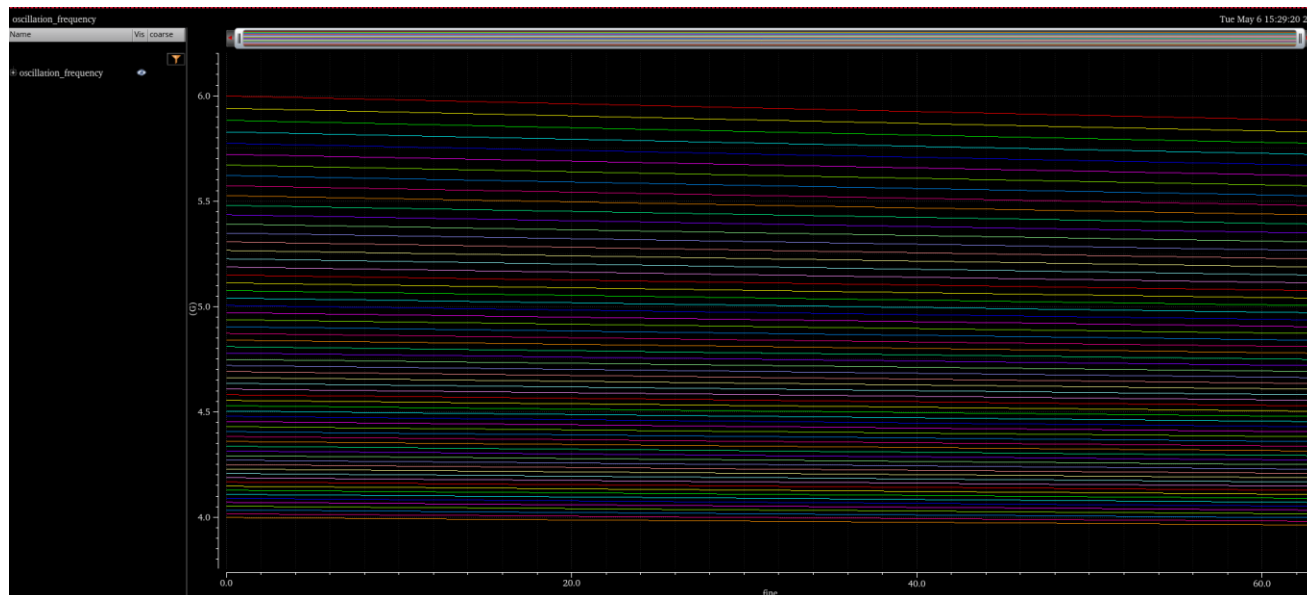


Σχήμα 5.12 Συνολική υλοποίηση DCO

5.4 Προσομοιωτικά αποτελέσματα

Στην παρούσα ενότητα θα προσομοιώσουμε την συχνότητα εξόδου του DCO για κάθε τιμή της coarse carbank. Από την fine carbank θα χρησιμοποιήσουμε τις τιμές 0 και 63 ως τις ακραίες τιμές κάθε μιας από τις 64 ευθείες που θα δημιουργηθούν από τις 64 τιμές της coarse carbank, καθώς και την τιμή 31 ως την μεσαία τιμή κάθε ευθείας. Θα εξετάσουμε αν ισχύει η επικάλυψη 50% ανάμεσα στις ευθείες, όπως εξηγήσαμε στην ενότητα 5.2. Στο σχήμα 5.13 φαίνονται οι ευθείες αυτές και επιβεβαιώνεται από την προσομοίωση ότι πετυχαίνουμε την επιθυμητή επικάλυψη του 50% ανάμεσα στις ευθείες. Στον πίνακα 5.1 φαίνεται η συχνότητα εξόδου του DCO για κάθε ζευγάρι τιμών που προσομοιώσαμε. Ο αναγνώστης που δεν εμπιστεύεται την

οπτική εξέταση των ευθειών μπορεί να ανατρέξει στον πίνακα, ώστε να βεβαιωθεί για την επικάλυψη οποιασδήποτε ευθείας επιθυμεί.



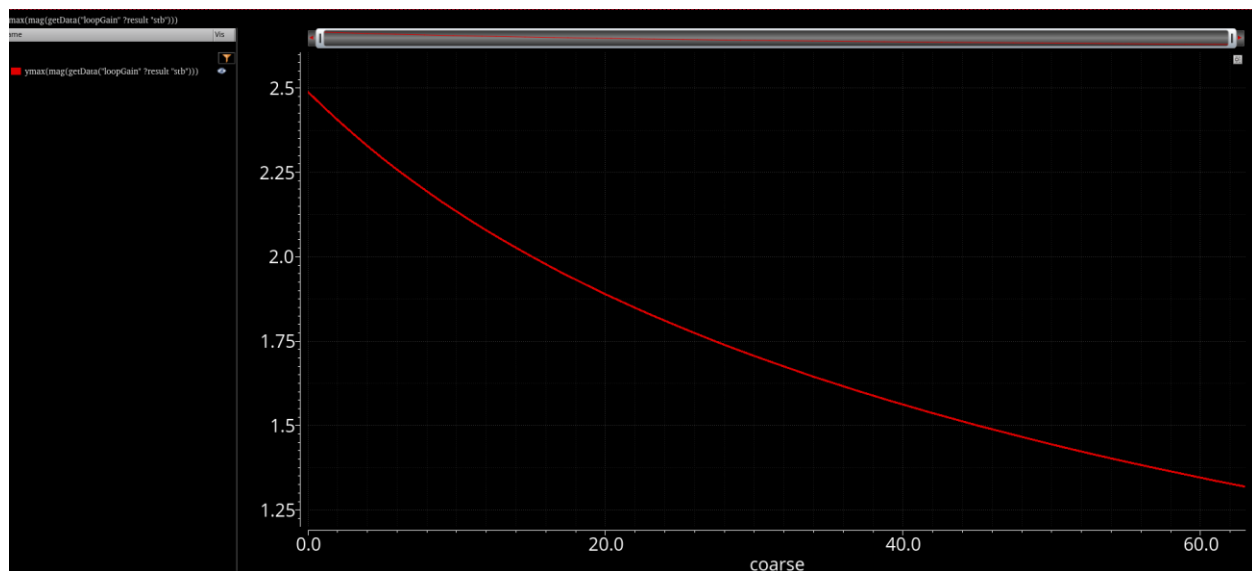
Σχήμα 5.13 Διάγραμμα επικάλυψης 50% μεταξύ των ευθειών του DCO

coarse/fine	0	31	63
0	5.999G	5.941G	5.883G
1	5.94G	5.884G	5.828G
2	5.883G	5.829G	5.774G
3	5.828G	5.775G	5.721G
4	5.774G	5.722G	5.671G
5	5.722G	5.672G	5.621G
6	5.671G	5.622G	5.572G
7	5.621G	5.573G	5.525G
8	5.573G	5.526G	5.479G
9	5.526G	5.48G	5.434G
10	5.48G	5.435G	5.391G
11	5.435G	5.391G	5.348G
12	5.391G	5.349G	5.306G
13	5.348G	5.307G	5.265G
14	5.306G	5.266G	5.226G
15	5.266G	5.227G	5.187G
16	5.226G	5.187G	5.149G
17	5.187G	5.15G	5.111G
18	5.149G	5.112G	5.075G
19	5.112G	5.076G	5.039G
20	5.075G	5.04G	5.004G
21	5.04G	5.005G	4.97G

22	5.005G	4.971G	4.936G
23	4.97G	4.937G	4.904G
24	4.937G	4.904G	4.871G
25	4.904G	4.872G	4.84G
26	4.872G	4.84G	4.809G
27	4.84G	4.809G	4.778G
28	4.809G	4.779G	4.748G
29	4.779G	4.749G	4.719G
30	4.749G	4.72G	4.691G
31	4.72G	4.691G	4.662G
32	4.691G	4.663G	4.634G
33	4.663G	4.635G	4.607G
34	4.635G	4.608G	4.58G
35	4.608G	4.581G	4.554G
36	4.581G	4.555G	4.528G
37	4.555G	4.529G	4.503G
38	4.529G	4.504G	4.478G
39	4.503G	4.478G	4.454G
40	4.478G	4.454G	4.429G
41	4.454G	4.43G	4.406G
42	4.43G	4.406G	4.382G
43	4.406G	4.382G	4.359G
44	4.382G	4.359G	4.336G
45	4.359G	4.337G	4.314G
46	4.337G	4.315G	4.292G
47	4.314G	4.292G	4.27G
48	4.292G	4.271G	4.249G
49	4.271G	4.25G	4.228G
50	4.249G	4.228G	4.207G
51	4.228G	4.208G	4.187G
52	4.208G	4.187G	4.167G
53	4.187G	4.167G	4.147G
54	4.167G	4.147G	4.127G
55	4.147G	4.128G	4.108G
56	4.128G	4.109G	4.089G
57	4.108G	4.089G	4.07G
58	4.089G	4.071G	4.052G
59	4.071G	4.052G	4.034G
60	4.052G	4.034G	4.016G
61	4.034G	4.016G	3.998G
62	4.016G	3.998G	3.98G
63	3.998G	3.981G	3.963G

Πίνακας 5.1 Τιμές συχνοτήτων ταλάντωσης του DCO για τα διαφορετικά ζεύγη τιμών των δύο capbanks

Στην συνέχεια παρουσιάζουμε στο σχήμα 5.14, το κέρδος του βρόχου για τις διάφορες τιμές της coarse capbank, ώστε να επιβεβαιώσουμε περαιτέρω ότι ο DCO θα είναι ικανός να ταλαντώσει για όλες τις πιθανές τιμές. Όπως βλέπουμε από το σχήμα το κέρδος βρόχου είναι πάντοτε μεγαλύτερο από την μονάδα με αποτέλεσμα την ταλάντωση του DCO για οποιαδήποτε τιμή της coarse capbank.



Σχήμα 5.14 Κέρδος βρόχου DCO για τις διάφορες τιμές της coarse capbank

Κεφάλαιο 6

Συμπεράσματα και μελλοντική εργασία

Στην παρούσα διπλωματική εργασία έγινε μελέτη, ανάλυση και σχεδίαση ενός DPLL. Όπως αναφέρθηκε, η σύγχρονη τάση της μείωσης όλο και περισσότερο του χώρου που καταλαμβάνουν τα ολοκληρωμένα κυκλώματα οδηγεί πολλές φορές σε εναλλακτικές ψηφιακές υλοποιήσεις στην θέση διαχρονικά αναλογικών υλοποιήσεων, όπως για παράδειγμα το αναλογικό PLL. Η σύγκριση των δύο κυκλωμάτων ανέδειξε τα πλεονεκτήματα και τα μειονεκτήματα του καθενός, καθώς και τις περιπτώσεις που το ένα υπερτερεί του άλλου και το αντίθετο.

Επιπλέον έγινε μελέτη, ανάλυση και σχεδίαση όλων των τμημάτων ενός DPLL, εκτός από το ψηφιακό φίλτρο του οποίου η υλοποίηση είναι αμιγώς ψηφιακή. Ιδιαίτερη αναφορά και σημασία δόθηκε στην σχεδίαση του TDC και του DCO του DPLL. Έγινε εκτενής ανάλυση και σύγκριση μεταξύ τριών διαφορετικών τοπολογιών TDC και μελετήθηκε και σχεδιάστηκε ένας DCO του οποία η συνολική χωρητικότητα ελεγχόταν από διακόπτες που συνέδεαν και αποσυνέδεαν πυκνωτές.

Επιπλέον, παρουσιάστηκε εκτενώς μια καινοτόμα ιδέα αντιστάθμισης των PVT μεταβολών ενός Vernier TDC με εξαιρετικά προσομοιωτικά αποτελέσματα, η οποία πρόκειται να παρουσιαστεί και να δημοσιευθεί στο συνέδριο ISVLSI 2025. Ο μηχανισμός αντιστάθμισης αποτελείται από ένα switch-based RO PLL που τροφοδοτεί κάθε φορά με κατάλληλη τάση τροφοδοσίας τους αντιστροφείς των γραμμών καθυστέρησης ενός Vernier TDC, διατηρώντας συνεχώς την χρονική ευκρίνεια Δ σχεδόν σταθερή με απόλυτη απόκλιση μικρότερη των 300 fs.

Αντικείμενο μελλοντικής εργασίας αποτελεί σίγουρα η υλοποίηση του ψηφιακού φίλτρου με στόχο την συνολική υλοποίηση του DPLL και την επίτευξη του κλειδώματος του στην επιθυμητή συχνότητα. Ενδιαφέρον, επιπλέον θα αποτελούσε η περαιτέρω βελτίωση της ιδέας αντιστάθμισης του Vernier TDC με στόχο να δημοσιευτεί και σε κάποιο επιστημονικό περιοδικό.

Τέλος, η παρούσα διπλωματική εργασία αποτελεί εγχειρίδιο για οποιονδήποτε προπτυχιακό φοιτητή επιθυμεί να ξεκινήσει την δική του διπλωματική εργασία, καθώς εξηγεί με τρόπο σαφή και αναλυτικό διάφορα ζητήματα, τα οποία αναπόφευκτα θα προκύψουν στην εκπόνηση οποιουδήποτε θέματος.

Βιβλιογραφία

- [1] Dean Banerjee, PLL Performance, Simulation and Design, 5th Edition.
- [2] Behzad Razavi, Design of CMOS Phase-Locked Loops, Cambridge University Press
- [3] R. B. Staszewski et al., "All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS," in IEEE Journal of Solid-State Circuits, vol. 39, no. 12, pp. 2278-2291, Dec. 2004.
- [4] R. B. Staszewski et al., "All-digital PLL and transmitter for mobile phones," in IEEE Journal of Solid-State Circuits, vol. 40, no. 12, pp. 2469-2482, Dec. 2005.
- [5] R. B. Staszewski et al., "All-digital PLL and GSM/EDGE transmitter in 90nm CMOS," ISSCC. 2005 IEEE International Digest of Technical Papers. Solid-State Circuits Conference, 2005., San Francisco, CA, USA, 2005, pp. 316-600 Vol. 1.
- [6] R. B. Staszewski and P. T. Balsara, "All-Digital PLL With Ultra Fast Settling," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 54, no. 2, pp. 181-185, Feb. 2007.
- [7] Adel S. Sedra, Kenneth C. Smith, Microelectronic Circuits (5th and 7th edition), Παπασωτηρίου, 2003 and 2017.
- [8] J. . -P. Jansson, A. Mantyniemi and J. Kostamovaara, "A CMOS time-to digital converter with better than 10 ps single-shot precision," in IEEE Journal of Solid-State Circuits, vol. 41, no. 6, pp. 1286-1296, June 2006.
- [9] M. Lee and A. A. Abidi, "A 9 b, 1.25 ps Resolution Coarse Fine Time to- Digital Converter in 90 nm CMOS that Amplifies a Time Residue," in IEEE Journal of Solid-State Circuits, vol. 43, no. 4, pp. 769-777, April 2008.
- [10] R. B. Staszewski, S. Vemulapalli, P. Vallur, J. Wallberg and P. T. Balsara, "1.3 V 20 ps time-to-digital converter for frequency synthesis in 90-nm CMOS," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 53, no. 3, pp. 220-224, March 2006.
- [11] J. Wu and Z. Shi, "The 10-ps wave union TDC: Improving FPGA TDC resolution beyond its cell delay," 2008 IEEE Nuclear Science Symposium Conference Record, Dresden, Germany, 2008.

- [12] M. Z. Straayer and M. H. Perrott, "A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping," in *IEEE Journal of Solid-State Circuits*, vol. 44, no. 4, pp. 1089-1098, April 2009.
- [13] L. Vercesi, A. Liscidini and R. Castello, "Two-Dimensions Vernier Time to Digital Converter," in *IEEE Journal of Solid-State Circuits*, vol. 45, no. 8, pp. 1504-1512, Aug. 2010.
- [14] R. B. Staszewski, D. Leipold, Chih-Ming Hung and P. T. Balsara, "TDC based frequency synthesizer for wireless applications," 2004 IEE Radio Frequency Integrated Circuits (RFIC) Systems. Digest of Papers, Forth Worth, TX, USA, 2004, pp. 215-218.
- [15] A. Avilala, S. Reddy, D. S. Kamarajugadda, S. Sampath, P. Suresh and C. -C. Wang, "High Resolution Time-to-Digital Converter Design with Anti-PVT-Variation Mechanism," 2021 IEEE 4th International Conference on Electronics Technology (ICET), Chengdu, China, 2021.
- [16] X. -J. Zhang, K. -J. Cui, Z. Zou and L. -R. Zheng, "A low-power coarse-fine time-to-digital converter in 65nm CMOS," 2015 International Symposium on Signals, Circuits and Systems (ISSCS), Iasi, Romania, 2015.
- [17] P. Chen, C. -C. Chen, J. -C. Zheng and Y. -S. Shen, "A PVT Insensitive Vernier-Based Time-to-Digital Converter With Extended Input Range and High Accuracy," in *IEEE Transactions on Nuclear Science*, vol. 54, no. 2, pp. 294-302, April 2007.
- [18] M. Perenzoni, L. Gasparini and D. Stoppa, "Design and Characterization of a 43.2-ps and PVT-Resilient TDC for Single-Photon Imaging Arrays," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 4, pp. 411-415, April 2018.
- [19] C. -C. Wang, K. -Y. Chao, S. Sampath and P. Suresh, "Anti-PVT Variation Low-Power Time-to-Digital Converter Design Using 90-nm CMOS Process," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 28, no. 9, pp. 2069-2073, Sept. 2020.
- [20] Xinquan Lai, Mingming Liu, Chen Liu, A 12-bit, 27.8-ps resolution, Anti-PVT variation multi-parallel sampling based coarse-fine TDC for LiDAR sensors, *Microelectronics Journal*, Volume 143, 2024.
- [21] A. El-Hadbi, O. Elissati and L. Fesquet, "Time-to-Digital Converters: A Literature Review and New Perspectives," 2019 5th International Conference on Event-Based Control, Communication, and Signal Processing (EBCCSP), Vienna, Austria, 2019.