



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

ΣΧΕΔΙΑΣΗ ΚΑΙ ΕΠΑΛΗΘΕΥΣΗ ΑΝΑΛΟΓΙΚΩΝ
ΔΙΑΦΟΡΙΚΩΝ ΕΝΙΣΧΥΤΩΝ ΣΕ ΤΕΧΝΟΛΟΓΙΕΣ CMOS

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Νικόλαος Κατσιαβριάς

ΕΠΙΒΛΕΠΩΝ : ΓΕΩΡΓΙΟΣ ΠΑΝΑΓΟΠΟΥΛΟΣ
ΚΑΘΗΓΗΤΗΣ Ε.Μ.Π.

ΑΘΗΝΑ ΝΟΕΜΒΡΙΟΣ 2025



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ ΣΥΣΤΗΜΑΤΩΝ ΠΛΗΡΟΦΟΡΙΚΗΣ

ΣΧΕΔΙΑΣΗ ΚΑΙ ΕΠΑΛΗΘΕΥΣΗ ΑΝΑΛΟΓΙΚΩΝ ΔΙΑΦΟΡΙΚΩΝ ΕΝΙΣΧΥΤΩΝ ΣΕ ΤΕΧΝΟΛΟΓΙΕΣ CMOS

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Νικόλαος Κατσιαβριάς

ΕΠΙΒΛΕΠΩΝ : ΓΕΩΡΓΙΟΣ ΠΑΝΑΓΟΠΟΥΛΟΣ

ΚΑΘΗΓΗΤΗΣ Ε.Μ.Π.

Εγκρίθηκε από την τριμελή εξεταστική επιτροπή την 14η Νοεμβρίου 2025.

.....
Γεώργιος Παναγόπουλος
Καθηγητής Ε.Μ.Π.

.....
Ιωάννης Παπανάνος
Καθηγητής Ε.Μ.Π.

.....
Ευάγγελος Χριστοφόρου
Καθηγητής Ε.Μ.Π.

Αθήνα, Νοέμβριος , 2025

.....
Νικόλαος Α. Κατσιαβριάς.

Διπλωματούχος Ηλεκτρολόγος Μηχανικός
και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Νικόλαος Κατσιαβριάς.
Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

ΠΕΡΙΛΗΨΗ

Η παρούσα διπλωματική εργασία παρουσιάζει μια ολοκληρωμένη μεθοδολογία επαλήθευσης αναλογικών CMOS κυκλωμάτων, με έμφαση στους πλήρως διαφορικούς τελεστικούς ενισχυτές και τον βρόχο Common-Mode Feedback (CMFB). Μέσω θεωρητικής ανάλυσης, ενσωμάτωσης εργαλείων CAD και αυτοματοποίησης με scripts, αναπτύχθηκε ένα πλήρες verification flow που εξασφαλίζει ακρίβεια, αναπαραγωγιμότητα και συνέπεια από το επίπεδο του σχεδίου (schematic). Τα πρώτα κεφάλαια παρουσιάζουν τη θεωρητική ανάλυση των αναλογικών CMOS κυκλωμάτων (διαφορικό ζεύγος, καθρέπτες ρεύματος, πηγές και ενεργά φορτία), καθώς και τις βασικές αρχές λειτουργίας των fully differential op-amps. Δίνεται, επίσης, έμφαση στη λειτουργία του CMFB, που ρυθμίζει τη μέση τάση εξόδου και εξασφαλίζει σταθερότητα και γραμμικότητα. Ακολουθεί η περιγραφή της ροής σχεδίασης με εργαλεία CAD (Cadence Virtuoso, Spectre/SpectreRF, ADE Assembler/Explorer) και η πλήρης αυτοματοποίηση μέσω OCEAN/SKILL scripts για εκτέλεση εξομοιώσεων, καταγραφή αποτελεσμάτων και παραγωγή αναφορών. Το Verification Plan περιλαμβάνει εξειδικευμένα testbenches για την επαλήθευση όλων των προδιαγραφών (gain, phase margin, CMRR/PSRR, noise, distortion, slew rate, output swing), καθώς και PVT και Monte Carlo αναλύσεις για την αξιολόγηση της αξιοπιστίας του σχεδίου. Η ενότητα αποτελεσμάτων παρουσιάζει την λειτουργία του κώδικα που εκτελεί τις εξομοιώσεις, τα διαγράμματα DC gain καθώς και την δυνατότητα επέκτασης και σε άλλες τοπολογίες, συγκεκριμένα εξετάζουμε έναν single-ended op-amp. Τέλος, συζητούνται οι δυνατότητες επέκτασης της ροής σε περιβάλλοντα αυτοματοποιημένης επαλήθευσης (CI) με nightly runs και Verilog-A helpers, ενισχύοντας περαιτέρω την αποδοτικότητα και τη διαφάνεια της διαδικασίας. **Συμπερασματικά**, η εργασία αποδεικνύει ότι η συνδυασμένη χρήση θεωρητικής ανάλυσης, εργαλείων Virtuoso/Spectre και αυτοματοποιημένων flows OCEAN/SKILL οδηγεί σε μια αξιόπιστη, επαναλαμβανόμενη και κλιμακούμενη μεθοδολογία επαλήθευσης αναλογικών CMOS κυκλωμάτων, μειώνοντας το χρόνο tape-out και τα ανθρώπινα σφάλματα.

Λέξεις-Κλειδιά: CMOS αναλογικά κυκλώματα, πλήρως διαφορικός ενισχυτής, Common- Mode Feedback (CMFB), Cadence Virtuoso, Spectre/SpectreRF, OCEAN/SKILL scripting, αυτοματοποιημένη επαλήθευση, phase margin, PVT corners, Monte Carlo, post-layout εξομοίωση.

Abstract

This thesis presents a comprehensive verification methodology for analog CMOS circuits, with emphasis on fully differential operational amplifiers and the Common-Mode Feedback (CMFB) loop. By combining theoretical analysis, CAD tool integration, and script-based automation, we develop a complete verification flow that ensures accuracy, reproducibility, and consistency starting from the schematic level. The opening chapters cover the theoretical foundations of analog CMOS design (differential pairs, current mirrors, current sources, and active loads) and the operating principles of fully differential op-amps. Particular attention is given to CMFB, which regulates the output common-mode voltage and guarantees stability and linearity. We then describe the design and simulation flow using CAD tools (Cadence Virtuoso, Spectre/SpectreRF, ADE Assembler/Explorer) and full automation via OCEAN/SKILL scripts for running simulations, logging results, and generating reports. The Verification Plan includes dedicated testbenches to validate all key specifications (gain, phase margin, CMRR/PSRR, noise, distortion, slew rate, output swing), as well as PVT and Monte Carlo analyses to assess design robustness. The results section presents the operation of the automation code that executes the simulations, DC-gain plots, and an example extension to other topologies—specifically, a single-ended op-amp. Finally, we discuss extending the flow toward automated verification environments (CI) with nightly runs and Verilog-A helpers, further improving process efficiency and transparency. In conclusion, the combined use of theoretical analysis, Virtuoso/Spectre tooling, and OCEAN/SKILL automated flows yields a reliable, repeatable, and scalable verification methodology for analog CMOS circuits, reducing time-to-tape-out and minimizing human error.

Keywords: CMOS analog circuits, fully differential amplifier, Common-Mode Feedback (CMFB), Cadence Virtuoso, Spectre/SpectreRF, OCEAN/SKILL automation, analog verification flow, stability and compensation, PVT analysis, Monte Carlo, post-layout simulation.

Ευχαριστίες

Θα ήθελα να εκφράσω τις θερμές μου ευχαριστίες στον επιβλέποντα καθηγητή μου, κο Παναγόπουλο Γεώργιο, για την πολύτιμη καθοδήγηση, την εμπιστοσύνη και την αμέριστη υποστήριξη που μου παρείχε καθ' όλη τη διάρκεια της εκπόνησης της παρούσας διπλωματικής εργασίας. Η επιστημονική του καθοδήγηση, η διάθεσή του για συνεργασία και οι εύστοχες παρατηρήσεις του συνέβαλαν καθοριστικά τόσο στην ολοκλήρωση της εργασίας όσο και στην προσωπική μου εξέλιξη ως μηχανικού.

Επίσης, θα ήθελα να ευχαριστήσω την οικογένειά μου και τους φίλους μου για την αδιάκοπη συμπαράσταση και ενθάρρυνση σε όλη τη διάρκεια των σπουδών μου.

Περιεχόμενα	
ΠΕΡΙΛΗΨΗ	5
Abstract	7
Ευχαριστίες	9
ΚΕΦΑΛΑΙΟ 1	20
1.1 Κίνητρο	20
1.1.1 Ανάγκη για επαλήθευση αναλογικών κυκλωμάτων	20
1.1.2 Πολυπλοκότητα προδιαγραφών σε πλήρως διαφορικό ενισχυτή με CMFB.....	21
1.1.3 Ο ρόλος του OCEAN και της SKILL στην αυτοματοποιημένη επαλήθευση	21
1.1.4 Αναπαραγωγιμότητα και συνέπεια αποτελεσμάτων	22
1.1.5 Time to Tapeout – Επιτάχυνση της διαδικασίας σχεδίασης	23
1.2 Πρόβλημα: Μη τυποποιημένες μετρήσεις, ανθρώπινο λάθος και ανάγκη για αυτοματοποιημένα flows (ADE Assembler/Explorer + OCEAN/SKILL)	24
1.2.1 Μη Τυποποιημένες Μετρήσεις.....	24
1.2.2 Ανθρώπινο Λάθος	25
1.2.3 Ανάγκη για Αυτοματοποιημένα Flows.....	25
1.3 Σκοπός / Συνεισφορά	26
1.4 Μεθοδολογία σε Υψηλό Επίπεδο: Από ADE Interactive → State Capture → OCEAN Batch → Assembler Corners → Post-Layout PEX	28
1.4.1 ADE Interactive — Διαδραστική επαλήθευση.....	29
1.4.2 Αποτύπωση της κατάστασης (State Capture).....	29
1.4.3 OCEAN Scripting — Αυτοματοποιημένες και αναπαραγωγίμες εξομοιώσεις.....	30
1.4.4 ADE Assembler — Corner, Sweep και Monte Carlo Analyses	30
1.4.5 Post-Layout PEX Simulation — Επαλήθευση μετά τη διάταξη.....	31
1.4.6 Ενοποίηση με SKILL και πλήρης αυτοματοποίηση	31
ΚΕΦΑΛΑΙΟ 2 Θεωρητικό Υπόβαθρο CMOS Αναλογικού Σχεδιασμού	33
2.1 Βασικά Δομικά Στοιχεία: Διαφορικό Ζεύγος, Καθρέπτες Ρεύματος (current mirrors), Πηγές Ρεύματος, Ενεργά Φορτία (active loads)	33
2.1.1 Διαφορικό Ζεύγος (Differential Pair)	33
2.1.2 Καθρέπτες Ρεύματος (Current Mirrors).....	34
2.1.3 Πηγές Ρεύματος (Current Sources).....	34
2.1.4 Ενεργά Φορτία (Active Loads)	35
2.2 Κέρδος και Ζώνη Συχνοτήτων: DC Gain, Πόλοι/Μηδενικά, Αντιστάθμιση, GBW, Phase Margin	36

2.2.1 DC Gain (Κέρδος Στατικής Κατάστασης).....	39
2.2.2 Πόλοι και Μηδενικά (Poles and Zeros).....	39
2.2.3 Αντιστάθμιση (Frequency Compensation).....	40
2.2.4 Unity Gain Bandwidth (UGB ή GBW).....	41
2.2.5 Phase Margin (PM) και Gain Margin (GM)	41
2.2.6 Σχέση Gain–Bandwidth–Stability	41
2.3 Σταθερότητα Ανατροφοδότησης (Feedback Stability).....	42
2.3.1 Κριτήριο Nyquist.....	43
2.3.2 Μέθοδος Middlebrook (Loop Gain Measurement).....	43
2.3.3 STB Analysis στο Cadence	44
2.3.4 Loop Breaking και Injection Techniques.....	44
2.3.5. Σύγκριση Μεθόδων	45
2.4 Θόρυβος (Noise).....	46
2.4.1 Κατηγορίες Θορύβου.....	46
2.4.2 Πηγές Θορύβου σε MOS Τρανζίστορ.....	47
2.4.3 Input-Referred και Output-Referred Noise.....	48
2.4.4 Ενοποίηση Θορύβου στο Εύρος Ζώνης (BW Integration).....	48
2.4.5 Επιπτώσεις και Αντιμετώπιση	49
2.5 Μη Γραμμικότητα και Παραμόρφωση.....	49
2.5.1 Φύση της Μη Γραμμικότητας στα MOSFETs	49
2.5.2 Τύποι Παραμόρφωσης.....	50
2.5.3 Συνολική Αρμονική Παραμόρφωση (THD).....	51
2.5.4 IP3 (Third-Order Intercept Point).....	51
2.5.5 SFDR (Spurious-Free Dynamic Range)	52
2.5.6 Παράγοντες που Επηρεάζουν τη Μη Γραμμικότητα	52
2.5.7 Τεχνικές Μείωσης Παραμόρφωσης	53
2.5.8. Συνοψίζοντας.....	53
2.6 Ταίριαστικότητα και Διασπορά (Matching & Variability)	54
2.6.1 Είδη Διασποράς	54
2.6.2 Νόμος του Pelgrom.....	55
2.6.3 Ανάλυση PVT (Process – Voltage – Temperature)	55
2.6.4 Ανάλυση Monte Carlo	56
2.6.5 Worst-Case Corners	56
2.6.6 Τεχνικές Βελτίωσης Matching	57
2.6.7. Συνοπτικός Πίνακας	57

2.7 PSRR και CMRR: Ορίσμοι, Μοντελοποίηση και Σημασία σε Mixed-Signal Κυκλώματα	58
2.7.1 Ορίσμοι.....	58
2.7.2 Μοντελοποίηση CMRR και PSRR.....	59
2.7.3 Επίδραση των CMRR και PSRR στη Λειτουργία	60
2.7.4 Συχνότητα και Απόκριση PSRR/CMRR.....	61
2.7.5 Σημασία σε Mixed-Signal Κυκλώματα	61
2.8 Έξοδος και Εμπέδηση (Z_{out} / R_{out}).....	62
2.8.1 Θεωρητική Έννοια της Εμπέδησης Εξόδου.....	62
2.8.2 Φυσική Ερμηνεία και Σημασία.....	63
2.8.3 Ανάλυση Μικρού Σήματος (Small-Signal Analysis)	63
2.8.4 Μέθοδοι Μέτρησης της Z_{out}	64
2.8.5 Εμπέδηση Εξόδου σε Fully Differential Op-Amps	65
2.8.6 Συχνότητα και Εξάρτηση της $Z_{out}(f)$	65
2.9 Ανάλυση Σχημάτων, Πινάκων και Μοντέλων: Μικρά Ισοδύναμα, Πόλοι/Μηδενικά, Noise Models, Pelgrom Plots.....	66
2.9.1 Μικρά Ισοδύναμα Κυκλώματα (Small-Signal Models).....	67
2.9.2 Πόλοι και Μηδενικά	67
2.9.3 Μοντέλα Θορύβου (Noise Models)	68
2.9.4 Matching και Pelgrom Plots.....	68
2.9.5 Πίνακες Σύνοψης και Παρουσίαση Μετρικών	69
2.9.6 Συμπεράσματα	69
ΚΕΦΑΛΑΙΟ 3 Common-Mode Feedback (CMFB): Αρχές και Τεχνικές.....	71
3. Common-Mode Feedback (CMFB): Αρχές και Τεχνικές.....	71
3.1 Ρόλος και Αναγκαιότητα του CMFB.....	71
3.1.1 Αρχή Λειτουργίας	72
3.2 Τεχνικές Ανίχνευσης Κοινού Τρόπου (Common-Mode Sensing Techniques)	73
3.2.7. Συνοπτικά	76
3.3 Μικρό Σήμα CMFB: Ισοδύναμο Κύκλωμα, Κέρδος Βρόχου και Συνθήκες Σταθερότητας	77
3.3.1 Ισοδύναμο Κύκλωμα Μικρού Σήματος.....	77
3.3.2 Ανάλυση Κέρδους Βρόχου (Loop Gain Analysis)	78
3.3.3 Μέθοδοι Ανάλυσης Σταθερότητας	78
3.3.4 Πόλοι, Μηδενικά και Ευστάθεια	79
3.3.5 Αντιστάθμιση (Compensation) του CMFB Βρόχου	80
3.3.6 Παράδειγμα Εφαρμογής — Fully Differential OTA με CMFB	81
3.3.8 Συμπέρασμα.....	81

3.4 Σχεδιαστικές Εξισώσεις και Κανόνες: Επιλογή Vcm,target, Headroom, Slew και Start-up	83
3.4.1 Επιλογή της Τάσης Κοινού Τρόπου Εξόδου (Vcm,target).....	83
3.4.2 Headroom και Περιορισμοί Πόλωσης.....	84
3.4.3 Slew Rate και Δυναμική Συμπεριφορά.....	84
3.4.4 Start-up και Αποφυγή Μετασταθών Καταστάσεων	85
3.4.6 Συνοπτικά	86
ΚΕΦΑΛΑΙΟ 4 ΥΠΟΘΕΣΗ ΕΡΓΑΣΙΑΣ	87
4.1 Σκοπός	87
4.1.1 Υπόθεση εργασίας.....	87
4.2 Περιβάλλον Προσομοιώσεων & Δοκιμαζόμενο Κύκλωμα (DUT).....	88
4.2.1 Εργαλεία, PDK και Μήτρα Γραμμής.....	88
4.2.2 DUT: Fully Differential Current-Mirror OTA με CMFB	89
4.2.3 Μετρολογικό Περιβάλλον & Testbench	91
ΚΕΦΑΛΑΙΟ 5 Ανάλυση Κώδικα Επαλήθευσης	93
5.1.1 Utilities (AFV)	94
5.1.2 Φόρτωση προδιαγραφών.....	95
5.1.3 Επιλογή simulator, schematic , μοντέλου και μεταβλητών.....	96
5.1.3.1 Επιλογή simulator.....	96
5.1.3.2 Μοντέλα διεργασίας και section	96
5.1.3.3 Ορισμός μεταβλητών	96
5.1.3.4 τιμές που σώζονται	98
5.1.3.5 Αναλύσεις που τρέχουμε αρχικά	98
5.2 Τυπική εκτέλεση	98
5.2.1 Διαμόρφωση testbench ανάλογα των διεγέρσεων που έχουμε ορίσει	99
5.2.2 Ac analysis expressions	99
5.3 Corners.....	101
5.3.1 Αρχικοποίηση & λίστα γωνιών.....	101
5.3.2 Συγκέντρωση κυματομορφών για overlay	101
5.3.3 Η καρδιά: runOneCorner(cnr).....	101
5.3.3.1 Unpack & φάκελοι.....	101
5.3.3.2 Ρύθμιση PVT + analyses.....	102
5.4 Common-Mode Range (CMR).....	102
5.4.1 Διαμόρφωση του Testbench.....	102
5.4.2 Τιμές που υπολογίζονται	103
5.5 CMFB Loop Check	104

5.5.1 Διαμόρφωση του Testbench.....	104
5.5.2 Τιμές που υπολογίζονται.....	104
5.6 Noise	105
5.6.1 Διαμόρφωση Testbench.....	105
5.7 Output impedance	105
5.8 THD.....	105
5.9 IP3 και SPDR	106
5.9.1 Setup (simulator, design, results, models).....	106
5.9.2 Μεταβλητές testbench	106
5.9.3 PSS Ανάλυση (ανάλυση μεγάλου τόνου)	107
5.9.4 PAC (σχετική σάρωση γύρω από f1)	107
5.9.5 Τιμές που υπολογίζονται	108
5.10 Έξοδοι και αναφορά.....	109
5.10.1 Από VIVa σε PDF	109
5.10.2 Merge όλων των pdf	109
5.10.3 Τελική αναφορά.....	109
5.11 Επέκταση Ροής σε Άλλες Αρχιτεκτονικές (3 επιπλέον Op-Amp)	110
5.11.1 Op-Amp B TWO-STAGE-OPAMP— Περιγραφή & Ρυθμίσεις	110
5.11.2 Op-Amp C TELESCOPIC-OPAMP— Περιγραφή & Ρυθμίσεις.....	112
5.11.3 Op-Amp D FOLDED_CASC-OPAMP— Περιγραφή & Ρυθμίσεις	113
ΚΕΦΑΛΑΙΟ 6 ΑΠΟΤΕΛΕΣΜΑΤΑ.....	114
6.1 Γενική αποτίμηση της ροής.....	114
6.2 Op-Amp A.....	115
6.3 Two stage opamp – Op amp B.....	124
6.4 Telescopic-opamp -Op amp C	135
6.4.1 Τοπολογία	135
6.4.2 Διαγράμματα.....	136
6.5 Cascode- Opamp D	146
6.5.1 Τοπολογία	146
6.5.2 Διαγράμματα	147
6.6 Τελικό συμπέρασμα για πλήρους διαφορικούς τελεστικούς ενισχυτές	158
7 Επέκταση της Ροής σε Single-Ended Op-Amp.....	159
7.1 Στόχος και κίνητρο.....	159
7.2 Τροποποιήσεις Testbench (ελάχιστο σύνολο)	159
7.3 Προσαρμογές στις εκφράσεις μετρικών.....	161

7.4 Προσαρμογές στο αρχείο προδιαγραφών (.spec).....	162
7.5 Ελάχιστες αλλαγές στο script (υψηλού επιπέδου).....	162
7.6 Αποτελέσματα — Single-Ended Op-Amp.....	163
7.7 Σύγκριση Fully-Diff vs Single-Ended.....	170
7.8 Συμπέρασμα κεφαλαίου	170
Βιβλιογραφία	171

Λίστα Πινάκων:

Πίνακας 1: Συνοπτικός Πίνακας.....	38
Πίνακας 2: Σύγκριση Μεθόδων	45
Πίνακας 3: Συνοπτικός Πίνακας.....	53
Πίνακας 4: Συνοπτικός Πίνακας.....	58
Πίνακας 5: Συνοπτικός Πίνακας.....	62
Πίνακας 6: Συνοπτικός Πίνακας.....	66
Πίνακας 7: Πλεονεκτήματα και Μειονεκτήματα ανά τεχνολογία/εφαρμογή.....	75
Πίνακας 8: Πόλοι Μηδενικά και Ευστάθεια	80
Πίνακας 9: Συνοπτικός Πίνακας.....	81
Πίνακας 10: Corners.....	88

Λίστα Κυκλωμάτων:

Σχήμα 1: Σχηματικό του fully-differential current-mirror op-amp (GF22FDX)	90
Σχήμα 2: Testbench AC/XF/TRAN/Noise/CMFB/CMR/Zout/THD	92
Σχήμα 3: Testbench PSS+PAC για IP3/SFDR	92
Σχήμα 4: Σχηματικό του fully-differential two-stage op-amp (GF22FDX)	111
Σχήμα 5: Testbench AC/XF/TRAN/Noise/CMFB/CMR/Zout/THD	111
Σχήμα 6: Σχηματικό του fully-differential telescopic op-amp (GF22FDX)	112
Σχήμα 7: Testbench AC/XF/TRAN/Noise/CMFB/CMR/Zout/THD	112
Σχήμα 8: Σχηματικό του fully-differential cascoding op-amp (GF22FDX)	113
Σχήμα 9: Testbench AC/XF/TRAN/Noise/CMFB/CMR/Zout/THD	113

ΚΕΦΑΛΑΙΟ 1

1.1 Κίνητρο.

Κίνητρο είναι η ανάγκη για την επαλήθευση αναλογικών κυκλωμάτων, η πολυπλοκότητα των προδιαγραφών, η αναπαραγωγιμότητα και ο χρόνος μέχρι το tapeout .

Η συνεχόμενη πρόοδος στην ανάπτυξη των αναλογικών και μικτών-σημάτων ολοκληρωμένων κυκλωμάτων έχει αυξήσει σημαντικά την πολυπλοκότητα των σχεδίων, κάνοντας την επαλήθευση ένα από τα πιο κρίσιμα στάδια της διαδικασίας [1], [2]. Η αυτοματοποιημένη επαλήθευση (automated verification) αποτελεί πλέον ένα βασικό εργαλείο του σχεδιαστή, καθώς εξασφαλίζει τη συμβατότητα του κυκλώματος με τις προδιαγραφές λειτουργίας και απόδοσης, ενώ παράλληλα μειώνει τον χρόνο ανάπτυξης και περιορίζει την πιθανότητα ανθρώπινου λάθους [3].

Ένα χαρακτηριστικό παράδειγμα που δείχνει τη σημασία αυτής της διαδικασίας είναι ο πλήρως διαφορικός τελεστικός ενισχυτής (Fully Differential Operational Amplifier) με βρόχο ανατροφοδότησης κοινού σήματος (Common-Mode Feedback, CMFB) [4]. Πρόκειται για ένα κρίσιμο δομικό στοιχείο πολλών αναλογικών εφαρμογών, όπως μετατροπείς A/D και D/A καθώς και φίλτρα, όπου η πολυπλοκότητα της λειτουργίας του απαιτεί ακριβή και πολύπλοκη επαλήθευση όλων των προδιαγραφών.

1.1.1 Ανάγκη για επαλήθευση αναλογικών κυκλωμάτων

Η επαλήθευση των αναλογικών κυκλωμάτων βασίζεται σε συνεχή μεγέθη, όπως ρεύματα, τάσεις, κέρδος, εύρος ζώνης, θόρυβος, PSRR, CMRR ή slew rate. Αντίθετα με τα ψηφιακά κυκλώματα, όπου η ορθότητα μπορεί να ελεγχθεί μέσω λογικών τιμών και μονάδων (0 και 1) [1], στα αναλογικά απαιτείται πλήρης ανάλυση των φυσικών μεγεθών και των σχέσεων μεταξύ τους.

Οι εξομοιώσεις που απαιτούνται για να επιβεβαιωθούν αυτές οι προδιαγραφές είναι πολλές και ιδιαίτερα απαιτητικές υπολογιστικά. Συνήθως εκτελούνται χειροκίνητα από τον μελετητή,

μέσω παραμετρικών sweep και corner analyses, διαδικασία που είναι χρονοβόρα και έχει τον κίνδυνο να γίνουν λάθη [6].

Οι αυξημένες αυτές απαιτήσεις για επαναληψιμότητα και σωστή διαχείριση μεγάλου αριθμού παραμέτρων (όπως PVT — process, voltage, temperature) κάνουν το έργο του σχεδιαστή ακόμη πιο δύσκολο και απαιτητικό. Μέσα σε αυτό το πλαίσιο, η αυτοματοποίηση μέσω scripting σε περιβάλλοντα όπως το *Cadence Virtuoso*, με εργαλεία όπως *Spectre*, *OCEAN* και *SKILL*, καταλαβαίνουμε ότι είναι αναγκαία προϋπόθεση για αξιόπιστο και αποδοτικό σχεδιασμό [7].

1.1.2 Πολυπλοκότητα προδιαγραφών σε πλήρως διαφορικό ενισχυτή με CMFB

Η επαλήθευση ενός πλήρως διαφορικού τελεστικού ενισχυτή αποτελεί πρόκληση για τον μελετητή εξαιτίας της αρχιτεκτονικής του [4]. Η ταυτόχρονη διαχείριση διαφορικών και κοινών σημάτων θέλει εξειδικευμένες μεθόδους ελέγχου και προσοχή σε πολλαπλές παραμέτρους, όπως αναλύονται παρακάτω:

- CMFB λειτουργία: εξασφαλίζει ότι το κοινό δυναμικό εξόδου παραμένει σταθερό στο επιθυμητό επίπεδο.
- Κέρδος (DC Gain): πρέπει να επαληθεύεται σε διαφορετικές συνθήκες, τόσο σε τυπικές όσο και σε ακραίες (fast/slow corners).
- Slew Rate & Settling Time: παίζουν καθοριστικό ρόλο για την ταχύτητα απόκρισης του ενισχυτή.
- CMRR & PSRR: μετρούν την ικανότητα απόρριψης κοινού σήματος και ευαισθησίας σε μεταβολές τροφοδοσίας — απαιτούν ειδικά testbenches για αξιόπιστη μέτρηση.
- Σταθερότητα (Phase Margin, Gain Margin): προσδιορίζει τη συμπεριφορά του ενισχυτή σε βρόχο ανατροφοδότησης [8].

Η επαλήθευση όλων αυτών των χαρακτηριστικών απαιτεί ανάλυση σε βάθος, σε συνδυασμό με PVT και mismatch αναλύσεις και καθιστά έτσι τη χειροκίνητη διαδικασία επίπονη, χρονοβόρα και ευάλωτη σε σφάλματα [5].

1.1.3 Ο ρόλος του OCEAN και της SKILL στην αυτοματοποιημένη επαλήθευση

Το Cadence Virtuoso αποτελεί το βασικό περιβάλλον σχεδίασης και εξομοίωσης για αναλογικά και μικτά κυκλώματα, με τον Spectre να λειτουργεί ως εξομοιωτής. Η

αυτοματοποίηση της διαδικασίας επαλήθευσης επιτυγχάνεται μέσω του OCEAN (Open Command Environment for Analysis) [9], ενός script-based εργαλείου που επιτρέπει την εκτέλεση εξομοιώσεων, την ανάλυση αποτελεσμάτων και τη δημιουργία αναφορών.

Επιπλέον η γλώσσα SKILL, που βασίζεται στη Lisp, επιτρέπει περαιτέρω παραμετροποίηση και ανάπτυξη εξειδικευμένων εργαλείων. Με τα OCEAN scripts μπορούν να καθοριστούν:

- Batch runs για διαφορετικές γωνίες λειτουργίας (corners).
- Αυτοματοποιημένος έλεγχος προδιαγραφών και εξαγωγή μετρήσεων.
- Αναφορές αποτελεσμάτων σε μορφή CSV ή Excel.
- Αυτόματος εντοπισμός σφαλμάτων, μέσω σύγκρισης των τιμών με προκαθορισμένα όρια (thresholds) [9], [10].

Η χρήση αυτών των εργαλείων μετατρέπει την επαλήθευση από μια χειροκίνητη, δύσκολη διαδικασία, σε ένα τυποποιημένο και αναπαραγώγιμο flow.

1.1.4 Αναπαραγωγιμότητα και συνέπεια αποτελεσμάτων

Η αναπαραγωγιμότητα αποτελεί θεμέλιο της αναλογικής σχεδίασης. Σε αντίθεση με τα ψηφιακά συστήματα, όπου η λογική ορθότητα μπορεί να επιβεβαιωθεί με σταθερούς ελέγχους, στα αναλογικά κυκλώματα οι προδιαγραφές επαληθεύονται μέσω επαναλαμβανόμενων πειραμάτων σε μεγάλο εύρος συνθηκών.

Η έλλειψη τυποποιημένων και αυτοματοποιημένων διαδικασιών συχνά οδηγεί σε δυσκολίες στην τεκμηρίωση και ασυνεπείς μετρήσεις, δυσκολεύοντας την τεκμηρίωση και την κατανόηση των αποτελεσμάτων. Με τη χρήση OCEAN/SKILL, όλες οι συνθήκες εξομοίωσης καταγράφονται σε scripts που μπορούν να επαναληφθούν ανά πάσα στιγμή, παράγοντας τα ίδια αποτελέσματα (υπό τις ίδιες εκδόσεις PDK) [7].

Έτσι διασφαλίζεται όχι μόνο η αξιοπιστία των αποτελεσμάτων, αλλά αποτελεί και τον βασικό παράγοντα βελτίωσης της συνέπειας των αποτελεσμάτων καθώς συμβάλλει στη μείωση του κινδύνου να γίνουν λάθη και ενισχύει την συνεργασία μεταξύ των μελών της ομάδας σχεδίασης. Η αυτοματοποίηση δεν προσφέρει απλώς ευκολία, αλλά εισάγει έναν πιο επιστημονικά θεμελιωμένο τρόπο εργασίας.

1.1.5 Time to Tapeout – Επιτάχυνση της διαδικασίας σχεδίασης

Σε συνθήκες αυξημένου ανταγωνισμού, ο χρόνος που απαιτείται για να φτάσει ένα σχέδιο στο στάδιο του tapeout, δηλαδή λίγο πριν από την κατασκευή είναι καθοριστικός [3]. Η αυτοματοποίηση της διαδικασίας επαλήθευσης συμβάλλει καθοριστικά στη μείωση του χρόνου αυτού.

Με τη χρήση OCEAN scripts και τη δυνατότητα παράλληλης εκτέλεσης εξομοιώσεων σε servers, μπορούν να γίνουν εκατοντάδες αναλύσεις ταυτόχρονα, μειώνοντας δραστικά τον συνολικό χρόνο ολοκλήρωσης. Επιπλέον, τα scripts μπορούν να εντοπίζουν αυτόματα τις αποκλίσεις ή τα σφάλματα, μειώνοντας την ανάγκη για χειροκίνητο debugging και αυξάνοντας την παραγωγικότητα [9].

Επομένως η αυτοματοποιημένη επαλήθευση αναλογικών κυκλωμάτων αποτελεί πλέον ένα απαραίτητο εργαλείο για τη σύγχρονη μικροηλεκτρονική σχεδίαση [2]. Καθώς η πολυπλοκότητα των κυκλωμάτων αυξάνεται και οι απαιτήσεις για ακρίβεια γίνονται απαραίτητες, η ανάγκη για αξιόπιστες, αναπαραγώγιμες και αποδοτικές διαδικασίες γίνεται επιτακτική.

Η περίπτωση του πλήρως διαφορικού τελεστικού ενισχυτή με CMFB αποδεικνύει στην πράξη τη σημασία αυτής της προσέγγισης, αφού πρόκειται για κύκλωμα υψηλής ακρίβειας και ευαισθησίας, που απαιτεί αυστηρή επαλήθευση σε πολλαπλές συνθήκες λειτουργίας.

Η αξιοποίηση εργαλείων όπως OCEAN και SKILL στο Cadence Virtuoso/Spectre προσφέρει ουσιαστικά πλεονεκτήματα:

- Αντικειμενική και πλήρως αυτοματοποιημένη διαδικασία ελέγχου προδιαγραφών.
- Μείωση του ανθρώπινου λάθους και αύξηση της αξιοπιστίας.
- Δραστική επιτάχυνση του χρόνου μέχρι το tapeout.
- Καλύτερη τεκμηρίωση, διαφάνεια και επαναληψιμότητα [8], [10].

Συνολικά, η αυτοματοποίηση αναδεικνύεται σε αναπόσπαστο μέρος της σύγχρονης αναλογικής σχεδίασης, συνδυάζοντας τεχνική ακρίβεια, μεθοδολογική συνέπεια και πρακτική αποτελεσματικότητα.

1.2 Πρόβλημα: Μη τυποποιημένες μετρήσεις, ανθρώπινο λάθος και ανάγκη για αυτοματοποιημένα flows (ADE Assembler/Explorer + OCEAN/SKILL)

Κατά τη διαδικασία της σχεδίασης και της επαλήθευσης των αναλογικών κυκλωμάτων, όπως ο πλήρως διαφορικός τελεστικός ενισχυτής με βρόχο Common-Mode Feedback (CMFB), προκύπτουν σημαντικές προκλήσεις που σχετίζονται με την αξιοπιστία, τη συνέπεια και την αποδοτικότητα της διαδικασίας [1], [2]. Το πρόβλημα είναι πολυδιάστατο και πηγάζει κυρίως από τρεις παράγοντες: τη μη τυποποίηση των μετρήσεων, τα ανθρώπινα λάθη, και την απουσία ολοκληρωμένων αυτοματοποιημένων ροών εργασίας (flows) [3], [7]. Οι παράγοντες αυτοί οδηγούν συχνά σε καθυστερήσεις, ανακρίβειες και μειωμένη εμπιστοσύνη στα αποτελέσματα. Παρακάτω αναλύονται πιο διεξοδικά.

1.2.1 Μη Τυποποιημένες Μετρήσεις

Η επαλήθευση αναλογικών κυκλωμάτων απαιτεί την αξιολόγηση πολλών παραμέτρων, όπως η ενίσχυση (gain), το εύρος ζώνης (bandwidth), ο χρόνος καθυστέρησης (settling time), ο θόρυβος (noise voltage), η σταθερότητα (phase margin), καθώς και οι καταστολές κοινού και τροφοδοσίας (CMRR και PSRR) [4], [5]. Οι μετρήσεις αυτές πρέπει να πραγματοποιούνται κάτω από διαφορετικές συνθήκες, όπως οι μεταβολές της θερμοκρασίας, οι τάσεις τροφοδοσίας και process corners (slow/fast).

Ωστόσο, η απουσία τυποποιημένης διαδικασίας μέτρησης δημιουργεί σοβαρά προβλήματα. Συνήθως, οι εξομοιώσεις και οι μετρήσεις εκτελούνται χειροκίνητα από τον μελετητή, γεγονός που οδηγεί σε λάθη και πιθανές παραλείψεις.

- Αναξιοπιστία και ασυμφωνία: Επειδή κάθε μελετητής ακολουθεί διαφορετικό τρόπο εκτέλεσης ή καταγραφής των μετρήσεων, τα αποτελέσματα μπορεί να διαφέρουν ή να μην είναι αναπαραγώγιμα. Η παράλειψη κρίσιμων συνθηκών ή η λανθασμένη τεκμηρίωση μπορεί να οδηγήσει σε σφάλματα στον σχεδιασμό και να δυσκολέψει τη σύγκριση μεταξύ διαφορετικών εξομοιώσεων.
- Ελλιπής τεκμηρίωση: Συχνά οι μετρήσεις είναι αποθηκευμένες αποσπασματικά, χωρίς να έχουν ενιαία μορφή ή σαφή αναφορά στο setup που χρησιμοποιήθηκε. Αυτό καθιστά δύσκολη την αναπαραγωγή των αποτελεσμάτων ή την κατανόηση της συμπεριφοράς του κυκλώματος [6],[7].

Χωρίς ένα ενοποιημένο και αυτοματοποιημένο σύστημα μέτρησης, η διαδικασία επαλήθευσης γίνεται πιο αργή και αναξιόπιστη.

1.2.2 Ανθρώπινο Λάθος

Τα ανθρώπινα λάθη αποτελούν μια από τις κύριες πηγές αστοχιών στην επαλήθευση των αναλογικών κυκλωμάτων. Ακόμη και σε διαδικασίες ρουτίνας, η πολυπλοκότητα των εξομοιώσεων και των δεδομένων μπορεί εύκολα να οδηγήσει σε σφάλματα ή παραλείψεις [2],[5].

- Σφάλματα παραμετροποίησης: Η επιλογή λανθασμένων παραμέτρων κατά την εκτέλεση μιας εξομοίωσης (όπως θερμοκρασία, process corner ή τάση τροφοδοσίας) μπορεί να αλλοιώσει τα αποτελέσματα και να μας οδηγήσει σε εσφαλμένα συμπεράσματα σχετικά με την απόδοση του κυκλώματος.
- Λάθη στην ανάλυση αποτελεσμάτων: Η ερμηνεία των εξομοιωμένων κυματομορφών και η εξαγωγή των μετρήσεων (gain, PM, noise, κ.λπ.) απαιτεί προσοχή και εμπειρία. Καθώς η διαδικασία είναι χρονοβόρα και συχνά επαναλαμβανόμενη, είναι εύκολο να παραλειφθούν κρίσιμες λεπτομέρειες ή να μην εντοπιστούν μικρές αποκλίσεις που ενδέχεται να επηρεάσουν τη σταθερότητα ή την απόδοση [8].
- Επαναλαμβανόμενα σφάλματα: Λάθη που προκύπτουν κατά μία εκτέλεση μπορούν να αναπαραχθούν σε όλες τις υπόλοιπες, ειδικά όταν η ίδια διαδικασία εφαρμόζεται σε διαφορετικά corners ή μεταβλητές. Έτσι, ένα μικρό λάθος μπορεί να οδηγήσει σε συστηματική απόκλιση στο τελικό αποτέλεσμα και να προκαλέσει αποτυχία του σχεδίου [9].

1.2.3 Ανάγκη για Αυτοματοποιημένα Flows

Η ολοένα αυξανόμενη πολυπλοκότητα των αναλογικών κυκλωμάτων και οι αυστηρές απαιτήσεις για απόδοση και αξιοπιστία καθιστούν την αυτοματοποίηση βασική προϋπόθεση επιτυχίας. Τα σύγχρονα εργαλεία του περιβάλλοντος Cadence Virtuoso, όπως το ADE Assembler/Explorer και οι μηχανισμοί scripting μέσω OCEAN και SKILL, παρέχουν λύσεις για τη δημιουργία πλήρως αυτοματοποιημένων ροών επαλήθευσης [10].

- ADE Assembler / Explorer:
Το *Analog Design Environment (ADE)* του Cadence επιτρέπει στον μελετητή να

καθορίζει παραμέτρους, εξομοιώσεις και στόχους μέσω ενός γραφικού περιβάλλοντος [11]. Το *Assembler* υποστηρίζει αυτοματοποιημένες corner analyses, Monte Carlo, sweeps και υπολογισμό μετρικών απόδοσης. Το *Explorer*, από την άλλη, επιτρέπει τη γρήγορη εκτέλεση πολλαπλών test cases και τη σύγκριση των αποτελεσμάτων σε ενιαία μορφή, ενισχύοντας τη συνοχή και την ταχύτητα του verification flow.

- **OCEAN** / **SKILL:**
Το *OCEAN (Open Command Environment for Analysis)* και η γλώσσα *SKILL* δίνουν τη δυνατότητα δημιουργίας script-based flows για πλήρη αυτοματοποίηση. Ο σχεδιαστής μπορεί να καθορίσει τις εξομοιώσεις, τα testbenches, τα sweep ranges και τις μετρήσεις, ώστε οι εξομοιώσεις να εκτελούνται **batch** και να αποθηκεύονται αυτόματα τα αποτελέσματα [12], [13]. Με αυτό τον τρόπο μειώνονται τα ανθρώπινα λάθη και εξασφαλίζεται η αναπαραγωγικότητα και η συνέπεια των μετρήσεων.

Η αυτοματοποίηση επιτρέπει επίσης τη διεξαγωγή corner analyses και Monte Carlo προσομοιώσεων, διασφαλίζοντας ότι το κύκλωμα θα λειτουργεί σωστά υπό μεταβολές θερμοκρασίας, διαδικασίας ή τάσης, κάτι που είναι πρακτικά αδύνατο να γίνει με το χέρι [14],[15].

Επομένως η επαλήθευση των αναλογικών κυκλωμάτων απαιτεί μετρήσεις υψηλής ακρίβειας, τυποποιημένες διαδικασίες και ελαχιστοποίηση του ανθρώπινου παράγοντα. Η απουσία αυτοματισμού, η ανομοιομορφία στις μετρήσεις και τα πιθανά λάθη του μελετητή μπορούν εύκολα να οδηγήσουν σε αστοχίες και χάσιμο πολύτιμου χρόνου.

Η εισαγωγή αυτοματοποιημένων flows, όπως αυτά που προσφέρουν τα ADE Assembler/Explorer και OCEAN/SKILL, καθιστά τη διαδικασία πιο αξιόπιστη, αναπαραγωγική και αποδοτική. Έτσι, ο μελετητής μπορεί να επικεντρωθεί στη βελτιστοποίηση της αρχιτεκτονικής και όχι στη χειροκίνητη εκτέλεση επαναλαμβανόμενων διαδικασιών, μειώνοντας τον συνολικό χρόνο ανάπτυξης και αυξάνοντας τη σταθερότητα και την αξιοπιστία του τελικού του σχεδίου.

1.3 Σκοπός / Συνεισφορά

Η παρούσα εργασία εστιάζει στην αυτοματοποιημένη επαλήθευση των CMOS αναλογικών κυκλωμάτων στο περιβάλλον Cadence Virtuoso/Spectre, με αξιοποίηση των εργαλείων OCEAN και SKILL. Κεντρικός άξονας είναι η ανάπτυξη μιας τυποποιημένης, επαναλήψιμης και επεκτάσιμης ροής (flow) που αυξάνει την ακρίβεια των μετρήσεων, μειώνει τον χρόνο επαλήθευσης και βελτιώνει τη διαχείριση της διαδικασίας σε σύνθετα κυκλώματα, όπως οι fully differential τελεστικοί ενισχυτές με CMFB [3],[7].

Ο πρωταρχικός σκοπός είναι η θεμελίωση και η εφαρμογή ενός αυτοματοποιημένου πλαισίου επαλήθευσης που να :

1. Βελτιώνει την ακρίβεια και την αξιοπιστία των μετρήσεων
Μέσω τυποποιημένων scripts και ενοποιημένων μετρικών (spec checks), ελαχιστοποιούμε τις αποκλίσεις και τα σφάλματα του χρήστη, εξασφαλίζοντας συνεπή, αναπαραζήσιμα αποτελέσματα [6],[9].
2. Εγγυάται επαναληψιμότητα (reproducibility)
Με OCEAN/SKILL οι εξομοιώσεις εκτελούνται υπό ταυτόσημες ρυθμίσεις (states, corners, outputs), ανεξάρτητα από τον χειριστή ή τον χρόνο εκτέλεσης [10],[15].
3. Συντομεύει τον κύκλο ανάπτυξης έως το tapeout
Η αυτοματοποίηση μειώνει δραστικά τον χρόνο της προετοιμασίας και της εκτέλεσης, επιτρέποντας μαζικά, παράλληλα runs (corners, sweeps, Monte Carlo) και γρηγορότερη λήψη τεκμηριωμένων αποφάσεων [7], [15].
4. Εντοπίζει έγκαιρα ζητήματα σχεδίασης
Ενσωματωμένη λογική pass/fail και αυτόματοι έλεγχοι ανοχών καθιστούν δυνατή την πρόωπη ανίχνευση αποκλίσεων (stability, noise, PSRR/CMRR, slew/settling), προλαμβάνοντας δαπανηρές επαναλήψεις [11], [16].

Η συνεισφορά αποτυπώνεται σε πέντε διακριτά επίπεδα:

1. Ροές αυτοματοποίησης & εργαλειοθήκη μετρήσεων
Ανάπτυξη βιβλιοθήκης SKILL/OCEAN με λειτουργίες μέτρησης (π.χ. DC gain, GBW, PM/GM, CMRR/PSRR, θόρυβος, Zout, slew/settling) και runner για headless/batch εκτέλεση, με σταθερό interface εισόδου/εξόδου [12],[17].
2. Τεκμηρίωση και ιχνηλασιμότητα (traceability)
Αυτόματη εξαγωγή των αποτελεσμάτων σε δομημένες μορφές (CSV/Excel/JSON) με

μεταδεδομένα (PDK version, state, corner, seed), ώστε να διευκολύνεται η σύγκριση και η αναπαραγωγή [7],[11].

3. Κάλυψη παραμετρικού χώρου (PVT & Monte Carlo)
Συστηματική εκτέλεση PVT corners και Monte Carlo για mismatch/process, με ενσωματωμένους yield metrics (π.χ. pass rate, σχήματα κατανομής, worst-case tracking), ώστε να αξιολογείται η στατιστική ικανότητα του σχεδίου [18].
4. Επαναχρησιμοποίηση & παραμετροποίηση
Σχεδιασμός των scripts ως αρθρωτών (modular) και παραμετρικών ώστε να επαναχρησιμοποιούνται σε διαφορετικά σχέδια/testbenches, μειώνοντας το engineering overhead και αυξάνοντας τη συνέπεια εντός ομάδας εργασίας[9],[13].
5. Συνεργασία της ομάδας και βέλτιστη χρήση των πόρων
Κοινή βάση scripts/μετρικών, συνεπείς ορισμοί specs και δυνατότητα παράλληλης εκτέλεσης σε farm/servers οδηγούν στον καλύτερο συντονισμό και στην αποτελεσματικότερη αξιοποίηση των υπολογιστικών πόρων[16],[19],[20].

Συμπεράσματα σκοπού και συνεισφοράς

Η εργασία παραδίδει ένα πλήρες, τεκμηριωμένο πλαίσιο αυτοματοποιημένης επαλήθευσης για CMOS αναλογικά κυκλώματα, με έμφαση σε fully differential op-amps με CMFB. Το προτεινόμενο flow:

- Τυποποιεί τις μετρήσεις και τα κριτήρια επιτυχίας,
- Ελαχιστοποιεί τα ανθρώπινα λάθη και αυξάνει την εμπιστοσύνη στα δεδομένα,
- Επιταχύνει ουσιαστικά τη διαδικασία μέχρι το tapeout,
- Βελτιώνει την τεκμηρίωση, την επαναληψιμότητα και τη συνεργασία,
- Επιτρέπει στους μηχανικούς να εστιάσουν στη βελτιστοποίηση της αρχιτεκτονικής και την καινοτομία, έχοντας ένα αξιόπιστο υπόβαθρο αυτοματοποιημένης επαλήθευσης.

Με τον τρόπο αυτό, το έργο ανεβάζει τον πήχη της αναλογικής επαλήθευσης από μια κατά βάση «χειροτεχνική» διαδικασία σε μια πειθαρχημένη, μεθοδική και επεκτάσιμη ροή που ανταποκρίνεται στις σύγχρονες απαιτήσεις της πολυπλοκότητας και της ποιότητας [7],[10],[16].

1.4 Μεθοδολογία σε Υψηλό Επίπεδο: Από ADE Interactive → State Capture → OCEAN Batch → Assembler Corners → Post-Layout PEX

Η διαδικασία της επαλήθευσης ενός αναλογικού CMOS κυκλώματος στο περιβάλλον Cadence Virtuoso/Spectre ακολουθεί μια διαδοχική μεθοδολογία, η οποία ξεκινά από το διαδραστικό στάδιο της αρχικής διερεύνησης και καταλήγει στην πλήρη αυτοματοποίηση. Στόχος είναι να εξασφαλιστεί η αναπαραγωγιμότητα, η συνέπεια και η κάλυψη όλων των παραμετρικών συνθηκών PVT (Process, Voltage, Temperature) [7],[10],[11].

Η προσέγγιση αυτή βασίζεται σε έξι βασικά στάδια που, αν ακολουθηθούν σωστά, οδηγούν σε μια αξιόπιστη και πλήρως αυτοματοποιημένη διαδικασία επαλήθευσης και περιγράφονται παρακάτω.

1.4.1 ADE Interactive — Διαδραστική επαλήθευση

Στο πρώτο στάδιο, ο μελετητής χρησιμοποιεί το Analog Design Environment (ADE L ή XL) για να ρυθμίσει και να εκτελέσει βασικές εξομοιώσεις. Σε αυτό το στάδιο:

- Επιλέγονται τα είδη ανάλυσης (DC, AC, Transient, Noise, stb κ.ά.),
- Ορίζονται οι μεταβλητές και τα σημεία λειτουργίας (bias points),
- Και εκτελούνται αρχικές εξομοιώσεις για να κατανοηθεί η συμπεριφορά του κυκλώματος [1], [4].

Το στάδιο αυτό είναι περισσότερο πειραματικό και λειτουργεί ως βάση για fine tuning και debugging. Αν και μη αυτοματοποιημένο, είναι απαραίτητο για να επιβεβαιωθεί ότι το κύκλωμα ανταποκρίνεται σωστά πριν περάσει στη φάση της τυποποίησης.

1.4.2 Αποτύπωση της κατάστασης (State Capture)

Αφού επιτευχθεί μία ικανοποιητική λειτουργία του κυκλώματος, οι ρυθμίσεις που χρησιμοποιήθηκαν στο ADE αποθηκεύονται σε ένα state (π.χ. *state1*) [7],[21]. Αυτό περιλαμβάνει:

- τις επιλεγμένες αναλύσεις,
- τις τιμές των παραμέτρων και των corners,
- τις εξισώσεις των outputs,
- καθώς και τις ρυθμίσεις του εξομοιωτή (Spectre).

Η αποθήκευση της κατάστασης επιτρέπει στον χρήστη να επαναλάβει ακριβώς τις ίδιες εξομοιώσεις, ακόμα και μετά από εβδομάδες ή σε ένα διαφορετικό υπολογιστικό περιβάλλον. Με αυτό τον τρόπο διασφαλίζεται η συνέπεια και η αναπαραγωγικότητα των αποτελεσμάτων [9].

1.4.3 OCEAN Scripting — Αυτοματοποιημένες και αναπαραγωγίμες εξομοιώσεις

Αφού οριστεί το state, το επόμενο βήμα είναι η εξαγωγή του σε OCEAN script. Το OCEAN είναι ένα περιβάλλον βασισμένο στη γλώσσα SKILL, που επιτρέπει τη γραφή εντολών και την εκτέλεση εξομοιώσεων εκτός του γραφικού περιβάλλοντος [10],[12], [13].

Τα OCEAN scripts προσφέρουν σημαντικά πλεονεκτήματα:

- Αναπαραγωγικότητα: κάθε εκτέλεση με το ίδιο script δίνει τα ίδια αποτελέσματα.
- Αυτοματισμός: οι εξομοιώσεις μπορούν να εκτελούνται σε batch mode χωρίς την παρέμβαση του χρήστη.
- Ευελιξία: επιτρέπεται η εύκολη μεταβολή παραμέτρων όπως bias, θερμοκρασία ή process corner.
- Ανάλυση αποτελεσμάτων: τα scripts μπορούν να εξάγουν αυτόματα μετρήσεις όπως gain, GBW, phase margin, CMRR ή PSRR [13],[17].

Η χρήση OCEAN επιτρέπει την πλήρη αυτοματοποίηση του verification flow, μειώνοντας τον χρόνο και τα πιθανά λάθη που προκύπτουν από χειροκίνητες διαδικασίες.

1.4.4 ADE Assembler — Corner, Sweep και Monte Carlo Analyses

Αφού διαμορφωθούν τα scripts, η επαλήθευση προχωρά στο ADE Assembler, το πιο σύγχρονο περιβάλλον εξομοίωσης της Cadence. Ο Assembler επιτρέπει στον μελετητή να οργανώνει πολλαπλές εξομοιώσεις με αυτοματοποιημένο τρόπο [11],[18], [22].

Μέσα από το ADE Assembler είναι δυνατή:

- Η εκτέλεση PVT corners (Process, Voltage, Temperature),
- Οι παραμετρικές εξομοιώσεις (sweeps) για μεταβολή των τάσεων, των ρευμάτων ή των χωρητικότητων,
- Οι Monte Carlo αναλύσεις για mismatch και yield,

-
- Και η επεξεργασία των αποτελεσμάτων με ενσωματωμένες συναρτήσεις ή custom scripts [18],[23].

Ο Assembler υποστηρίζει επίσης παράλληλη εκτέλεση (parallel job distribution) σε πολλούς υπολογιστικούς πυρήνες ή servers, μειώνοντας σημαντικά τον συνολικό χρόνο επαλήθευσης, στοιχείο κρίσιμο για τα πολύπλοκα κυκλώματα, όπως οι fully differential amplifiers με CMFB [20], [22].

1.4.5 Post-Layout PEX Simulation — Επαλήθευση μετά τη διάταξη

Αφού ολοκληρωθεί το στάδιο της σχεδίασης σε επίπεδο schematic, πραγματοποιείται η εξαγωγή παρασιτικών (PEX), ώστε να συμπεριληφθούν οι επιπτώσεις του φυσικού layout [24].

Η εξαγωγή γίνεται μέσω εργαλείων όπως Spectre PEX ή Quantus/QRC, τα οποία δημιουργούν RC netlists με τις πραγματικές παρασιτικές αντιστάσεις και χωρητικότητες των διασυνδέσεων.

Οι post-layout εξομοιώσεις αποκαλύπτουν φαινόμενα που δεν είναι ορατά στο schematic, όπως:

- μείωση του εύρους ζώνης (GBW) λόγω παρασιτικών χωρητικοτήτων,
- μεταβολές στη σταθερότητα (phase margin),
- coupling μεταξύ μεταλλικών στρωμάτων,
- και επιδείνωση σε PSRR ή CMRR [25],[26].

Η σύγκριση pre-layout και post-layout εξασφαλίζει ότι η φυσική υλοποίηση του κυκλώματος δεν αλλοιώνει τη συμπεριφορά του, διασφαλίζοντας ότι το τελικό chip θα αποδώσει όπως έχει σχεδιαστεί.

1.4.6 Ενοποίηση με SKILL και πλήρης αυτοματοποίηση

Στο τελευταίο στάδιο, η γλώσσα SKILL χρησιμοποιείται για τη δημιουργία meta-scripts που συνδέουν όλα τα προηγούμενα βήματα σε ένα ενιαίο flow: ADE → OCEAN → Assembler → PEX [10],[12],[27].

Μέσω αυτής της ενοποίησης, το σύστημα μπορεί να:

1. Εκτελεί αυτόματα όλες τις εξομοιώσεις (corners, sweeps, Monte Carlo),

-
2. Εξάγει τα αποτελέσματα και να τα συγκρίνει με προκαθορισμένα thresholds,
 3. Δημιουργεί αναφορές (CSV, PDF) με σαφή σήμανση των αποτελεσμάτων (pass/fail),
 4. Και να ενημερώνει τον σχεδιαστή με στατιστικά ή ειδοποιήσεις.

Αυτή η ροή αποτελεί το θεμέλιο για ένα Design Verification Flow επαγγελματικού επιπέδου, προσφέροντας ακρίβεια, ταχύτητα και συνέπεια [19], [20].

Επομένως η μεθοδολογία αυτή μετατρέπει τη διαδικασία επαλήθευσης από μια χειροκίνητη, αποσπασματική διαδικασία σε μια ολοκληρωμένη, αυτοματοποιημένη και αξιόπιστη ροή.

Η χρήση των ADE, OCEAN και SKILL επιτρέπει:

- Αναπαραγωγή και επαναλαμβανόμενα αποτελέσματα,
- Αντικειμενική αξιολόγηση των προδιαγραφών,
- Και επεκτασιμότητα σε μεγαλύτερα έργα ή πιο σύνθετες αρχιτεκτονικές.

Τελικά, η εφαρμογή αυτής της μεθοδολογίας συμβάλλει καθοριστικά στη μείωση του χρόνου έως το tapeout, στη βελτίωση της ποιότητας των σχεδίων και στη διασφάλιση της σταθερότητας και απόδοσης των αναλογικών blocks υπό κάθε πιθανό σενάριο λειτουργίας [7], [10],[22].

ΚΕΦΑΛΑΙΟ 2 Θεωρητικό Υπόβαθρο CMOS Αναλογικού Σχεδιασμού

2.1 Βασικά Δομικά Στοιχεία: Διαφορικό Ζεύγος, Καθρέπτες Ρεύματος (current mirrors), Πηγές Ρεύματος, Ενεργά Φορτία (active loads).

Ο αναλογικός σχεδιασμός σε τεχνολογία CMOS βασίζεται σε έναν περιορισμένο αλλά ισχυρό πυρήνα θεμελιωδών δομικών κυκλωμάτων (building blocks). Αυτά τα κυκλώματα, αποτελούν τη βάση για τη δημιουργία πιο σύνθετων μονάδων, όπως οι τελεστικοί ενισχυτές, τα αναλογικά φίλτρα, οι μετατροπείς A/D και D/A, καθώς και πολλά άλλα υποσυστήματα μικτών σημάτων [1],[3],[28].

Παρακάτω παρουσιάζονται τα σημαντικότερα από αυτά: το διαφορικό ζεύγος, οι καθρέπτες ρεύματος, οι πηγές ρεύματος και τα ενεργά φορτία [4].

2.1.1 Διαφορικό Ζεύγος (Differential Pair)

Το διαφορικό ζεύγος αποτελεί το πιο θεμελιώδες κύκλωμα ενίσχυσης στα αναλογικά ολοκληρωμένα κυκλώματα. Συνήθως κατασκευάζεται με δύο τρανζίστορ τύπου NMOS (ή PMOS) που μοιράζονται κοινή πηγή (source), μέσω της οποίας ρέει ένα σταθερό ρεύμα πόλωσης από μια πηγή ρεύματος [2].

Βασική λειτουργία:
Το κύκλωμα δέχεται δύο εισόδους τάσης (V_{in1} , V_{in2}) και παράγει διαφορικό ρεύμα εξόδου, ανάλογα με τη διαφορά τους:

$$V_{id} = V_{in1} - V_{in2}$$

Αυτό το διαφορικό ρεύμα μετατρέπεται στη συνέχεια σε διαφορική τάση μέσω του φορτίου (συνήθως ενεργού). Το διαφορικό ζεύγος παρέχει ενίσχυση διαφοράς, απόρριψη κοινού σήματος (CMRR) και συμβατότητα με CMFB κυκλώματα [1].

Κρίσιμες παράμετροι:

- Η διαγωγιμότητα (g_m) καθορίζει το κέρδος του σταδίου.
- Η ταιριαστικότητα (matching) των δύο τρανζίστορ είναι απαραίτητη για συμμετρική λειτουργία και χαμηλό offset.
- Χρησιμοποιείται σχεδόν πάντα ως input stage σε τελεστικούς ενισχυτές και αναλογικά buffers [10].

2.1.2 Καθρέπτες Ρεύματος (Current Mirrors)

Ο καθρέπτης ρεύματος είναι ένα κύκλωμα που αντιγράφει ένα ρεύμα αναφοράς από έναν κλάδο σε έναν άλλο. Αποτελεί τη βάση για πηγές ρεύματος, ενεργά φορτία και κυκλώματα biasing [2], [5].

Τυπική

Δομή:

Περιλαμβάνει δύο τρανζίστορ (συνήθως PMOS ή NMOS) με κοινή πύλη (gate) και ίδιο λόγο διαστάσεων (W/L). Το ένα τρανζίστορ είναι συνδεδεμένο σε διάταξη diode-connected για να δημιουργήσει αναφορά, ενώ το άλλο αντιγράφει το ίδιο ρεύμα.

Εξίσωση λειτουργίας:

$$I_{out} = I_{in} \cdot \frac{(W/L)_{out}}{(W/L)_{in}}$$

Εφαρμογές:

- Δημιουργία σταθερών ρευμάτων πόλωσης.
- Αναπαραγωγή και κλιμάκωση ρευμάτων σε πολλαπλούς κόμβους.
- Χρήση ως ενεργά φορτία σε διαφορικά στάδια [30].

Σημαντικά πλεονεκτήματα:

Απλότητα, καλή ακρίβεια και δυνατότητα ελέγχου μέσω αναλογίας W/L [31].

2.1.3 Πηγές Ρεύματος (Current Sources)

Οι πηγές ρεύματος είναι κυκλώματα που παράγουν σταθερό ρεύμα ανεξάρτητα από την τάση εξόδου, εντός ενός συγκεκριμένου εύρους λειτουργίας. Αποτελούν βασικό στοιχείο πόλωσης (biasing) και συχνά χρησιμοποιούνται για να τροφοδοτούν διαφορικά στάδια [28].

Υλοποίηση:

- Η πιο απλή μορφή είναι μέσω ενός diode-connected MOS σε συνδυασμό με current mirror.
- Για υψηλότερη ακρίβεια και μεγαλύτερη αντίσταση εξόδου, χρησιμοποιούνται cascode πηγές ρεύματος [15].

2.1.4 Ενεργά Φορτία (Active Loads)

Σε αναλογικά κυκλώματα, αντί να χρησιμοποιούνται παθητικές αντιστάσεις (που καταλαμβάνουν μεγάλο χώρο και έχουν περιορισμένη τιμή), χρησιμοποιούνται τρανζίστορ σε κορεσμό ως ενεργά φορτία. Τα ενεργά φορτία προσφέρουν υψηλή αντίσταση εξόδου και επιτρέπουν μεγάλο κέρδος με μικρή κατανάλωση επιφάνειας.

Υλοποίηση:

- Diode-connected MOS, που λειτουργεί ως απλό ενεργό φορτίο.
- Current mirror load, το οποίο χρησιμοποιείται ευρέως σε διαφορικά ζεύγη για συμμετρική έξοδο και αυξημένο gain.

Πλεονεκτήματα:

- Πολύ υψηλή αντίσταση $\rightarrow$ μεγαλύτερο κέρδος

$$A_v = g_m \cdot r_{out}$$

Μικρότερη κατανάλωση χώρου σε σχέση με παθητικές αντιστάσεις.

- Εύκολη ενσωμάτωση σε ολοκληρωμένα κυκλώματα [25].

Συνδυασμός σε Αναλογικά Κυκλώματα

Τα παραπάνω δομικά στοιχεία συνδυάζονται μεταξύ τους για να δημιουργήσουν πιο σύνθετα κυκλώματα.

Για παράδειγμα:

- Οι τελεστικοί ενισχυτές (op-amps) αποτελούνται από διαφορικό ζεύγος ως είσοδο, ενεργό φορτίο για ενίσχυση, current mirrors για biasing και CMFB για έλεγχο κοινού σήματος.
- Οι πηγές αναφοράς τάσης (voltage references) και τα στάδια ενίσχυσης χρησιμοποιούν τα ίδια θεμελιώδη στοιχεία σε διαφορετικούς συνδυασμούς [2], [4]

ΣΥΝΟΠΤΙΚΟΣ ΠΙΝΑΚΑΣ

Δομικό Στοιχείο	Ρόλος	Συνήθης Υλοποίηση
Διαφορικό Ζεύγος	Είσοδος, διαφορική ενίσχυση	2 NMOS + current source
Current Mirror	Αντιγραφή ρεύματος	2 PMOS ή 2 NMOS
Πηγή Ρεύματος	Σταθερή ροή ρεύματος	Current mirror + cascode
Active Load	Υψηλή αντίσταση φορτίου	Diode MOS ή mirror

Πίνακας 1: Συνοπτικός Πίνακας

Η κατανόηση αυτών των τεσσάρων βασικών δομικών στοιχείων αποτελεί τη βάση για κάθε μορφή αναλογικού σχεδιασμού CMOS. Κάθε πολύπλοκο κύκλωμα, από έναν απλό ενισχυτή μέχρι έναν πλήρη αναλογικό front-end, είναι ουσιαστικά μια σύνθεση αυτών των θεμελιωδών μονάδων. Η σωστή επιλογή, διαστασιολόγηση και συνδυασμός τους καθορίζει τελικά την απόδοση, την κατανάλωση και τη σταθερότητα του ολοκληρωμένου κυκλώματος.

2.2 Κέρδος και Ζώνη Συχνοτήτων: DC Gain, Πόλοι/Μηδενικά, Αντισταθμηση, GBW, Phase Margin

Η ανάλυση του κέρδους και της συχνότητας απόκρισης είναι θεμελιώδες βήμα στη μελέτη και επαλήθευση των αναλογικών κυκλωμάτων, καθώς από αυτά εξαρτώνται η σταθερότητα, η ταχύτητα απόκρισης και η ποιότητα του σήματος που επεξεργάζεται ο ενισχυτής.

Οι έννοιες του DC gain, των πόλων και μηδενικών, του unity gain bandwidth (UGB ή GBW) και του phase margin (PM) είναι κρίσιμες για την πλήρη κατανόηση της συμπεριφοράς ενός τελεστικού ενισχυτή [1].

2.2.1 DC Gain (Κέρδος Στατικής Κατάστασης)

Το DC gain (A_0) ενός ενισχυτή είναι το κέρδος του σε πολύ χαμηλές συχνότητες (συνήθως θεωρείται η τιμή για $\omega \rightarrow 0$) [28].

Για ένα απλό στάδιο ενίσχυσης με transconductance g_m και αντίσταση εξόδου r_{out} :

$$A_0 = g_m \cdot r_{out}$$

Στα περισσότερα CMOS στάδια, η τιμή του A_0 κυμαίνεται από 40 dB έως 80 dB ανάλογα με την σχεδιαστική δομή και τα χαρακτηριστικά της τεχνολογίας. Για να επιτευχθεί υψηλότερο κέρδος, χρησιμοποιούνται πολλαπλά στάδια ενίσχυσης (π.χ. two-stage op-amp) ή τεχνικές αύξησης της αντίστασης όπως cascode ή gain boosting [29],[1].

Παράγοντες που επηρεάζουν το DC gain:

- Η διαγωγιμότητα (g_m) του MOSFET, που εξαρτάται από το biasing και τις διαστάσεις του τρανζίστορ.
- Η αντίσταση εξόδου (r_o), που σχετίζεται με το Early voltage και τη διαμόρφωση καναλιού.
- Οι παρασιτικές χωρητικότητες, οι οποίες περιορίζουν το ωφέλιμο εύρος συχνοτήτων [30].

2.2.2 Πόλοι και Μηδενικά (Poles and Zeros)

Η συχνότητα απόκριση ενός ενισχυτή καθορίζεται από τη θέση των πόλων και μηδενικών στο πεδίο της συχνότητας. Ένας πόλος αντιπροσωπεύει ένα σημείο όπου το κέρδος αρχίζει να μειώνεται, ενώ ένα μηδενικό μπορεί να προκαλέσει ενίσχυση ή εξασθένηση σε συγκεκριμένες συχνότητες [4], [17].

Τυπική μορφή συνάρτησης μεταφοράς:

$$A(s) = \frac{A_0 \cdot (1 + s/z_1)}{(1 + s/p_1)(1 + s/p_2)\dots}$$

Όπου p_i είναι οι πόλοι και z_i τα μηδενικά.

Πρακτικά:

- Ο πρώτος πόλος (p_1) συνήθως καθορίζεται από την κυρίαρχη χωρητικότητα (C_L ή C_C) και την αντίσταση εξόδου.
- Οι επόμενοι πόλοι ($p_2, p_3, \dots$) προέρχονται από εσωτερικά nodes (π.χ. drains ενδιάμεσων τρανζίστορ).
- Τα μηδενικά μπορεί να προκύψουν από coupling capacitors ή compensation networks (π.χ. Miller).

Η σωστή τοποθέτηση των πόλων και μηδενικών είναι απαραίτητη για την σταθερότητα και για επαρκές εύρος ζώνης [1].

2.2.3 Αντιστάθμιση (Frequency Compensation)

Η αντιστάθμιση (compensation) είναι η τεχνική που χρησιμοποιείται για να διασφαλιστεί η σταθερότητα ενός ενισχυτή πολλαπλών σταδίων. Χωρίς αντιστάθμιση, οι επιπλέον πόλοι μπορεί να προκαλέσουν αρνητική φάση και αστάθεια [5].

Τύποι αντιστάθμισης:

1. Miller Compensation: Η πιο διαδεδομένη τεχνική. Χρησιμοποιεί έναν πυκνωτή C_C μεταξύ εξόδου και εισόδου του δεύτερου σταδίου, δημιουργώντας έναν κυρίαρχο πόλο (dominant pole) και ένα μηδενικό Miller [33]. Ο μηδενικός αυτός πόλος μπορεί να μετακινηθεί με nulling resistor (R_z) για βελτίωση της φάσης.

$$f_p \approx \frac{1}{2\pi R_{out} C_C}$$

-
2. Lead Compensation: Εισάγει θετική φάση μέσω παράλληλου RC δικτύου, βελτιώνοντας το phase margin.
 3. Nested Miller ή Ahuja Compensation: Εφαρμόζεται σε op-amps πολλών σταδίων (3+), προσφέροντας σταθερότητα χωρίς σημαντική απώλεια κέρδους [34].

2.2.4 Unity Gain Bandwidth (UGB ή GBW)

Το unity gain bandwidth (GBW) είναι η συχνότητα όπου το κέρδος του ενισχυτή μειώνεται σε 0 dB (ή 1x). Για έναν ενισχυτή ενός σταδίου:

$$GBW = A_0 \cdot f_p$$

όπου f_p είναι η συχνότητα του κυρίαρχου πόλου. Το GBW καθορίζει την ταχύτητα και το εύρος ζώνης του ενισχυτή. Μεγαλύτερο GBW σημαίνει ταχύτερη απόκριση, αλλά συχνά μικρότερο phase margin, επομένως χρειάζεται προσεκτικός σχεδιασμός [28],[30].

2.2.5 Phase Margin (PM) και Gain Margin (GM)

Ο Phase Margin (PM) και ο Gain Margin (GM) είναι οι πιο σημαντικοί δείκτες σταθερότητας σε συστήματα με ανατροφοδότηση [17].

- Phase Margin (PM): Είναι η διαφορά φάσης από τις 180° όταν το κέρδος είναι 0 dB. Συνήθως επιθυμητές τιμές είναι 45°–70°. Μικρό PM → ταλαντώσεις, υπερύψωση (overshoot). Μεγάλο PM → σταθερό αλλά πιο αργό σύστημα.
- Gain Margin (GM): Είναι η διαφορά σε dB μέχρι το κέρδος να γίνει 1 (0 dB) όταν η φάση φτάνει -180°. Συνήθως ζητείται GM > 6 dB [1],[5].

Η ανάλυση σταθερότητας γίνεται είτε μέσω της AC ανάλυσης ανοικτού βρόχου (loop gain) είτε μέσω της STB analysis στο Cadence, όπου υπολογίζονται αυτόματα τα PM και GM.

2.2.6 Σχέση Gain–Bandwidth–Stability

Τα μεγέθη DC gain (A_0), GBW και PM είναι στενά αλληλένδετα: η αύξηση του GBW συνήθως μειώνει το PM, ενώ η αύξηση του A_0 απαιτεί περισσότερα στάδια και, κατά συνέπεια, περισσότερους πόλους που μπορεί να προκαλέσουν αστάθεια.

Γι' αυτό, η σχεδίαση ενός ενισχυτή είναι πράξη ισορροπίας μεταξύ:

- Κέρδους (gain) → για ακρίβεια και απόρριψη θορύβου,
- Ταχύτητας (GBW) → για γρήγορη απόκριση,
- Σταθερότητας (PM/GM) → για αποφυγή ταλαντώσεων.

Η σωστή αντιστάθμιση (συνήθως Miller με nulling resistor) επιτρέπει τη βέλτιστη συμβίωση αυτών των παραμέτρων [1],[33], [35].

2.2.7. Συνοπτικός πίνακας

Παράμετρος	Περιγραφή	Στόχος Σχεδίασης
DC Gain (A_0)	Κέρδος στη χαμηλή συχνότητα	Υψηλό (60–100 dB)
Dominant Pole	Κυρίαρχος πόλος, καθορίζει σταθερότητα	Χαμηλή συχνότητα
GBW / UGF	Εύρος ζώνης μονάδας κέρδους	Επαρκές για την εφαρμογή
Phase Margin (PM)	Περιθώριο φάσης	$> 60^\circ$
Gain Margin (GM)	Περιθώριο κέρδους	> 10 dB

Πίνακας 2: Συνοπτικός Πίνακας

Επομένως η κατανόηση και ο σωστός έλεγχος του DC gain, των πόλων και των μηδενικών, καθώς και των μεγεθών GBW και PM, είναι κρίσιμη για κάθε στάδιο αναλογικού σχεδιασμού. Η επίτευξη υψηλού κέρδους με ευρεία ζώνη και σταθερή συμπεριφορά αποτελεί έναν από τους πιο απαιτητικούς στόχους στον σχεδιασμό CMOS op-amps, ειδικά όταν επιδιώκεται βέλτιστη απόδοση, ταχύτητα και αξιοπιστία.

2.3 Σταθερότητα Ανατροφοδότησης (Feedback Stability)

Η σταθερότητα αποτελεί ένα από τα πιο σημαντικά ζητήματα στον σχεδιασμό αναλογικών ενισχυτών και ιδιαίτερα σε κυκλώματα με αρνητική ανατροφοδότηση. Στόχος της ανατροφοδότησης είναι να βελτιώσει τη γραμμικότητα, την ακρίβεια και τη σταθερότητα λειτουργίας ενός συστήματος. Ωστόσο, αν ο βρόχος ανατροφοδότησης δεν σχεδιαστεί σωστά, μπορεί να οδηγήσει σε ταλαντώσεις ή αστάθεια. Η ανάλυση σταθερότητας επιτρέπει στον μελετητή να κατανοήσει πώς συμπεριφέρεται το κύκλωμα όταν ο βρόχος ανατροφοδότησης είναι ενεργός, και να εξασφαλίσει επαρκές Phase Margin (PM) και Gain Margin (GM) [1],[4].

2.3.1 Κριτήριο Nyquist

Η θεμελιώδης θεωρία της σταθερότητας βασίζεται στο κριτήριο του Nyquist, το οποίο εξετάζει την απόκριση ενός συστήματος ανοικτού βρόχου στο πεδίο της συχνότητας. Η βασική ιδέα είναι ότι ένα σύστημα είναι σταθερό αν ο ανοικτός βρόχος δεν προκαλεί αλλαγές φάσης και ενίσχυσης που οδηγούν σε θετική ανατροφοδότηση [5].

Η συνάρτηση μεταφοράς ανοικτού βρόχου ορίζεται ως:

$$T(s) = A(s) \cdot \beta(s)$$

όπου:

- $A(s)$: η ενίσχυση του ενισχυτή,
- $\beta(s)$: η συνάρτηση ανατροφοδότησης.

Το κριτήριο του Nyquist αναφέρει ότι: ένα σύστημα είναι σταθερό εάν η καμπύλη Nyquist του $T(j\omega)$ δεν περιβάλλει το σημείο $(-1, 0)$ στο μιγαδικό επίπεδο [36].

Στην πράξη, αντί να παρατηρούμε την καμπύλη Nyquist, χρησιμοποιείται συχνότερα η Bode plot ανάλυση, από την οποία προκύπτουν οι δείκτες Phase Margin (PM) και Gain Margin (GM) [4],[17].

2.3.2 Μέθοδος Middlebrook (Loop Gain Measurement)

Η μέθοδος του Middlebrook [37], είναι μια πρακτική τεχνική για τη μέτρηση του loop gain σε συστήματα ανατροφοδότησης, ιδιαίτερα σε κυκλώματα που δεν έχουν εύκολα προσβάσιμο σημείο για άνοιγμα του βρόχου. Η τεχνική αυτή χρησιμοποιείται εκτενώς στις εξομοιώσεις μέσω AC ή STB ανάλυσης στο Cadence [37],[38].

Αρχή της Μεθόδου:

1. Ο βρόχος «σπάει» σε ένα σημείο όπου το σήμα ανατροφοδότησης περνάει χωρίς σημαντική διαταραχή στο DC bias (συνήθως μέσω μεγάλου πυκνωτή).
2. Στο σημείο αυτό, εισάγεται μια μικρή AC διεγερση (injection).
3. Μετρώνται οι δύο τάσεις:
 - V_1 : πριν τη διεγερση

-
- ο V_2 : μετά τη διέγερση
4. Ο loop gain προκύπτει από τη σχέση:

$$T(s) = -\frac{V_2}{V_1}$$

Από τη συνάρτηση αυτή υπολογίζονται τα Phase Margin και Gain Margin, που αποτελούν άμεσους δείκτες σταθερότητας [4],[1].

2.3.3 STB Analysis στο Cadence

Η STB (Stability Analysis) είναι ένα εξειδικευμένο εργαλείο στο περιβάλλον Spectre/ADE του Cadence, το οποίο υλοποιεί αυτόματα τη μέθοδο Middlebrook. Ο χρήστης επιλέγει το σημείο όπου θα «ανοιχθεί» ο βρόχος και ο simulator εισάγει εσωτερικά μια ιδανική πηγή διέγερσης (iprobe ή stbprobe) [19], [39].

Η ανάλυση παρέχει απευθείας:

- Loop gain ($T(s)$),
- Phase Margin (PM),
- Gain Margin (GM),
- Και το unity gain frequency (f_{180}), όπου η φάση αγγίζει -180° .

Η STB ανάλυση είναι εξαιρετικά χρήσιμη για κυκλώματα με Common-Mode Feedback (CMFB), fully differential op-amps, και άλλα συστήματα πολλαπλών βρόχων, καθώς επιτρέπει τον ξεχωριστό έλεγχο κάθε βρόχου [40].

2.3.4 Loop Breaking και Injection Techniques

Για να μετρηθεί ο loop gain με ακρίβεια, ο βρόχος πρέπει να ανοίξει (loop breaking) χωρίς να διαταραχθεί η DC λειτουργία. Αυτό μπορεί να επιτευχθεί με διάφορες τεχνικές:

Τεχνικές Loop Breaking:

1. AC source insertion: Εισάγεται μικρή AC πηγή (voltage ή current source) σε σειρά ή παράλληλα στο βρόχο.

2. Feedback path breaking μέσω μεγάλου πυκνωτή: Απομονώνει το DC ενώ επιτρέπει τη διέλευση του AC σήματος.
3. iprobe στοιχείο (Cadence Spectre): Ειδικό στοιχείο που ανοίγει τον βρόχο χωρίς να επηρεάζει τη DC ανάλυση, ιδανικό για STB [33].

Τεχνικές Injection:

- Single injection: Εφαρμόζεται μια πηγή και μετράται η απόκριση ενός σημείου.
- Dual injection: Χρησιμοποιούνται δύο πηγές (input/output) για ακριβέστερη μέτρηση σε συστήματα με υψηλό κέρδος ή πολλαπλούς βρόχους.

Στην πράξη, η τοποθέτηση του σημείου injection είναι κρίσιμη. Αν επιλεγεί λανθασμένα, μπορεί να μετρηθεί λάθος βρόχος (π.χ. common-mode αντί differential) [5],[4].

2.3.5. Σύγκριση Μεθόδων

Μέθοδος	Περιγραφή	Πλεονεκτήματα	Περιορισμοί
Nyquist	Θεμελιώδες θεωρητικό κριτήριο	Θεωρητικά ακριβές	Δύσκολο στην εφαρμογή σε κυκλώματα
Middlebrook	Loop breaking με injection	Ευέλικτο, μετρήσιμο	Απαιτεί προσεκτική επιλογή σημείου
STB (Spectre)	Αυτοματοποιημένο loop gain	Γρήγορο, αναπαραγωγίμο	Μόνο σε Spectre περιβάλλον

Πίνακας 2: Σύγκριση Μεθόδων

Επομένως η ανάλυση της σταθερότητας αποτελεί ένα βασικό πυλώνα της διαδικασίας επαλήθευσης.

Η σωστή εφαρμογή τεχνικών όπως η Middlebrook method, η STB analysis και η loop injection εξασφαλίζει ότι ο ενισχυτής θα λειτουργεί σταθερά κάτω από οποιεσδήποτε συνθήκες λειτουργίας και PVT μεταβολές. Ειδικά στους fully differential ενισχυτές με CMFB, ο έλεγχος κάθε βρόχου ξεχωριστά είναι απαραίτητος για την αποφυγή ταλαντώσεων και τη διατήρηση σταθερής εξόδου κοινού τρόπου.

2.4 Θόρυβος (Noise)

Ο θόρυβος είναι μια από τις πιο θεμελιώδεις πηγές αλλοίωσης των σημάτων σε αναλογικά κυκλώματα. Επηρεάζει άμεσα την ακρίβεια, το σήμα προς θόρυβο (SNR) και την ευαισθησία ενός συστήματος, ιδιαίτερα σε εφαρμογές χαμηλής ισχύος ή υψηλής ανάλυσης, όπως οι μετατροπείς ADC, οι αισθητήρες και οι ενισχυτές μέτρησης [2].

Στα κυκλώματα CMOS, ο θόρυβος προέρχεται από διάφορους φυσικούς μηχανισμούς και εμφανίζεται σε όλο το φάσμα συχνοτήτων. Η κατανόηση και ο περιορισμός του αποτελούν κρίσιμο τμήμα του αναλογικού σχεδιασμού.

2.4.1 Κατηγορίες Θορύβου

Οι βασικές μορφές θορύβου που εμφανίζονται στα αναλογικά κυκλώματα είναι:

(α) Θερμικός Θόρυβος (Thermal Noise)

Ο θερμικός θόρυβος είναι αποτέλεσμα της τυχαίας κίνησης των φορέων (ηλεκτρονίων/οπών) μέσα σε έναν αγωγό ή ημιαγωγό λόγω της θερμικής ενέργειας [1].

Για έναν αντιστάτη R , η φασματική πυκνότητα ισχύος του θορύβου δίνεται από:

$$i_n^2 = 4kTR [V^2/Hz]$$

όπου:

- k : σταθερά Boltzmann,
- T : απόλυτη θερμοκρασία (Kelvin),
- R : τιμή της αντίστασης.

Στα MOSFETs, ο θερμικός θόρυβος προέρχεται από το κανάλι αγωγιμότητας [2]. Για ένα MOS σε περιοχή κορεσμού:

$$i_n^2 = 4kT\gamma g_m$$

όπου γείναι ένας συντελεστής που εξαρτάται από τη λειτουργία του τρανζίστορ (τυπικά 2/3 για long-channel συσκευές).

(β) Θόρυβος Χαμηλών Συχνοτήτων – 1/f (Flicker Noise)

Ο θόρυβος τύπου $1/f$ είναι πιο έντονος σε χαμηλές συχνότητες και οφείλεται σε τυχαίες παγιδεύσεις και αποδεσμεύσεις φορέων στη διεπαφή οξειδίου-καναλιού [42]. Η φασματική πυκνότητα του $1/f$ θορύβου στο MOS δίνεται από:

$$v_{n,1/f}^2 = \frac{K_f}{C_{ox}^2 W L f}$$

όπου:

- K_f : σταθερά εξαρτώμενη από τη διαδικασία,
- C_{ox} : χωρητικότητα οξειδίου ανά μονάδα επιφάνειας,
- W, L : διαστάσεις καναλιού,
- f : συχνότητα.

Ο θόρυβος $1/f$ είναι ιδιαίτερα σημαντικός σε κυκλώματα χαμηλής συχνότητας ή όπου το DC offset είναι κρίσιμο (π.χ. instrumentation amplifiers) [2].

(γ) Πυροηλεκτρικός και Λευκός Θόρυβος (Shot & White Noise)

Σε διόδους και περιοχές ροής ρεύματος από φραγμούς (π.χ. gate leakage ή bias transistors), εμφανίζεται shot noise, που οφείλεται στην τυχαία μετακίνηση φορέων μέσω ενεργειακών φραγμών [42]. Η φασματική πυκνότητα είναι:

$$i_{n,shot}^2 = 2qI_D$$

όπου q είναι το φορτίο του ηλεκτρονίου και I_D το ρεύμα πόλωσης.

Αυτός ο θόρυβος είναι “λευκός”, δηλαδή ίδιος σε όλες τις συχνότητες μέχρι ένα όριο που ορίζεται από τα χαρακτηριστικά του κυκλώματος.

2.4.2 Πηγές Θορύβου σε MOS Τρανζίστορ

Στα MOSFETs, οι κυριότερες πηγές θορύβου είναι:

- Ο θερμικός θόρυβος του καναλιού,
- Ο $1/f$ θόρυβος από τις διεπαφές οξειδίου,
- Ο θόρυβος από biasing τρανζίστορ (π.χ. mirrors),
- Και σε υψηλές συχνότητες, ο θόρυβος της πύλης (gate noise) [33].

Η συνολική φασματική πυκνότητα θορύβου ενός MOS μπορεί να προσεγγιστεί ως:

$$S_{v_n}(f) = 4kT\gamma g_m + \frac{K_f}{C_{ox}^2 WLf}$$

Η μείωση του θορύβου επιτυγχάνεται με:

- αύξηση των διαστάσεων W και L ,
- χαμηλότερη θερμοκρασία λειτουργίας,
- επιλογή τεχνολογιών με χαμηλό K_f ,
- και χρήση τεχνικών ανατροφοδότησης που μειώνουν το input referred noise [43].

2.4.3 Input-Referred και Output-Referred Noise

Για να αξιολογηθεί η επίδραση του θορύβου σε έναν ενισχυτή, χρησιμοποιείται η έννοια του input-referred noise ($v_{n,in}$) και output-referred noise ($v_{n,out}$).

- Input-Referred Noise: Είναι το ισοδύναμο επίπεδο θορύβου που θα έπρεπε να προστεθεί στην είσοδο, ώστε να προκαλέσει το ίδιο αποτέλεσμα στην έξοδο με τον πραγματικό θόρυβο του κυκλώματος.

$$v_{n,in} = \frac{v_{n,out}}{A_v}$$

Output-Referred Noise: Αντιπροσωπεύει το πραγματικό επίπεδο θορύβου που εμφανίζεται στην έξοδο του ενισχυτή.

Η ανάλυση input-referred θορύβου είναι ιδιαίτερα χρήσιμη σε συστήματα όπου ενδιαφέρει η ευαισθησία εισόδου (π.χ. front-end stages, sense amplifiers) [39],[40].

2.4.4 Ενοποίηση Θορύβου στο Εύρος Ζώνης (BW Integration)

Η συνολική ισχύς θορύβου σε ένα κύκλωμα δεν εξαρτάται μόνο από το φασματικό του προφίλ, αλλά και από το εύρος ζώνης (bandwidth) στο οποίο λειτουργεί. Ο συνολικός RMS θόρυβος προκύπτει με ολοκλήρωση της φασματικής πυκνότητας [4], [43]:

$$v_{n,total}^2 = \int_{f_L}^{f_H} S_{v_n}(f) df$$

Αν το φάσμα είναι λευκό (δηλαδή σταθερό με τη συχνότητα), η ολοκλήρωση δίνει:

$$v_{n,RMS} = \sqrt{4kTR \cdot BW}$$

2.4.5 Επιπτώσεις και Αντιμετώπιση

Ο θόρυβος περιορίζει τη δυναμική περιοχή (Dynamic Range) και την ανάλυση ενός κυκλώματος [5].

Η μείωσή του μπορεί να επιτευχθεί με τεχνικές όπως:

- Διαφορική τοπολογία (rejection κοινού θορύβου),
- Μεγαλύτερα τρανζίστορ στις κρίσιμες βαθμίδες,
- Auto-zeroing ή chopper stabilization σε πολύ χαμηλές συχνότητες,
- Και κατάλληλο filtering για περιορισμό του εύρους θορύβου.

Επομένως η ανάλυση του θορύβου είναι απαραίτητη για κάθε σχεδίαση αναλογικού κυκλώματος, ιδιαίτερα σε εφαρμογές υψηλής ευαισθησίας. Ο έλεγχος τόσο του θερμικού όσο και του $1/f$ θορύβου καθορίζει την τελική ποιότητα και ακρίβεια του κυκλώματος. Μέσω της προσεκτικής επιλογής τρανζίστορ, της ανάλυσης input-referred noise και της ενσωμάτωσης τεχνικών μείωσης θορύβου, επιτυγχάνεται η βέλτιστη απόδοση με ελάχιστες αλλοιώσεις του σήματος.

2.5 Μη Γραμμικότητα και Παραμόρφωση

Η μη γραμμικότητα (nonlinearity) αποτελεί μία από τις πιο σημαντικές πηγές αλλοίωσης της ποιότητας σήματος στα αναλογικά κυκλώματα [41]. Σε αντίθεση με τον θόρυβο, που προσθέτει τυχαία σήματα, η μη γραμμικότητα προκαλεί παραμόρφωση (distortion) των ίδιων των σημάτων, οδηγώντας σε ανεπιθύμητες αρμονικές ή γινόμενα συχνοτήτων [47]. Η κατανόηση και ο έλεγχος των φαινομένων αυτών είναι καθοριστικοί για την απόδοση κυκλωμάτων όπως οι ενισχυτές, οι mixers και οι ADCs.

2.5.1 Φύση της Μη Γραμμικότητας στα MOSFETs

Η βασική αιτία της μη γραμμικότητας στα MOS κυκλώματα προέρχεται από τη μη ιδανική, μη γραμμική σχέση μεταξύ ρεύματος και τάσης, δηλαδή του $I-V$ χαρακτηριστικού [1].

Το ρεύμα αποστράγγισης ενός MOS σε περιοχή κορεσμού δίνεται (σε απλοποιημένη μορφή) από :

$$I_D = \frac{1}{2} k' \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS})$$

Όπως φαίνεται, η σχέση δεν είναι απόλυτα τετραγωνική και περιλαμβάνει όρους όπως το channel-length modulation (λ), που εισάγουν περαιτέρω μη γραμμικότητα.

Αν αναπτύξουμε το ρεύμα σε σειρά Taylor γύρω από το σημείο λειτουργίας, έχουμε:

$$i_d = g_m v_{gs} + \frac{1}{2} g_m' v_{gs}^2 + \frac{1}{6} g_m'' v_{gs}^3 + \dots$$

όπου:

- g_m : η γραμμική διαγωγιμότητα,
- g_m' , g_m'' : παράγωγοι που εκφράζουν τη μη γραμμική συνεισφορά.

Οι όροι 2ης και 3ης τάξης είναι υπεύθυνοι για τη δημιουργία αρμονικής παραμόρφωσης [1],[41].

2.5.2 Τύποι Παραμόρφωσης

(α) Παραμόρφωση 2ης Τάξης (IM2, 2nd Harmonic Distortion)

Η παραμόρφωση 2ης τάξης προκύπτει από τους όρους του v_{gs}^2 . Προκαλεί τη δημιουργία αρμονικών στη διπλάσια συχνότητα (2f_i), αλλά και διαμόρφωση (intermodulation) όταν υπάρχουν πολλαπλά σήματα εισόδου[47].

Για δύο σήματα εισόδου f_1 και f_2 , η δεύτερη τάξη δημιουργεί νέες συχνότητες:

$$f_{IM2} = f_1 + f_2 \text{ και } |f_1 - f_2|$$

Αυτές οι συνιστώσες μπορούν να πέσουν μέσα στο φάσμα του ενδιαφέροντος σήματος, προκαλώντας παραμορφώσεις ή παρεμβολές [44].

(β) Παραμόρφωση 3ης Τάξης (IM3, 3rd Harmonic Distortion)

Η παραμόρφωση 3ης τάξης είναι συνήθως πιο κρίσιμη, καθώς οι γινόμενες συχνότητες βρίσκονται πολύ κοντά στο φάσμα του αρχικού σήματος και δεν μπορούν εύκολα να φιλτραριστούν [43].

Για είσοδο με δύο συχνότητες f_1 και f_2 , οι συνιστώσες τρίτης τάξης είναι:

$$2f_1 - f_2, 2f_2 - f_1$$

Οι συγκεκριμένες ονομάζονται IM3 προϊόντα (Intermodulation products 3rd order) και καθορίζουν σε μεγάλο βαθμό τη γραμμικότητα ενός κυκλώματος RF ή αναλογικού front-end [45].

2.5.3 Συνολική Αρμονική Παραμόρφωση (THD)

Η Total Harmonic Distortion (THD) είναι ένα μέτρο της συνολικής μη γραμμικότητας, που εκφράζει πόσο ισχυρές είναι οι αρμονικές σε σχέση με το θεμελιώδες σήμα. Ορίζεται ως:

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + \dots}}{V_1}$$

όπου V_1 είναι το πλάτος της θεμελιώδους συχνότητας, και $V_2, V_3, \dots$ τα πλάτη των αρμονικών.

Στην πράξη, η THD υπολογίζεται μέσω transient εξομοιώσεων FFT στο Cadence ή μέσω μετρήσεων σε συχνότητα, και εκφράζεται συνήθως σε dB ή ποσοστό (%) [48].

Χαμηλό THD ($< 0.1\%$) υποδηλώνει εξαιρετικά γραμμική λειτουργία, ενώ τιμές $> 1\%$ συνήθως θεωρούνται μη αποδεκτές για high-performance αναλογικά συστήματα.

2.5.4 IP3 (Third-Order Intercept Point)

Ο δείκτης IP3 (Third-Order Intercept Point) είναι ένα πρακτικό μέτρο γραμμικότητας, ιδιαίτερα χρήσιμο σε RF και mixed-signal κυκλώματα.

Ορίζεται ως η υποθετική στάθμη εισόδου στην οποία το πλάτος της 3ης αρμονικής (IM3) θα ίσωνε το πλάτος του θεμελιώδους τόνου, αν και στην πράξη κάτι τέτοιο δεν συμβαίνει (προκύπτει από την προέκταση γραμμών σε λογαριθμική κλίμακα).

Υπάρχουν δύο εκδοχές:

- IIP3 (Input IP3) – αναφέρεται στο επίπεδο εισόδου.
- OIP3 (Output IP3) – αναφέρεται στην έξοδο.

Η σχέση μεταξύ τους είναι:

$$OIP3 = IIP3 + Gain$$

Ο IP3 μετριέται σε dBm και συνδέεται άμεσα με τη **δυναμική περιοχή (SFDR)** του συστήματος [45].

2.5.5 SFDR (Spurious-Free Dynamic Range)

Το SFDR (Spurious-Free Dynamic Range) εκφράζει τη διαφορά μεταξύ του μέγιστου επιπέδου σήματος χωρίς παραμόρφωση και του υψηλότερου ανεπιθύμητου γινομένου παραμόρφωσης (IM3, THD, spur κ.λπ.). Αποτελεί ουσιαστικά το όριο καθαρής λειτουργίας του κυκλώματος πριν εμφανιστούν μη γραμμικά φαινόμενα.

Υπολογίζεται ως:

$$SFDR = P_{signal} - P_{spur} [dBc]$$

όπου P_{spur} είναι το πλάτος της μεγαλύτερης ανεπιθύμητης αρμονικής.

Σε κυκλώματα όπως οι ADCs και οι RF ενισχυτές, το SFDR αποτελεί δείκτη της καθαρότητας του σήματος και ορίζει τη μέγιστη δυναμική περιοχή όπου το κύκλωμα παραμένει γραμμικό [45].

2.5.6 Παράγοντες που Επηρεάζουν τη Μη Γραμμικότητα

1. Μικρή υπεροδήγηση ($V_{ov} = V_{GS} - V_{TH}$): Όσο μικρότερη είναι η υπεροδήγηση, τόσο μεγαλύτερη είναι η μη γραμμικότητα. Συνήθως, επιλέγεται $V_{ov} > 200$ mV για καλή γραμμικότητα.
2. Channel-Length Modulation: Αυξάνει την εξάρτηση του ρεύματος από την τάση εξόδου, μειώνοντας τη σταθερότητα του κέρδους.
3. Mismatch / Ασυμμετρία: Διαφορικές βαθμίδες με mismatch στα W/L ή στα ρεύματα προκαλούν αύξηση IM2.
4. Παρασιτικά στοιχεία (Capacitive loading, C_{gs} , C_{gd}): Εισάγουν μη γραμμικότητα στις υψηλές συχνότητες, κυρίως λόγω της εξάρτησης $C(V)$ [45],[46].

2.5.7 Τεχνικές Μείωσης Παραμόρφωσης

Για τη βελτίωση της γραμμικότητας και τη μείωση της παραμόρφωσης, χρησιμοποιούνται διάφορες τεχνικές:

- Differential topologies: Απορρίπτουν συμμετρικές μη γραμμικότητες (IM2).
- Source degeneration (αντίσταση στη source): Αυξάνει τη γραμμικότητα μειώνοντας το g_m .
- Gain calibration / feedback: Σταθεροποιεί το κέρδος.
- Predistortion techniques: Αντισταθμίζουν εκ των προτέρων τη μη γραμμική συμπεριφορά.
- Larger devices: Μειώνουν τις καμπύλες μεταβολής g_m , άρα έχουμε μικρότερη μη γραμμικότητα [45], [49].

2.5.8. Συνοψίζοντας

Παράμετρος	Περιγραφή	Σημασία
g_m Non-Linearity	Μη γραμμική σχέση Id-Vgs	Βασική πηγή παραμόρφωσης
Gain Compression	Μείωση κέρδους σε μεγάλα σήματα	Ορίζει όριο γραμμικής λειτουργίας
IM2 / IM3	Προϊόντα ενδοδιαμόρφωσης	Δείκτης μη γραμμικότητας πολυτονικών σημάτων
THD	Άθροισμα αρμονικών	Ποιότητα γραμμικότητας
IP3 (IIP3/OIP3)	Θεωρητικό σημείο τέμνουσας	Κρίσιμο μέτρο γραμμικότητας RF/analog
SFDR	Διαφορά θεμελιώδους – spur	Δυναμική καθαρότητα σήματος

Πίνακας 3: Συνοπτικός Πίνακας

Επομένως, η μη γραμμικότητα καθορίζει ουσιαστικά το άνω όριο πιστότητας των αναλογικών κυκλωμάτων. Η σωστή ανάλυση των IM2, IM3, THD και IP3 επιτρέπει την εκτίμηση της συμπεριφοράς του κυκλώματος υπό πραγματικά σήματα, ενώ η χρήση διαφοροποιημένων αρχιτεκτονικών και τεχνικών αντιστάθμισης συμβάλλει στη μείωση της παραμόρφωσης και στη βελτίωση του SFDR. Σε περιβάλλοντα υψηλών απαιτήσεων (π.χ. RF front-ends ή high-resolution ADCs), η επίτευξη υψηλής γραμμικότητας είναι εξίσου κρίσιμη με την επίτευξη χαμηλού θορύβου.

2.6 Ταιριαστικότητα και Διασπορά (Matching & Variability)

Η ταιριαστικότητα (matching) και η διασπορά (variability) αποτελούν δύο κρίσιμες παραμέτρους στον αναλογικό σχεδιασμό CMOS κυκλωμάτων, καθώς καθορίζουν την ακρίβεια, τη σταθερότητα, και την αναπαραγωγιμότητα της λειτουργίας τους. Σε αντίθεση με τα ψηφιακά κυκλώματα, όπου μικρές αποκλίσεις στις παραμέτρους των τρανζίστορ δεν επηρεάζουν τη λογική λειτουργία, στα αναλογικά κυκλώματα ακόμα και μικρές μεταβολές μπορούν να οδηγήσουν σε σημαντικά σφάλματα απόδοσης (π.χ. offset, διαφορικό mismatch, μετατόπιση πόλωσης, ή αλλοίωση του κέρδους) [39].

2.6.1 Είδη Διασποράς

Η μεταβλητότητα των αναλογικών παραμέτρων προκύπτει από δύο κύριες πηγές [50]:

(α) Διαδικασιακή Διασπορά (Process Variation)

Προέρχεται από παγκόσμιες μεταβολές της τεχνολογικής διαδικασίας κατασκευής (π.χ. πάχος οξειδίου, doping, μήκος καναλιού, κινητικότητα φορέων). Αυτές οι μεταβολές επηρεάζουν όλα τα τρανζίστορ ενός chip κατά παρόμοιο τρόπο.

Οι κύριες παραλλαγές αποδίδονται μέσω των λεγόμενων process corners:

- TT (Typical-Typical) → ονομαστική συμπεριφορά
- SS (Slow-Slow) → χαμηλή κινητικότητα (χαμηλό ρεύμα)
- FF (Fast-Fast) → αυξημένη κινητικότητα (υψηλό ρεύμα)
- SF / FS → ασυμμετρίες μεταξύ PMOS και NMOS

Η ανάλυση του κυκλώματος σε όλα τα παραπάνω corners (PVT analysis) εξασφαλίζει ότι η σχεδίαση λειτουργεί σωστά ανεξάρτητα από την τεχνολογική διακύμανση [49].

(β) Στατιστική Διασπορά (Mismatch)

Η στατιστική διασπορά, ή τοπικό mismatch, προκύπτει από τυχαίες διαφορές ανάμεσα σε γειτονικές συσκευές στο ίδιο chip. Προκαλείται από φαινόμενα όπως:

- Διαφορές στη συγκέντρωση ιόντων dopant,
- Μικρομεταβολές στη γεωμετρία (W/L),

-
- Διαφορετικές τοπικές θερμοκρασίες ή μεταλλικά stress.

Το mismatch είναι ιδιαίτερα κρίσιμο σε:

- Διαφορικά ζεύγη, όπου προκαλεί offset voltage,
- Καθρέπτες ρεύματος, όπου οδηγεί σε ασυνέπειες ρεύματος,
- Και CMFB κυκλώματα, όπου μπορεί να διαταράξει τη σταθερότητα του βρόχου [4].

2.6.2 Νόμος του Pelgrom

Η πιο ευρέως χρησιμοποιούμενη εμπειρική σχέση για την περιγραφή του mismatch είναι ο Νόμος του Pelgrom, ο οποίος ορίζει ότι η τυπική απόκλιση (σ) μιας παραμέτρου (π.χ. τάσης κατωφλίου V_{TH} ή ρεύματος I_D) μεταξύ δύο πανομοιότυπων συσκευών είναι αντιστρόφως ανάλογη της τετραγωνικής ρίζας της επιφάνειας τους [54]:

$$\sigma(\Delta P) = \frac{A_P}{\sqrt{WL}}$$

όπου:

- A_P : σταθερά της διαδικασίας (Pelgrom coefficient),
- W, L : διαστάσεις του τρανζίστορ,
- $\sigma(\Delta P)$: τυπική απόκλιση της διαφοράς της παραμέτρου P.

Η εξίσωση αυτή δείχνει ότι μεγαλύτερες συσκευές έχουν καλύτερο matching, κάτι που αποτελεί βασικό κριτήριο σχεδίασης για τα αναλογικά κυκλώματα. Για παράδειγμα, διπλασιάζοντας τόσο το W όσο και το L, η διασπορά μειώνεται περίπου κατά 30% [26], [51].

2.6.3 Ανάλυση PVT (Process – Voltage – Temperature)

Η ανάλυση PVT (Process, Voltage, Temperature) αποτελεί το βασικό πλαίσιο ελέγχου της παραμετρικής ανθεκτικότητας ενός κυκλώματος. Στόχος είναι να διασφαλιστεί ότι το κύκλωμα λειτουργεί ορθά σε όλες τις πιθανές συνθήκες μεταβολών.

(α) Process Corners:

Αφορούν τις μεταβολές των χαρακτηριστικών των MOS (FF, SS, FS, SF, TT).

(β) Voltage Corners:

Εξετάζουν την επίδραση της μεταβολής της τάσης τροφοδοσίας ($VDD \pm 10\%$). Η μεταβολή της τροφοδοσίας επηρεάζει το biasing και την έξοδο, ειδικά σε κυκλώματα με περιορισμένο headroom.

(γ) Temperature Corners:

Αφορούν τη μεταβολή της θερμοκρασίας (π.χ. από -40°C έως 125°C), η οποία αλλάζει την κινητικότητα, το V_{TH} και τις ταχύτητες μεταγωγής.

Η πλήρης PVT ανάλυση παρέχει μια τρισδιάστατη εικόνα της συμπεριφοράς του κυκλώματος και αποκαλύπτει τα σενάρια όπου η λειτουργία μπορεί να υποβαθμιστεί [4].

2.6.4 Ανάλυση Monte Carlo

Η ανάλυση Monte Carlo είναι μια στατιστική μέθοδος που χρησιμοποιείται για να εκτιμηθεί η επίδραση του mismatch και των στοχαστικών παραλλαγών στο κύκλωμα.

Η διαδικασία περιλαμβάνει:

1. Τυχαία δειγματοληψία παραμέτρων (V_{TH} , μ , W , L , κ.ά.) βάσει στατιστικών κατανομών,
2. Εκτέλεση εκατοντάδων ή χιλιάδων εξομοιώσεων,
3. Εξαγωγή στατιστικών μεγεθών (mean, σ , yield).

Από τα αποτελέσματα, μπορούμε να υπολογίσουμε τα :

- Offset distribution σε διαφορετικά stages,
- Στατιστική διακύμανση gain ή bandwidth,
- Yield, δηλαδή το ποσοστό των κυκλωμάτων που πληρούν τις προδιαγραφές.

Η ανάλυση Monte Carlo είναι πιο ρεαλιστική από τις corner αναλύσεις, καθώς προσομοιώνει τυχαίες αλλά ρεαλιστικές μεταβολές αντί για ακραίες συνθήκες [4].

2.6.5 Worst-Case Corners

Η ανάλυση worst-case προσδιορίζει τις ακραίες συνθήκες όπου το κύκλωμα πλησιάζει τα όρια της λειτουργίας του [4]. Αν και η Monte Carlo ανάλυση δείχνει τη στατιστική κατανομή, η worst-case αναζητά τη χειρότερη δυνατή τιμή κάθε παραμέτρου για κάθε προδιαγραφή (gain, offset, PSRR κ.ά.).

Για παράδειγμα:

- Το χειρότερο PM μπορεί να εμφανιστεί σε corner FF, VDD+, 125°C.
- Το χαμηλότερο CMRR μπορεί να εμφανιστεί σε SF ή FS corners. Η ανάλυση αυτή είναι απαραίτητη πριν το tape-out, ώστε να εξασφαλιστεί ότι το κύκλωμα πληροί όλες τις απαιτήσεις σε κάθε πιθανό σενάριο [28].

2.6.6 Τεχνικές Βελτίωσης Matching

Για τη βελτίωση της αντιστοίχισης και τη μείωση της διασποράς, εφαρμόζονται διάφορες τεχνικές layout και σχεδίασης :

- Common-centroid layout: Τα συζυγή τρανζίστορ τοποθετούνται συμμετρικά ώστε να ακυρώνουν γραμμικά gradients.
- Interdigitated structures: Εναλλαγή δακτύλων (fingers) για στατιστική εξισορρόπηση.
- Μεγαλύτερα W/L: Αυξάνουν τη μέση επιφάνεια → μικρότερο Pelgrom σφάλμα.
- Ίδιες συνθήκες bias: Εξασφαλίζουν όμοια VDS, VGS και θερμοκρασία.
- Guard rings & isolation: Περιορίζουν coupling από άλλα σήματα ή θερμικά gradients [51].

2.6.7. Συνοπτικός Πίνακας

Παράμετρος	Περιγραφή	Επίδραση	Τυπική Ανάλυση
Pelgrom's Law	Στατιστικό μοντέλο mismatch	Offset, current error	Device sizing
Process Variation	Global αλλαγές διεργασίας	Gain, speed	PVT corners

Voltage Variation	Μεταβολές VDD	Bias point, stability	PVT corners
Temperature Variation	Θερμικές αλλαγές	Drift, noise	PVT corners
Monte Carlo	Τυχαίες στατιστικές αποκλίσεις	Yield estimation	Random sampling
Worst-Case	Συνδυασμός ακραίων τιμών	Design margin	Corner analysis

Πίνακας 4: Συνοπτικός Πίνακας

Εύκολα συμπεραίνουμε ότι η καλή ταιριαστικότητα και ο έλεγχος της διασποράς αποτελούν τον θεμέλιο λίθο του αναλογικού σχεδιασμού. Η γνώση των φαινομένων Pelgrom [26] mismatch, των PVT corners και των Monte Carlo αναλύσεων επιτρέπει τη δημιουργία κυκλωμάτων που παραμένουν αξιόπιστα κάτω από κάθε πιθανή τεχνολογική ή θερμική μεταβολή.

Ο συνδυασμός: προσεκτικού layout και αυτοματοποιημένης στατιστικής επαλήθευσης, μας εξασφαλίζει υψηλό yield, σταθερή απόδοση και αναπαραγωγιμότητα στο τελικό προϊόν.

2.7 PSRR και CMRR: Ορισμοί, Μοντελοποίηση και Σημασία σε Mixed-Signal Κυκλώματα

Σε κάθε αναλογικό κύκλωμα, η σταθερότητα της λειτουργίας του και η ποιότητα του σήματός του εξαρτώνται σε μεγάλο βαθμό από το πόσο καλά το κύκλωμα μπορεί να απορρίψει ανεπιθύμητα σήματα, είτε αυτά προέρχονται από τις τροφοδοσίες είτε από κοινά σήματα εισόδου. Οι δύο βασικές παράμετροι που περιγράφουν αυτή τη συμπεριφορά είναι ο Λόγος Απόρριψης Κοινού Σήματος (CMRR) και ο Λόγος Απόρριψης Κυμάτων Τροφοδοσίας (PSRR) [51].

2.7.1 Ορισμοί

(α) Common-Mode Rejection Ratio (CMRR)

Ο λόγος απόρριψης του κοινού σήματος (CMRR) δείχνει πόσο καλά ένας διαφορικός ενισχυτής μπορεί να απορρίψει σήματα που εμφανίζονται ταυτόχρονα και με την ίδια φάση και στις δύο εισόδους. Ιδανικά, ο ενισχυτής πρέπει να ενισχύει μόνο τη διαφορική συνιστώσα του σήματος και να αγνοεί εντελώς το κοινό σήμα [68].

Ορίζεται ως:

$$CMRR = 20\log\left(\frac{A_{diff}}{A_{cm}}\right) [dB]$$

όπου:

- A_{diff} : το διαφορικό κέρδος (gain για το διαφορικό σήμα),
- A_{cm} : το κέρδος κοινού τρόπου (gain για κοινό σήμα).

Υψηλές τιμές CMRR (> 80 dB) σημαίνουν ότι το κύκλωμα είναι ικανό να απορρίπτει αποτελεσματικά θόρυβο και παρεμβολές που εισέρχονται συμμετρικά, κάτι που είναι ζωτικής σημασίας για fully differential amplifiers και sensing εφαρμογές [4].

(β) Power Supply Rejection Ratio (PSRR)

Ο λόγος απόρριψης της κυμάτωσης τροφοδοσίας (PSRR) εκφράζει το πόσο σταθερή παραμένει η έξοδος του κυκλώματος όταν μεταβάλλεται η τάση τροφοδοσίας (VDD ή VSS).

Ορίζεται ως:

$$PSRR = 20\log\left(\frac{\Delta V_{DD}}{\Delta V_{out}}\right) [dB]$$

ή ισοδύναμα, το αντίστροφο της μετάδοσης διαταραχής από την τροφοδοσία προς την έξοδο.

Υψηλό PSRR σημαίνει ότι το κύκλωμα απομονώνει αποτελεσματικά τις διακυμάνσεις της τροφοδοσίας, κάτι που είναι κρίσιμο σε mixed-signal συστήματα, όπου τα ψηφιακά blocks δημιουργούν έντονο θόρυβο στις γραμμές VDD [47].

2.7.2 Μοντελοποίηση CMRR και PSRR

Για έναν πλήρως διαφορικό ενισχυτή, το κύκλωμα μπορεί να αναλυθεί σε δύο ανεξάρτητα υποσυστήματα:

- Διαφορικός βρόχος (Differential Mode Loop)
- Βρόχος κοινού τρόπου (Common-Mode Loop)

Αυτό επιτρέπει την απλοποιημένη μοντελοποίηση των CMRR και PSRR [25]:

(α) CMRR Μοντέλο

Η διαφορική έξοδος του ενισχυτή δίνεται από την παρακάτω σχέση :

$$V_{out,diff} = A_{diff}(V_{in+} - V_{in-}) + A_{cm}\left(\frac{V_{in+} + V_{in-}}{2}\right)$$

Η ιδανική περίπτωση είναι όταν $A_{cm} = 0$. Στην πράξη, μικρές ασυμμετρίες στο differential pair, στα active loads ή στο CMFB οδηγούν σε πεπερασμένο CMRR.

(β) PSRR Μοντέλο

Το PSRR μπορεί να θεωρηθεί ως ο λόγος μεταξύ του διαφορικού κέρδους και της μετάδοσης διαταραχής από την τροφοδοσία:

$$PSRR = \frac{A_{diff}}{A_{vdd}}$$

όπου A_{vdd} είναι το κέρδος από τη γραμμή τροφοδοσίας προς την έξοδο.

Η υψηλή αντίσταση εξόδου στις πηγές ρεύματος και η καλή αποσύζευξη των bias nodes βοηθούν στη βελτίωση του PSRR. Αντίθετα, μία φτωχή ρύθμιση των bias ρευμάτων ή coupling μέσω των χωρητικοτήτων C_{gd} μπορεί να το υποβαθμίσουν [25].

2.7.3 Επίδραση των CMRR και PSRR στη Λειτουργία

1. CMRR:

- Επηρεάζει τη συμμετρία και το offset του διαφορικού σήματος.
- Χαμηλό CMRR οδηγεί σε “leakage” κοινών σημάτων στην έξοδο.
- Σε συστήματα αισθητήρων, αυτό σημαίνει μικρότερη ακρίβεια μέτρησης.

2. PSRR:

- Επηρεάζει την σταθερότητα της τάσης εξόδου σε μεταβολές του VDD.
- Χαμηλό PSRR σημαίνει ευαισθησία σε θόρυβο τροφοδοσίας, κάτι που είναι κρίσιμο σε μικτά (mixed-signal) ICs, όπου τα ψηφιακά στάδια μεταβάλλουν ρεύματα σε ns χρονικές κλίμακες.
- Σε op-amps που χρησιμοποιούνται για φίλτρα ή ADC buffers, η φτωχή απόρριψη οδηγεί σε spurs και αλλοίωση του SNR [52].

2.7.4 Συχνότητα και Απόκριση PSRR/CMRR

Οι δύο μετρικές εξαρτώνται από τη συχνότητα και συνήθως εκφράζονται ως συναρτήσεις Bode (PSRR(f), CMRR(f)).

- Σε χαμηλές συχνότητες, κυριαρχεί η στατική απόρριψη (DC rejection).
- Σε μεσαίες/υψηλές συχνότητες, οι πόλοι του CMFB και του biasing network μειώνουν την απόρριψη.
- Το PSRR(f) τείνει να μειώνεται με slope -20 dB/dec πέρα από τον πρώτο πόλο του biasing.
- Το CMRR(f) μειώνεται όταν οι ασυμμετρίες στα MOSFETs και τα parasitics αρχίζουν να επηρεάζουν τη συμπεριφορά του differential loop.

Η συχνότητα αποκοπής της απόρριψης είναι κρίσιμη για τις εφαρμογές υψηλού εύρους ζώνης [53].

2.7.5 Σημασία σε Mixed-Signal Κυκλώματα

Σε mixed-signal ICs, τα αναλογικά και ψηφιακά μέρη μοιράζονται συχνά το ίδιο υπόστρωμα και τις ίδιες γραμμές τροφοδοσίας. Έτσι, το ψηφιακό κύκλωμα μπορεί να προκαλέσει coupling θορύβου μέσω:

- της γραμμής τροφοδοσίας (supply bounce),
- του υποστρώματος (substrate noise),
- ή των κοινών κόμβων αναφοράς (ground coupling) [2].

Η βελτίωση των PSRR και CMRR βοηθά στην απομόνωση του αναλογικού τμήματος, αυξάνοντας την ακρίβεια και το SNR σε συστήματα όπως:

- ADCs / DACs,
- PLL / VCO,
- Sensors και Analog Front-Ends [26].

2.7.7. Συνοπτικός Πίνακας

Παράμετρος	Περιγραφή	Τυπικές Τιμές	Σκοπός
------------	-----------	---------------	--------

CMRR	Απόρριψη κοινού σήματος	60–120 dB	Καθαρή διαφορική λειτουργία
PSRR	Απόρριψη θορύβου τροφοδοσίας	>70 dB	Ανοσία σε ripple / switching noise
CMFB	Βρόχος σταθεροποίησης κοινής τάσης	—	Διατήρηση V_{cm} σταθερού
CMRR(f), PSRR(f)	Εξάρτηση από συχνότητα	—	Σχεδιασμός φίλτρων & αντιστάθμισης

Πίνακας 5: Συνοπτικός Πίνακας

Επομένως συμπεραίνουμε ότι, οι μετρικές PSRR και CMRR αποτελούν τους βασικούς δείκτες ποιότητας ενός αναλογικού ή ενός μικτού κυκλώματος. Η υψηλή τους τιμή μας εξασφαλίζει την σταθερή λειτουργία, την καθαρότητα του σήματος και την ανθεκτικότητα σε εξωτερικές διαταραχές. Η βελτιστοποίησή τους απαιτεί τον συνδυασμό αρχιτεκτονικών επιλογών, σωστού layout και προσεκτικής ρύθμισης του CMFB loop, ειδικά σε fully differential τοπολογίες όπου το common-mode control είναι κρίσιμο για τη σταθερότητα και την απόρριψη του θορύβου [2].

2.8 Έξοδος και Εμπέδηση (Z_{out} / R_{out})

Η εμπέδηση εξόδου (Output Impedance, Z_{out}) αποτελεί μια από τις πιο κρίσιμες παραμέτρους στην ανάλυση και την σχεδίαση των αναλογικών κυκλωμάτων. Καθορίζει το πόσο “σκληρή” ή “μαλακή” είναι η έξοδος ενός ενισχυτή, πόσο σταθερό παραμένει το κέρδος υπό φόρτιση και πώς συμπεριφέρεται το κύκλωμα σε AC και transient καταστάσεις [47].

Η σωστή κατανόηση και μέτρηση της Z_{out} είναι απαραίτητη για τη βελτιστοποίηση των κυκλωμάτων όπως: ενισχυτές τάσης, buffers, current mirrors, αλλά και fully differential operational amplifiers με CMFB [1].

2.8.1 Θεωρητική Έννοια της Εμπέδησης Εξόδου

Η εμπέδηση εξόδου Z_{out} ενός κυκλώματος ορίζεται ως η αναλογία της μεταβολής της τάσης εξόδου προς τη μεταβολή του ρεύματος εξόδου, όταν όλες οι ανεξάρτητες πηγές τάσης είναι απενεργοποιημένες (δηλαδή αντικαθίστανται από βραχυκυκλώματα):

$$Z_{out} = \frac{\Delta V_{out}}{\Delta I_{out}}$$

Στην περιοχή χαμηλών συχνοτήτων (DC ή quasi-static), η Z_{out} μπορεί να θεωρηθεί αντίσταση εξόδου (R_{out}) [63]. Σε υψηλές συχνότητες ωστόσο, εισέρχονται χωρητικά και επαγωγικά στοιχεία, και η Z_{out} αποκτά πιο σύνθετο χαρακτήρα (complex impedance) [1].

2.8.2 Φυσική Ερμηνεία και Σημασία

Η εμπέδηση εξόδου επηρεάζει:

- Το κέρδος του ενισχυτή (A_v): μέσω της σχέσης $A_v = g_m \cdot R_{out}$.
- Την ικανότητα οδήγησης φορτίου (load driving): μικρότερη $Z_{out} \rightarrow$ καλύτερη σταθερότητα τάσης.
- Την απόκριση συχνότητας: υψηλή Z_{out} συνεπάγεται μεγαλύτερη επίδραση των παρασιτικών χωρητικοτήτων (C_{load}).
- Την σταθερότητα του CMFB loop: ειδικά σε fully differential κυκλώματα όπου η έξοδος επηρεάζει το common-mode node [28].

Στους op-amps, επιδιώκεται χαμηλή εμπέδηση εξόδου για καλή οδήγηση φορτίων. Αντίθετα, σε current sources ή active loads, επιδιώκεται υψηλή εμπέδηση εξόδου για αύξηση του κέρδους.

2.8.3 Ανάλυση Μικρού Σήματος (Small-Signal Analysis)

Στην ανάλυση του μικρού σήματος, η Z_{out} εξαρτάται κυρίως από τις παραμέτρους:

- r_o : η εσωτερική αντίσταση καναλιού (output resistance) κάθε MOSFET,
- g_m : η διαγωγιμότητα (transconductance),
- το topology του κυκλώματος (π.χ. απλό στάδιο, cascode, folded).

A. Απλό MOS στάδιο

Για ένα MOS σε κορεσμό:

$$r_o = \frac{1}{\lambda I_D}$$

Η Z_{out} του σταδίου είναι περίπου ίση με r_o , που κυμαίνεται από μερικές kΩ έως και MΩ ανάλογα με τη ροή ρεύματος και το μήκος καναλιού [4].

B. Cascode στάδιο

Στο cascode configuration, η Z_{out} αυξάνεται σημαντικά λόγω της “ενίσχυσης” της αντίστασης εξόδου μέσω του cascode transistor:

$$R_{out} \approx g_{m2} r_{o2} r_{o1}$$

όπου το τρανζίστορ cascode αυξάνει πολύ τη συνολική αντίσταση, προσφέροντας πολύ υψηλό κέρδος και καλύτερη απόρριψη θορύβου τροφοδοσίας (PSRR) [36].

2.8.4 Μέθοδοι Μέτρησης της Z_{out}

Υπάρχουν δύο κύριες μέθοδοι του υπολογισμού ή της μέτρησης της εμπίδησης εξόδου σε προσομοίωση:

(α) Μέθοδος AC Analysis

1. Απομόνωση της εξόδου από το φορτίο.
2. Εφαρμογή AC πηγής ρεύματος στην έξοδο (π.χ. $I_{ac} = 1$ A).
3. Μέτρηση της τάσης εξόδου (V_{ac}).
4. Υπολογισμός $Z_{out} = V_{ac}/I_{ac}$.

Η μέθοδος αυτή παρέχει το σπεκτρικό προφίλ της εμπίδησης (σε συνάρτηση με τη συχνότητα) και είναι ιδανική για AC sweep στο Cadence Spectre [5].

Παράδειγμα:

Για current source με $I_{ac} = 1$ A →

Εάν το αποτέλεσμα είναι $V_{ac} = 10$ kV, τότε $Z_{out} = 10$ kΩ.

(β) Μέθοδος Transient (Time Domain)

1. Εφαρμογή παλμού ρεύματος ή τάσης στην έξοδο.
2. Παρατήρηση της στιγμιαίας απόκρισης τάσης.
3. Υπολογισμός της Z_{out} μέσω του λόγου $\Delta V/\Delta I$.

Η transient μέθοδος είναι ιδιαίτερα χρήσιμη για την επαλήθευση μη γραμμικών φαινομένων, coupling και CMFB συμπεριφοράς σε δυναμικές συνθήκες [5].

2.8.5 Εμπέδηση Εξόδου σε Fully Differential Op-Amps

Στους fully differential ενισχυτές, η εμπέδηση εξόδου πρέπει να είναι συμμετρική στα δύο nodes εξόδου (V_{out+} και V_{out-}). Η ασυμμετρία (mismatch) στη Z_{out} προκαλεί:

- Ασθενή απόρριψη κοινού σήματος (CMRR μείωση),
- Ασταθή συμπεριφορά στο CMFB loop,
- Παραμόρφωση στην έξοδο (ιδίως για μεγάλα σήματα).

Γι' αυτό, χρησιμοποιούνται matched cascode structures, balanced loads και συμμετρικές τοποθετήσεις layout για τη διατήρηση ίσης Z_{out} ανά κανάλι [3].

2.8.6 Συχνότητα και Εξάρτηση της $Z_{out}(f)$

Η Z_{out} δεν είναι σταθερή με τη συχνότητα. Σε χαμηλές συχνότητες, κυριαρχεί η αντίσταση εξόδου (r_o), ενώ σε υψηλές συχνότητες αρχίζει να επικρατεί η χωρητική συμπεριφορά.

- Στο Bode plot, η Z_{out} μειώνεται κατά -20 dB/dec μετά τον πόλο που ορίζεται από το συνδυασμό R_{out} και C_{load} :

$$f_p = \frac{1}{2\pi R_{out} C_{load}}$$

Αυτός ο πόλος επηρεάζει το phase margin (PM) και τη σταθερότητα του CMFB loop [3].

2.8.7. Συνοπτικός Πίνακας

Παράμετρος	Περιγραφή	Επίδραση
Rout (DC)	Αντίσταση εξόδου σε μικρό σήμα	Επηρεάζει το DC gain
Zout(f)	Εμπέδηση εξόδου συναρτήσει της συχνότητας	Καθορίζει bandwidth & stability
Cascode	Αυξάνει το Rout ($\times gm \cdot ro^2$)	Υψηλό gain, χαμηλό swing
Feedback	Μειώνει το Rout ($\div (1+AB)$)	Βελτιώνει οδήγηση
Transient Rout	Απόκριση σε μεταβολές φορτίου	Αξιολόγηση δυναμικής συμπεριφοράς

Πίνακας 6: Συνοπτικός Πίνακας

Συμπερασματικά, η εμπέδηση εξόδου είναι μία θεμελιώδης παράμετρος για τη λειτουργία, την σταθερότητα και την ποιότητα του σήματος ενός αναλογικού κυκλώματος. Η σωστή ανάλυση της Z_{out} , τόσο σε AC όσο και σε transient προσομοιώσεις, επιτρέπει την ακριβή πρόβλεψη της απόδοσης σε πραγματικές συνθήκες φόρτισης. Η επίτευξη ισορροπίας μεταξύ υψηλού κέρδους (που απαιτεί υψηλή Rout) και καλής οδήγησης φορτίου (που απαιτεί χαμηλή Zout) αποτελεί βασική πρόκληση στον σχεδιασμό CMOS op-amps και mixed-signal αναλογικών blocks [28], [32].

2.9 Ανάλυση Σχημάτων, Πινάκων και Μοντέλων: Μικρά Ισοδύναμα, Πόλοι/Μηδενικά, Noise Models, Pelgrom Plots

Η ανάλυση των αναλογικών κυκλωμάτων σε επίπεδο μικρού σήματος, καθώς και η οπτικοποίηση των χαρακτηριστικών τους μέσω σχημάτων, πινάκων και μοντέλων, αποτελεί ένα απαραίτητο στάδιο τόσο στη θεωρητική μελέτη όσο και στη διαδικασία επαλήθευσης [1], [54].

Η κατανόηση των πόλων και μηδενικών, των μοντέλων θορύβου, και της διασποράς συσκευών (Pelgrom mismatch) προσφέρει ένα πλήρες πλαίσιο για την αξιολόγηση της συμπεριφοράς των CMOS αναλογικών κυκλωμάτων σε όλο το φάσμα λειτουργίας τους.

2.9.1 Μικρά Ισοδύναμα Κυκλώματα (Small-Signal Models)

Η ανάλυση μικρού σήματος βασίζεται στη γραμμικοποίηση των MOSFET γύρω από το σημείο πόλωσης λειτουργίας. Κάθε MOS συσκευή μπορεί να αντικατασταθεί από το ισοδύναμο κύκλωμά της, το οποίο περιλαμβάνει:

- τον transconductance $g_m = \frac{\partial I_D}{\partial V_{GS}}$,
- την αντίσταση εξόδου $r_o = \frac{1}{\lambda I_D}$,
- και τις παρασιτικές χωρητικότητες C_{gs}, C_{gd}, C_{db} [112].

Αυτό το μοντέλο επιτρέπει:

- την ανάλυση της συχνότητας αποκοπής (fT),
- την εκτίμηση του κέρδους μικρού σήματος ($A_v = g_m r_o$),
- και τη διατύπωση των ισοδύναμων Bode διαγραμμάτων για πόλους και μηδενικά [17].

Η σωστή χρήση των μικρών ισοδύναμων είναι καθοριστική για τον εντοπισμό των σημείων που περιορίζουν το gain–bandwidth product (GBW), ειδικά σε ενισχυτές με πολλούς βαθμούς.

2.9.2 Πόλοι και Μηδενικά

Οι πόλοι και τα μηδενικά ενός κυκλώματος καθορίζουν τη δυναμική του απόκριση. Ένας πόλος αντιστοιχεί σε συχνότητα όπου η φάση και το κέρδος του κυκλώματος αρχίζουν να μειώνονται, ενώ ένα μηδενικό μπορεί να προκαλέσει αύξηση ή ακύρωση της φασικής του καθυστέρησης [25], [28].

Η γενική μορφή του transfer function είναι:

$$A(s) = A_0 \cdot \frac{(1 + s/z_1)(1 + s/z_2) \dots}{(1 + s/p_1)(1 + s/p_2) \dots}$$

Η σωστή αντιστάθμιση (compensation), π.χ. μέσω Miller capacitors ή nulling resistors, επιτρέπει τη μετατόπιση των πόλων ώστε να επιτευχθεί $\text{phase margin} > 60^\circ$, αποτρέποντας τις ταλαντώσεις [55]. Σε πρακτικά CMOS σχέδια, οι κύριοι πόλοι βρίσκονται:

- στον κόμβο εξόδου (dominant pole),
- στον κόμβο Miller (secondary pole),
- και σε parasitic σημεία λόγω interconnects ή bias nodes.

Η χαρτογράφηση των πόλων/μηδενικών πραγματοποιείται συχνά μέσω stb ή AC analysis στο Cadence Virtuoso, όπου παράγονται Bode plots που αποκαλύπτουν τα κρίσιμα σημεία του κυκλώματος [2].

2.9.3 Μοντέλα Θορύβου (Noise Models)

Κάθε MOS συσκευή συμβάλλει σε διάφορες πηγές θορύβου, όπως:

- Θερμικός θόρυβος (thermal noise): οφείλεται στην τυχαία κίνηση των φορέων και περιγράφεται από $i_n^2 = 4kT\gamma g_m$.
- 1/f θόρυβος (flicker noise): οφείλεται σε παγιδεύσεις φορέων στην οξείδωση και περιγράφεται από $S_{id}(f) = \frac{K}{C_{ox}^2 W L f}$.
- Shot noise: σχετίζεται με ρεύματα πόλωσης και παρουσιάζεται κυρίως σε διόδους ή BJTs [28].

Η ανάλυση input-referred noise (όπως το $v_{n,in}$) είναι ιδιαίτερα χρήσιμη για την αξιολόγηση της συνολικής απόδοσης, καθώς επιτρέπει τη σύγκριση διαφορετικών αρχιτεκτονικών υπό κοινές συνθήκες [56], [57].

Στο περιβάλλον Spectre, η ανάλυση του θορύβου υλοποιείται με *noise analysis* ή *pnoise analysis* (για περιοδικά σήματα), με αποτελέσματα σε noise spectral density plots, που ενσωματώνονται σε αυτοματοποιημένα scripts OCEAN [49].

2.9.4 Matching και Pelgrom Plots

Η διασπορά παραμέτρων σε αναλογικά CMOS κυκλώματα οφείλεται στη στατιστική μεταβολή των διαστάσεων και ιδιοτήτων των MOSFET [55].

Ο Pelgrom's Law [120], ορίζει ότι η τυπική απόκλιση μιας παραμέτρου (π.χ. τάση κατωφλίου) είναι αντιστρόφως ανάλογη του τετραγωνικού ριζικού του εμβαδού της συσκευής:

$$\sigma(\Delta V_T) = \frac{A_{VT}}{\sqrt{W \cdot L}}$$

Οι Pelgrom plots είναι γραφικές αναπαραστάσεις της σχέσης μεταξύ mismatch και μεγέθους συσκευής. Χρησιμοποιούνται εκτενώς σε Monte Carlo αναλύσεις για την πρόβλεψη yield και την εκτίμηση της ευαισθησίας του κυκλώματος σε mismatch φαινόμενα. Στο Cadence Virtuoso, αυτά τα δεδομένα μπορούν να εξαχθούν αυτόματα μέσω statistical simulation flows και να απεικονιστούν με histograms ή σκεδαστικά διαγράμματα (scatter plots) [49].

2.9.5 Πίνακες Σύνοψης και Παρουσίαση Μετρικών

Για την αποδοτική τεκμηρίωση της επαλήθευσης, συνηθίζεται η συγκέντρωση όλων των κρίσιμων μετρικών σε πίνακες σύνοψης (summary tables). Κάθε πίνακας περιλαμβάνει:

- τις προδιαγραφές (specs),
- τις μετρούμενες τιμές (measured),
- τα όρια ανοχής (tolerances),
- και την ένδειξη pass/fail.

Αυτή η μορφή είναι απαραίτητη για αναφορές verification και μπορεί να παραχθεί αυτόματα μέσω OCEAN scripts ή ADE Assembler reports [39].

2.9.6 Συμπεράσματα

Η θεωρητική κατανόηση και η γραφική απεικόνιση των μικρών ισοδύναμων, των πόλων/μηδενικών, των μοντέλων θορύβου και των Pelgrom plots επιτρέπουν στον σχεδιαστή να έχει μια ολοκληρωμένη εικόνα της αναλογικής συμπεριφοράς του κυκλώματος. Η ενσωμάτωσή τους σε αυτοματοποιημένα verification flows ενισχύει τη διαφάνεια, την ακρίβεια και τη σύγκριση των αποτελεσμάτων μεταξύ διαφορετικών εκδόσεων και συνθηκών PVT.

ΚΕΦΑΛΑΙΟ 3 Common-Mode Feedback (CMFB): Αρχές και Τεχνικές

3. Common-Mode Feedback (CMFB): Αρχές και Τεχνικές

Η τεχνική Common-Mode Feedback (CMFB) αποτελεί έναν από τους σημαντικότερους μηχανισμούς ελέγχου σε fully differential αναλογικά κυκλώματα. Ο βασικός της ρόλος είναι να ρυθμίζει και να σταθεροποιεί την κοινή τάση εξόδου ($V_{cm,out}$), ώστε αυτή να παραμένει στο επιθυμητό επίπεδο, ανεξάρτητα από τις διαφορικές μεταβολές που έχει το σήμα. Χωρίς τη χρήση CMFB, η έξοδος ενός πλήρως διαφορικού ενισχυτή μπορεί να οδηγηθεί σε ανεπιθύμητο DC επίπεδο, οδηγώντας σε κορεσμό, αστάθεια, ή μη γραμμική λειτουργία [1].

3.1 Ρόλος και Αναγκαιότητα του CMFB

Σε έναν fully differential operational amplifier, κάθε έξοδος (V_{out+} και V_{out-}) μεταβάλλεται συμμετρικά γύρω από μια κοινή τάση $V_{CM,out}$. Η CMFB λειτουργεί ως σύστημα αυτόματης ρύθμισης, που παρακολουθεί τη μέση τιμή των εξόδων και την επαναφέρει στην επιθυμητή τιμή-στόχο $V_{CM,target}$. [47]

Βασικές του λειτουργίες:

- Ρύθμιση του κοινού τρόπου (common-mode level) μέσω ελέγχου του bias ρεύματος ή τάσης.
- Αποσύζευξη του κοινού σήματος από το διαφορικό βρόχο (differential loop).
- Διασφάλιση της σωστής headroom λειτουργίας για όλα τα MOSFETs του ενισχυτή.
- Συμβολή στη σταθερότητα του συνολικού ενισχυτή, εφόσον προσθέτει επιπλέον βρόχο ανατροφοδότησης [28].

Αν ο CMFB λείπει ή δυσλειτουργεί:

- Η μέση τιμή των V_{out+} και V_{out-} μετατοπίζεται (DC drift).
- Το κύκλωμα μπορεί να κορεστεί ή να παραμορφώσει το διαφορικό σήμα.
- Ο ενισχυτής χάνει τη γραμμικότητά του, με αποτέλεσμα σημαντική υποβάθμιση του CMRR και της ακρίβειας [47].

3.1.1. Αρχή Λειτουργίας

Η λειτουργία του CMFB βασίζεται σε τρία στάδια:

1. Ανίχνευση του κοινού τρόπου (Common-Mode Sensing)
Ο αισθητήρας CM εξάγει το σήμα $V_{CM,sense} = (V_{out+} + V_{out-})/2$.
2. Σύγκριση με την επιθυμητή τιμή (Reference Comparison)
Το $V_{CM,sense}$ συγκρίνεται με το $V_{CM,target}$. Η διαφορά μεταξύ τους αποτελεί το σφάλμα κοινού τρόπου (V_{err}).
3. Ανατροφοδότηση και διόρθωση (Feedback Correction)
Το σήμα σφάλματος οδηγείται σε έναν ενισχυτή ή μηχανισμό ελέγχου ρεύματος, που ρυθμίζει την πόλωση του κυκλώματος, επαναφέροντας την έξοδο στο σωστό V_{cm} [3].

Αυτό δημιουργεί έναν κλειστό βρόχο ανατροφοδότησης κοινού τρόπου (common-mode loop), παράλληλο με τον διαφορικό βρόχο (differential loop). Οι δύο αυτοί βρόχοι πρέπει να είναι ανεξάρτητοι, ώστε να αποφεύγονται αλληλεπιδράσεις και αστάθειες [64].

3.2 Τεχνικές Ανίχνευσης Κοινού Τρόπου (Common-Mode Sensing Techniques)

Η επιλογή της τεχνικής ανίχνευσης καθορίζει τη σταθερότητα, την κατανάλωση, και το εύρος ζώνης του CMFB. Παρακάτω παρουσιάζονται οι πιο διαδεδομένες μέθοδοι [1]:

3.2.1 Αντιστάσεις (Resistive CMFB)

Η πιο απλή μέθοδος. Δύο αντιστάσεις συνδέονται μεταξύ των εξόδων V_{out+} και V_{out-} , σχηματίζοντας έναν διαιρέτη που παρέχει το:

$$V_{CM,sense} = \frac{V_{out+} + V_{out-}}{2}$$

Πλεονεκτήματα μεθόδου:

- Εύκολη υλοποίηση και σταθερή DC λειτουργία.
- Κατάλληλη για χαμηλές συχνότητες.

Μειονεκτήματα μεθόδου :

- Κατανάλωση ρεύματος λόγω του divider.
- Χαμηλή αντίσταση $\rightarrow$ φόρτιση εξόδου και μείωση gain.
- Όχι ιδανική για high-speed σχεδιάσεις ή low-power εφαρμογές [25].

3.2.2 MOS Pseudo-Resistors

Αντί για κανονικές αντιστάσεις, χρησιμοποιούνται MOS τρανζίστορ σε subthreshold λειτουργία για να μιμηθούν πολύ μεγάλες αντιστάσεις ($>100 \text{ M}\Omega$).

Πλεονεκτήματα:

- Ελάχιστη κατανάλωση ισχύος.
- Κατάλληλα για low-frequency CMFB σε low-power designs (π.χ. bio-signal circuits).

Μειονεκτήματα:

- Μη γραμμική συμπεριφορά.

-
- Εξαρτώνται από θερμοκρασία και V_{ds} .
 - Όχι κατάλληλα για ακριβή high-gain op-amps [1], [2].

3.2.3 gm-Sensing (Transconductance-Based)

Χρησιμοποιεί έναν μικρό differential pair για να αισθανθεί τη μέση τάση των εξόδων και να τη μετατρέψει σε ρεύμα ανατροφοδότησης.

Πλεονεκτήματα:

- Καλή γραμμικότητα.
- Δυνατότητα υλοποίησης σε υψηλές συχνότητες.
- Εύκολη ενσωμάτωση σε OTA-based CMFB κυκλώματα.

Μειονεκτήματα:

- Αυξημένη κατανάλωση ρεύματος.
- Απαιτεί σταθερή πόλωση και προσεκτική σχεδίαση του gm [47].

3.2.4 Switched-Capacitor CMFB (SC-CMFB)

Η μέτρηση του V_{cm} γίνεται με πυκνωτές και διακόπτες που χρησιμοποιούν δείγματα από τις τάσεις εξόδου ανά φάση ρολογιού.

Πλεονεκτήματα:

- Ιδανική για διακριτού χρόνου (discrete-time) κυκλώματα (π.χ. SC-filters, ΣΔ converters).
- Δεν καταναλώνει DC ρεύμα.
- Απλή ενσωμάτωση σε CMOS τεχνολογία.

Μειονεκτήματα:

- Περιορίζεται από το ρολόι (sampling frequency).
- Εμφανίζει θόρυβο λόγω charge injection και clock feedthrough [58].

3.2.5 OTA-Based / Replica Bias CMFB

Μια πιο εξελιγμένη μέθοδος, όπου χρησιμοποιείται ένας Operational Transconductance Amplifier (OTA) ή ένα replica bias κύκλωμα που αντιγράφει το DC behavior του output stage.

Πλεονεκτήματα:

- Πολύ καλή ακρίβεια ρύθμισης του V_{cm} .
- Κατάλληλη για high-speed και wideband op-amps.
- Μπορεί να ενσωματωθεί στο bias network για χαμηλότερη κατανάλωση.

Μειονεκτήματα:

- Αυξημένη πολυπλοκότητα.
- Απαιτεί προσεκτική σταθεροποίηση του CMFB loop (compensation).
- Ενδέχεται να εισάγει επιπλέον πόλους ή μηδενικά [62].

3.2.6. Πλεονεκτήματα και Μειονεκτήματα Ανά Τεχνολογία / Εφαρμογή

Τεχνική CMFB	Τεχνολογία / Συχνότητα	Κατανάλωση	Ακρίβεια	Σχόλια
Resistive	Low/Medium frequency	Μέτρια	Υψηλή	Απλή, αλλά με DC loss
Pseudo-resistor	Low frequency / Low power	Πολύ χαμηλή	Μέτρια	Ιδανική για ultra-low power
gm-sensing	Wideband / High-speed	Υψηλή	Υψηλή	Καλή δυναμική απόκριση
Switched-Capacitor	Discrete-time	Πολύ χαμηλή	Καλή	Εξαρτάται από το clock
OTA / Replica Bias	High-speed analog	Μέτρια-υψηλή	Πολύ υψηλή	Κατάλληλη για high-performance op-amps

Πίνακας 7: Πλεονεκτήματα και Μειονεκτήματα ανά τεχνολογία/εφαρμογή

3.2.7. Συνοπτικά

Ο CMFB αποτελεί αναπόσπαστο τμήμα κάθε fully differential αναλογικού κυκλώματος.

Η επιλογή της κατάλληλης τοπολογίας εξαρτάται από:

- τις συχνότητες λειτουργίας,
- την κατανάλωση ισχύος,
- την ακρίβεια ρύθμισης, και
- τη σταθερότητα του βρόχου.

Η σωστή σχεδίαση του CMFB είναι καθοριστική για την απόρριψη κοινού τρόπου (CMRR), τη γραμμικότητα, και τη σταθερότητα του τελικού ενισχυτή. Σε κυκλώματα μικτού σήματος, η λειτουργία του CMFB συνδέεται στενά με το PSRR και τη συμπεριφορά του θορύβου, επομένως απαιτεί προσεκτική ανάλυση μικρού σήματος και σταθερότητας του βρόχου [59].

3.3 Μικρό Σήμα CMFB: Ισοδύναμο Κύκλωμα, Κέρδος Βρόχου και Συνθήκες Σταθερότητας

Η ανάλυση μικρού σήματος του βρόχου Common-Mode Feedback (CMFB) είναι απαραίτητη για την κατανόηση της σταθερότητας και της δυναμικής συμπεριφοράς του πλήρως διαφορικού ενισχυτή. Παρόλο που ο CMFB σχεδιάζεται για να ρυθμίζει μόνο τη DC κοινή τάση εξόδου ($V_{cm,out}$), η ύπαρξή του εισάγει έναν πρόσθετο βρόχο ανατροφοδότησης, ο οποίος, αν δεν ελεγχθεί σωστά, μπορεί να οδηγήσει σε αστάθεια ή ταλαντώσεις [3].

3.3.1 Ισοδύναμο Κύκλωμα Μικρού Σήματος

Για την ανάλυση του CMFB, θεωρούμε ότι:

- Ο διαφορικός βρόχος και ο βρόχος κοινού τρόπου είναι ανεξάρτητοι,
- Οι διαφορικές μεταβολές $v_{out+} = -v_{out-}$ δεν επηρεάζουν το CMFB,
- Οι κοινού τρόπου μεταβολές $v_{out+} = v_{out-}$ διεγείρουν μόνο τον CMFB βρόχο.

Στο ισοδύναμο κύκλωμα μικρού σήματος:

- Ο CMFB αισθητήρας ανιχνεύει τη μέση τάση $v_{cm} = (v_{out+} + v_{out-})/2$,
- Ο CMFB ενισχυτής (ή OTA) δημιουργεί ρεύμα σφάλματος ανάλογο της διαφοράς ($v_{cm} - v_{ref}$),
- Το σήμα αυτό οδηγεί το bias node (π.χ. πηγή ρεύματος του input pair), μεταβάλλοντας το κοινό DC επίπεδο.

Η βασική σχέση για το loop gain είναι:

$$T_{CMFB}(s) = A_{CMFB}(s) \cdot \beta_{CM}(s)$$

όπου:

- $A_{CMFB}(s)$: το κέρδος του CMFB ενισχυτή,
- $\beta_{CM}(s)$: ο παράγοντας ανάδρασης από την έξοδο προς τον αισθητήρα κοινού τρόπου [3].

3.3.2 Ανάλυση Κέρδους Βρόχου (Loop Gain Analysis)

Η σταθερότητα του CMFB εξαρτάται από το loop gain και τη συνολική φάση του βρόχου.

Συνήθως ορίζουμε:

$$T_{CM}(s) = A_{CM} \cdot \beta_{CM} \cdot \frac{1}{1 + s/p_1} \cdot \frac{1}{1 + s/p_2} \dots$$

Για σταθερή λειτουργία, ισχύει το κλασικό κριτήριο Nyquist:

$$|T_{CM}(j\omega)|_{f=UGF} = 1, \text{ και Phase Margin (PM)} > 45^\circ$$

Η ανάλυση γίνεται με AC sweep στο Cadence (Spectre STB analysis) ή με Middlebrook loop breaking, όπως θα δούμε παρακάτω [60].

3.3.3 Μέθοδοι Ανάλυσης Σταθερότητας

Υπάρχουν τρεις κύριες μέθοδοι για να μετρηθεί και να εκτιμηθεί η σταθερότητα του CMFB βρόχου:

(α) Κριτήριο Nyquist

Το θεμελιώδες εργαλείο για την ανάλυση της σταθερότητας της ανατροφοδότησης. Απαιτεί τον υπολογισμό της μεταφοράς $T(s)$ και τον έλεγχο του αν ο βρόχος περικλείει το σημείο $(-1,0)$ στο επίπεδο Nyquist.

Στην πράξη, αυτό γίνεται μέσω:

- Υπολογισμού loop gain (AC ανάλυση με loop break).
- Παρατήρησης phase margin (PM) και gain margin (GM).

Αν έχουμε :

$$PM > 45^\circ, GM > 6 \text{ dB}$$

ο CMFB θεωρείται σταθερός [3].

(β) Μέθοδος Middlebrook

Μια πιο πρακτική μέθοδος για υπολογισμό του loop gain χωρίς να αλλοιώνεται το bias point.

Βήματα:

1. “Σπάσουμε” τον βρόχο CMFB σε ένα σημείο (π.χ. στην είσοδο του OTA).
2. Τοποθετούμε AC πηγή V_{test} ή I_{test} .
3. Μετράμε V_1 (input) και V_2 (output) από τις δύο πλευρές του loop break.
4. Υπολογίζουμε:

$$T(s) = -\frac{V_2}{V_1}$$

Η μέθοδος αυτή εφαρμόζεται εύκολα στο Spectre με χρήση stb analysis ή diffstbprobe block [61].

(γ) Ανάλυση STB (Stability Analysis) στο Cadence Spectre

Το Spectre παρέχει εντολή stb που υπολογίζει αυτόματα:

- Loop gain,
- Phase margin (PM),
- Gain margin (GM), χωρίς να απαιτείται χειροκίνητο loop break.

Απαιτεί την εισαγωγή ενός iprobe ή diffstbprobe στο CMFB path.

Τα αποτελέσματα παρέχουν γραφήματα Bode του CMFB loop:

- Μέτρο $|T(j\omega)|$ σε dB,
- Φάση $\varphi(\omega)$ σε μοίρες, και εντοπίζουν την συχνότητα ενότητας (UGF) και το Phase Margin [26].

3.3.4 Πόλοι, Μηδενικά και Ευστάθεια

Ο CMFB βρόχος εισάγει επιπλέον πόλους και μηδενικά στο συνολικό σύστημα.

Οι κυριότερες πηγές τους είναι:

Στοιχείο	Επίδραση στο CMFB Loop
Load capacitances (Cload)	Δημιουργεί χαμηλόσυχνους πόλους
Internal nodes του CMFB amplifier	Προσθέτουν επιπλέον πόλους
Common-mode node της εξόδου	Μπορεί να εισάγει μηδενικά λόγω coupling
Bias network	Εισάγει καθυστερήσεις και καθορίζει τη δυναμική απόκριση

Πίνακας 8: Πόλοι Μηδενικά και Ευστάθεια

Στόχος της σχεδίασης είναι η απομάκρυνση του κυρίαρχου πόλου (dominant pole) του CMFB από την περιοχή των συχνοτήτων του differential loop. Συνήθως, ορίζεται ότι:

$$f_{p,CMFB} < f_{p,diff}$$

ώστε να αποφεύγεται αλληλεπίδραση των δύο βρόχων [64].

3.3.5 Αντιστάθμιση (Compensation) του CMFB Βρόχου

Για τη διασφάλιση της σταθερότητας, χρησιμοποιούνται διάφορες τεχνικές αντιστάθμισης :

1. Miller Compensation (Capacitive Feedback):
Προσθήκη πυκνωτή ανάμεσα στην έξοδο και την είσοδο του CMFB ενισχυτή.
Δημιουργεί κυρίαρχο πόλο και σταθεροποιεί την φάση.
2. Nulling Resistor:
Συνδυάζεται με Miller cap για τη δημιουργία μηδενικού (zero) που αντισταθμίζει την πτώση φάσης.
3. RC Feedback στον CMFB OTA:
Εισαγωγή μικρού RC δικτύου για έλεγχο της απόκρισης συχνότητας.
4. Low-gm CMFB amplifier:
Η μείωση του gm του CMFB OTA περιορίζει το loop gain, βελτιώνοντας τη σταθερότητα με τίμημα μικρότερη ταχύτητα αποκατάστασης [64].

3.3.6 Παράδειγμα Εφαρμογής — Fully Differential OTA με CMFB

Σε έναν fully differential two-stage op-amp, ο CMFB βρόχος συνδέεται με το bias του δεύτερου σταδίου (tail current ή bias transistor). Η AC ανάλυση δείχνει ότι:

- Ο differential loop έχει $UGF \approx 100 \text{ MHz}$, $PM \approx 60^\circ$,
- Ο CMFB loop έχει $UGF \approx 5\text{--}10 \text{ MHz}$, $PM \approx 55^\circ$.

Η χαμηλότερη UGF του CMFB εξασφαλίζει ότι οι δύο βρόχοι λειτουργούν χωρίς αλληλεπίδραση, ενώ το $PM > 45^\circ$ εγγυάται σταθερή DC λειτουργία [64].

3.3.7 Συνοπτικά

Παράμετρος	Σημασία	Τυπικές Τιμές / Κριτήρια
$TCM(s)T_{CM}(s)TCM(s)$	Loop gain του CMFB	20–40 dB
$f_{UGF,CM}$	Unity gain frequency	1/10 του differential loop
Phase Margin (PM)	Κριτήριο σταθερότητας	$> 45^\circ$
Gain Margin (GM)	Ανθεκτικότητα σε μεταβολές	$> 6 \text{ dB}$
Dominant Pole	Καθορίζει τη δυναμική απόκριση	Συνήθως σε MHz
Compensation	Εξασφαλίζει $PM > 45^\circ$	RC ή Miller

Πίνακας 9: Συνοπτικός Πίνακας

3.3.8 Συμπέρασμα

Η σταθερότητα του CMFB βρόχου αποτελεί βασική προϋπόθεση για την αξιόπιστη λειτουργία κάθε πλήρως διαφορικού ενισχυτή. Μέσω της ανάλυσης μικρού σήματος και της μέτρησης του loop gain ($T(s)$), ο μελετητής μπορεί να εξασφαλίσει ότι:

- το κοινό επίπεδο εξόδου ($V_{cm,out}$) παραμένει σταθερό,
- δεν εμφανίζονται ταλαντώσεις ή overshoot,
- και ο διαφορικός βρόχος λειτουργεί ανεπηρέαστος.

Η σωστή αντιστάθμιση, σε συνδυασμό με τις τεχνικές μέτρησης Middlebrook και STB, αποτελεί αναπόσπαστο μέρος του verification flow στα αναλογικά CMOS κυκλώματα, ειδικά σε συστήματα όπου η ακρίβεια και η σταθερότητα είναι κρίσιμες (όπως ADCs, amplifiers και filters).

3.4 Σχεδιαστικές Εξισώσεις και Κανόνες: Επιλογή $V_{cm,target}$, Headroom, Slew και Start-up

Ο σχεδιασμός ενός κυκλώματος Common-Mode Feedback (CMFB) απαιτεί προσεκτική επιλογή των παραμέτρων λειτουργίας, έτσι ώστε να διασφαλίζεται η σωστή DC πόλωση, η σταθερότητα του βρόχου, και η δυναμική απόδοση του ενισχυτή. Οι κρίσιμες παράμετροι που πρέπει να ληφθούν υπόψη είναι το επιθυμητό κοινό δυναμικό εξόδου ($V_{cm,target}$), το headroom, το slew rate, καθώς και η εκκίνηση (start-up) του βρόχου [25].

3.4.1 Επιλογή της Τάσης Κοινού Τρόπου Εξόδου ($V_{cm,target}$)

Η επιλογή του $V_{cm,target}$ καθορίζει το DC επίπεδο γύρω από το οποίο τα σήματα εξόδου (V_{out+} , V_{out-}) ταλαντώνονται συμμετρικά [25].

Γενική σχέση:

$$V_{CM,target} = \frac{V_{DD} + V_{SS}}{2}$$

ή, σε single-supply κυκλώματα:

$$V_{CM,target} = \frac{V_{DD}}{2}$$

Ωστόσο, στην πράξη, η επιλογή του $V_{CM,target}$ πρέπει να ικανοποιεί τους εξής περιορισμούς:

1. Headroom των τρανζίστορ εξόδου:

Η V_{CM} πρέπει να είναι αρκετά χαμηλή ώστε τα PMOS να μην βγουν από την περιοχή κορεσμού και αρκετά υψηλή ώστε τα NMOS να μην κοπούν.

Για ένα τυπικό push-pull στάδιο:

$$V_{CM,target} = V_{SS} + V_{DSsat,NMOS} + \frac{V_{swing}}{2}$$

2. Συμβατότητα με bias δικτύωμα: Το $V_{CM,target}$ πρέπει να ευθυγραμμίζεται με τις DC πόλωσεις που παράγονται από τα reference ή replica bias κυκλώματα.

3. Εύρος λειτουργίας (Output swing):

Το επιλεγμένο V_{cm} πρέπει να επιτρέπει τη μέγιστη δυνατή διαφορική ταλάντωση χωρίς παραμόρφωση:

$$V_{swing,max} = 2 \times (V_{CM,target} - V_{DSsat})$$

Τυπικές τιμές: Για $V_{DD} = 1.8 \text{ V}$ σε τεχνολογία CMOS 180 nm [123]:

$$V_{CM,target} \approx 0.9 \text{ V}$$

3.4.2 Headroom και Περιορισμοί Πόλωσης

Το headroom ορίζεται ως το ελάχιστο περιθώριο της τάσης που απαιτείται ώστε όλα τα MOS τρανζίστορ να παραμένουν σε κορεσμό. Στον CMFB βρόχο, το headroom επηρεάζει:

- Την τάση εξόδου ($V_{cm,out}$),
- Την τάση πόλωσης (V_{bias}) των σταδίων,
- Τη δυνατότητα οδήγησης του CMFB OTA.

Η συνθήκη κορεσμού για ένα MOS είναι:

$$V_{DS} > V_{GS} - V_{TH}$$

Αυτό σημαίνει ότι το $V_{CM,target}$ πρέπει να ικανοποιεί:

$$V_{SS} + V_{DSsat,N} + V_{ov,P} < V_{CM,target} < V_{DD} - V_{DSsat,P} - V_{ov,N}$$

όπου V_{ov} είναι η υπέρβαση τάσης (overdrive voltage).

Κανόνας σχεδίασης: Επιλέγουμε $V_{CM,target}$ περίπου στο μέσο του παραπάνω διαστήματος ώστε να υπάρχει επαρκές headroom και για τα δύο είδη τρανζίστορ [28].

3.4.3 Slew Rate και Δυναμική Συμπεριφορά

Η απόκριση του CMFB βρόχου πρέπει να είναι αρκετά γρήγορη ώστε να παρακολουθεί τις μεταβολές κοινού τρόπου, αλλά όχι τόσο γρήγορη ώστε να παρεμβαίνει στον διαφορικό βρόχο.

Ο slew rate του CMFB καθορίζεται από την ικανότητα του CMFB OTA να φορτίζει και να εκφορτίζει τους πυκνωτές του common-mode node:

$$SR_{CMFB} = \frac{I_{CMFB}}{C_{CM}}$$

όπου:

- I_{CMFB} είναι το ρεύμα εξόδου του CMFB OTA,
- C_{CM} είναι η συνολική χωρητικότητα κοινού τρόπου (Cload + parasitic).

Για σταθερότητα, ισχύει ο εμπειρικός κανόνας:

$$SR_{CMFB} < 0.1 \times SR_{DIFF}$$

ώστε ο CMFB να αποκαθιστά αργά το κοινό δυναμικό, χωρίς να επηρεάζει το differential swing [28].

3.4.4 Start-up και Αποφυγή Μετασταθών Καταστάσεων

Κατά την εκκίνηση (power-on), ο CMFB βρόχος μπορεί να παρουσιάσει απροσδιόριστη αρχική κατάσταση (metastable state), ειδικά όταν το κύκλωμα είναι συμμετρικό και δεν υπάρχει καθορισμένο V_{cm} . Αυτό μπορεί να οδηγήσει σε μηδενική ή λανθασμένη πόλωση.

Τεχνικές εκκίνησης (Start-up circuits):

1. Resistive kick-start:

Προσθήκη μεγάλης αντίστασης που "τραβά" το V_{cm} προς το επιθυμητό σημείο κατά την εκκίνηση.

2. Transistor-based start-up:

MOS διάταξη που ενεργοποιείται μόνο κατά την εκκίνηση (όταν V_{DD} αυξάνεται) και απενεργοποιείται μετά τη σταθεροποίηση του V_{cm} .

3. Self-biasing start-up loop:

Προσωρινός βρόχος ανατροφοδότησης που διατηρεί το V_{cm} κοντά στο V_{ref} κατά τη διάρκεια του power-on.

Σκοπός των παραπάνω τεχνικών είναι η αποφυγή συμμετρικών deadlock καταστάσεων και η ομαλή μετάβαση στη σταθερή λειτουργία[63].

3.4.6 Συνοπτικά

Ο CMFB πρέπει να ικανοποιεί τρία βασικά κριτήρια:

1. DC Ακρίβεια:

Το $V_{cm,out}$ να διατηρείται σταθερό και κοντά στο $V_{cm,target}$.

2. Δυναμική Ευστάθεια:

Ο βρόχος να είναι αντισταθμισμένος με επαρκές phase margin, ώστε να μην εισάγει ταλαντώσεις.

3. Λειτουργική Αξιοπιστία:

Να εκκινεί σωστά, να λειτουργεί συμμετρικά, και να μην επηρεάζει τον διαφορικό βρόχο.

Η ισορροπία μεταξύ headroom, σταθερότητας, και slew rate καθορίζει τελικά την επιτυχία του σχεδιασμού. Ένας καλά ρυθμισμένος CMFB εξασφαλίζει σταθερό κοινό δυναμικό εξόδου, γραμμική λειτουργία, και υψηλό CMRR, συμβάλλοντας καθοριστικά στη συνολική ποιότητα του fully differential op-amp.

ΚΕΦΑΛΑΙΟ 4 ΥΠΟΘΕΣΗ ΕΡΓΑΣΙΑΣ

4.1 Σκοπός

Στόχος της παρούσας εργασίας είναι η ανάπτυξη και τεκμηρίωση μίας ταχείας, αυτοματοποιημένης ροής επαλήθευσης για CMOS operational amplifiers στο περιβάλλον Cadence/Spectre (2025). Βασιζόμαστε στη φιλοσοφία της βιβλιογραφίας, την εκσυγχρονίζουμε και την γενικεύουμε ώστε, με έναν ενιαίο testbench και μία εντολή, να εξάγονται αυτόματα οι κρίσιμες μετρικές (AOL, GBW, UGF, PM, CMRR, PSRR, SR/overshoot/settling, Zin/Zout, Vcm-range, THD, IP3, noise), σε PVT corners και Monte-Carlo, παράγοντας συγκεντρωτική αναφορά (plots + πίνακες pass/fail).

4.1.1 Υπόθεση εργασίας

Η υπόθεση που διερευνάται είναι πως μια τυποποιημένη/παραμετροποιήσιμη ροή (AC/XF/TRAN, STB, PSS/PAC) χρησιμοποιώντας σύγχρονα εργαλεία loop-breaking και ενιαίο post-processing:

1. θα επιτρέπει πλήρη επαλήθευση ενός op-amp με μία εντολή και χωρίς χειροκίνητες παρεμβάσεις,
2. θα είναι φορητή μεταξύ διαφορετικών αρχιτεκτονικών (αντικατάσταση συμβόλου DUT + αρχείου ορίων προδιαγραφών),
3. θα εντοπίζει με συνέπεια τα worst-case σενάρια και τη στατιστική διακύμανση,
4. και θα οδηγεί σε αναπαραγώγιμα αποτελέσματα που ικανοποιούν τις στοχευμένες προδιαγραφές και μετά από PEX (όπου εφαρμόζεται).

4.2 Περιβάλλον Προσομοιώσεων & Δοκιμαζόμενο Κύκλωμα (DUT)

4.2.1 Εργαλεία, PDK και Μήτρα Γραμμής

Για όλες τις προσομοιώσεις χρησιμοποιήθηκε Cadence Virtuoso / Spectre με τον PDK GlobalFoundries 22FDX (22 nm FD-SOI).

Η επιλογή μοντέλων γίνεται μέσω wrapper αρχείου design_wrapper.lib.scs και των ενοτήτων:

- tt_pre (τυπικό),
- ss_pre, ff_pre,
- sf_pre, fs_pre.

Τα εκτελούμενα σενάρια (OCEAN/SKILL) φορτώνουν τα μοντέλα και ορίζουν συνθήκες PVT ως εξής (τιμές που χρησιμοποιούνται στο script):

Corner	Section	Θερμοκρασία	VDD	VCM
GF22FDX_TT	tt_pre	27 °C	0.90 V	0.45 V
GF22FDX_SScLo	ss_pre	-40 °C	0.90 V	0.45 V
GF22FDX_FFhHi	ff_pre	125 °C	1.10 V	0.55 V
GF22FDX_SF	sf_pre	27 °C	1.00 V	0.50 V
GF22FDX_FS	fs_pre	27 °C	1.00 V	0.50 V

Πίνακας 10: Corners

Η αυτόματη φόρτωση προδιαγραφών γίνεται από αρχείο τύπου .spec (π.χ. CmirDiffAmp4.spec) μέσω των βοηθητικών συναρτήσεων AFV.

Οι προσομοιώσεις εκτελέστηκαν σε Cadence Spectre, με PDK GF 22FDX (22 nm FD-SOI). Η επιλογή μοντέλων γίνεται από design_wrapper.lib.scs στις ενότητες tt_pre, ss_pre, ff_pre, sf_pre, fs_pre.

4.2.2 DUT: Fully Differential Current-Mirror OTA με CMFB

Το DUT είναι fully-differential current-mirror operational amplifier με gm-sensing CMFB. Η αρχιτεκτονική ακολουθεί την προσέγγιση του reference paper (current-mirror load, NMOS input pair) και υλοποιείται στην 22FDX.

Βασικά σημεία:

- Διαφορικό ζεύγος NMOS και καθρέπτες ρευμάτων σε τοπολογία current-mirror.
- CMFB gm-sensing που οδηγεί κόμβο κοινής τάσης (cmout) και ρυθμίζει το bias του σταδίου εξόδου.
- Συμβατότητα με single-supply λειτουργία γύρω από $V_{DD} \approx 1.0\text{ V}$ και $V_{CM} \approx 0.5\text{ V}$.

Ενδεικτικό σετ παραμέτρων (όπως περνά στο script ως design variables):

wpmirr=122 μm , lpmirr=8 μm , wpcmir=6.1 μm , lpcmir=620 nm, wndiff=366 μm , lndiff=156.41 nm, wnout=12 μm , lnout=4.5 μm , wp=6.25 μm , lp=200 nm, κ.ά. (βλ. Σχήμα 1).

Ως DUT χρησιμοποιείται fully-differential current-mirror OTA με gm-sensing CMFB

(Σχήμα 1). Η διαστασιολόγηση περνά στο σενάριο ως μεταβλητές σχεδίασης, επιτρέποντας γρήγορη παραμετροποίηση χωρίς αλλαγές στο schematics.



4.2.3 Μετρολογικό Περιβάλλον & Testbench

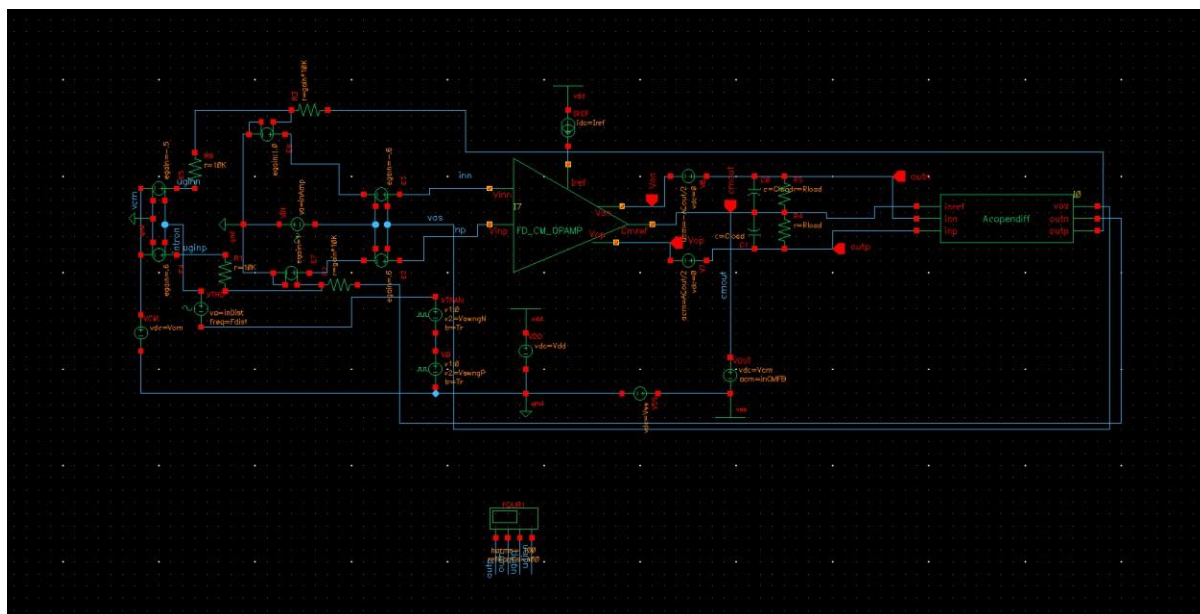
Χρησιμοποιούνται δύο βασικά testbenches (Σχήμα 2):

1. Γενικό bench (AC/XF/TRAN/Noise/CMFB/CMR/Zout/THD):
 - Διέγερση διαφορικής εισόδου με πηγές uginp/uginn.
 - Κόμβος κοινής τάσης εξόδου VCM και probe cmout για τον βρόχο CMFB.
 - Φόρτιο: Rload και Cload (τυπικά Rload=10 MΩ, Cload=100 pF, εκτός όπου αναφέρεται διαφορετικά).
 - Μικρή σειριακή αντίσταση εισόδου (E2) για εξαγωγή Zin από το ρεύμα εισόδου.
 - Βοηθητικός ενισχυτής/servo (block Acopendiff) για DC κλείσιμο/άνοιγμα βρόχου όπου απαιτείται από τη μέθοδο μέτρησης (όπως στο reference paper).
2. Bench PSS+PAC για IP3/SFDR:
 - Διτονική διέγερση: μεγάλος τόνος PSS στη fund=1 MHz και μικρός τόνος PAC σε f2=fund+Δf (π.χ. Δf=10 kHz).
 - Εξαγωγή OIP3 και proxy SFDR από τα sidebands του διαφορικού σήματος εξόδου.

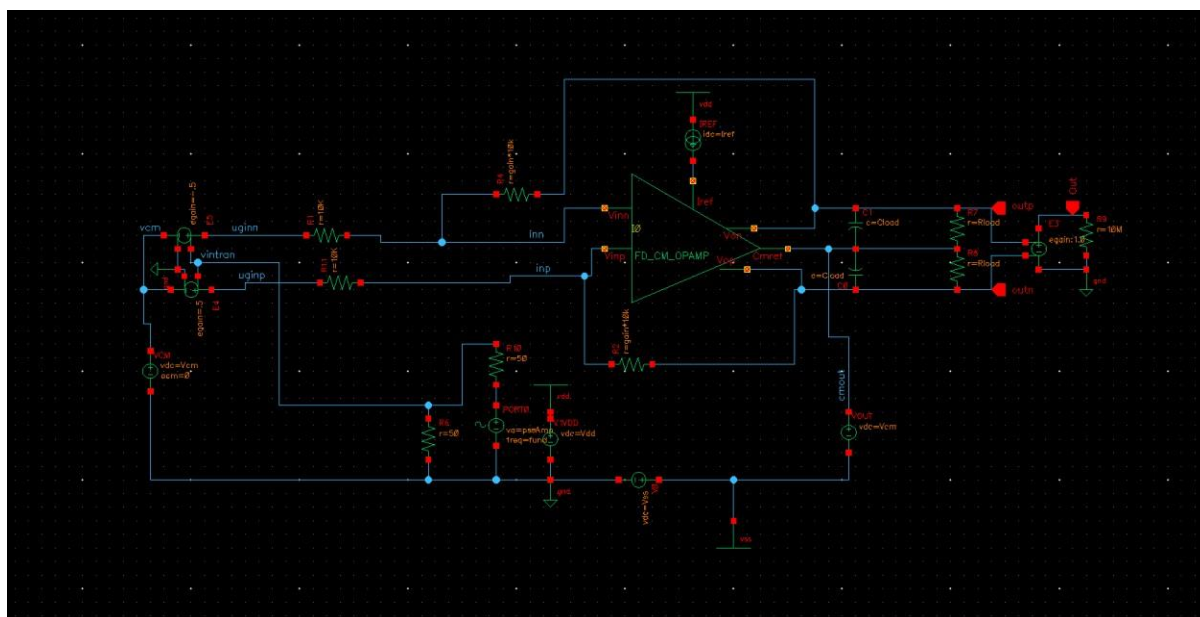
Τυπικές μεταβλητές bench (περνούν από το script):

Vdd=1.0 V, Vss=0, Vcm=0.5 V, Iref≈150 μA, Rload=100 kΩ–10 MΩ, Cload=100 pF, χρόνοι παλμών Tpin, Tdin, Tr για το step, κ.λπ.

Το Σχήμα 2 απεικονίζει το κεντρικό testbench. Περιλαμβάνει διαφορική διέγερση, κόμβο κοινού τρόπου, μετρήσεις rejection ratios μέσω XF, μέτρηση Zin από το ρεύμα της μικρής σειριακής αντίστασης εισόδου και servo block για ελεγχόμενο κλείσιμο/άνοιγμα βρόχου. Για την ανάλυση IP3 χρησιμοποιείται ξεχωριστό bench PSS+PAC (Σχήμα 3).

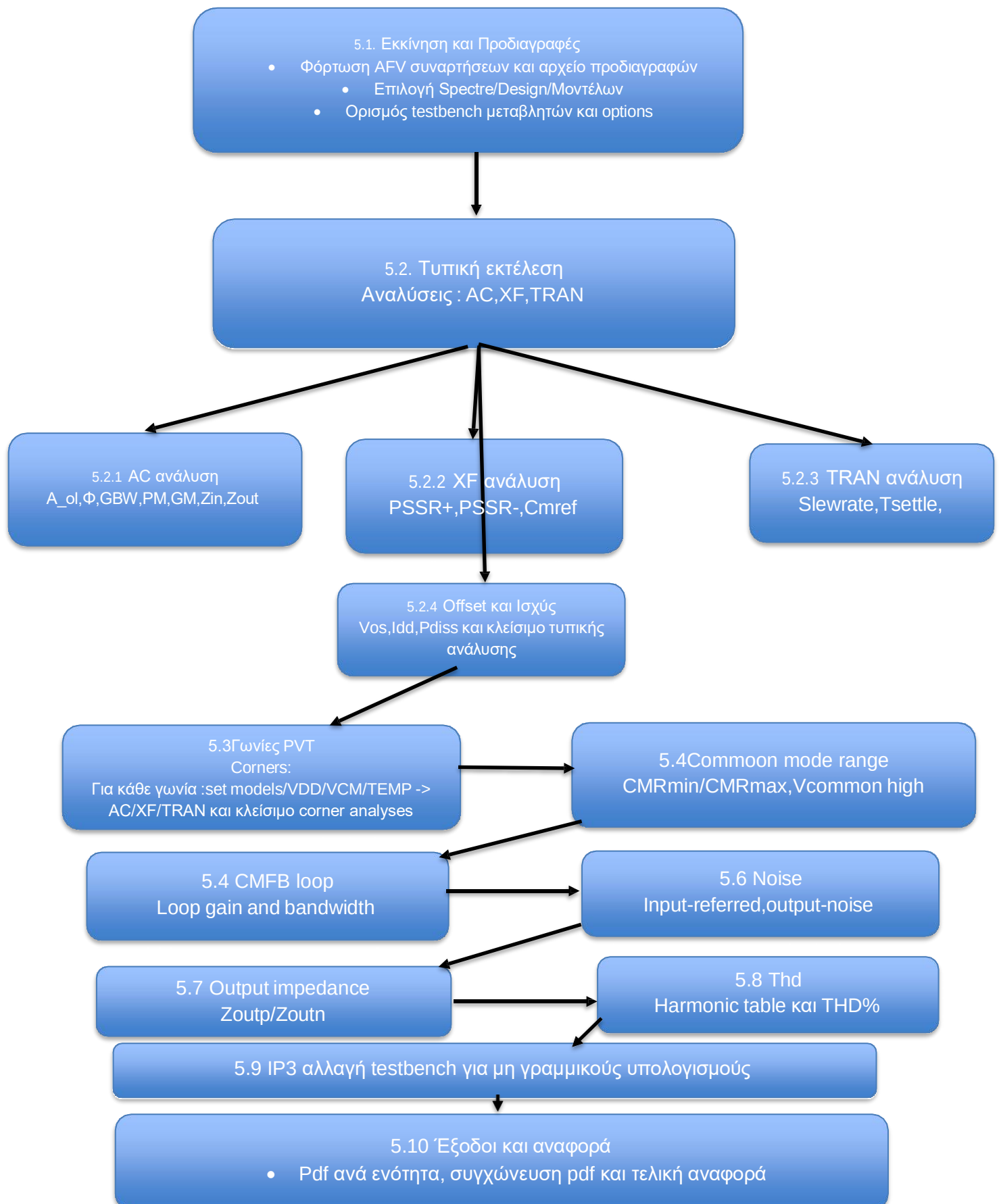


Σχήμα 2: Testbench AC/XF/TRAN/Noise/CMFB/CMR/Zout/THD



Σχήμα 3: Testbench PSS+PAC για IP3/SFDR.

ΚΕΦΑΛΑΙΟ 5 Ανάλυση Κώδικα Επαλήθευσης



5.1.1 Utilities (AFV)

Παρακάτω συνοψίζονται οι βοηθητικές συναρτήσεις που χρησιμοποιεί το κύριο OCEAN script. Η σειρά είναι πρώτα τα utilities (ώστε να είναι ξεκάθαρες οι κλήσεις όπως AFVtest(...), AFVsetPlot(...)) και στη συνέχεια ακολουθεί η ανάλυση του κύριου κώδικα.

- **AFVsetPlot(plotterName, outputFile, title, subTitle, bbox)**

Ρυθμίζει την εκτύπωση/εξαγωγή γραφημάτων: ελέγχει δικαιώματα εγγραφής, ορίζει το αρχείο PDF, ανοίγει νέο παράθυρο ViVA στο bbox και προσθέτει τίτλους.

Χρήση στο script: πριν από κάθε γράφημα (OLFreqResp, RejRatios, StepResponse, κ.λπ.) για συνεπή παραγωγή PDF.

- **AnalogTests (global πίνακας)**

Κεντρικό registry προδιαγραφών και counters PASS/FAIL/RUNS ανά “test key”.

Αποθηκεύει τύπο ορίου (min, max, range, pcnt, porm) και τις αριθμητικές τιμές.

Γεμίζει από: AFVtestInit(...). *Καταναλώνεται από:* AFVtest(...), AFVlogReport(...), AFVreport(...).

- **AFVtestInit(file)**

Διαβάζει το αρχείο προδιαγραφών (π.χ. CmirDiffAmp4.spec) και αρχικοποιεί τον AnalogTests με όλα τα keys/όρια.

Χρήση στο script: στο προοίμιο, πριν τρέξουν αναλύσεις/μετρήσεις.

- **AFVtest(test, value)**

Ελέγχει μια υπολογισμένη μετρική ως προς τα όριά της. Επιστρέφει nil όταν περνάει, ή το(α) όριο(α) όταν αποτυγχάνει· ενημερώνει τους counters.

Χρήση στο script: αμέσως μετά τον υπολογισμό κάθε μετρικής, ώστε να τυπωθεί SPECFAIL: ... μόνο όταν υπάρχει παραβίαση.

- **AFVlogReport(runName)**

Εκτυπώνει στη CIW συνοπτικό πίνακα PASS/FAIL/RUNS ανά test και σύνολα.

Χρήσιμο για: γρήγορο οπτικό έλεγχο κατά την ανάπτυξη.

- **AFVreport(?runName, ?ResultsDir)**

Παράγει την ίδια σύνοψη και δημιουργεί αρχείο-σημαία: <runName>.pass ή <runName>.fail στον κατάλογο ResultsDir.

Χρήση στο script: μετά από batch/MC runs, για μηχανικά ανιχνεύσιμη ένδειξη επιτυχίας/αποτυχίας.

- **AFVtestVerilog(fileName)**

Διαβάζει ζεύγη (test value) από αρχείο και τα περνάει στο AFVtest(...).

Χρήσιμο για: εξωτερικούς generators/regressions (δεν είναι απαραίτητο στη βασική ροή εδώ).

- **AFVtestDump()**

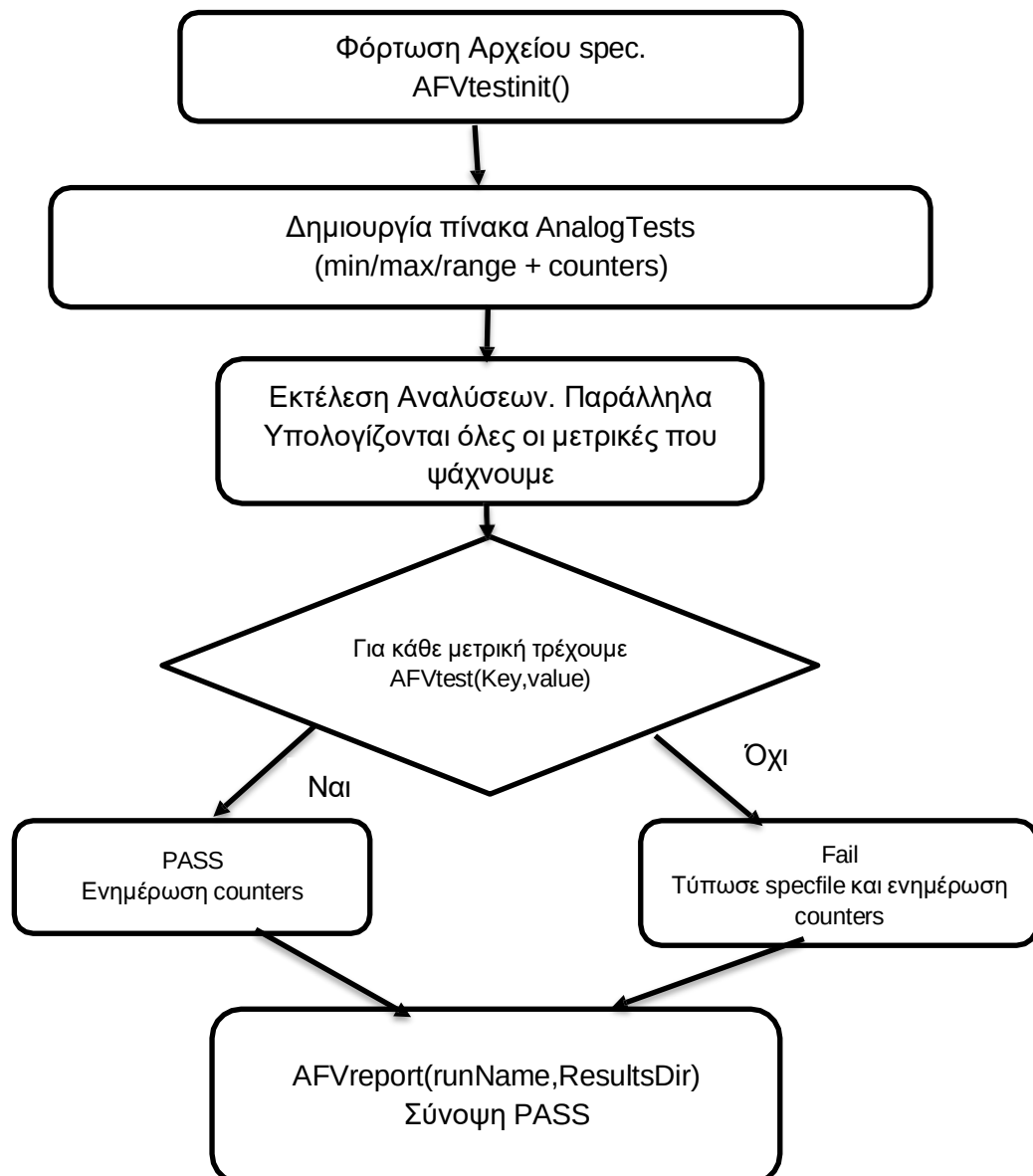
Εκτυπώνει το περιεχόμενο του AnalogTests (μαζί με counters).

Χρήσιμο για: αποσφαλμάτωση φόρτωσης specs ή απρόσμενων κρίσεων.

Ο κύριος κώδικας ξεκινάει με load όλων αυτών των συναρτήσεων.

5.1.2 Φόρτωση προδιαγραφών

Για να γίνει η φόρτωση των προδιαγραφών χρειάζεται ένα text document το οποίο είναι χωρισμένο σε γραμμές . Αυτό γίνεται καλώντας την AFVtestInit(“...../...spec.”)



5.1.3 Επιλογή simulator, schematic , μοντέλου και μεταβλητών .

5.1.3.1 Επιλογή simulator

- **Simulator('spectre)**

Κλειδώνει όλο το script στον spectre ώστε να μην υπάρχουν ασυμβατότητες εάν το περιβάλλον μας έχει κάποια άλλη μηχανή

- **Design("library name" "name of cell view" " schematic")**

Δένουμε το OCEAN απευθείας στο συγκεκριμένο schematic view του testbench. Σε αυτόν των κώδικα χρησιμοποιούμε δύο φορές αυτό το όρισμα εφόσον χρησιμοποιούμε δύο testbench.

- **resultsDir("../Results")**

Ορίζει που θα πέσουν τα PSF του τυπικού run . Επειδή ο σκοπός μας είναι να ανα χρησιμοποιείται αυτός ο κώδικας δημιουργούμε κάθε φορά αυτό το directory με το mkdir. Σκοπός μας είναι να αυτοματοποιήσουμε τη διαδικασία ώστε να γίνεται γρήγορη επαλήθευση οποιοδήποτε opamp. Μπορούμε απλά να αντιγραφούμε τον φάκελο και να τον αποθηκεύουμε ανάλογα τον opamp μας και κάθε νέο τρέξιμο του κώδικα μας διαγράφει προηγούμενα τρεξίματα.

5.1.3.2 Μοντέλα διεργασίας και section

- **path("../Models/spectre/models") και modelFile(("design_wrapper.lib.scs" "tt_pre"))**

Βάζω στο search path τον φάκελο με τα SCS και φορτώνει ένα wrapper με section tt_pre το τυπικό μας corner . Ο wrapper λύνει inclusion, device mapping και default options του PDK. Χρησιμοποιούμε τον 22FDX.

5.1.3.3 Ορισμός μεταβλητών

- **desVar("VDD" 1).**

Τροφοδοσία, μεταβλητές του testbench.

Εδώ έχουμε τιμές όπως Vdd, Vss και μεταβλητές που έχει το testbench μας που τρέχουμε τις αναλύσεις. Επειδή σκοπός μας είναι να εξετάσουμε op-amp σε μια τεχνολογία δεν τις αλλάζουμε αυτές τις τιμές

- **desVar(wndiff 160n).**

Μεταβλητές του opamp.

Είναι οι μεταβλητές που αλλάζουν ανάλογα με τον differential-opamp που εξετάζω

- **option('reltol "1e-5") , temp(27)**

Η σχετική αριθμητική ανοχή του Spectre. Μας λέει πόσο μικρή πρέπει να γίνει η σχετική αλλαγή λάθους των μεγεθών V,I για να θεωρηθεί ότι βρήκαμε σωστή λύση.

Μικρότερο reltol μας δίνει πιο ακριβές αλλά πιο αργό να συγκλίνει. Μεγαλύτερο σημαίνει γρηγορότερο αλλά μπορεί να πειράξει τις τιμές που θέλουμε να υπολογίσουμε.

5.1.3.4 τιμές που σώζονται

- **save('allv')**
Για όλες τις τάσεις αλλά μπορούμε να οριοθετήσουμε ποια ακριβώς θέλουμε για να μην επιβαρύνεται πολύ ο κώδικας. Για παράδειγμα για τα ρεύματα επέλεξα μόνο αυτό που χρειάζεται για το Zin. Πρέπει να ταιριάζει με τα ονόματα των στοιχείων του testbench.

5.1.3.5 Αναλύσεις που τρέχουμε αρχικά

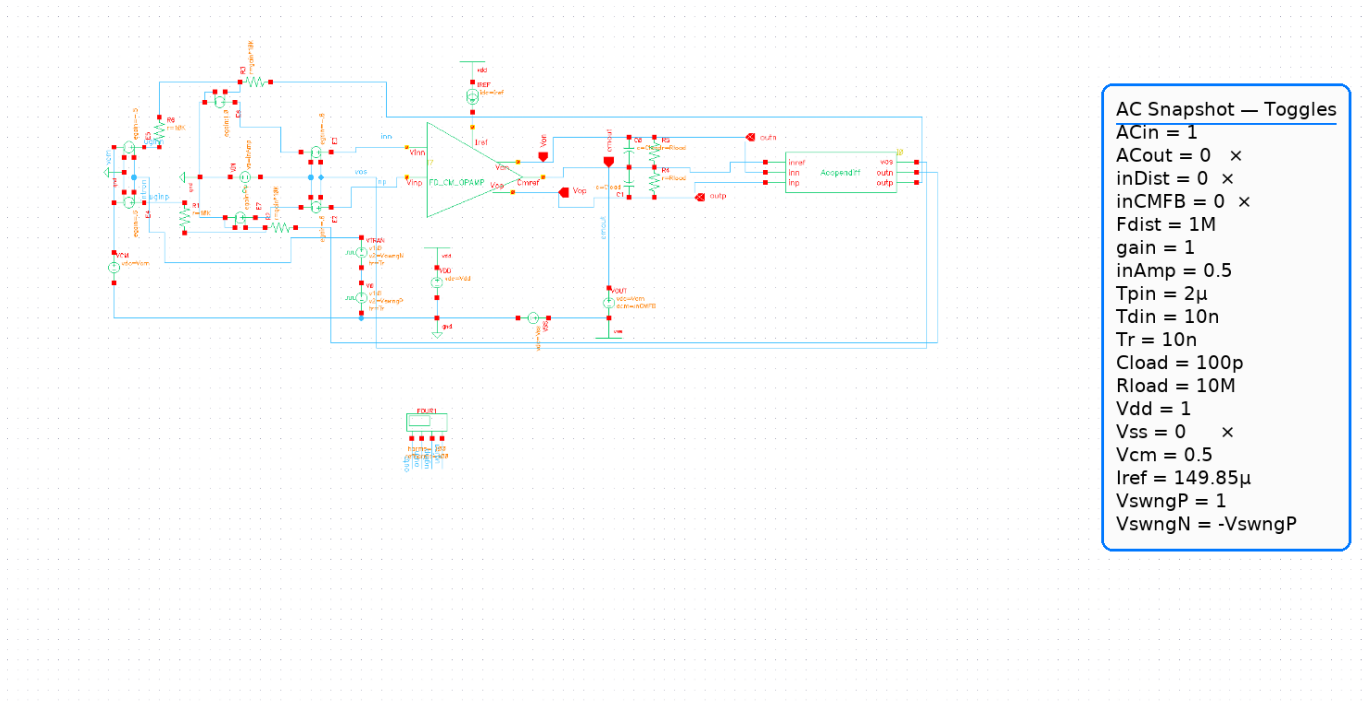
- **analysis(ac ?start "1K" ?stop "1000G" ?dec "20")**
Η ανάλυση εναλλασσόμενου ρεύματος . Το εύρος 1khz-100Ghz είναι επίτηδες πλατύ ώστε να πιάσω όλο το loop .
- **analysis(xf ?p "/inp" ?n "/inn")**
- **analysis(tran ?stop "100u")**
Ο χρόνος 100μs επιλέχθηκε για να χωρά ξεκάθαρα παράθυρα μετρήσεων αν το κύκλωμα είναι ταχύτερο, μικραίνεται.
- **analysis(dc ?param "temp" ?start "0" ?stop "10" ?step "5")**
Ορίζουμε την παράμετρό μας , σε αυτή την περίπτωση διαλέγουμε τη θερμοκρασία γιατί θέλουμε να υπολογίσουμε τη Vos drift μέσω παραγώγου γύρω από τους 27°.
- **run()**
Έτσι τρέχουμε τις αναλύσεις που έχουμε ορίσει.

5.2 Τυπική εκτέλεση

Στην τυπική εκτέλεση τρέχουμε τις αναλύσεις που ορίσαμε πιο πάνω και εξάγουμε τις μετρικές μας μέσω εκφράσεων.

- **selectResults'(<analysis>)**
Διαλέγει από πια ανάλυση θα κρατήσει αποτελέσματα.
- **Plot(Aol ?exp '("Aol"))**
Πλοττάρει το διάγραμμα που θέλουμε. Στη συγκεκριμένη περίπτωση θα πλόταρρε το dc gain μας. Εμφανίζει την κυματομορφή expr στο ViVa και βάζει στο legend το κείμενο.
- **addWavelaber(win list(x u) "text" ?textOffset dx:dy ?justify "...")**
Προσθέτει εντός του διαγράμματος κείμενο και εάν θέλουμε να δείξουμε κάποια συγκεκριμένη τιμή. Καρφώνει κείμενο στη θέση (x,y) του ενεργού παραθύρου . Το textoffset μετακινεί λίγο το label.

5.2.1 Διαμόρφωση testbench ανάλογα των διεγέρσεων που έχουμε ορίσει



5.2.2 Ac analysis expressions

- $$A_{olf} = \text{dB20}(((\text{VF}("/\text{outp}") - \text{VF}("/\text{outn}")) / (\text{VF}("/\text{inp}") - \text{VF}("/\text{inn}")))))$$

$$A_{ol, \text{dB}}(f) = 20 \log_{10} \frac{(V_{out, p}(f) - V_{out, n}(f))}{(V_{in, p}(f) - V_{in, n}(f))}$$
- $$\text{PHol} = \text{phase}(((\text{VF}("/\text{outp}") - \text{VF}("/\text{outn}")) / (\text{VF}("/\text{inp}") - \text{VF}("/\text{inn}")))))$$

$$\phi(f) = \angle \frac{V_{out, \text{diff}}(f)}{V_{in, \text{diff}}(f)}$$
- $$A_{ol} = \text{value}(\text{dB20}(((\text{VF}("/\text{outp}") - \text{VF}("/\text{outn}")) / ((\text{VF}("/\text{inp}") - \text{VF}("/\text{inn}")))))) 0)$$

$$A_{ol, \text{dB}}(0)$$
- $$Z_{in} = (\text{VF}("/\text{inp}") / \text{IF}("/\text{E2/PLUS}"))$$
- $$Z_{in1M} = \text{mag}(\text{value}(Z_{in} 1\text{M}))$$

$$Z_{in}(f) = \frac{V_{in}(f)}{I_{series}(f)}, |Z_{in}(1\text{MHz})|$$
- $$\text{GBW} = \text{gainBwProd}((\text{VF}("/\text{outp}") - \text{VF}("/\text{outn}")) / ((\text{VF}("/\text{inp}") - \text{VF}("/\text{inn}")))))$$

$$\text{GBW} \approx f_{UGF} \approx A_{ol}(0) \times f - 3\text{dB}$$
- $$\text{Gmargin} = \text{gainMargin}((\text{VF}("/\text{outp}") - \text{VF}("/\text{outn}")) / ((\text{VF}("/\text{inp}") - \text{VF}("/\text{inn}")))))$$
- $$\text{Pmargin} = \text{phaseMargin}((\text{VF}("/\text{outp}") - \text{VF}("/\text{outn}")) / ((\text{VF}("/\text{inp}") - \text{VF}("/\text{inn}")))))$$

$$\text{GM} = 20 \log_{10} \left(\frac{1}{|L(j\omega 180)|} \right), \text{PM} = 180^\circ + \angle L(j\omega 0\text{dB})$$
- $$\text{DomPoleFreq} = \text{bandwidth}(((\text{VF}("/\text{outp}") - \text{VF}("/\text{outn}")) / ((\text{VF}("/\text{inp}") - \text{VF}("/\text{inn}")))))) 3$$

"low")

-
- $f - 3\text{dB, low: } A_{ol, \text{dB}}(f) = A_{ol, \text{dB}}(0) - 3\text{ dB}$
- **UGF = cross(dB20(((VF("/outp")-VF("/outn"))/(VF("/inp")-VF("/inn"))))) 0 1 "either")**

$$f_{UGF}: A_{ol, \text{dB}}(f) = 0\text{ dB}$$
 - **CMRR = dB20((1 / getData("/VCM" ?result "xf-xf")))**
 - **dcCMRR = value(CMRR 0)**

$$\text{CMRR}(f) = 20\log_{10}\left(\frac{1}{|H_{vcm} \rightarrow v_{out, \text{diff}}(f)|}\right), \text{CMRR}_{\text{DC}} = \text{CMRR}(0)$$
 - **PSRRdd = dB20((1 / getData("/VDD" ?result "xf-xf")))**
 - **PSRRss = dB20((1 / getData("/VSS" ?result "xf-xf")))**

$$\text{PSRR} + (f) = 20\log_{10}\left(\frac{1}{|H_{vdd} \rightarrow v_{out}(f)|}\right), \text{PSRR} - (f) = 20\log_{10}\left(\frac{1}{|H_{vss} \rightarrow v_{out}(f)|}\right).$$
 - **CmRefRR = dB20((1 / getData("/VOUT" ?result "xf-xf")))**
 - **SlewRateP = abs(slewRate((VT("/outp")-VT("/outn")) 3.5e-06 't 4.5e-06 't 10 90))**

$$\text{SR} \uparrow = \frac{V_{90\%} - V_{10\%}}{t_{90\%} - t_{10\%}} \text{ στο παράθυρο } t [3.5, 4.5] \mu\text{s}$$
 - **OvershootP = overshoot((VT("/outp")-VT("/outn")) 4e-06 't 5e-06 't)**

$$\%OS \uparrow = 100 \cdot \frac{V_{\text{peak}} - V_{\text{final}}}{V_{\text{final}}}$$
 - **Tsettle1P = (settlingTime((VT("/outp")-VT("/outn")) 4e-06 't 5e-06 't 1)-cross((VT("/uginp")-VT("/uginn")) 0 2 "rising"))**

$$T_{\text{settle}, 1\%} = t\{ |e(t)| \leq 1\% \} - t_{\text{step}}$$
 - **Vos = VDC("/vos")**

$$V_{OS} = V_{DC}(\text{κόμβος} / \text{vos})$$
 - **VosDrift = value(deriv(VS("/vos")) 27)**

$$\left. \frac{dV_{OS}}{dT} \right|_{27}$$
 - **Idd = IDC("/VDD/MINUS")**
 - **Pdiss = Idd*VAR("Vdd")**

$$I_{DD} = DC \text{ ρεύμα από } +V_{DD}, P_{\text{diss}} \approx I_{DD} \cdot V_{DD}$$

5.3 Corners

5.3.1 Αρχικοποίηση & λίστα γωνιών

- **baseRes** = `"/home/nikats/ocean/RESULTS/CmirDiffAmp4"`
ριζικός φάκελος όπου θα γραφτεί κάθε corner.
- **system(strcat("mkdir -p " baseRes))**
Δημιουργία αυτού του φακέλου
- **ModelDir** = `"/libraries/GF22/22FDX-EXT/V1.0_4.1/Models/Spectre/models"`
- **Wrapper** = `strcat(ModelDir "/design_wrapper.lib.scs")`
- **Corners** = `'(("GF22FDX_TT" "tt_pre" 27 0.90 0.45)`
`("GF22FDX_SScLo" "ss_pre" 0 0.90 0.45)`
`("GF22FDX_FFhHi" "ff_pre" 125 1.10 0.55)`
`("GF22FDX_SF" "sf_pre" 27 1.00 0.50)`
`("GF22FDX_FS" "fs_pre" 27 1.00 0.50))`
Quoted λίστα λιστών. Κάθε στοιχείο = (Όνομα Section Temp VDD VCM).
Παραμετροποίηση: πρόσθεσε/αφαίρεσε corners, ή βάλε τις “επίσημες” θερμοκρασίες του PDK (π.χ. -40/125 °C).

5.3.2 Συγκέντρωση κυματομορφών για overlay

- **CornerNames** = `nil`
- **AolWaves** = `nil`
- **AolVals** = `nil`
- **CMRRVals** = `nil`
- **PSRRpVals** = `nil`
- **procedure(_pushWave(w name)**
AolWaves = cons(list(w name) AolWaves))

5.3.3 Η καρδιά: runOneCorner(cnr)

5.3.3.1 Unpack & φάκελοι

- **name** = `car(cnr)` ; `"GF22FDX_TT"`
- **sectionName** = `cadr(cnr)` ; `"tt_pre"`
- **tempC** = `caddr(cnr)` ; `27`
- **VDD** = `cadr(cddr(cnr))` ; `0.90`
- **VCM** = `car(cdddr(cnr))` ; `0.45`
-
- **crDir** = `strcat(baseRes "/" name)`
- **psfDir** = `strcat(crDir "/psf")`
- ...
- **system(strcat("mkdir -p " crDir))**
- **resultsDir(crDir)**

Δημιουργεί μοναδικό φάκελο για corner → αποφυγή overwrite. Ο Spectre θα γράψει τα PSF στο crDir/psf

5.3.3.2 Ρύθμιση PVT + analyses

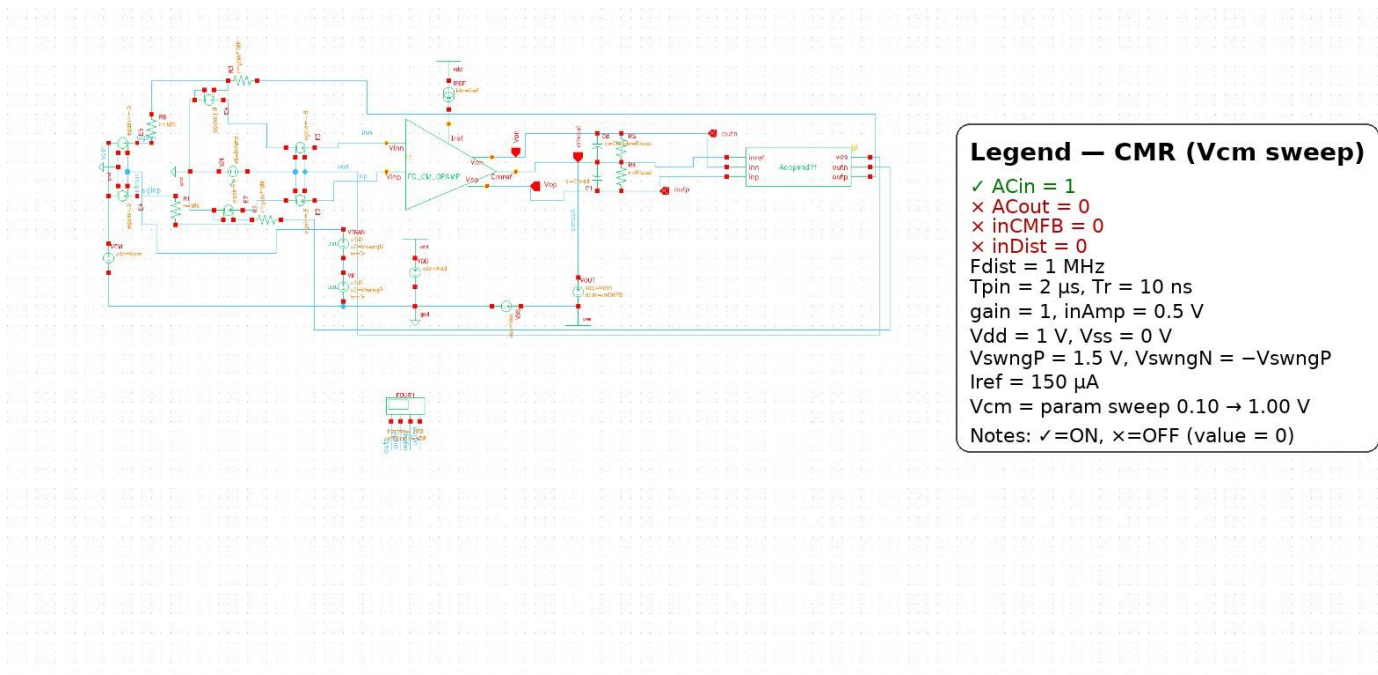
- `modelFile( list(Wrapper sectionName) );` π.χ. ("`.../design_wrapper.lib.scs`" "`tt_pre`")
- `temp(tempC)`
- `desVar("Vdd" VDD)`
- `desVar("Vcm" VCM)`
- `desVar("VswngP" VDD)` ; όρια ταλάντωσης που χρησιμοποιεί το bench σου
- `desVar("VswngN" "-VswngP")`
-
- `delete('analysis)` ; καθαρισμός για να μη «κουβαλάς» παλιές αναλύσεις
- `analysis('xf ?start "10K" ?stop "100000G" ?dec "20" ?p "/inp" ?n "/inn")`
- `analysis('dc ?saveOpptoint t)`
- `analysis('ac ?start "1K" ?stop "100000G" ?dec "20")`
- `analysis('tran ?stop "5u")`
- `run()`

Όπως και πριν, ορίζω μεταβλητές, αναλύσεις. Και τρέχουμε για καθένα από τα corners

5.4 Common-Mode Range (CMR)

- `paramAnalysis("Vcm" ?values '(0.1 0.15 ... 1))`
- `paramRun()`

5.4.1 Διαμόρφωση του Testbench



5.4.2 Τιμές που υπολογίζονται

- **Aol_DC = value(db20((VF("/outp")-VF("/outn"))/(VF("/inp")-VF("/inn")))) 1000)**

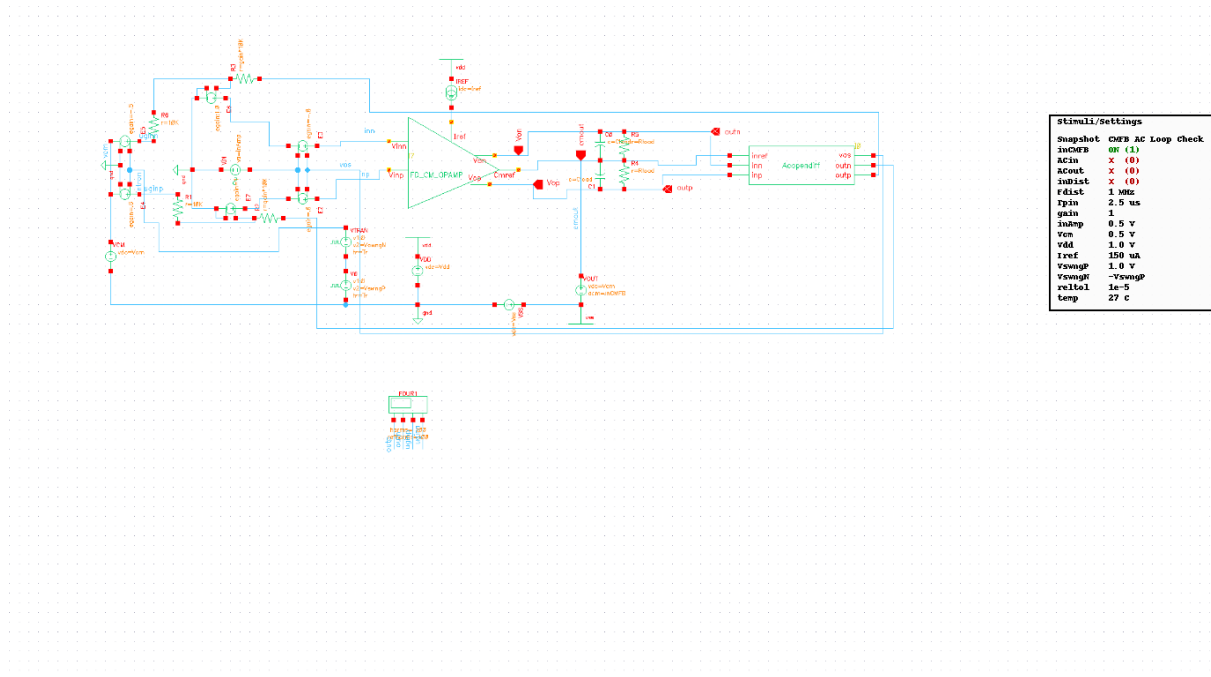
$$A_{OL}^{DC}(VCM) = \frac{20 \log_{10}(V_{out,p} - V_{out,n})}{V_{in,p} - V_{in,n}} \quad f = 1 \text{ kHz}$$

- **CMRmin = root(value(db20(...),1K), ymax(value(db20(...),1K))-3, 1)**
- **CMRmax = root(value(db20(...),1K), ymax(value(db20(...),1K))-3, 2)**
$$A_{OL}^{DC}(VCM) = A_{OL}^{DC,max} - 3 \text{ dB}$$

- **VcommonHigh = value(VAR("Vdd") 0.5) - CMRmax**
$$V_{cm, high \text{ from VDD}} = VDD - VCMR, \max$$

5.5 CMFB Loop Check

5.5.1 Διαμόρφωση του Testbench



5.5.2 Τιμές που υπολογίζονται

- $A_{cmfbp} = \text{dB20}(VF("/\text{outp}") / (VF("/\text{outp}") - VF("/\text{cmout}"))))$
- $A_{cmfbn} = \text{dB20}(VF("/\text{outn}") / (VF("/\text{outn}") - VF("/\text{cmout}"))))$

$$ACMFB, p(f) \approx 20\log_{10} \frac{V_{out, p}}{V_{out, p} - V_{cmout}}$$

$$ACMFB, n(f) \approx 20\log_{10} \frac{V_{out, n}}{V_{out, n} - V_{cmout}}$$

- $BW_{cmfbP} = \text{bandwidth}(VF("/\text{outp}"))$ 3 "low"
- $BW_{cmfbN} = \text{bandwidth}(VF("/\text{outn}"))$ 3 "low"

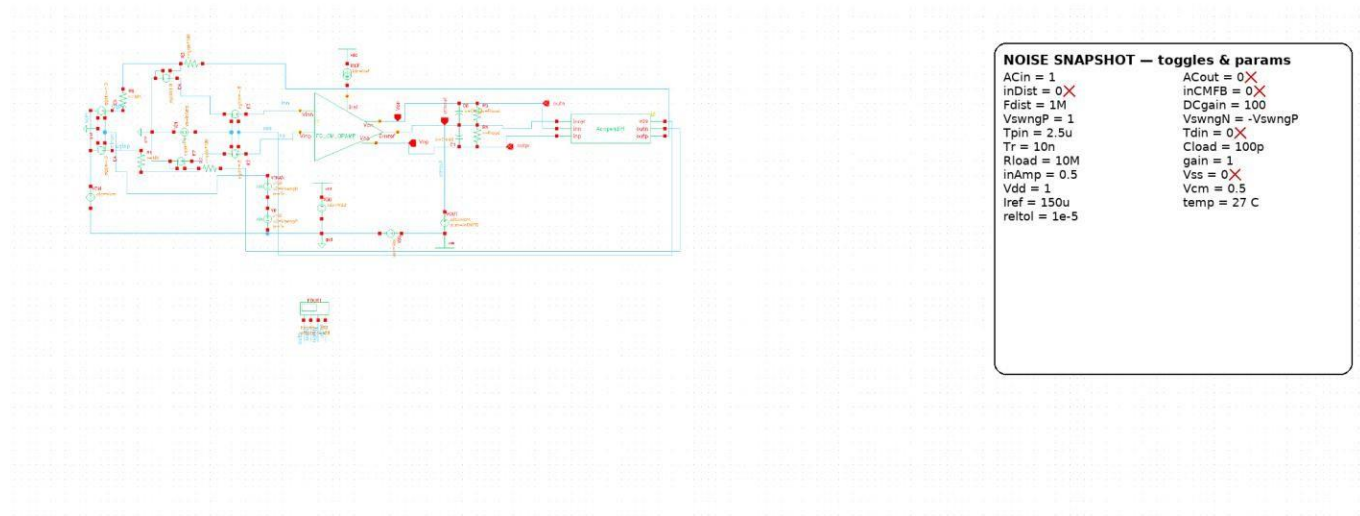
Συχνότητα όπου $|V_{out}|$ πέφτει κατά 3 dB από το χαμηλοσυχνικό plateau.

- $CMFBAolP = \text{value}(A_{cmfbp} 0)$
- $CMFBAolN = \text{value}(A_{cmfbn} 0)$

ACMFB σε dB για κάθε πλευρά. Ελέγχει αν υπάρχει ικανοποιητικό cm-loop gain στη χαμηλή συχνότητα.

5.6 Noise

5.6.1 Διαμόρφωση Testbench



- `plot(getData("out" ?result "noise-noise"))`
- `plot(getData("in" ?result "noise-noise"))`
- `ENV = ymin(getData("in" ?result "noise-noise"))`
Παίρνουμε την ελάχιστη πυκνότητα ώστε να προσεγγίσουμε το λευκό επίπεδο (εκτός 1/f).
- `Fbv = bandwidth( clip((1 / getData("in" ?result "noise-noise")) 1 10000000) 6 "high")`

5.7 Output impedance

- `Zoutp = (VF("/Vop") / IF("/V7/PLUS"))`
 - `Zoutn = (VF("/Von") / IF("/V8/PLUS"))`
- $$Z_{out, p(f)} = \frac{V_{out, p(f)}}{I_{inj, p(f)}} \quad Z_{out, n(f)} = \frac{V_{out, n(f)}}{I_{inj, n(f)}}$$
- `Zoutp1M = value( real(Zoutp) 1M)`
 - `Zoutn1M = value( real(Zoutn) 1M)`

5.8 THD

- `analysis('tran ?stop "5u" ...)`
- ...
- `TranOutput = (VT("/outp") - VT("/outn"))`
- `TranInput = (VT("/uginp") - VT("/uginn"))`
- `Fourier_Spectrum = dB20((v "/outp" ?result "FOUR1-tran.test_fourier"))`
- `fund = VAR("Fdist")`
- `THD = thd((VT("/outp") - VT("/outn")) 4e-06 5e-06 64 fund)`

$$THD = \frac{\sqrt{\sum_{k=2}^K V_k^2}}{V_1} \times 100\%$$

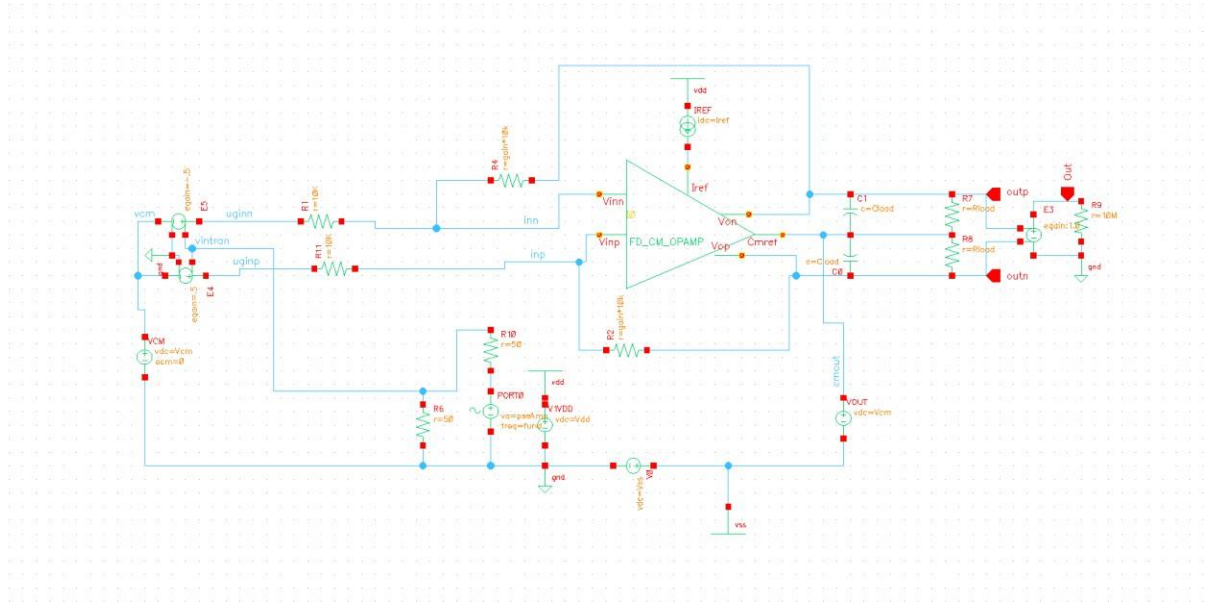
Παράθυρο: $[t_1, t_2] = [4 \mu s, 5 \mu s]$ (steady-state).

Δείγματα/αρμονικές: ο αριθμός 64 ελέγχει την ανάλυση (πλήθος γραμμών/DFT bins).
fund: η συχνότητα διέγερσης (από Fdist στο bench).

5.9 IP3 και SPDR

Όπως αναφέραμε ένας opamp δεν είναι τέλεια γραμμικός. Για τον υπολογισμό των μη γραμμικών προϊόντων του op-amp μας θα χρησιμοποιήσουμε ένα διαφορετικό testbench εφαρμόζοντας τη μέθοδο των δύο τόνων

5.9.1



5.9.3 PSS Ανάλυση (ανάλυση μεγάλου τόνου)

- **analysis('pss**
- **?fund fund**
- **?harms 3**
- **?tstab "800u"**
- **?method "gear2only"**
- **?tstabmethod "gear2only"**
- **?errpreset "moderate"**
- **?steadyratio "1e-4"**
- **?maxperiods 80**
- **)**

?harms 3: ο PSS θα υπολογίσει και την 2η/3η αρμονική του φέροντα

?tstab "800u": δίνεις χρόνο να περάσουν πολλές περίοδοι του f1 μέχρι να σταθεροποιηθεί.

?steadyratio: πόσο μικρή πρέπει να γίνει η μεταβολή μεταξύ διαδοχικών περιόδων για να θεωρηθεί «steady-state»

gear2only, gmin/cmin (στο option(...)) βοηθούν σύγκλιση όταν έχεις έντονη μη-γραμμικότητα/CMFB

Όλες αυτές οι τιμές πρέπει να διαλεχθούν προσεχτικά και κατά αντιστοιχία με τον op-amp μας ώστε να έχουμε σύγκλιση.

5.9.4 PAC (σχετική σάρωση γύρω από f1)

- **analysis('pac**
- **?sweepstype "relative"** ; σαρώνουμε ως προς Δf γύρω από f1
- **?start 1k ?stop 50k** ; Δf από 1 kHz έως 50 kHz
- **?lin 100** ; 100 βήματα γραμμικά
- **?maxsideband 5** ; υπολογίζει sidebands sb = -5..+5
- **)**

sweepstype "relative": ο PAC δεν σαρώνει απόλυτες συχνότητες, αλλά **offset** γύρω από κάθε αρμονική του f1.

?maxsideband 5: ο solver δίνει **οικογένειες** αποκρίσεων με δείκτη harmonic = ..., -2, -1, 0, +1, +2, ... για κάθε Δf.

5.9.5 Τιμές που υπολογίζονται

- $V_{fund} = \text{_sbVal}(V_{diff} \text{ 1 dF})$
- $V_{im3} = \text{_sbVal}(V_{diff} \text{ -1 dF})$
- $V_{rmsFund} = V_{fund}/\sqrt{2.0}$
- $V_{rmsIM3} = V_{im3}/\sqrt{2.0}$
- $P_{fund_dBm} = 10*\log_{10}((V_{rmsFund}^2)/(R_s*1e-3))$
- $P_{im3_dBm} = 10*\log_{10}((V_{rmsIM3}^2)/(R_s*1e-3))$
- $OIP3_dBm = P_{fund_dBm} + (P_{fund_dBm} - P_{im3_dBm})/2.0$

$$V_{rms} = \frac{V_{pk}}{\sqrt{2}}, P_{dbm} = 10 \log_{10} \frac{V_{rms}^2}{R_s * 1mW}, OPI3 = P_{fund} + \frac{P_{fund} - P_{IM3}}{2}$$

- $spur2p = \text{_sbVal}(V_{diff} \text{ 2 dF})$
- $spur2n = \text{_sbVal}(V_{diff} \text{ -2 dF})$
- $spur3p = \text{_sbVal}(V_{diff} \text{ 3 dF})$
- $spur3n = \text{_sbVal}(V_{diff} \text{ -3 dF})$
- $spurMax = \max(\max(spur2p, spur2n), \max(spur3p, spur3n))$
- $SFDR_{dB} = 20*\log_{10}(V_{fund} / \max(spurMax, 1e-18))$

$$SFDR_{dB} = 20\log_{10}\left(\frac{V_{fund}}{\max(spurMax, 1e-18)}\right)$$

Με αυτό τον τρόπο παίρνουμε τον μεγαλύτερο spur ανάμεσα σε ± 2 , ± 3 και συγκρίνεις με το θεμελιώδες.

- **option(**
- **'reitol "5e-4"**
- **'vabstol "1e-6"**
- **'iabstol "1e-9"**
- **'cmin "1f"**
- **'gmin "1e-12"**
- **)**

reitol/vabstol/iabstol: πόσο «μικρό» σφάλμα αποδέχεται ο solver σε τάσεις/ρεύματα και σε σχετικές μεταβολές.

cmin/gmin: μικροσκοπικοί «σταθεροποιητές» που συχνά βοηθούν στη σύγκλιση PSS/CMFB.

5.10 Έξοδοι και αναφορά

5.10.1 Από ViVa σε PDF

Ήδη έχουμε μιλήσει για την `AFVsetplot` function. Αυτή πραγματοποιείται σε κάθε ενότητα. Για την αποθήκευση χρησιμοποιούμε την :

- `procedure(_saveGraph(_name)`
- `let((win file)`
- `win = hiGetCurrentWindow()`
- `file = strcat(resRoot "/" _name ".pdf")`
- `printGraph(?window win ?fileName file ?printColor t ?enableHeader nil)`
- `)`
- `)`

Αυτό «πιάνει» το τρέχον παράθυρο ViVa και το γράφει κατευθείαν σε PDF

5.10.2 Merge όλων των pdf

- `procedure(mergePDFs(outFile pdfList)`
- `let( (filesArg cmd ret)`
- `filesArg = ""`
- `foreach(f pdfList filesArg = strcat(filesArg "" f "" ))`
- `; 1η προσπάθεια: pdfunite (Poppler)`
- `cmd = strcat("pdfunite " filesArg "" outFile "")`
- `ret = system(cmd)`
- `; 2η: Ghostscript fallback`
- `when(ret != 0`
- `cmd = strcat("gs -q -dNOPAUSE -dBATCh -sDEVICE=pdfwrite "`
- `"-sOutputFile="" outFile "" " filesArg)`
- `ret = system(cmd)`
- `)`
- `unless(ret == 0`
- `error("PDF merge failed. Install 'pdfunite' or Ghostscript.\n")`
- `)`
- `)`
- `)`

Φτιάχνει ένα ενιαίο αρχείο `outFile` από λίστα με PDF.

5.10.3 Τελική αναφορά

- `pdfsWanted = list(`
- `strcat(resRoot "/OLFreqResp.pdf")`
- `strcat(resRoot "/RejRatios.pdf")`
- `...`
- `strcat(resRoot "/thd.pdf")`
- `strcat(resRoot "/IP3_PAC_sidebands.pdf")`
- `)`
-
- `pdfsToMerge = nil`
- `foreach(f pdfsWanted when(isFile(f) pdfsToMerge = cons(f pdfsToMerge)))`

- `pdfsToMerge = reverse(pdfToMerge)`
- `finalReport = strcat(resRoot "/CmirDiffAmp4_report.pdf")`

Ορίζει την σειρά που θές να μπουν οι σελίδες (order = storyboard της αναφοράς). Κρατά μόνο όσα αρχεία υπάρχουν και έτσι δημιουργείται η τελική αναφορά.

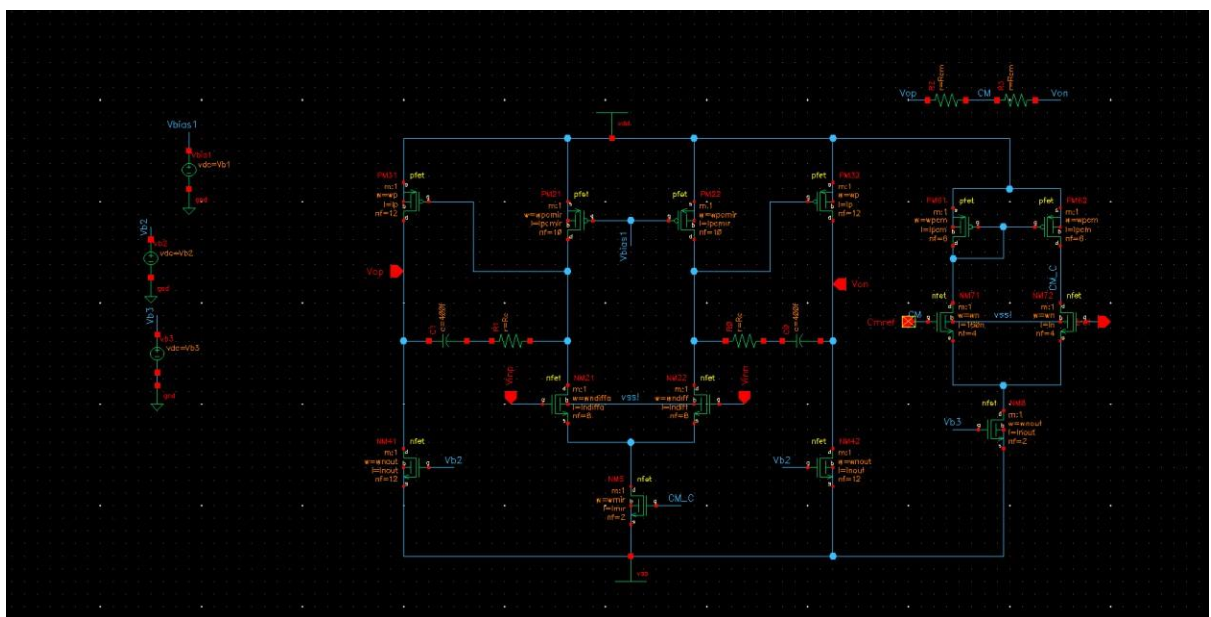
5.11 Επέκταση Ροής σε Άλλες Αρχιτεκτονικές (3 επιπλέον Op-Amp)

Επιδεικνύουμε τη φορητότητα της ροής επαλήθευσης εφαρμόζοντάς την σε τρεις επιπλέον op-amp αρχιτεκτονικές. Η δομή testbench και οι αναλύσεις (AC/XF/TRAN/NOISE/CMR/CMFB/THD, PSS+PAC για IP3, Corners, Monte-Carlo) παραμένουν ίδιες· αλλάζει μόνο:

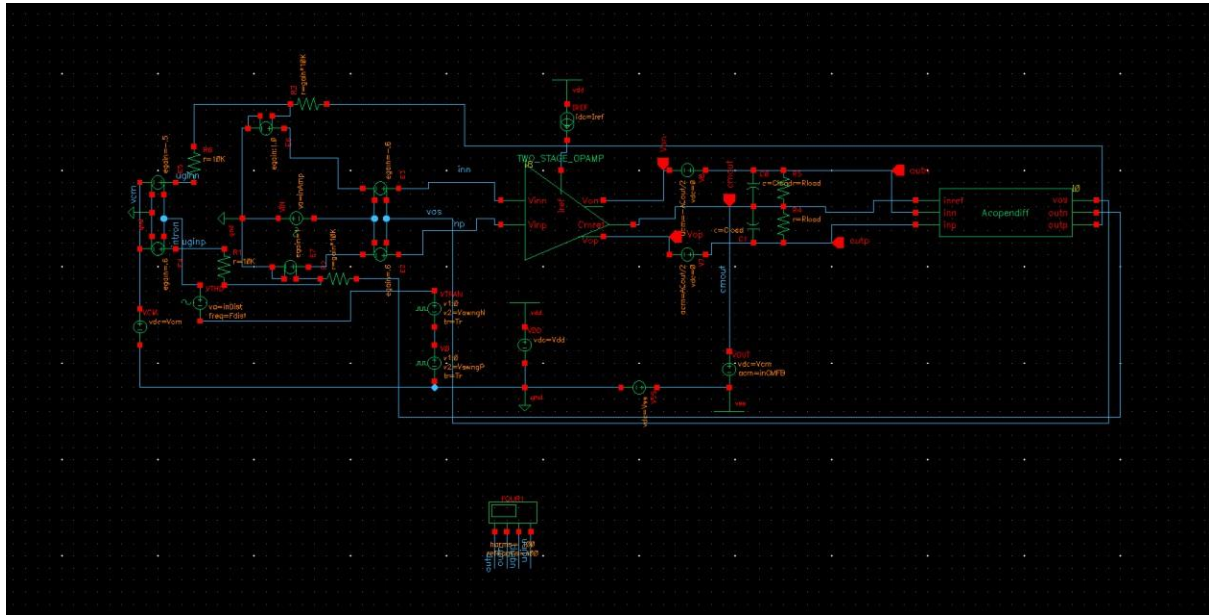
- το symbol του DUT στο design(...), και
- το σεντ διαστασιολόγησης

5.11.1 Op-Amp B TWO-STAGE-OPAMP— Περιγραφή & Ρυθμίσεις

- Αλλαγές έναντι Op-Amp A
 - design("FD_CM_LIB" "TWO_STAGE_OPAMP_TB4" "schematic") → το symbol του DUT δείχνει στο κελί *OpAmpB*.
 - Design variables (W/L, bias): ενημέρωση των desVar("w...", "l...", ...)
 - Specs file: αν οι στόχοι διαφέρουν.
- Εικόνα: *Σχήμα 4* — Σχηματικό του Op-Amp B



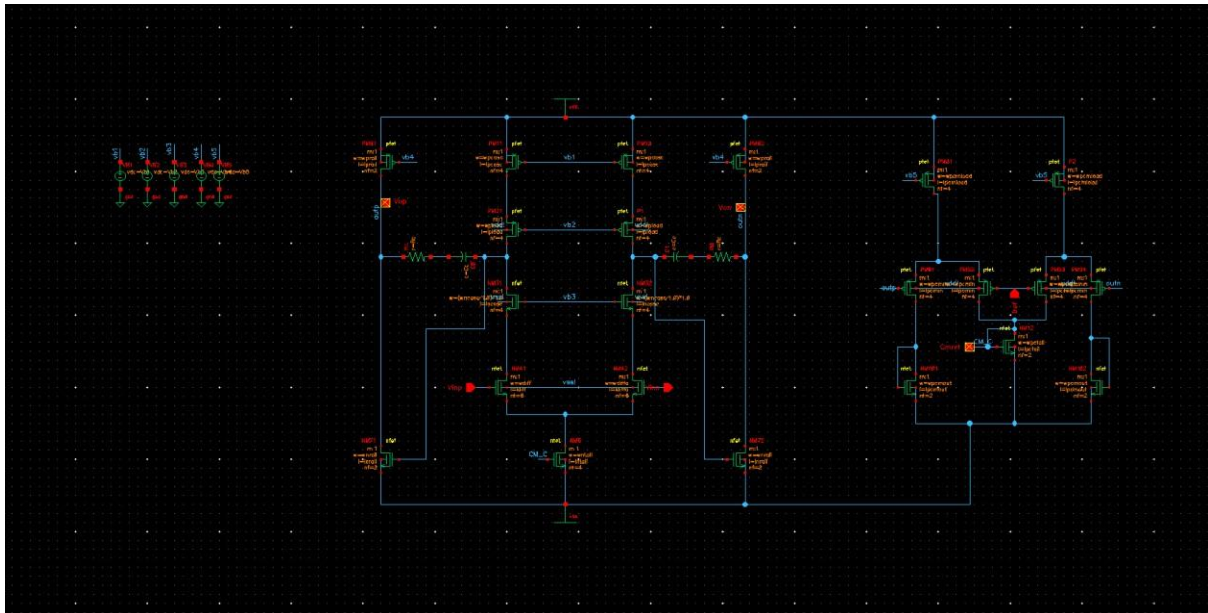
Σχήμα 4: Σχηματικό του fully-differential two-stage op-amp (GF22FDX)



Σχήμα 5: Testbench AC/XF/TRAN/Noise/CMFB/CMR/Zout/THD

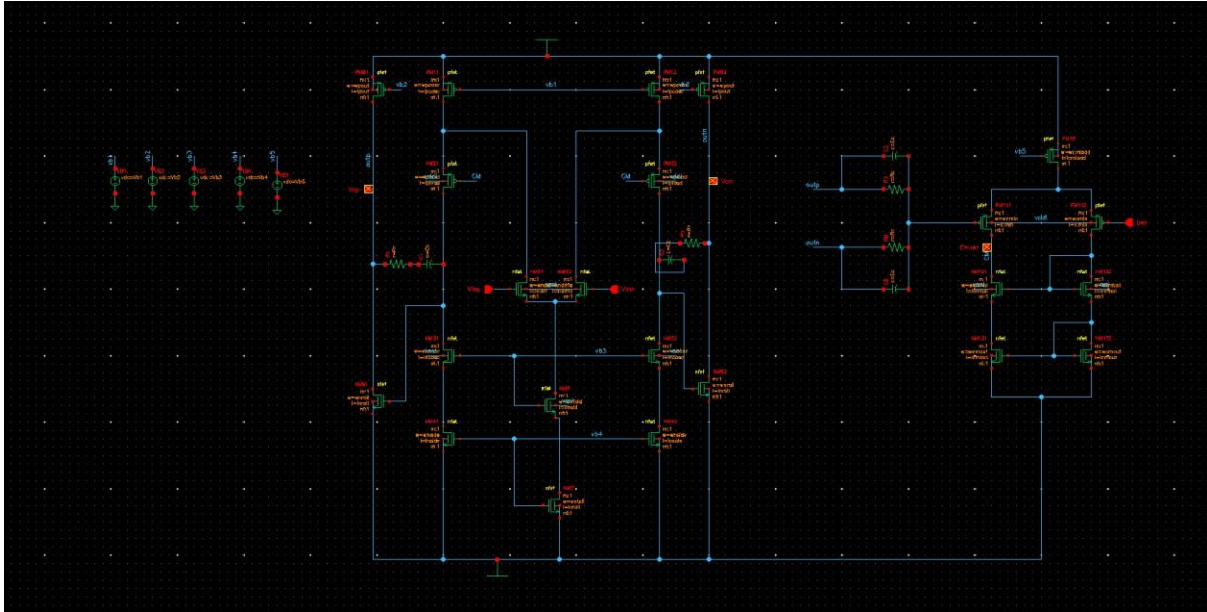
5.11.2 Op-Amp C TELESCOPIC-OPAMP— Περιγραφή & Ρυθμίσεις

- Αλλαγές έναντι Op-Amp A (του προηγούμενου τμήματος):
 - design("FD_CM_LIB" "TELESCOPIC_OPAMP_TB4" "schematic") → το symbol του DUT δείχνει στο κελί OpAmpC.
 - Design variables (W/L, bias): ενημέρωση των desVar("w...", "l...", ...)
 - Specs file: αν οι στόχοι διαφέρουν.
- Εικόνα: Σχήμα 6 — Σχηματικό του Op-Amp C

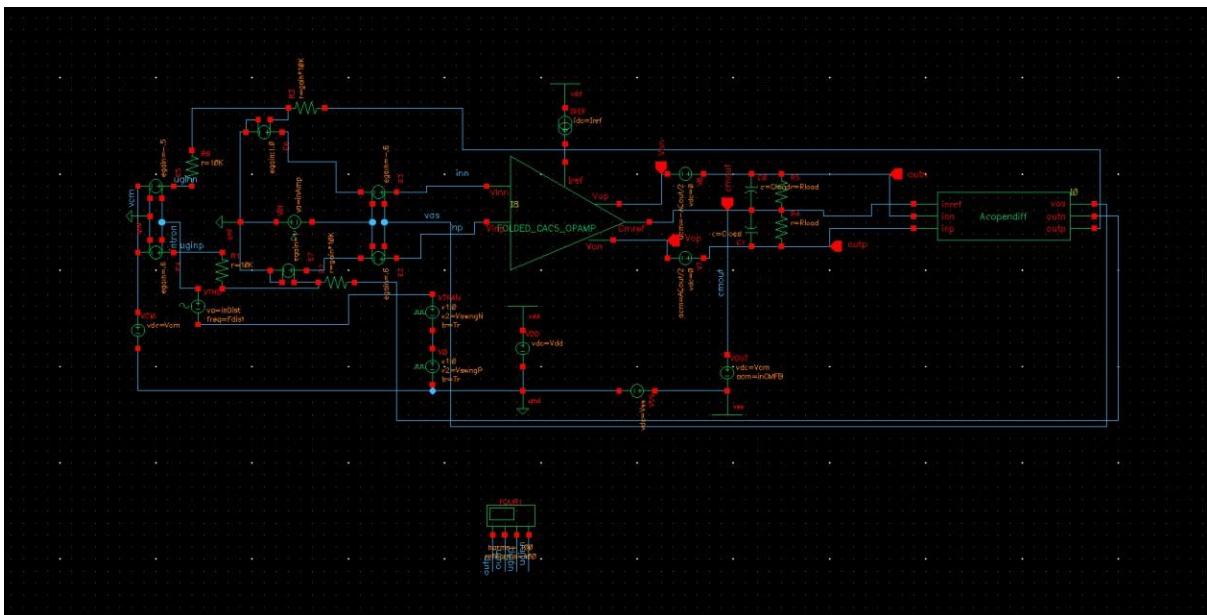


5.11.3 Op-Amp D FOLDED_CASC-OPAMP— Περιγραφή & Ρυθμίσεις

- Αλλαγές έναντι Op-Amp A (του προηγούμενου τμήματος):
 - design("FD_CM_LIB" " FOLDED_CASC_OPAMP" "schematic") → το symbol του DUT δείχνει στο κελί OpAmpC.
 - Design variables (W/L, bias): ενημέρωση των desVar("w...", "l...", ...).
 - Specs file: αν οι στόχοι διαφέρουν
- Εικόνα: Σχήμα 8 — Σχηματικό του Op-Amp C (με αναγνώσιμες ετικέτες κόμβων).



Σχήμα 8: Σχηματικό του fully-differential cascode op-amp (GF22FDX)



Σχήμα 9: Testbench AC/DC/TRAN/Noise/CMFB/CMR/Zout/THD

ΚΕΦΑΛΑΙΟ 6 ΑΠΟΤΕΛΕΣΜΑΤΑ

6.1 Γενική αποτίμηση της ροής

Η προτεινόμενη ροή επαλήθευσης επέτρεψε την αυτοματοποιημένη αξιολόγηση ενός fully-differential op-amp (22FDX) με μία εκτέλεση, παράγοντας plots, CSV και PASS/FAIL σύνοψη βάσει του αρχείου προδιαγραφών. Η ίδια ροή εφαρμόστηκε χωρίς καμία αλλαγή στα testbenches σε τρεις επιπλέον αρχιτεκτονικές τροποποιήθηκαν μόνο το symbol του DUT και τα design variables (W/L, bias).

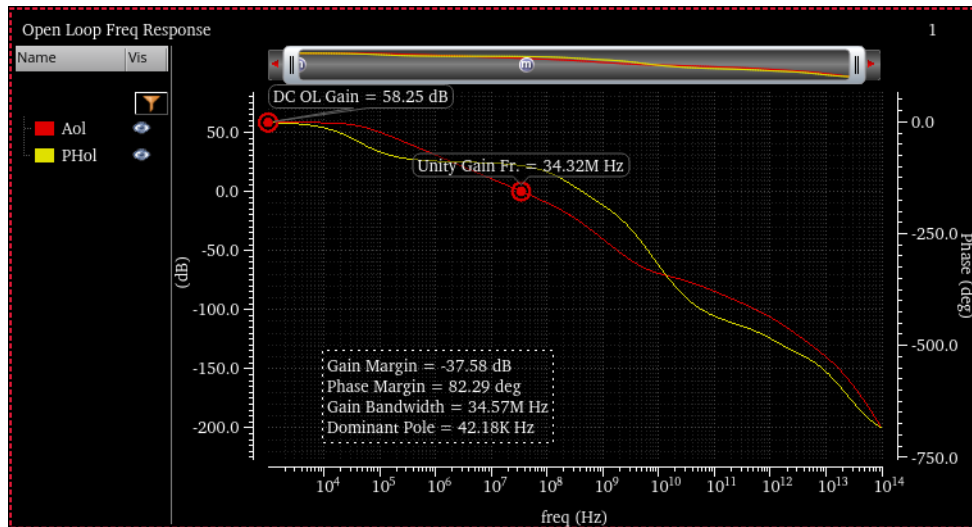
Σημαντικό: εντός κάθε DUT τα W/L παραμένουν σταθερά σε όλες τις αναλύσεις· αλλάζουν μόνο παράμετροι testbench/διέγερσης (VDD, VCM, R/C load, ACin/ACout, χρονικά παράθυρα), ανάλογα με τη μετρική.

6.2 Op-Amp A

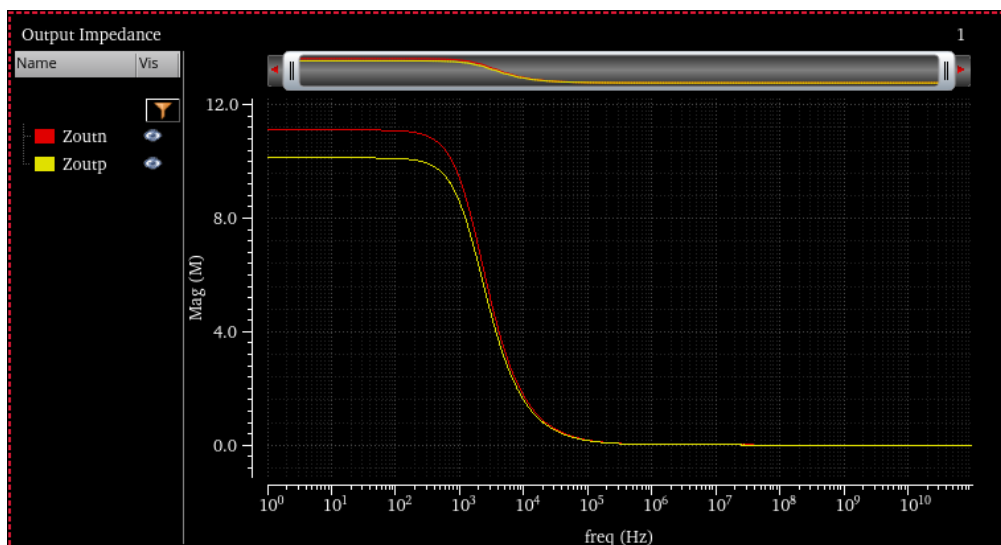
Στον πρώτο ενισχυτή παρουσιάζονται όλα τα διαγράμματα ανά κατηγορία μετρικών· τα πλήρη γραφήματα υπάρχουν και στο τελικό report PDF του script.

Πίνακας A1- Χαρακτηριστικά Μικρού σήματος

Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Κέρδος Ανοιχτού Βρόχου(DC)	Aol	VDD=1.0V,VSS=0V VCM=0.5V,RL=1M CL=100p,T=27°	60			dB
Γινόμενο εύρους ζώνης κέρδους	GBW	AC,ίδιο bench	25e6			Hz
Συχνότητα μονάδας κέρδους	UGFreq	AC,cross(Aol=0db)	1e6			Hz
Ευρός ζώνης-3 dB	BWOL	AC,bandwidth(Aol,-3 dB)	25e3			Hz
Περιθώριο Κέρδους	AMARGIN	AC, loop gain		-20		dB
Περιθώριο Φάσης	ΦMARGIN	AC,loop gain	30			deg
Αντίσταση Εισόδου 1Mhz	ZIN	AC, Zin=Vin/Iin	10e3			Ω
Αντίσταση Εξόδου 1Mhz	ZOUT	AC, Zout=Vout/Iout		10e3		Ω

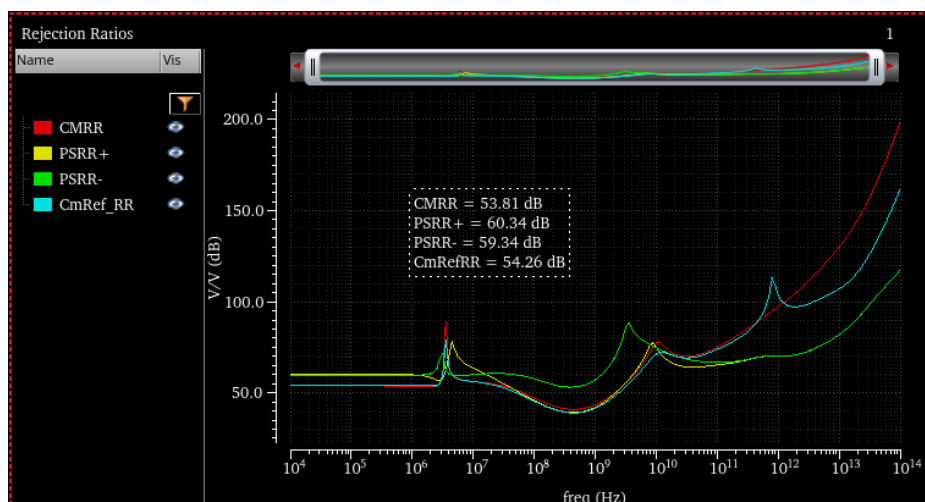


Σχήμα 1. Dc gain(Aol) ,Unity gain Function, Gain Margin, Phase Margin, Gain bandwidth, Dominant Pole



Σχήμα 2. Zin,Zout

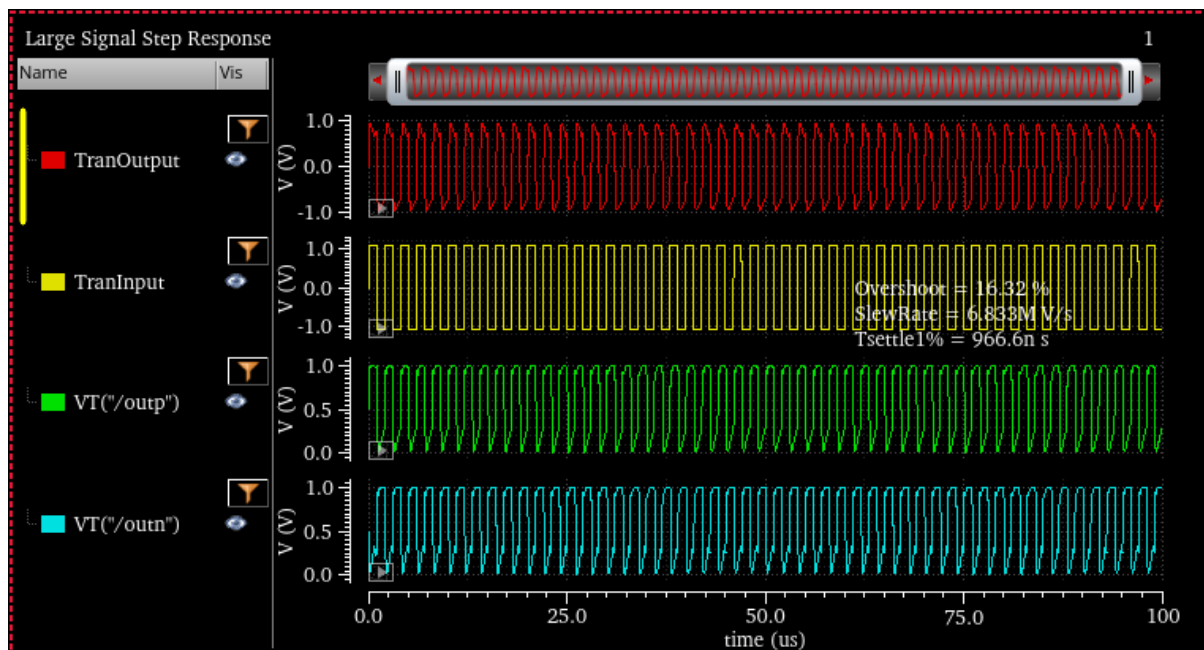
Πίνακας A2 – Απόρριψη						
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Κοινή Απόρριψη	CMMR	XF,διέγερση VCM	120			dB
Απόρριψη Τροφοδοσία ς+(DC)	PSSR+	XF,διέγερση VDD	120			dB
Απόρριψη Τροφοδοσία ς-(DC)	PSSR-	XF,διέγερση VSS	120			dB
Απόρριψη Αναφοράς CM	CmRefRR	XF,διέγερση VCM	120			dB



Σχήμα 3. CMRR,PSSR+/-, CmRefRR

Πίνακας A3- Μεγάλο σήμα/Transient

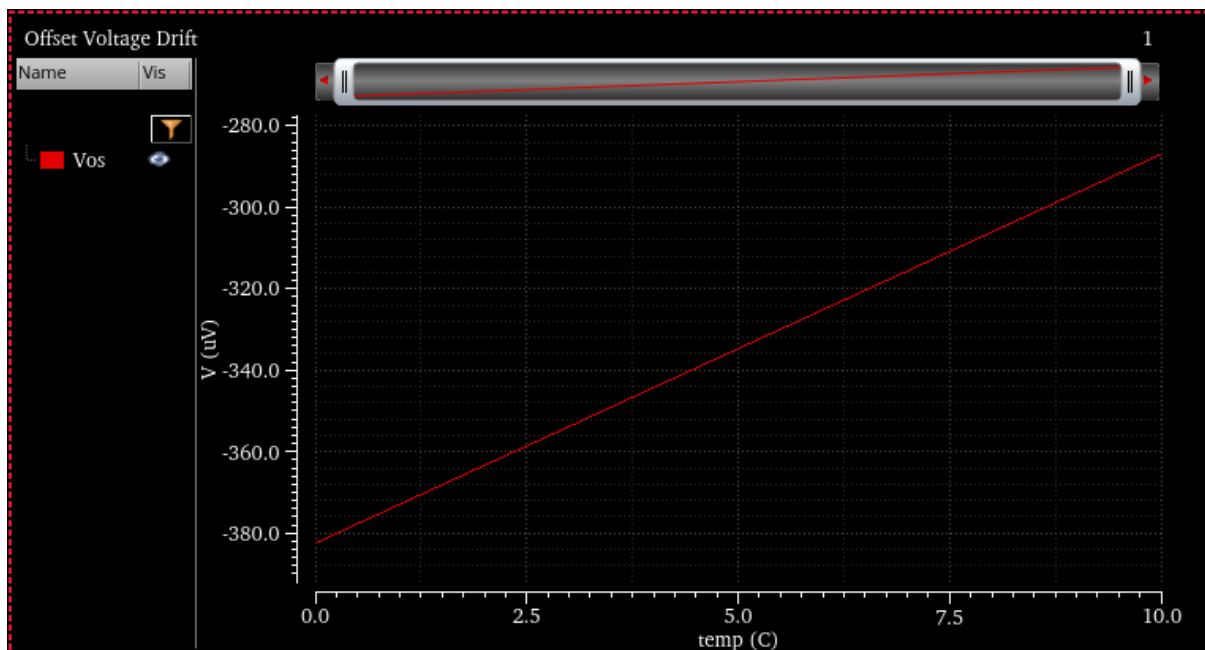
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Slew Rate(Ανιόν/ Κατιόν)	SR	TRAN,10-90%	20e6			V/s
Overshoot(Ανιόν/Κατι όν)	OS	TRAN, Παλμός βήματος			10%	%
Χρόνος Αποκατάστ ασης 1%	T_settle	TRAN, σε 1%			125e-9	s



Σχήμα 4. Overshoot,SlewRate,Tettle

Πίνακας A4 - DC/POWER

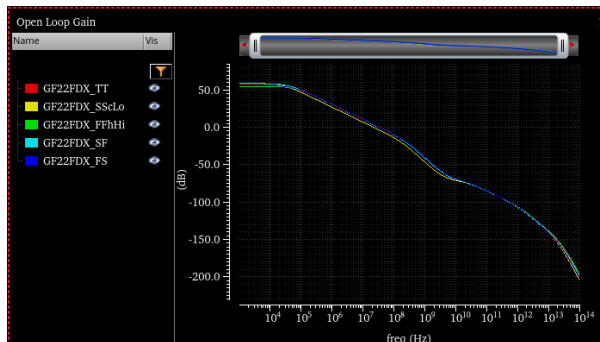
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Τάση offset εισόδου	Vos	DC,κόμβο2 «/vos»	-5e-3	+5e-3		V
Drift Offset	dVos/dT	DC σε 27 °C		1.0e-7		V/°C
Ρεύμα τροφοδοσίας	Idd	DC operating point		10e-3		A
Ισχύς Κατανάλωσης	Pdiss	DC operating point		20e-3		W



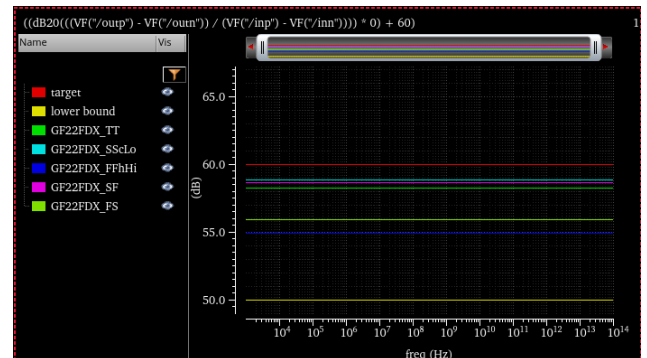
Σχήμα 5.Vos

Πίνακας A5 – Σύνοψη Corners , Worst cases

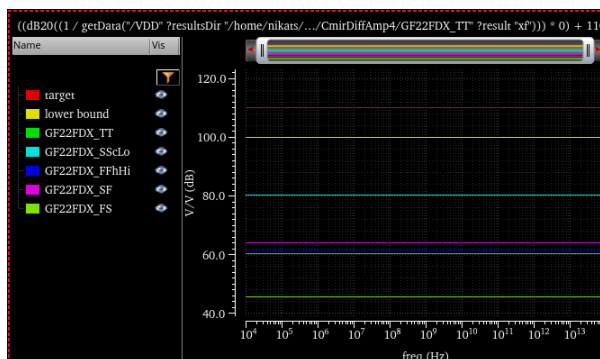
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Target	Lower Base
Κέρδος Ανοιχτού Βρόχου(DC)	Aol	TT,SScLo,FFhHi,SF, FS	60	50
Κοινή Απόρριψη	CMMR	TT,SScLo,FFhHi,SF, FS	120	100
Απόρριψη Τροφοδοσίας (DC)	PSSR+	TT,SScLo,FFhHi,SF, FS	120	100



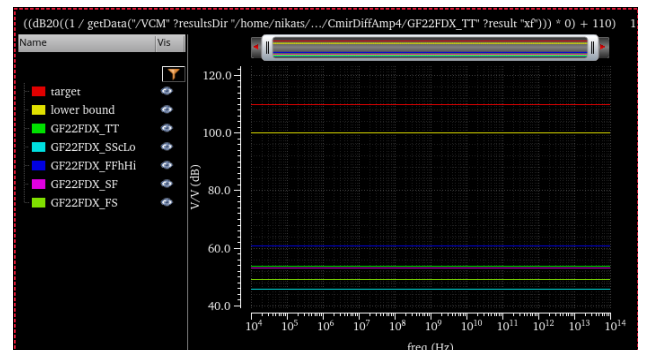
Σχήμα 6. Aol στα worst cases



Σχήμα 8. Πιο κοντινό snapshot για τα Aol



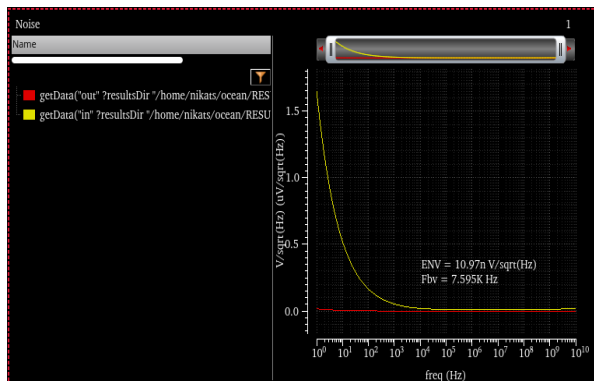
Σχήμα 7. CMRR snapshot



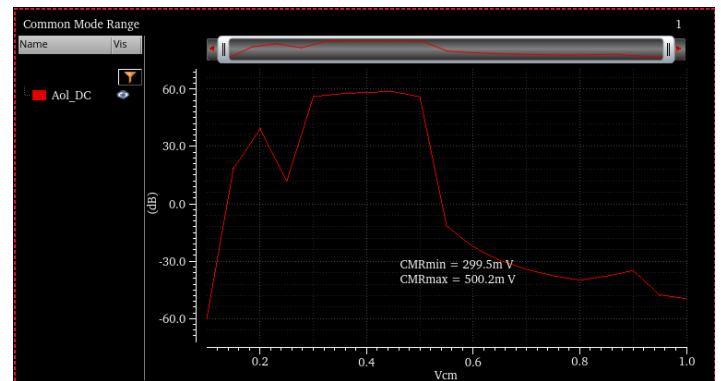
Σχήμα 9. PSRR snapshot

Πίνακας Α6 – Θόρυβος, feedback, Common range.

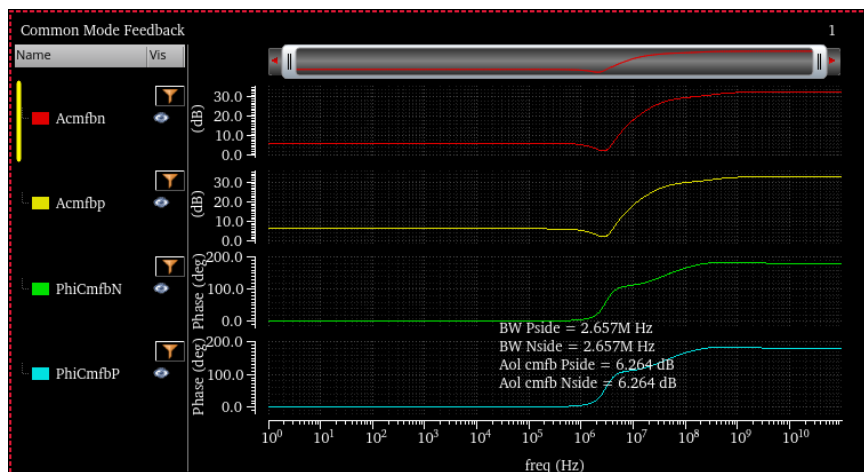
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Πυκνότητα θορύβου εισόδου	env	Noise bench		20e-9		$V/\sqrt{Hz}$
Εύρος θορύβου	fbv	Noise, εύρος ενσωμάτωσης		1e3		Hz
Κατώτερο όριο κοινού δυναμικού εισόδου	CMRmin	DC/AC με σάρωση VCM	0.75			V
Ανώτερο όριο κοινού δυναμικού εισόδου	CMRmax	DC/AC με σάρωση VCM		1.5		V
DC κέρδος βρόχου CMFB Nside	AcmfbN	AC με inCMFB=1, ACin=0	20			dB
DC κέρδος βρόχου CMFB Pside	AcmfbP	AC με inCMFB=1, ACin=0	20			dB
φασική απόκριση του βρόχου Nside	PhiCmfbN	AC, inCMFB=1	60			deg
φασική απόκριση του βρόχου Pside	PhiCmfbP	AC, inCMFB=1	60			deg
Εύρος ζώνης CMFB	BW Nside	AC, inCMFB=1	1			MHz



Σχήμα 10. Env και Fbv

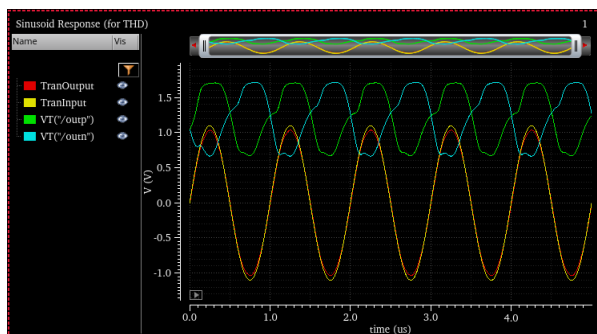


Σχήμα 11. Common range

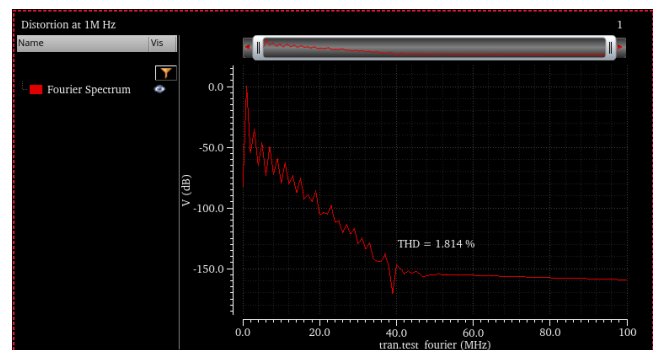


Σχήμα 12. Common Mode Feedback

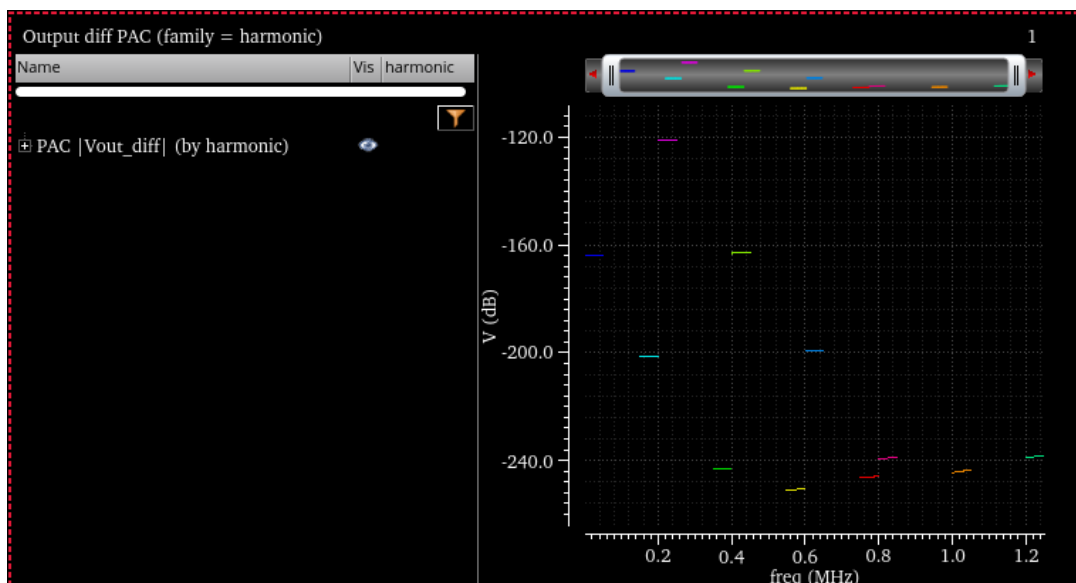
Πίνακας A7 - γραμμικότητες						
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Ολική αρμονική παραμόρφω ση	THD	Sinusoid διέγερση		1		%
Δυναμικό εύρος χωρίς παρασιτικά	SFDR	PSS+PAC διεγέρσεις μεταξύ +/- 2, +/-3	80			dB
IP3 Έξοδος(Διτ ονική)	IP3	PSS+PAC διεγέρσεις μεταξύ +/- 2, +/-3	20			dBm



Σχήμα 13. Sinsuid Response



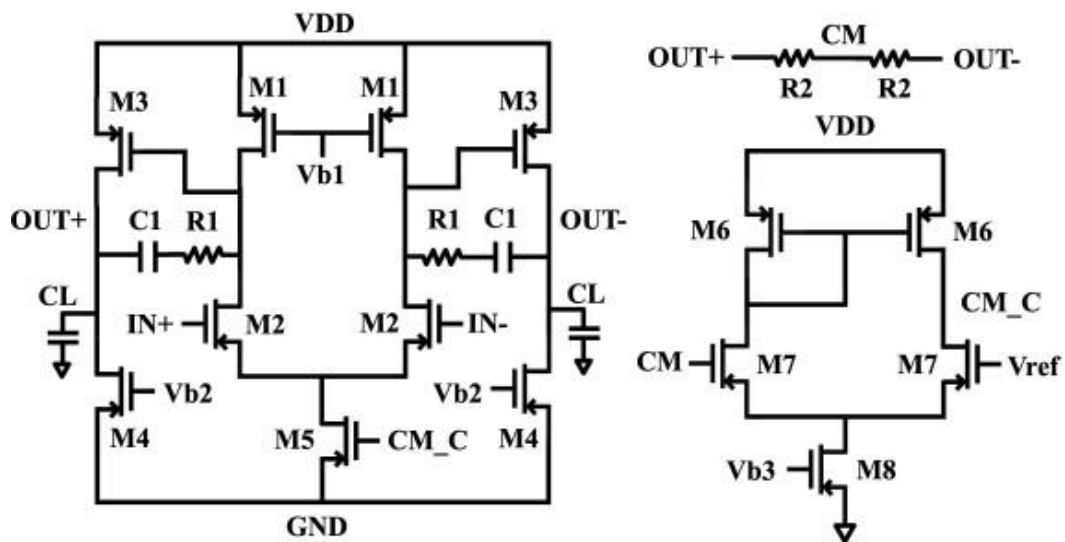
Σχήμα 14. Παραμόρφωση



Σχήμα 15. Μη γραμμικότητες

6.3 Two stage opamp – Op amp B

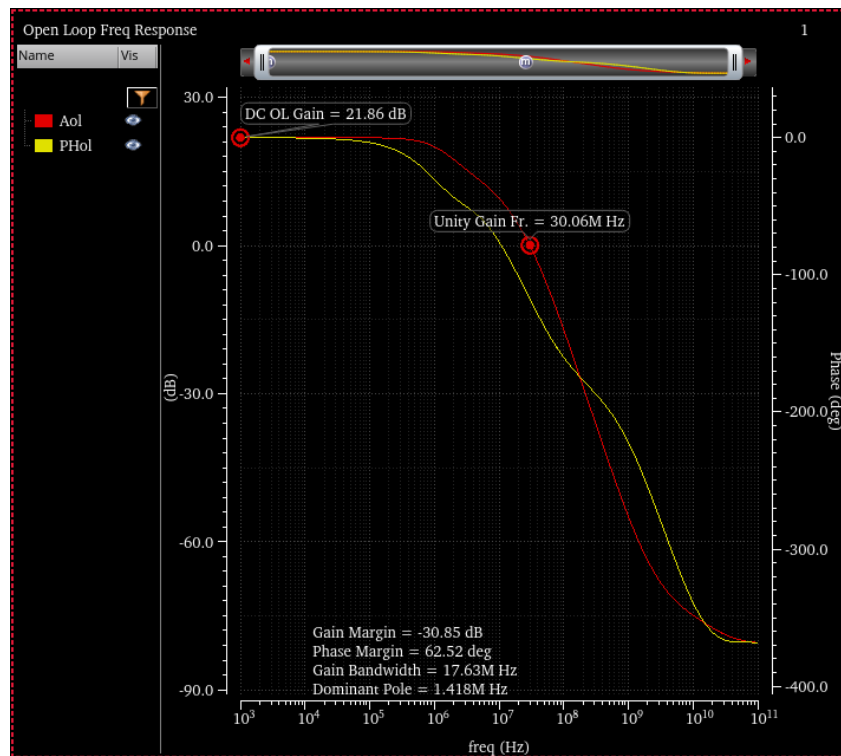
6.3.1 Τοπολογία



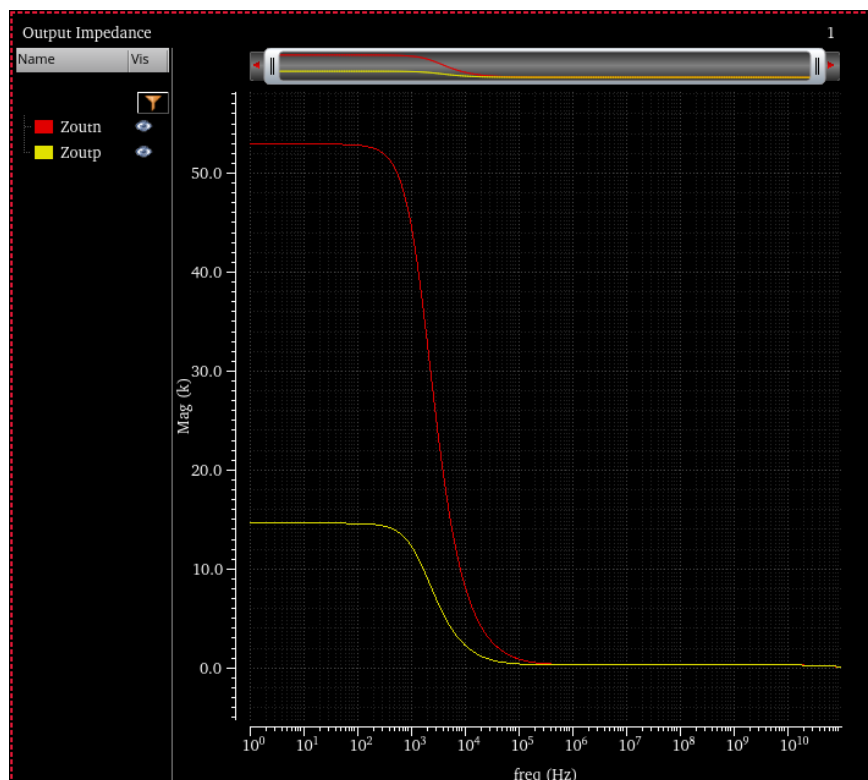
6.3.2 Διαγράμματα που παρήχθησαν

Πίνακας B1-Χαρακτηριστικά Μικρού Σήματος (AC)

Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Κέρδος Ανοιχτού Βρόχου(DC)	A _{ol}	VDD=1.0V,VSS=0V VCM=0.5V,RL=1M CL=100p,T=27°	20			dB
Γινόμενο εύρους ζώνης κέρδους	GBW	AC,ίδιο bench	15			Hz
Συχνότητα μονάδας κέρδους	UGF_req	AC,cross(A _{ol} =0db)	10			Hz
Ευρός ζώνης-3 dB	BW_OL	AC,bandwidth(A _{ol} ,- 3 dB)	1.4			MHz
Περιθώριο Κέρδους	A_MARGIN	AC, loop gain		-20		dB
Περιθώριο Φάσης	Φ_MARGIN	AC,loop gain	60			deg
Αντίσταση Εισόδου 1Mhz	Z_IN	AC, Z _{in} =V _{in} /I _{in}	10k			Ω
Αντίσταση Εξόδου 1Mhz	Z_OUT	AC, Z _{out} =V _{out} /I _{out}		10k		Ω



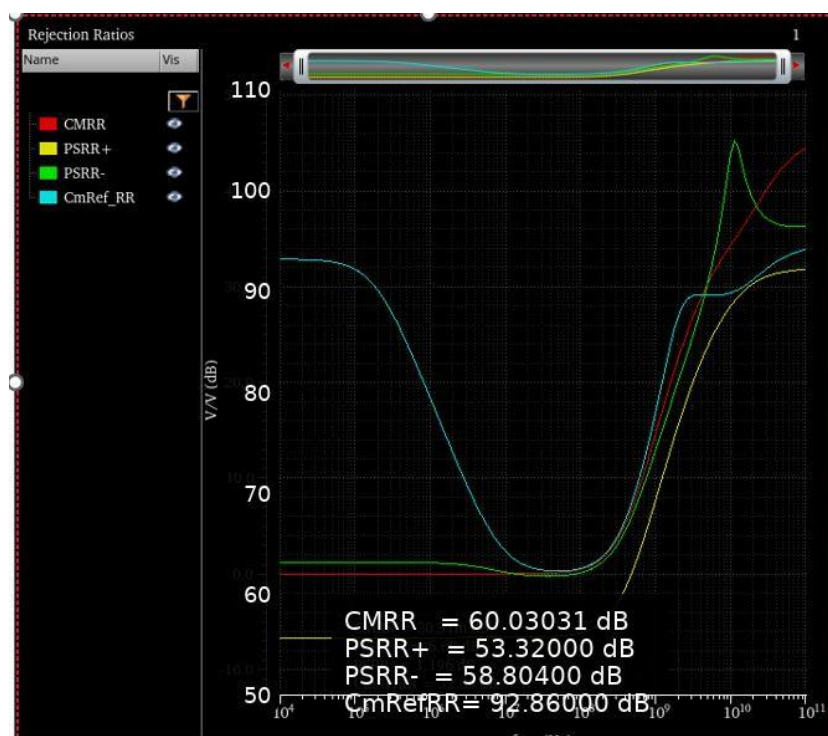
Σχήμα 1. Dc gain(Aol) ,Unity gain Function, Gain Margin, Phase Margin, Gain bandwidth, Dominant Pole



Σχήμα 2. Zin, Zout

Πίνακας B2 - Απόρριψη

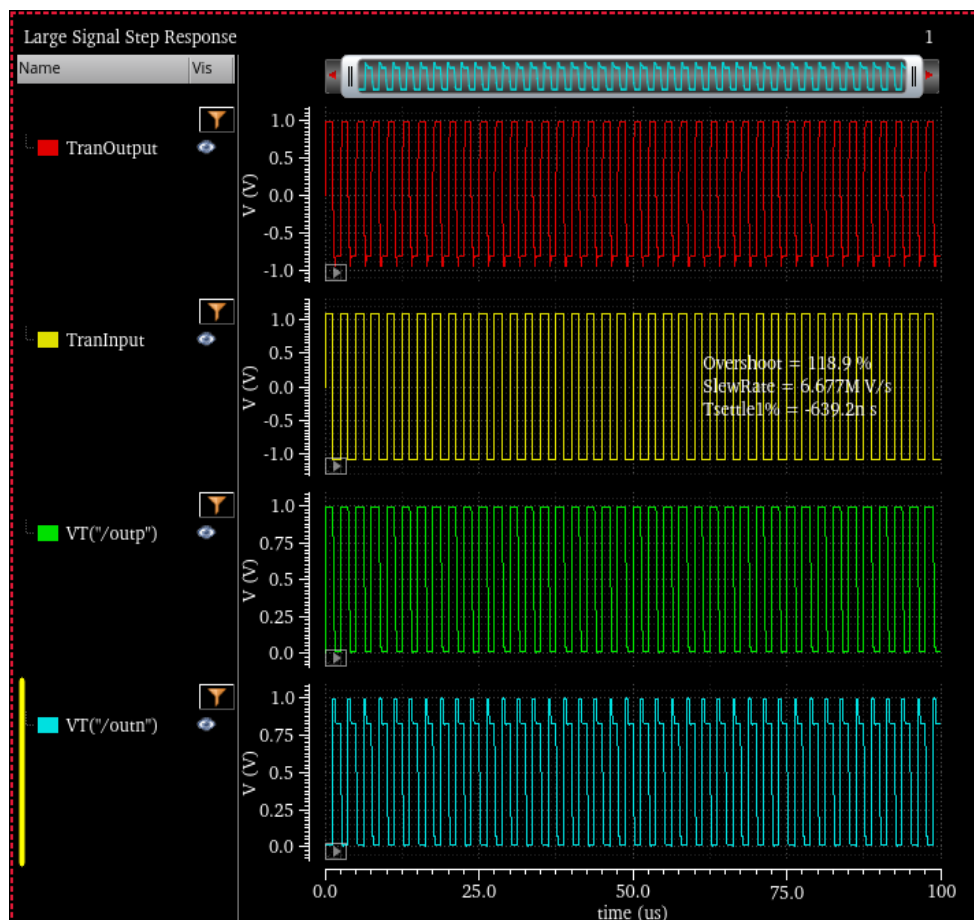
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Κοινή Απόρριψη	CMMR	XF,διέγερση VCM	60			dB
Απόρριψη Τροφοδοσία ς+(DC)	PSSR+	XF,διέγερση VDD	60			dB
Απόρριψη Τροφοδοσία ς-(DC)	PSSR-	XF,διέγερση VSS	60			dB
Απόρριψη Αναφοράς CM	CmRefRR	XF,διέγερση VCM	60			dB



Σχήμα 3. CMRR, PSSR+/-, CmRefRR

Πίνακας B3 - Μεγάλο σήμα/Transient

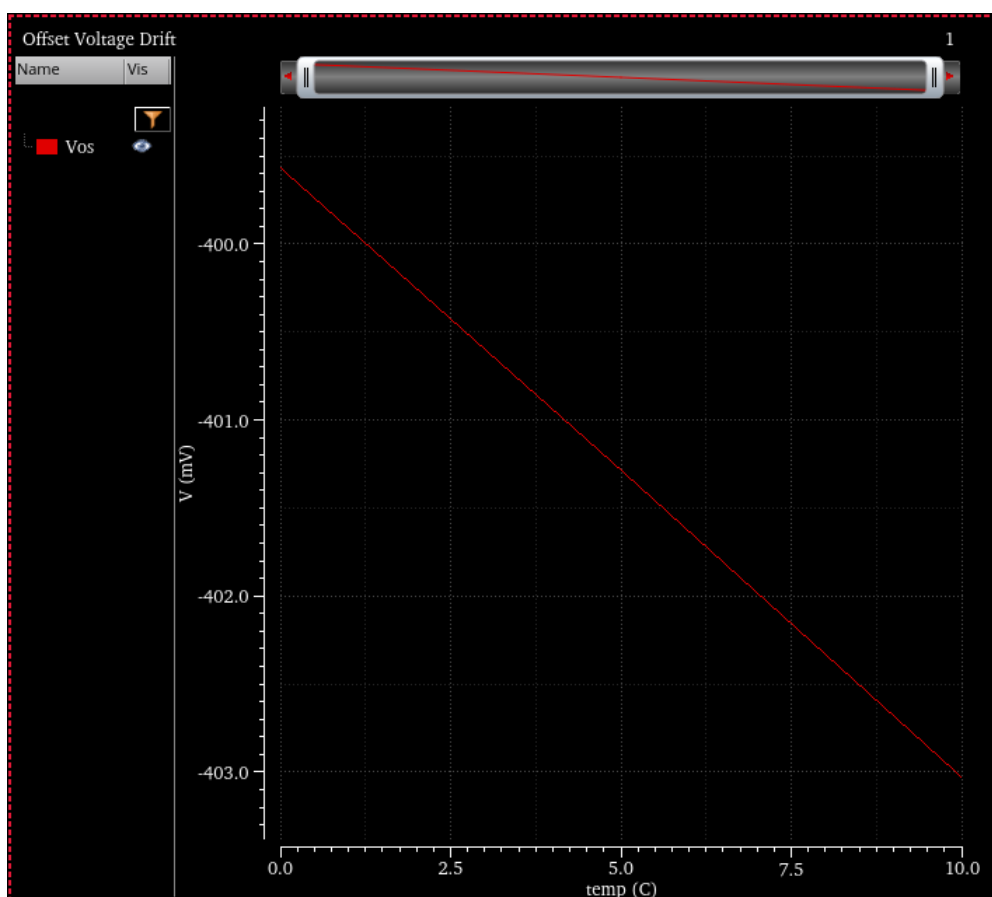
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Slew Rate(Ανιόν/ Κατιόν)	SR	TRAN,10-90%				V/s
Overshoot(Ανιόν/Κατι όν)	OS	TRAN, Παλμός βήματος		10%		%
Χρόνος Αποκατάστ ασης 1%	T_settle	TRAN, σε 1%		1u		s



Σχήμα 4: Overshoot,Slewrates , Tsettle

Πίνακας B4- DC POWER

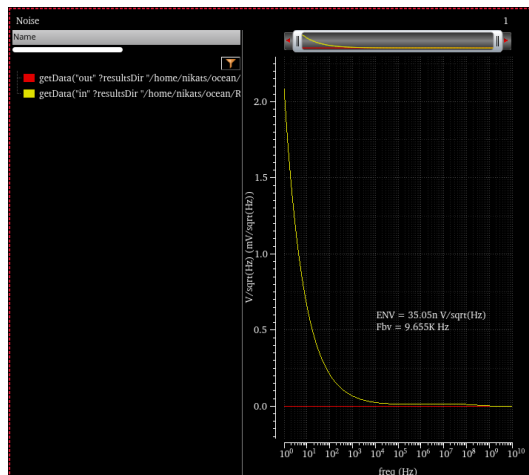
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Τάση offset εισόδου	Vos	DC,κόμβο2 «/vos»	-5	5		mV
Drift Offset	dVos/dT	DC σε 27 °C		100		nV/°C
Ρεύμα τροφοδοσίας	Idd	DC operating point		3u		A
Ισχύς Κατανάλωσης	Pdiss	DC operating point		3u		W



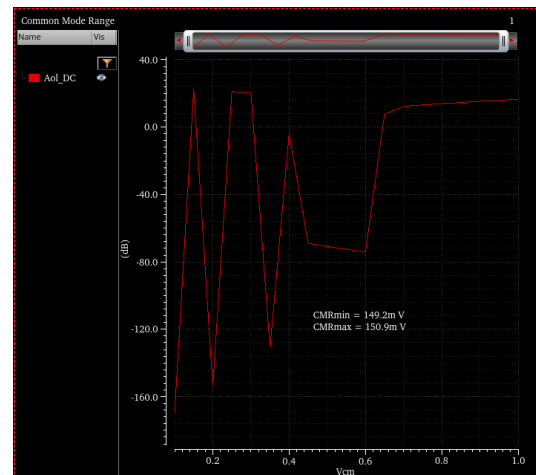
Σχήμα 5: Vos

Πίνακας B5 - Θόρυβος, feedback, Common range.

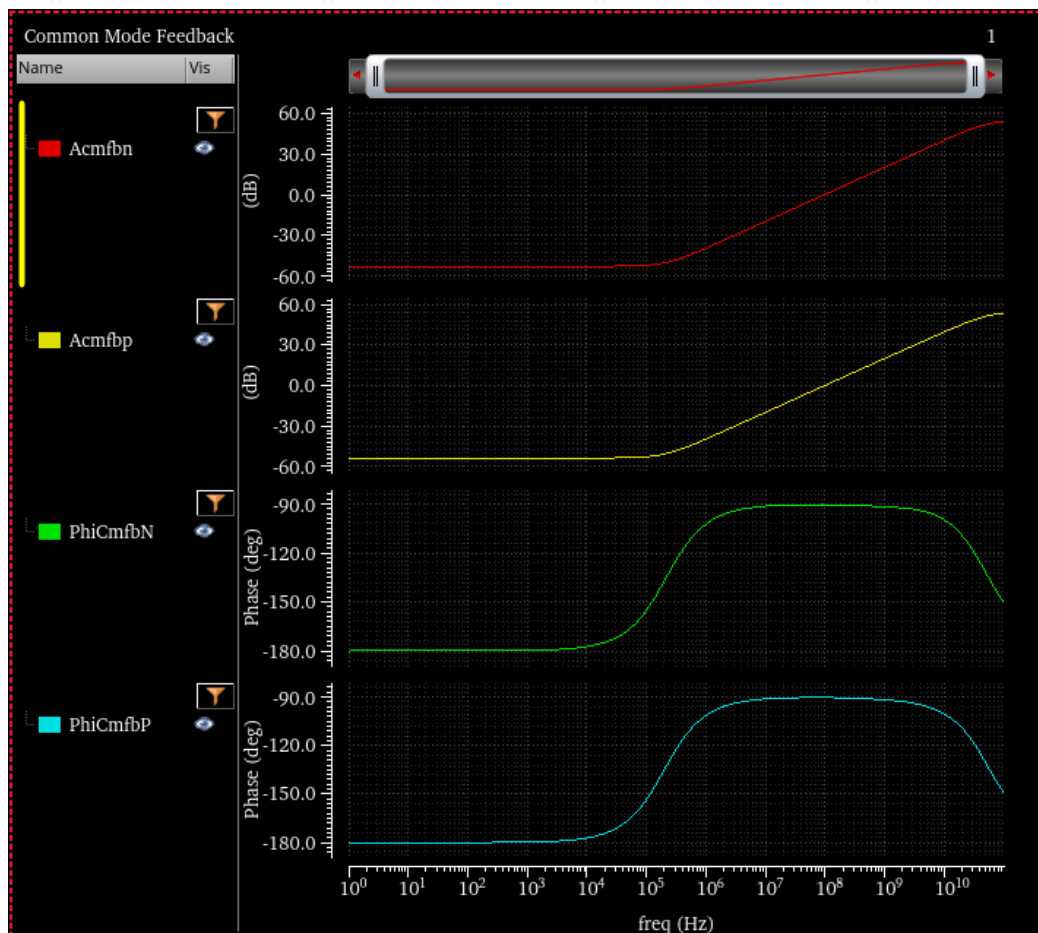
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Πυκνότητα θορύβου εισόδου	env	Noise bench		20		$nV/\sqrt{Hz}$
Εύρος θορύβου	fbv	Noise, εύρος ενσωμάτωσης		1k		Hz
Κατώτερο όριο κοινού δυναμικού εισόδου	CMRmin	DC/AC με σάρωση VCM	0.75			V
Ανώτερο όριο κοινού δυναμικού εισόδου	CMRmax	DC/AC με σάρωση VCM		1.5		V
DC κέρδος βρόχου CMFB Nside	AcmfbN	AC με inCMFB=1, ACin=0	20			dB
DC κέρδος βρόχου CMFB Pside	AcmfbP	AC με inCMFB=1, ACin=0	20			dB
φασική απόκριση του βρόχου Nside	PhiCmfbN	AC, inCMFB=1	60			deg
φασική απόκριση του βρόχου Pside	PhiCmfbP	AC, inCMFB=1	60			deg
Εύρος ζώνης CMFB	BW Nside	AC, inCMFB=1	1			MHz



Σχήμα 6. Env και fbv



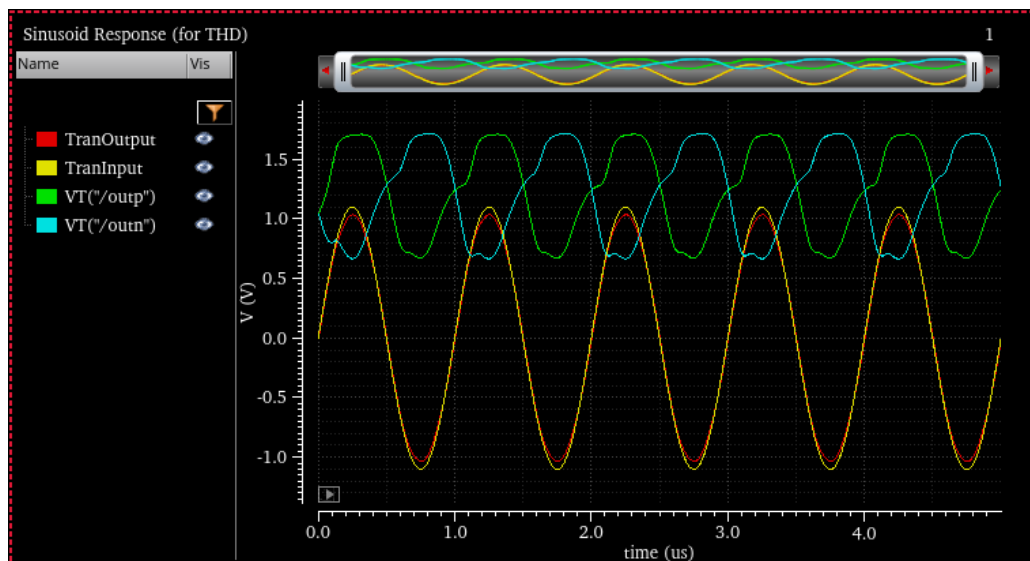
Σχήμα 7. Common Mode range



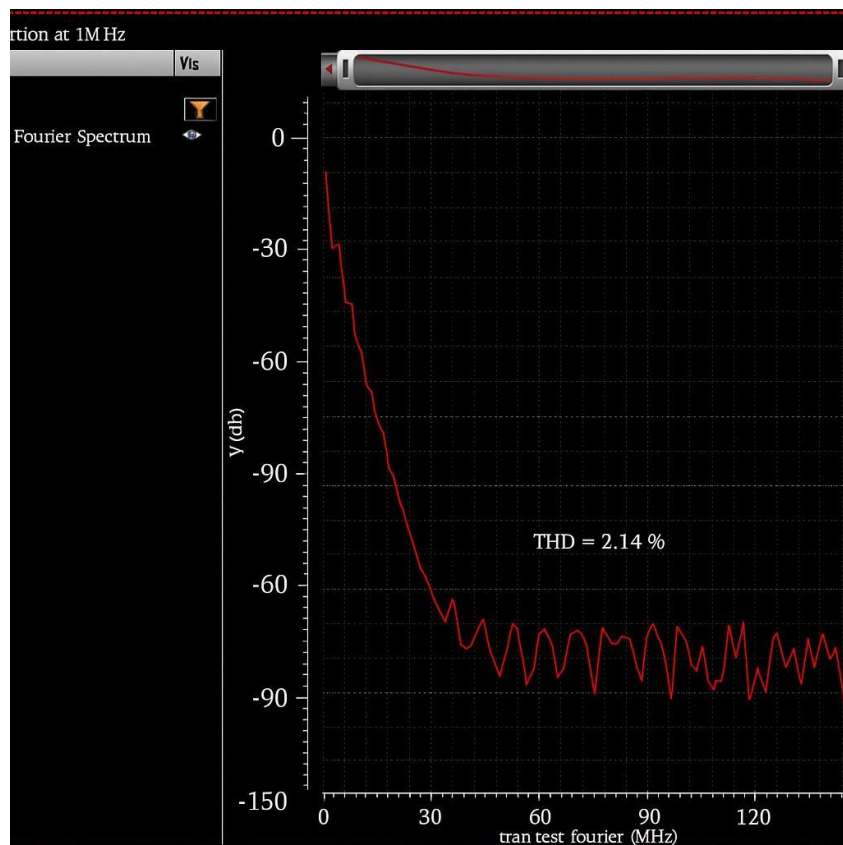
Σχήμα 8. Common mode Feedback

Πίνακας B6 – Γραμμικότητες

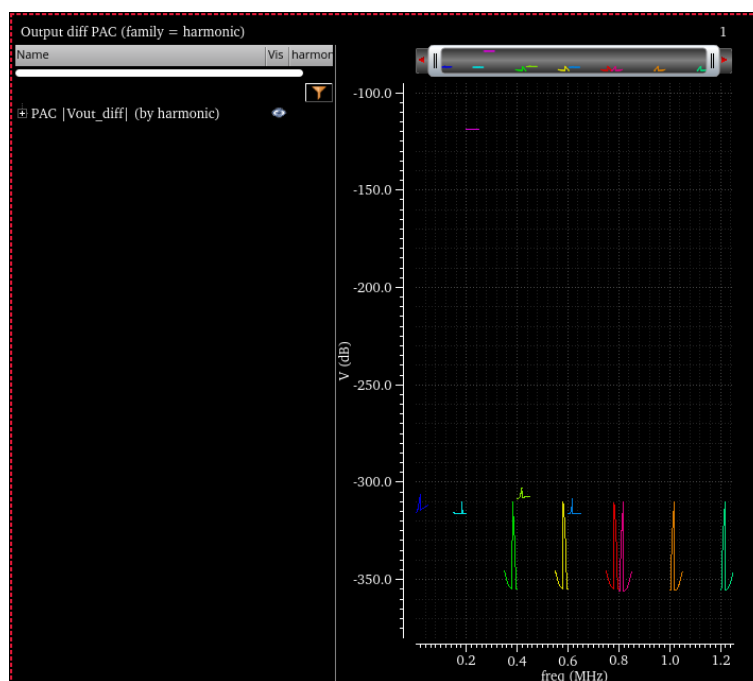
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Ολική αρμονική παραμόρφω ση	THD	Sinusoid διέγερση		1		%
Δυναμικό εύρος χωρίς παρασιτικά	SFDR	PSS+PAC διεγέρσεις μεταξύ +/- 2, +/-3	40			dB
IP3 Έξοδος(Διτ ονική)	IP3	PSS+PAC διεγέρσεις μεταξύ +/- 2, +/-3	20			dBm



Σχήμα 9. Sinusoid Response



Σχήμα 10. Παραμόρφωση



Σχήμα 11. Μη γραμμικότητες

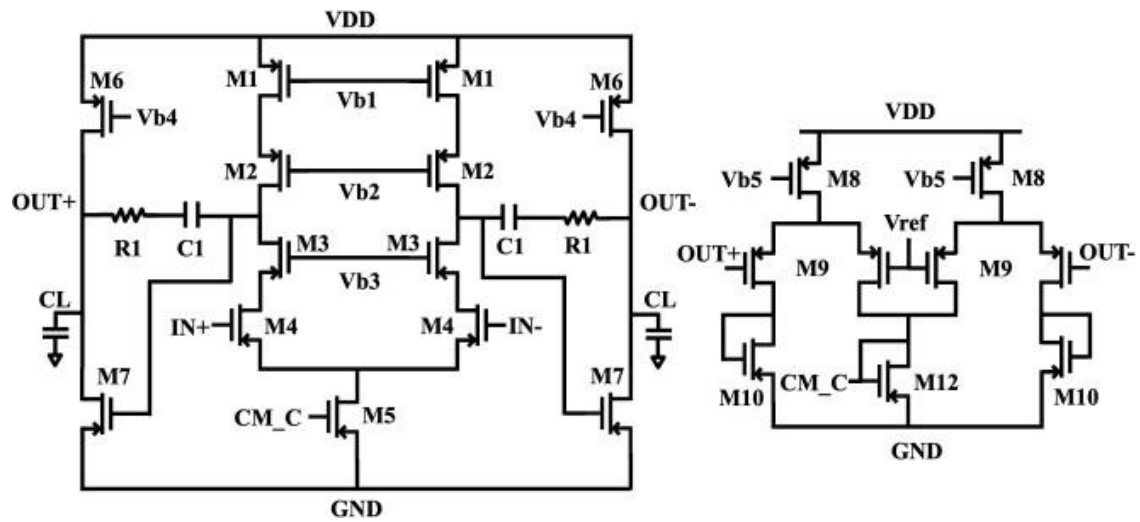
Σύνοψη PASS/FAIL για Op-Amp A.
 Με βάση το αρχείο προδιαγραφών (AFV), ο ενισχυτής A πέτυχε 13passes από 26 ελέγχους (13 αποτυχίες). Το worst-case corner καταγράφηκαν

ANALOG TEST RESULTS FROM RUN TWO_STAGE_OPAMP			
TEST	PASS	FAIL	RUNS
BWol	1	0	1
CmRefRR	0	1	1
VcommonLow	1	0	1
VcommonHigh	0	1	1
Fbv	0	1	1
GBW	0	1	1
CMFBPhMar	0	0	0
CMFBAo1	0	0	0
PSRRdd	0	1	1
OvrShoot	1	1	2
PSRRss	0	1	1
Zin	1	0	1
Idd	1	0	1
Vos	0	0	0
UGFreq	1	0	1
Ao1	1	0	1
CMRR	0	1	1
SlewRate	0	2	2
Zout	2	0	2
Tsettle	1	1	2
THD	0	1	1
IP3	0	0	0
SFDR	0	0	0
GainMargin	1	0	1
Pdiss	1	0	1
VosDrift	0	0	0
CompIncOut	0	0	0
PhaseMargin	1	0	1
ENV	0	1	1

TOTALS	13	13	26
13 Failures TWO_STAGE_OPAMP Tests did Not pass			

6.4 Telescopic-ορamp -Op amp C:

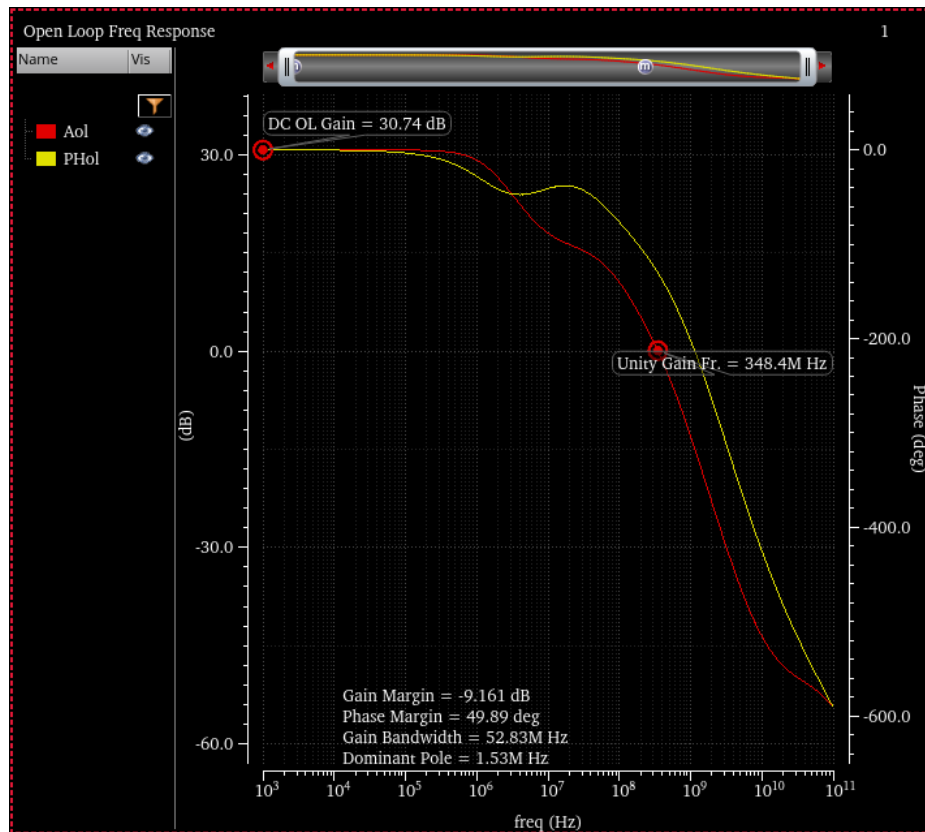
6.4.1 Τοπολογία



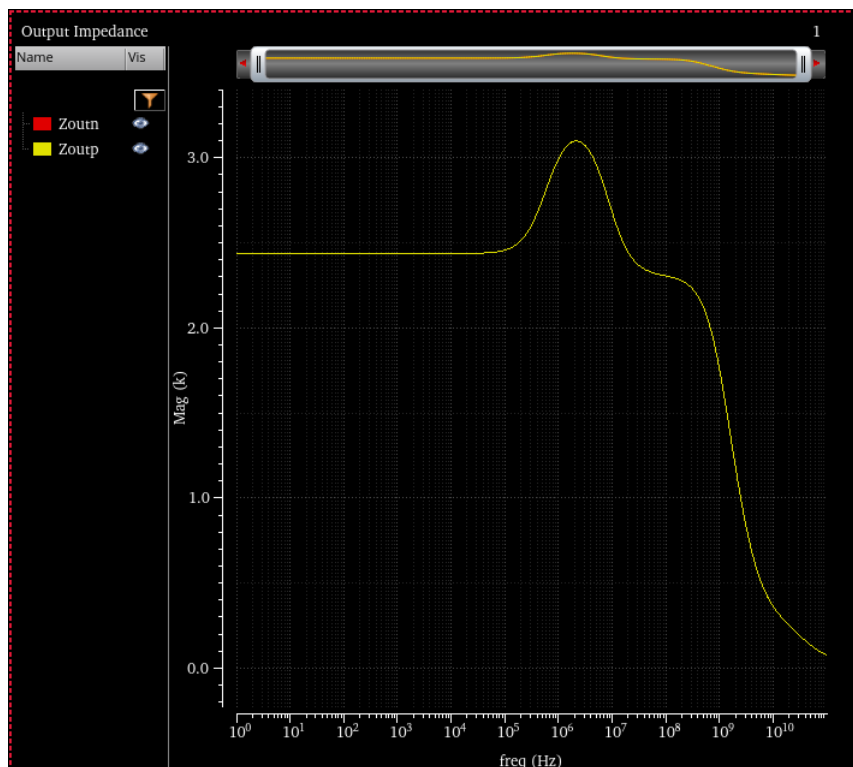
6.4.2 Διαγράμματα

Πίνακας C1 - Χαρακτηριστικά Μικρού Σήματος (AC)

Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Κέρδος Ανοιχτού Βρόχου(DC)	A _{ol}	VDD=1.0V,VSS=0V VCM=0.5V,	55			dB
Γινόμενο εύρους ζώνης κέρδους	GBW	AC,ίδιο bench	1M			Hz
Συχνότητα μονάδας κέρδους	UGF _{req}	AC,cross(A _{ol} =0db)	1M			Hz
Ευρός ζώνης-3 dB	BW _{OL}	AC,bandwidth(A _{ol} ,- 3 dB)	1.8			KHz
Περιθώριο Κέρδους	A_MARGIN	AC, loop gain		8		dB
Περιθώριο Φάσης	Φ_MARGIN	AC,loop gain	50			deg
Αντίσταση Εισόδου 1Mhz	Z _{IN}	AC, Z _{in} =V _{in} /I _{in}	10k			Ω
Αντίσταση Εξόδου 1Mhz	Z _{OUT}	AC, Z _{out} =V _{out} /I _{out}		10k		Ω



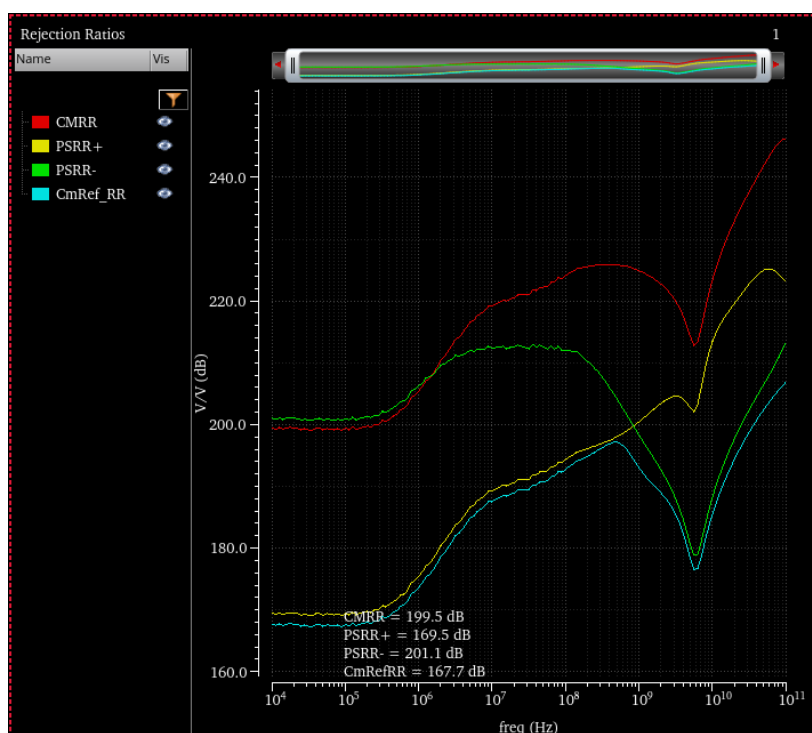
Σχήμα 1. DC gain(Aol), UGF, GM , PM, GB , Dominant Pole



Σχήμα 2. Zin, Zout

Πίνακας C2 - Απόρριψη

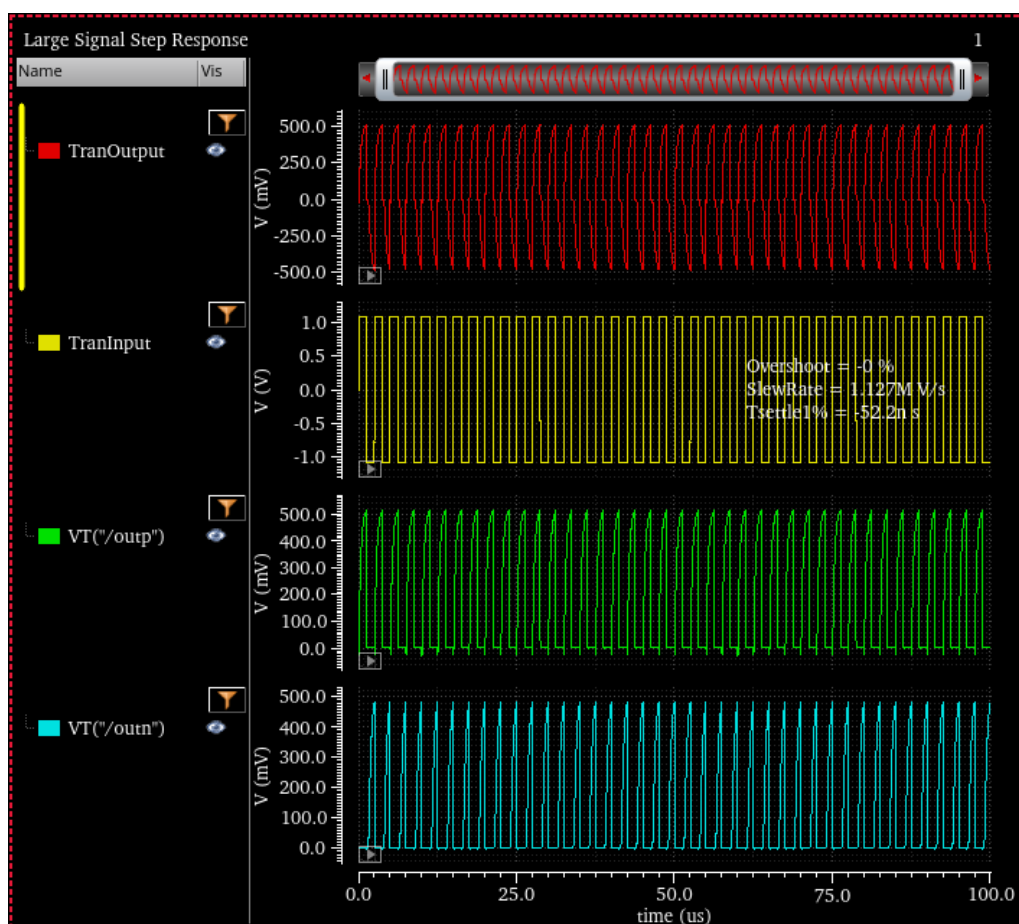
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Κοινή Απόρριψη	CMMR	XF,διέγερση VCM	60			dB
Απόρριψη Τροφοδοσίας ς+(DC)	PSSR+	XF,διέγερση VDD	50			dB
Απόρριψη Τροφοδοσίας ς-(DC)	PSSR-	XF,διέγερση VSS	50			dB
Απόρριψη Αναφοράς CM	CmRefRR	XF,διέγερση VCM	40			dB



Σχήμα 3. CMRR, PSSR+/-,CmRefRR

Πίνακας C3 – Μεγάλο σήμα Transient

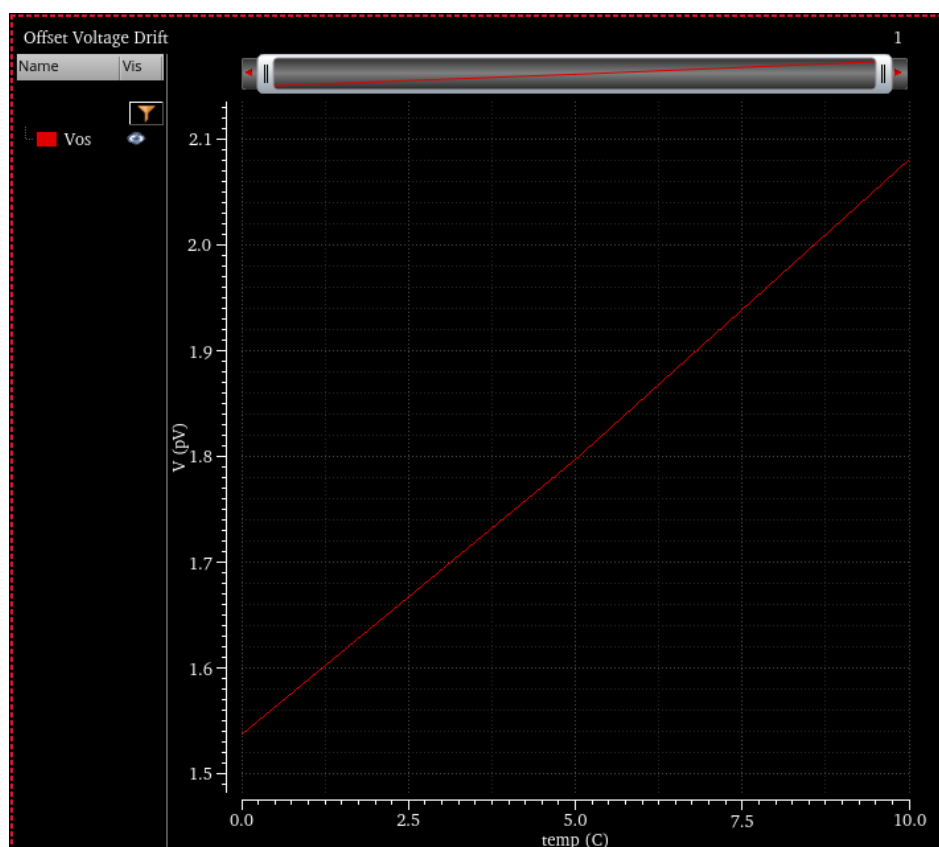
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Slew Rate (Ανιόν/ Κατιόν)	SR	TRAN,10-90%				V/s
Overshoot (Ανιόν/Κατι όν)	OS	TRAN, Παλμός βήματος		10%		%
Χρόνος Αποκατάστ ασης 1%	T_settle	TRAN, σε 1%		0.72 u		s



Σχήμα 4.Overshoot, Slew rate,Tsettle.

Πίνακας C4 –DC POWER

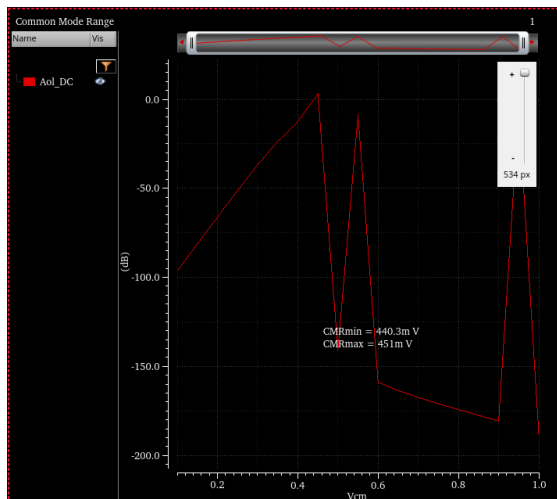
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Τάση offset εισόδου	Vos	DC,κόμβο2 «/vos»	-5	5		mV
Drift Offset	dVos/dT	DC σε 27 °C		1		nV/°C
Ρεύμα τροφοδοσίας	Idd	DC operating point		10m		A
Ισχύς Κατανάλωσης	Pdiss	DC operating point		20m		W



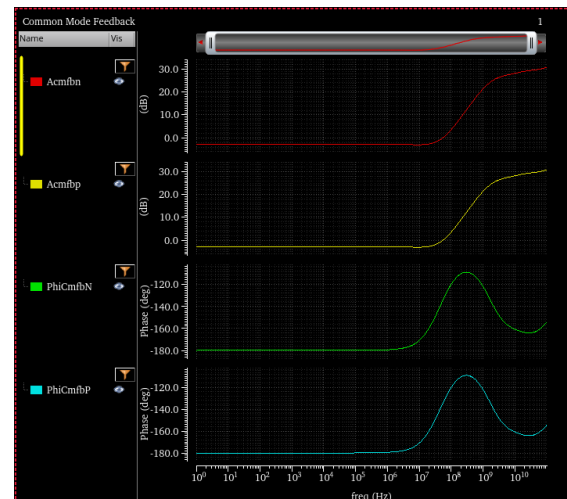
Σχήμα 5. Vos

Πίνακας C5 – Θόρυβος, feedback, Common range

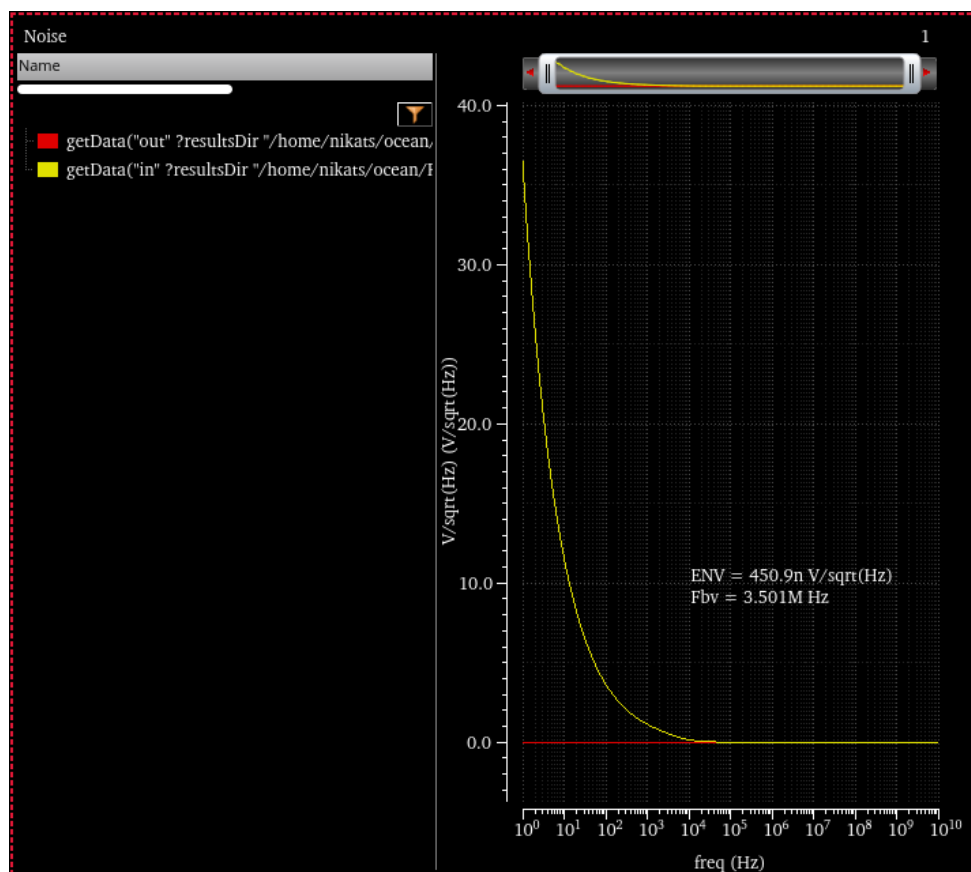
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Πυκνότητα θορύβου εισόδου	env	Noise bench		20		$nV/\sqrt{Hz}$
Εύρος θορύβου	fbv	Noise, εύρος ενσωμάτωσης		1e3		Hz
Κατώτερο όριο κοινού δυναμικού εισόδου	CMRmin	DC/AC με σάρωση VCM	0.75			V
Ανώτερο όριο κοινού δυναμικού εισόδου	CMRmax	DC/AC με σάρωση VCM		1.5		V
DC κέρδος βρόχου CMFB Nside	AcmfbN	AC με inCMFB=1, ACin=0	20			dB
DC κέρδος βρόχου CMFB Pside	AcmfbP	AC με inCMFB=1, ACin=0	20			dB
φασική απόκριση του βρόχου Nside	PhiCmfbN	AC, inCMFB=1	60			deg
φασική απόκριση του βρόχου Pside	PhiCmfbP	AC, inCMFB=1	60			deg
Εύρος ζώνης CMFB	BW Nside	AC, inCMFB=1	1			MHz



Σχήμα 6. Common Mode range



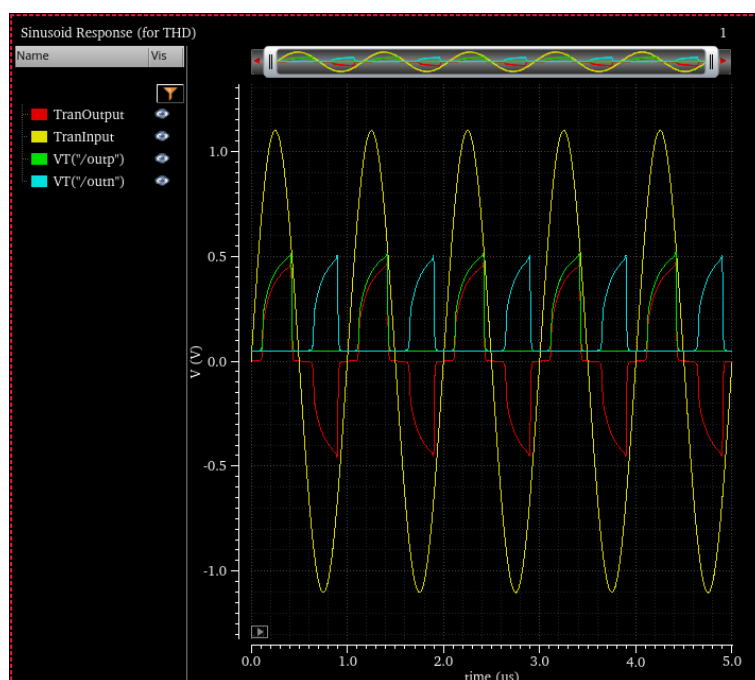
Σχήμα 7. Common Mode Feedback



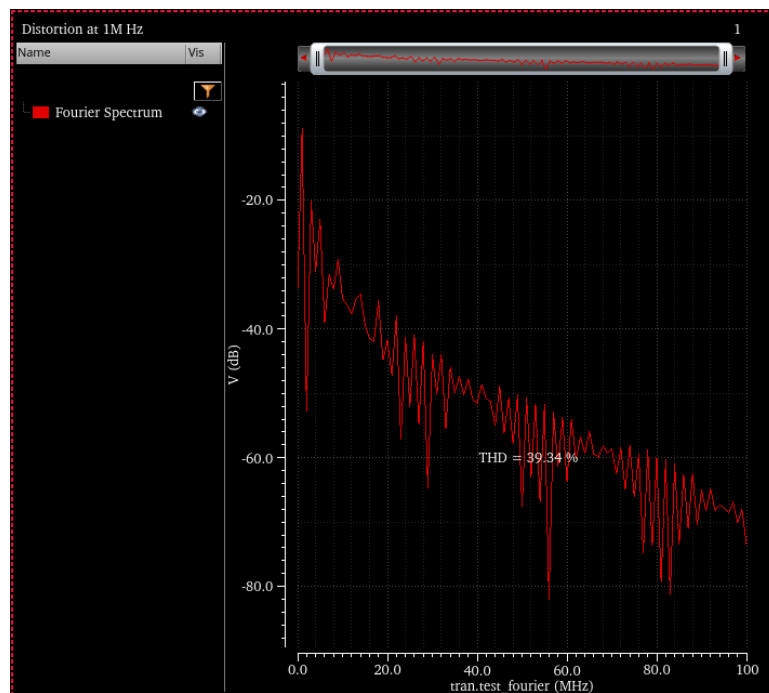
Σχήμα 8. Env και Fbv

Πίνακας C6 - – Γραμμικότητες

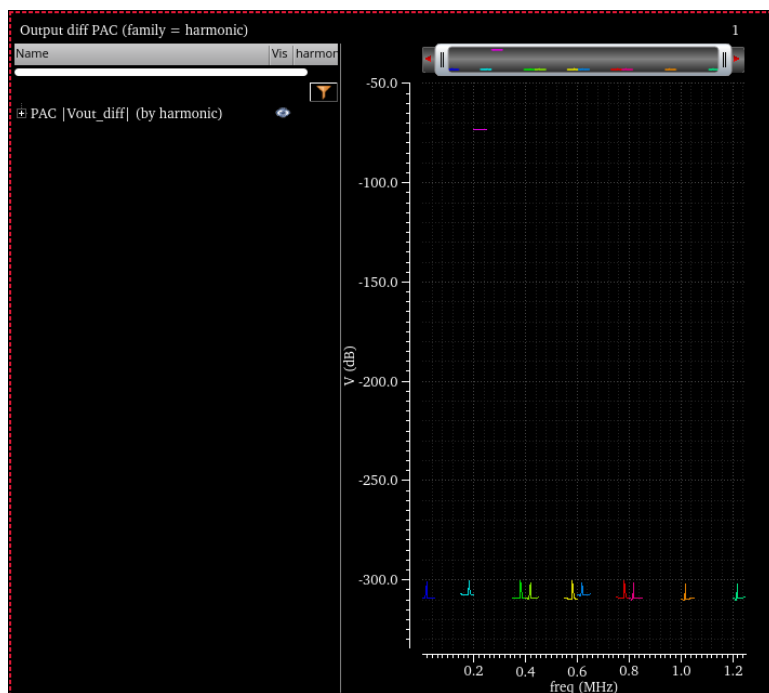
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Ολική αρμονική παραμόρφω ση	THD	Sinusoid διεγερση		1		%
Δυναμικό εύρος χωρίς παρασίτικα	SFDR	PSS+PAC διεγέρσεις μεταξύ +/- 2, +/-3	40			dB
IP3 Έξοδος(Διτ ονική)	IP3	PSS+PAC διεγέρσεις μεταξύ +/- 2, +/-3	20			dBm



Σχήμα 9. Sinusoid Response



Σχήμα 10. Παραμόρφωση



Σχήμα 11. Μη γραμμικότητες

Σύνοψη PASS/FAIL για Op-Amp A.

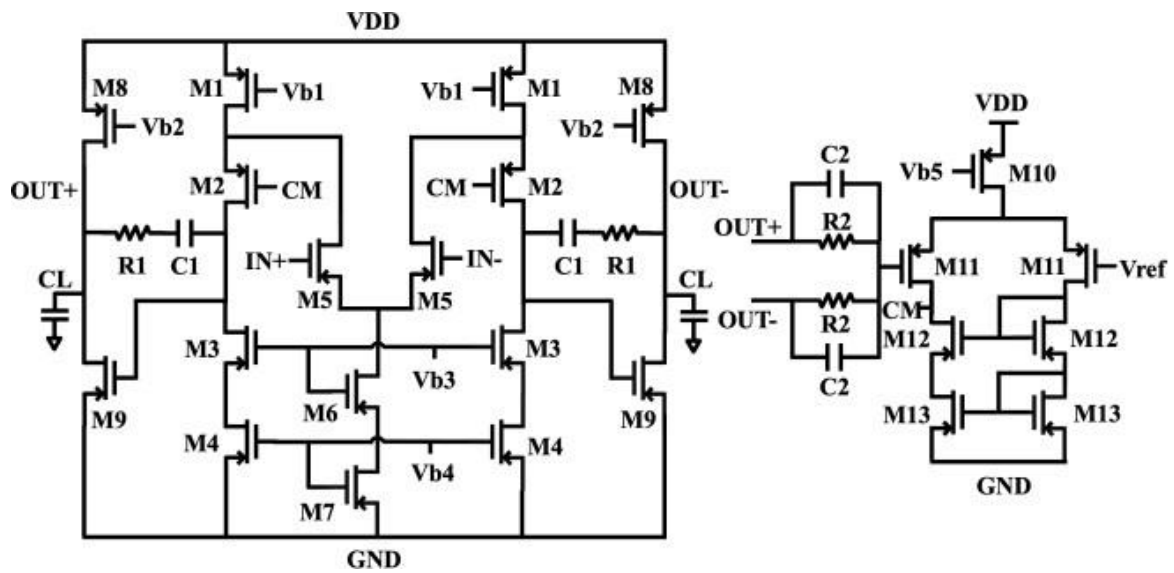
Με βάση το αρχείο προδιαγραφών (AFV), ο ενισχυτής A πέτυχε 15passes από 26 ελέγχους (11 αποτυχίες). Το worst-case corner καταγράφηκαν

ANALOG TEST RESULTS FROM RUN TEDESCAMP			
TEST	PASS	FAIL	RUNS
BWol	1	0	1
CmRefRR	1	0	1
VcommonLow	1	0	1
VcommonHigh	1	0	1
Fbv	0	1	1
GBW	0	1	1
CMFBPhMar	0	0	0
CMFBAol	0	0	0
PSRRdd	1	0	1
OvrShoot	2	0	2
PSRRss	1	0	1
Zin	1	0	1
Idd	0	1	1
Vos	0	0	0
UGFreq	1	0	1
Aol	1	0	1
CMRR	1	0	1
SlewRate	0	2	2
Zout	2	0	2
Tsettle	1	1	2
THD	0	1	1
IP3	0	0	0
SFDR	0	0	0
GainMargin	0	1	1
Pdiss	0	1	1
VosDrift	0	0	0
CompIncOut	0	0	0
PhaseMargin	0	1	1
ENV	0	1	1

TOTALS	15	11	26
11	Failures TEDESCAMP Tests did Not pass		

6.5 Cascode- Opamp D:

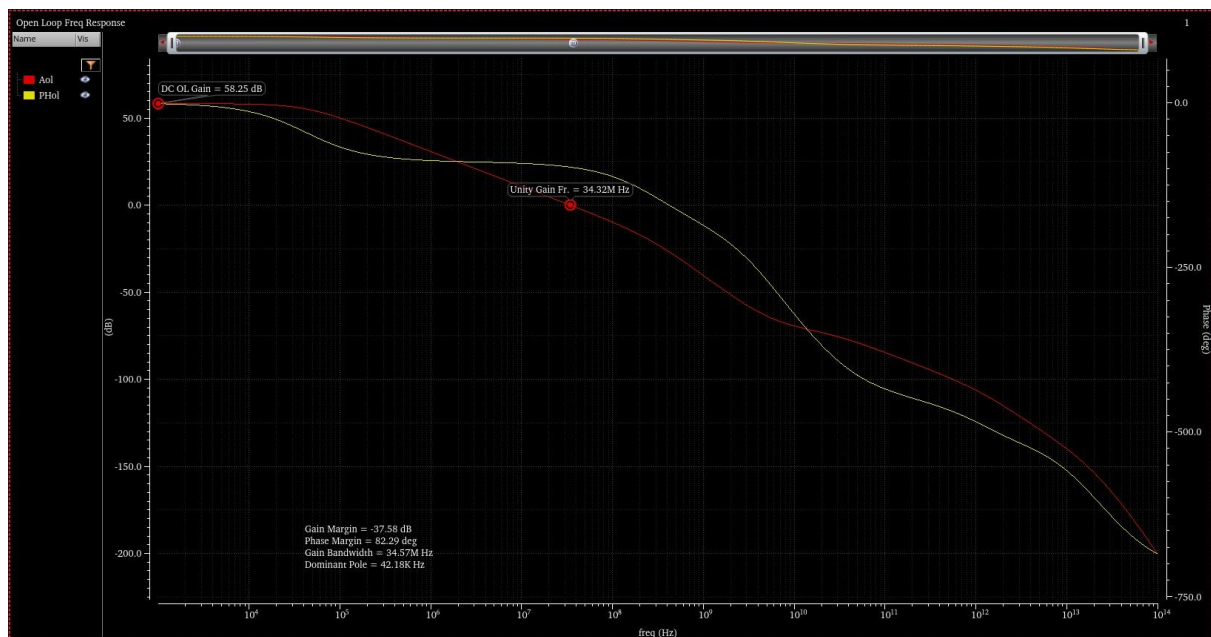
6.5.1 Τοπολογία



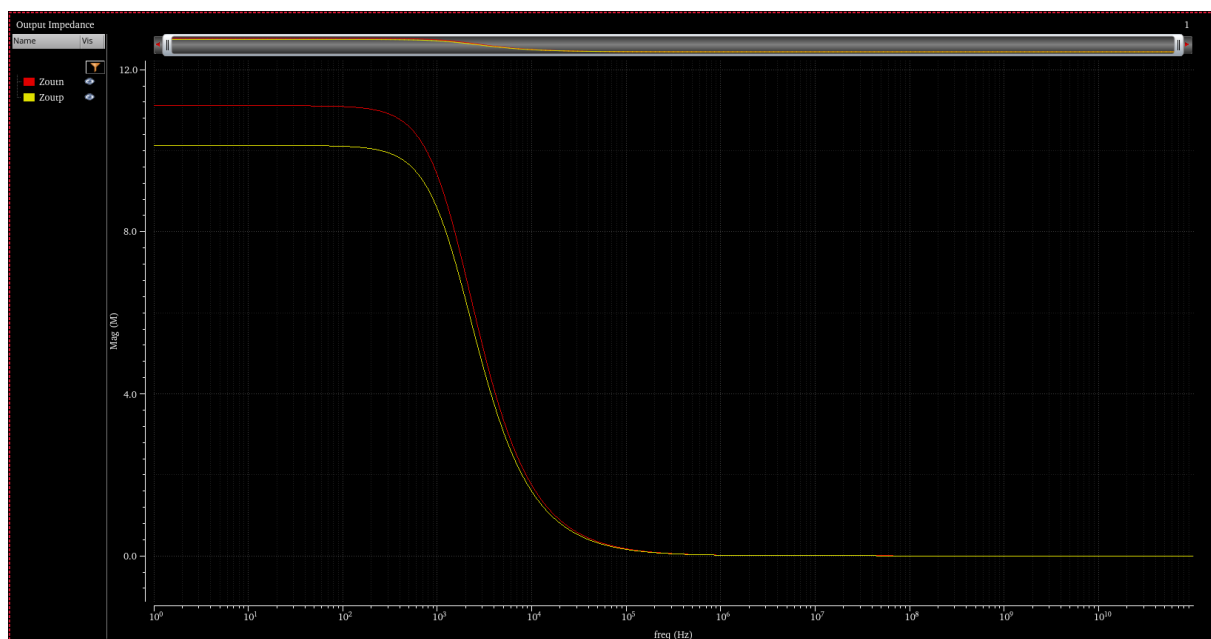
6.5.2 Διαγράμματα

Πίνακας D1 - Χαρακτηριστικά Μικρού Σήματος (AC)

Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Κέρδος Ανοιχτού Βρόχου(DC)	Aol	VDD=1.0V,VSS=0V VCM=0.5V,RL=1M CL=100p,T=27°	50			dB
Γινόμενο εύρους ζώνης κέρδους	GBW	AC,ίδιο bench	15k			Hz
Συχνότητα μονάδας κέρδους	UGF_req	AC,cross(A_ol=0db)	3M			Hz
Ευρός ζώνης-3 dB	BW_OL	AC,bandwidth(A_ol,- 3 dB)	9.5			kHz
Περιθώριο Κέρδους	A_MARGIN	AC, loop gain		-20		dB
Περιθώριο Φάσης	Φ_MARGIN	AC,loop gain	60			deg
Αντίσταση Εισόδου 1Mhz	Z_IN	AC, Z_in=V_in/I_in	10k			Ω
Αντίσταση Εξόδου 1Mhz	Z_OUT	AC, Z_out=V_out/I_out		10k		Ω



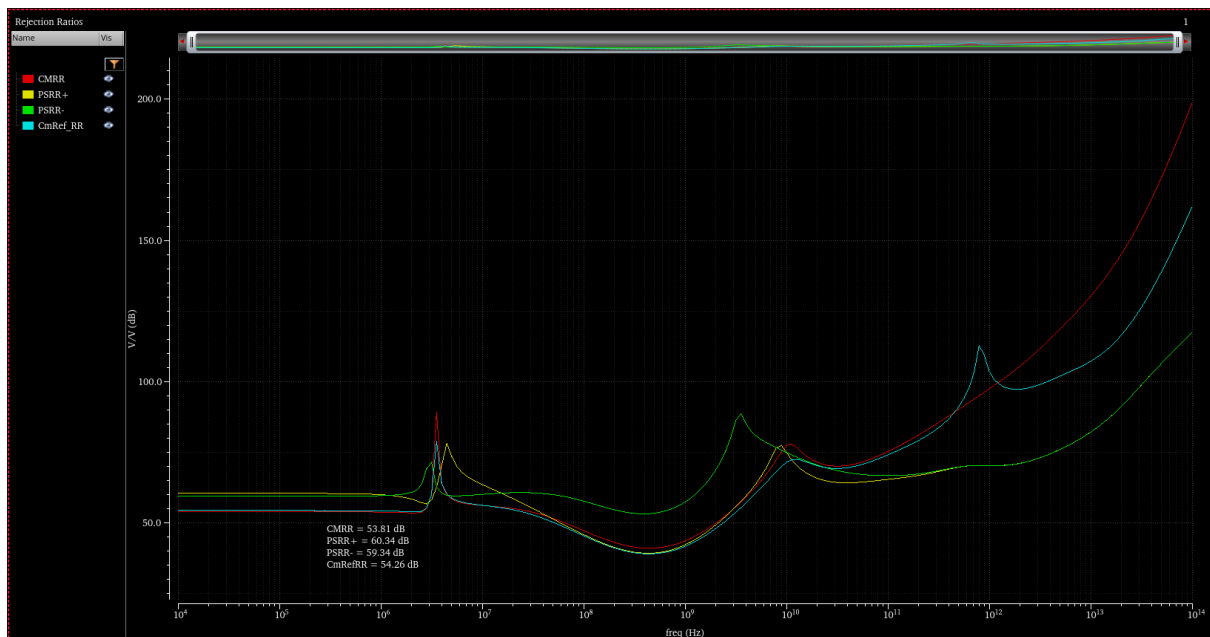
Σχήμα 1. DC gain , UGF, GM , PM , GB, Dominant Pole



Σχήμα 2. Zin, Zout

Πίνακας D2- Απόρριψη

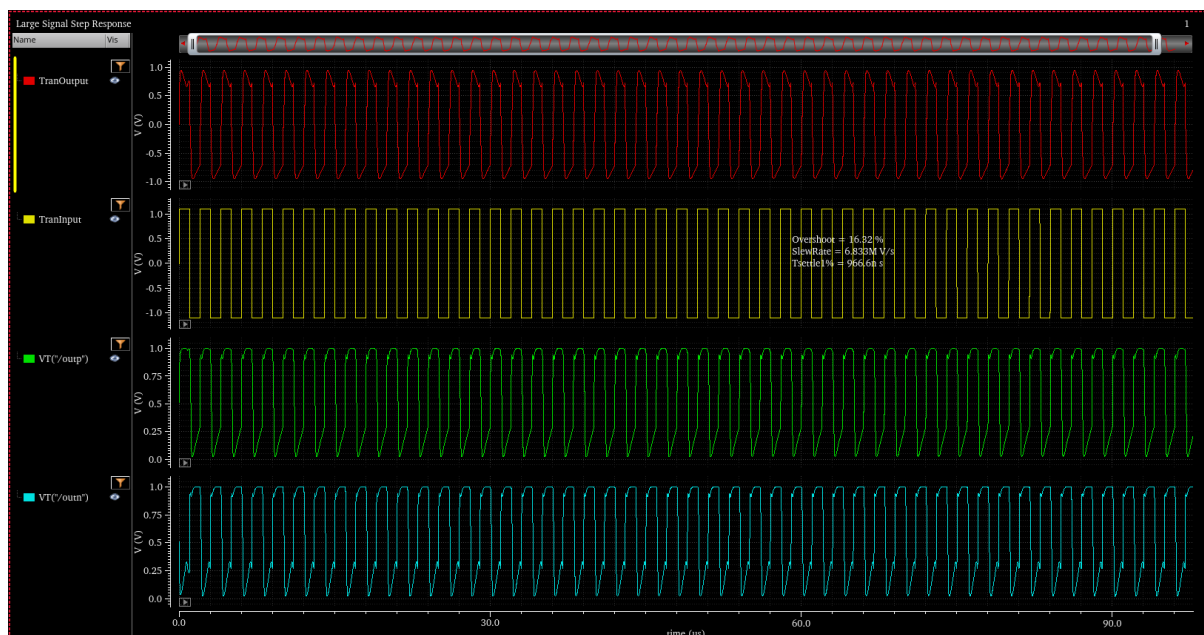
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Κοινή Απόρριψη	CMMR	XF,διέγερση VCM	60			dB
Απόρριψη Τροφοδοσία ς+(DC)	PSSR+	XF,διέγερση VDD	40			dB
Απόρριψη Τροφοδοσία ς-(DC)	PSSR-	XF,διέγερση VSS	40			dB
Απόρριψη Αναφοράς CM	CmRefRR	XF,διέγερση VCM	40			dB



Σχήμα 3. CMRR, PSSR+/-, CmRefRR

Πίνακας D3- Μεγάλο σήμα Transient

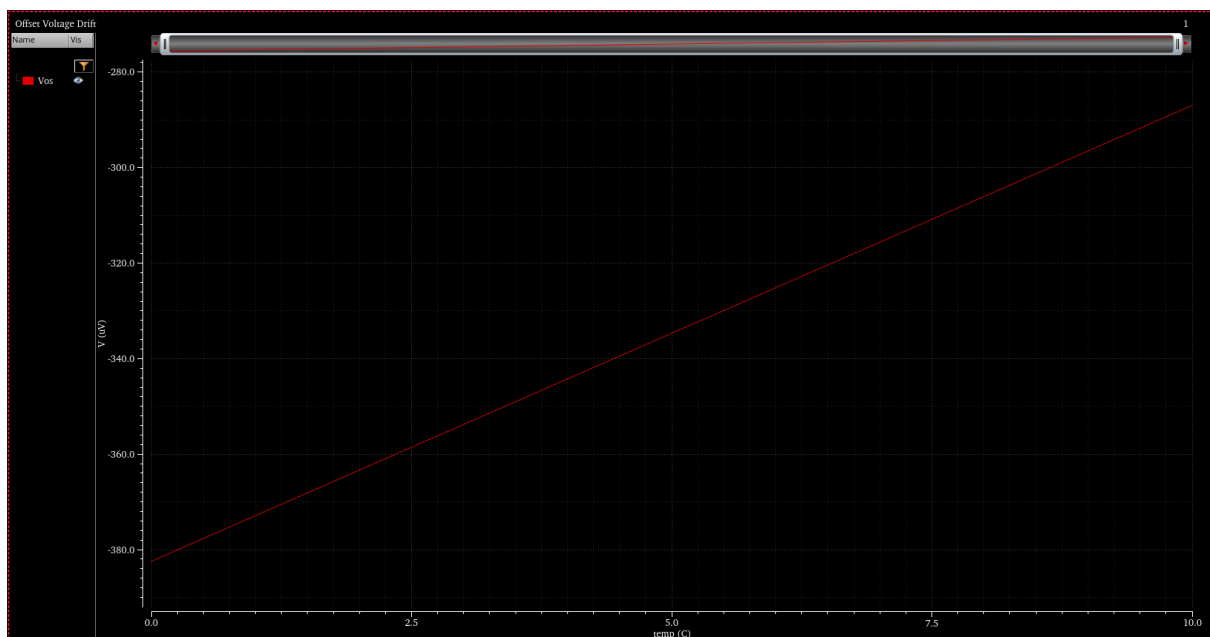
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Slew Rate (Ανιόν/ Κατιόν)	SR	TRAN,10-90%	10			V/s
Overshoot (Ανιόν/Κατι όν)	OS	TRAN, Παλμός βήματος		20%		%
Χρόνος Αποκατάστ ασης 1%	T_settle	TRAN, σε 1%		1u		s



Σχήμα 4. Overshoot,SlewRate, Tsettle

Πίνακας D4 – DC POWER

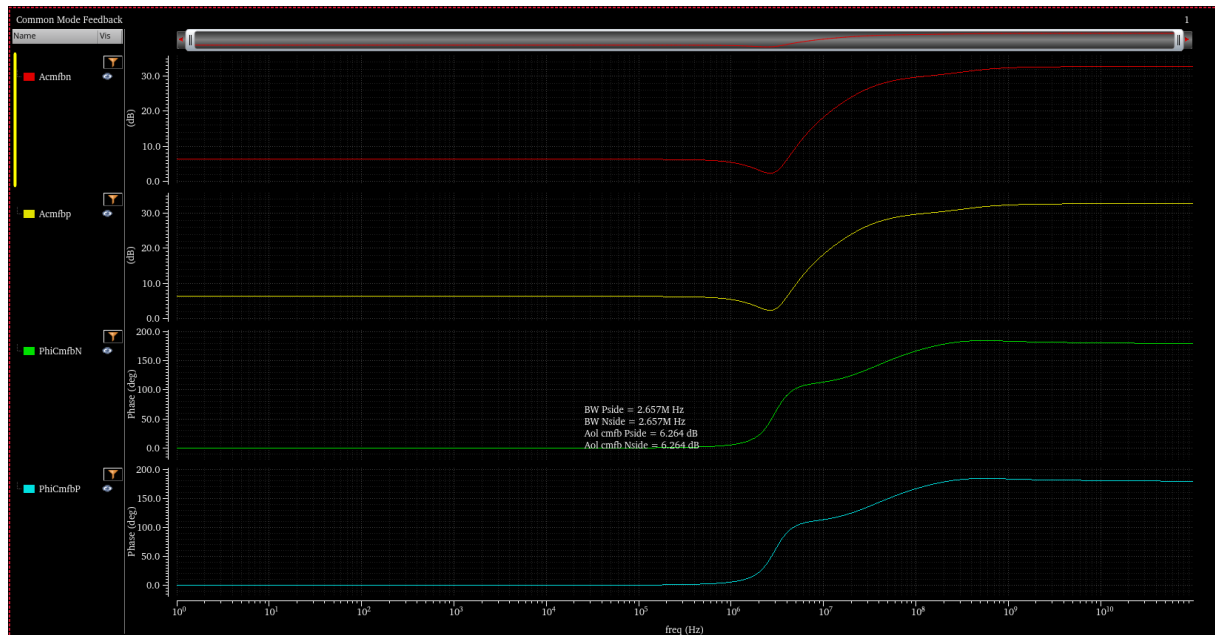
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Τάση offset εισόδου	Vos	DC,κόμβο2 «/vos»	-5e-3	+5e-3		V
Drift Offset	dVos/dT	DC σε 27 °C		1.0e-7		V/°C
Ρεύμα τροφοδοσίας	Idd	DC operating point		50u		A
Ισχύς Κατανάλωσης	Pdiss	DC operating point		20e-3		W



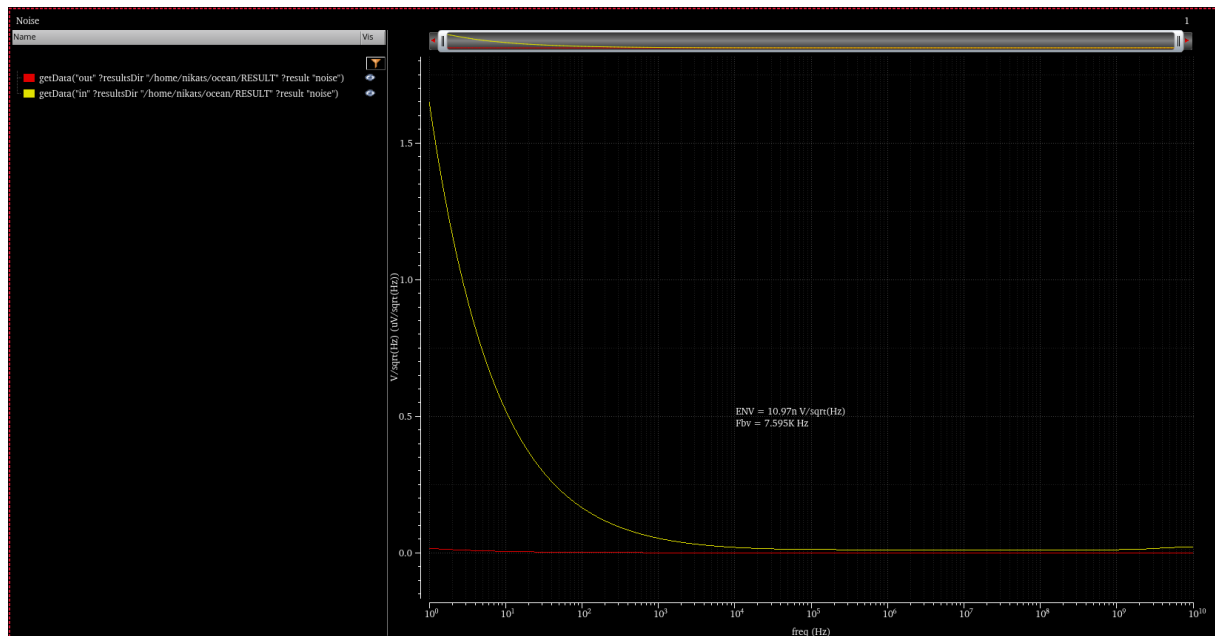
Σχήμα 5. Vos

Πίνακας D5- Θόρυβος, feedback, Common range

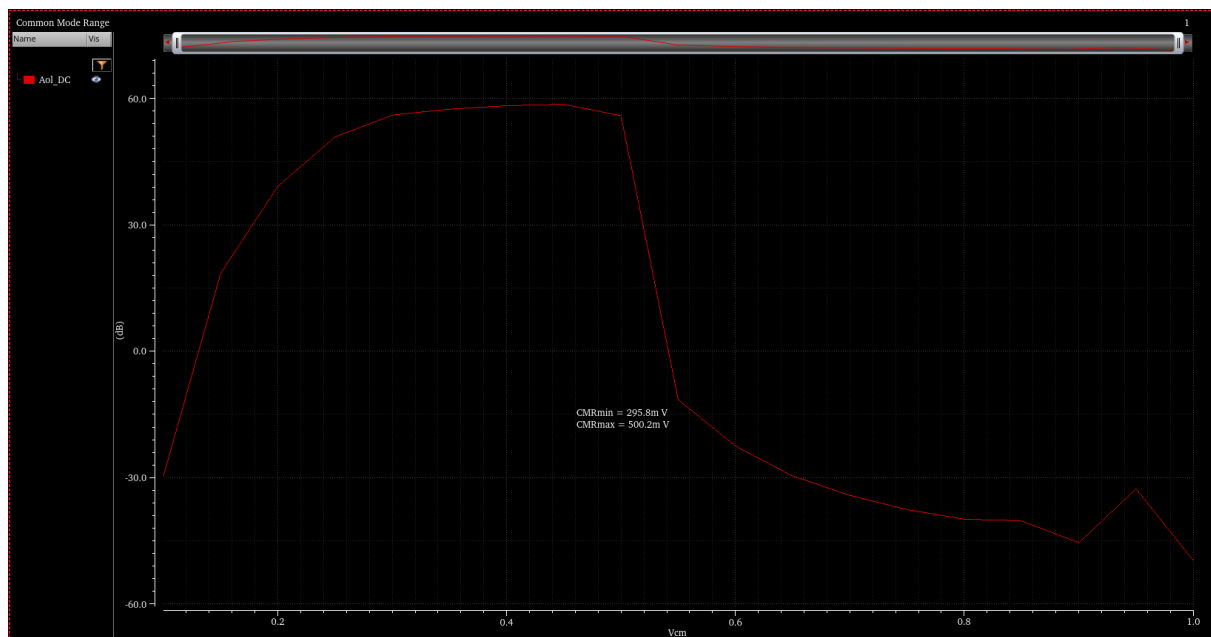
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Πυκνότητα θορύβου εισόδου	env	Noise bench		20e-9		$V/\sqrt{Hz}$
Εύρος θορύβου	fbv	Noise, εύρος ενσωμάτωσης		1e3		Hz
Κατώτερο όριο κοινού δυναμικού εισόδου	CMRmin	DC/AC με σάρωση VCM	0.75			V
Ανώτερο όριο κοινού δυναμικού εισόδου	CMRmax	DC/AC με σάρωση VCM		1.5		V
DC κέρδος βρόχου CMFB Nside	AcmfbN	AC με inCMFB=1, ACin=0	20			dB
DC κέρδος βρόχου CMFB Pside	AcmfbP	AC με inCMFB=1, ACin=0	20			dB
φασική απόκριση του βρόχου Nside	PhiCmfbN	AC, inCMFB=1	60			deg
φασική απόκριση του βρόχου Pside	PhiCmfbP	AC, inCMFB=1	60			deg
Εύρος ζώνης CMFB	BW Nside	AC, inCMFB=1	1			MHz



Σχήμα 6. Common Mode Feedback



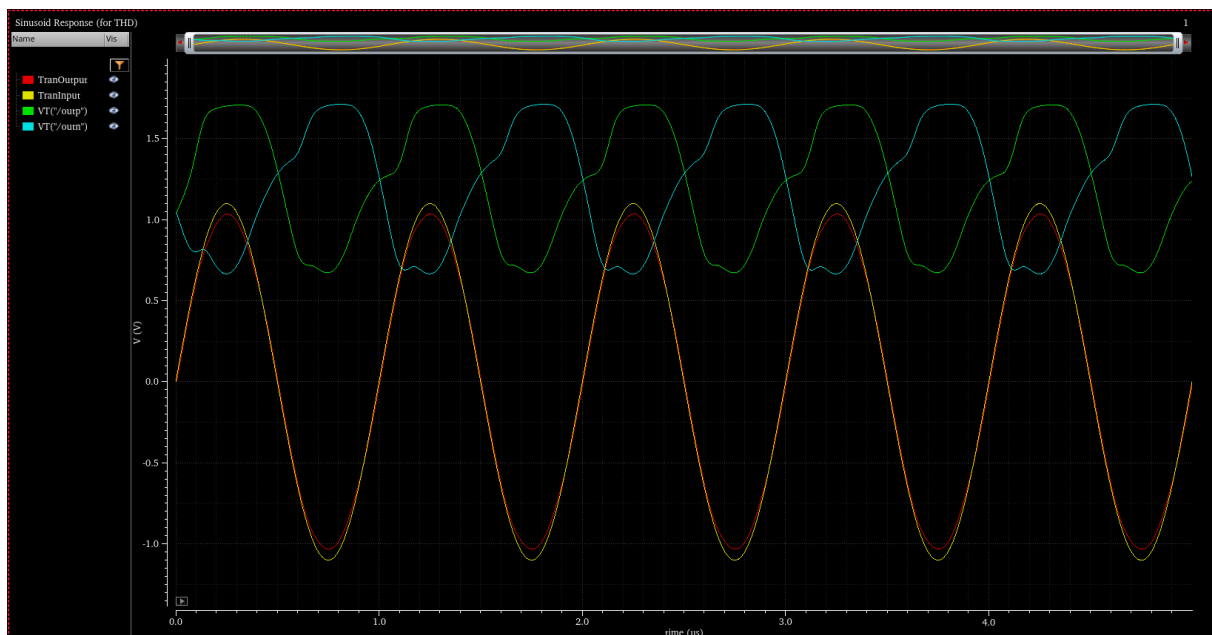
Σχήμα 7. Env και Fbv



Σχήμα 8. Common Mode range

Πίνακας D6 – Γραμμικότητες

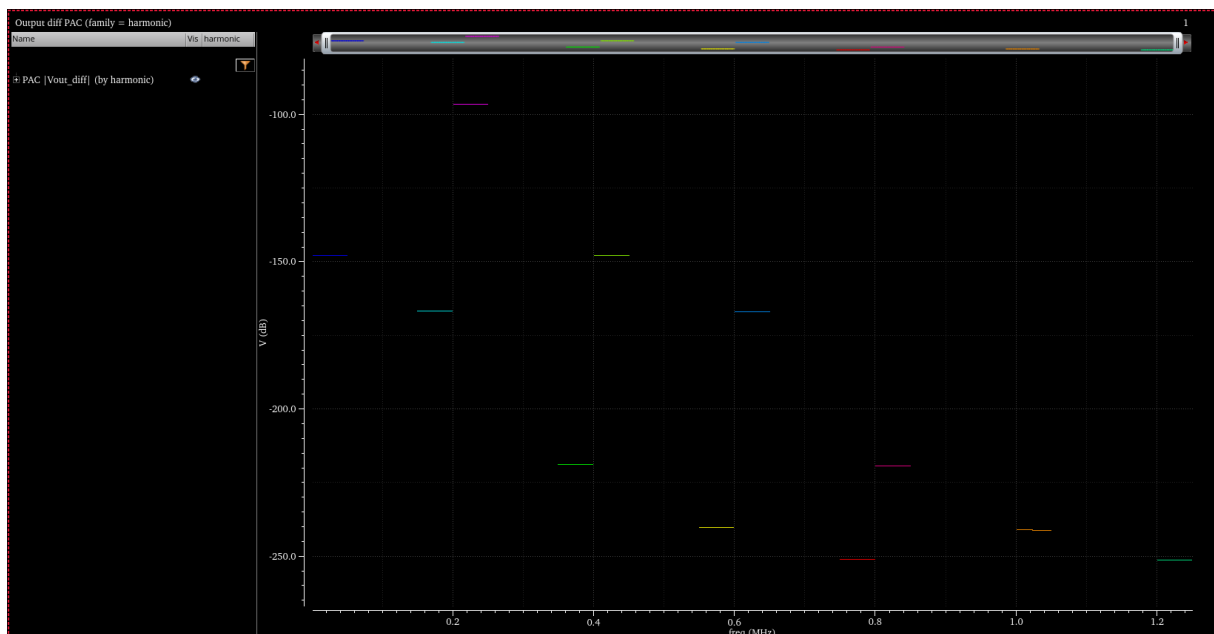
Παράμετρο	Σύμβολο	Συνθήκες Δοκιμής Σχόλια	Min	Max	Range	Μονάδες
Ολική αρμονική παραμόρφω ση	THD	Sinusoid διέγερση		1		%
Δυναμικό εύρος χωρίς παρασιτικά	SFDR	PSS+PAC διεγέρσεις μεταξύ +/- 2, +/-3	20			dB
IP3 Έξοδος(Διτ ονική)	IP3	PSS+PAC διεγέρσεις μεταξύ +/- 2, +/-3	20			dBm



Σχήμα 9. Sinusoid Response



Σχήμα 10. Παραμόρφωση



Σχήμα 11. Μη γραμμικότητες

TEST	PASS	FAIL	RUNS
BWol	1	0	1
CmRefRR	0	6	6
VcommonLow	1	0	1
VcommonHigh	1	0	1
Fbv	0	1	1
GBW	1	0	1
CMFBPhMar	0	0	0
CMFBAol	0	2	2
PSRRdd	0	6	6
OvrShoot	0	2	2
PSRRss	0	6	6
Zin	1	0	1
Idd	1	0	1
Vos	1	0	1
UGFreq	1	0	1
Aol	0	6	6
CMRR	0	6	6
SlewRate	0	2	2
Zout	1	1	2
Tsettle	0	2	2
THD	0	1	1
IP3	0	1	1
SFDR	0	0	0
GainMargin	1	0	1
Pdiss	1	0	1
VosDrift	0	0	0
CompIncOut	0	0	0
PhaseMargin	1	0	1
ENV	1	0	1

TOTALS	13	42	55

6.6 Τελικό συμπέρασμα για πλήρους διαφορικούς τελεστικούς ενισχυτές

Η ροή επαλήθευσης επιβεβαιώνει ότι με ένα ενιαίο testbench και ένα script μπορούμε να:

- (α) μετρήσουμε όλες τις κρίσιμες μετρικές (AC/XF/TRAN/Noise/THD/IP3),
- (β) σαρώσουμε PVT corners και Mismatch MC,
- (γ) παραγάγουμε αυτόματο PASS/FAIL και συγκεντρωτικό report,
- (δ) μεταφέρουμε τη διαδικασία σε πολλαπλές αρχιτεκτονικές αλλάζοντας μόνο symbol + W/L/bias.

Η προσέγγιση είναι αναπαραγώγιμη, επεκτάσιμη (προσθήκη νέων KPI/corners) και κατάλληλη για ενοποιημένες συγκρίσεις μεταξύ εναλλακτικών op-amp πριν από PEX/τελική ολοκλήρωση.

7 Επέκταση της Ροής σε Single-Ended Op-Amp

7.1 Στόχος και κίνητρο

Μέχρι τώρα η ροή εφαρμόστηκε σε fully-differential op-amps με έξοδο (outp, outn) και βρόχο CMFB. Στο κεφάλαιο αυτό διερευνάται η φορητότητα της ίδιας ροής σε single-ended op-amp (διαφορική είσοδος, μονοτελική έξοδος out, χωρίς CMFB). Στόχος είναι να αποδειχθεί ότι με ελάχιστες αλλαγές στο testbench και μικρές προσαρμογές στις εκφράσεις μετρικών, το ίδιο pipeline (AC/XF/TRAN/NOISE/THD/IP3, Corners, MC) παραμένει άνετα εφαρμόσιμο.

7.2 Τροποποιήσεις Testbench (ελάχιστο σύνολο)

Για την υποστήριξη single-ended DUT έγιναν οι παρακάτω τοπικές αλλαγές στον πάγκο δοκιμών:

1. Έξοδος:

- Fully-diff: outp/outn → Single-ended: out (μοναδικός κόμβος εξόδου).
- Το φορτίο (Rload, Cload) συνδέεται στο out προς Vcm ή GND σύμφωνα με την τροφοδοσία/σύμβαση του DUT.

2. CMFB:

- Δεν υπάρχει βρόχος CMFB → απενεργοποιούνται οι έλεγχοι/σχήματα CMFB (και οι σχετικοί στόχοι στο .spec).

3. Είσοδος/διέγερση:

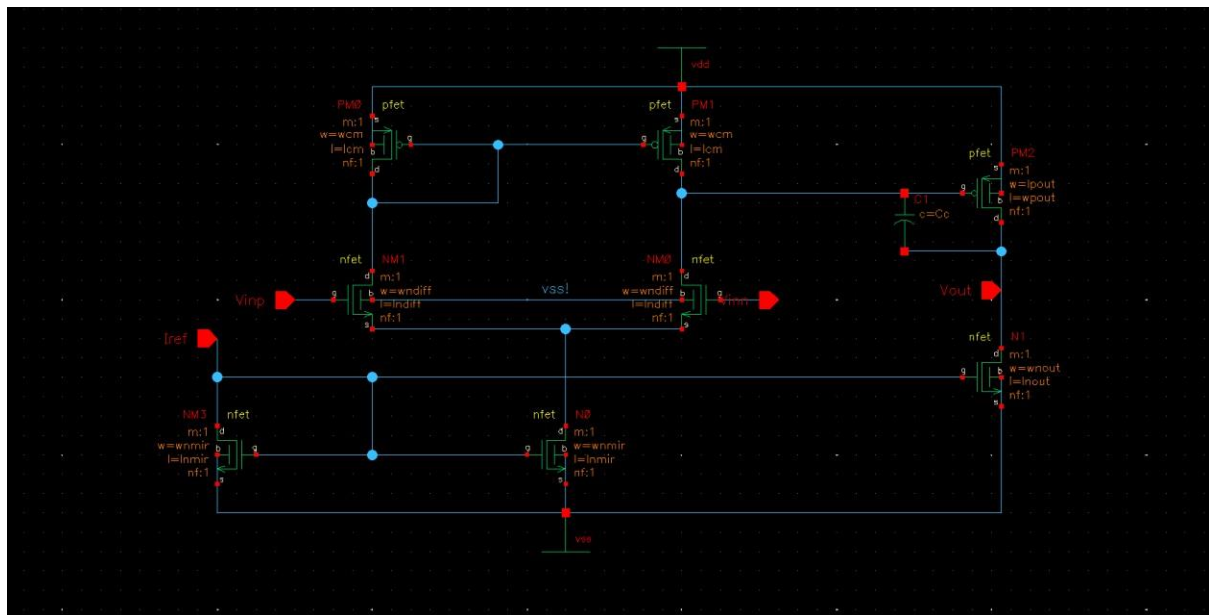
- Η είσοδος παραμένει διαφορική (V_INP, V_INN) όπως και στους fully-diff (συμμετρικές πηγές uginp/uginn).
- Για μετρήσεις κοινότροπης απόρριψης (CMRR), τα δύο input δεσμεύονται στον ίδιο διεγέρτη κοινού τρόπου (όπως και πριν).

4. Μετρητικό στοιχείο Zin:

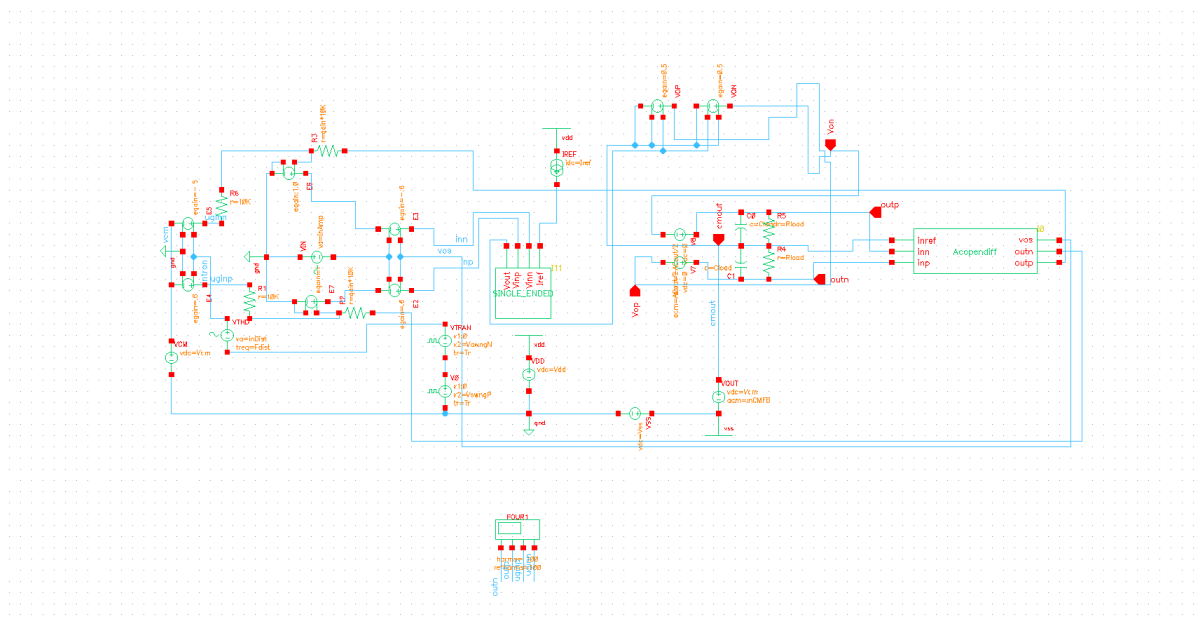
- Διατηρείται η μικρή σειριακή αντίσταση/πηγή στην είσοδο (π.χ. E2) ώστε το Zin να υπολογίζεται ως V_{in} / I_{E2} .

5. Θύρες Zout:

- Fully-diff: δύο κλάδοι (Zoutp/Zoutn).
- Single-ended: ένας κλάδος Zout στον κόμβο out (AC έγχυση μέσω του test source που συνδέεται στην έξοδο).



Σχήμα Τοπολογία του single ended amplifier μας.



Σχήμα Το καινούριο Testbench μας.

Μετατροπή single-ended εξόδου σε ψευδο-διαφορική (VCSV balun).

Για να αξιολογήσουμε single-ended op-amp με fully-differential μετρικές, χρησιμοποιήσαμε δύο ιδανικές πηγές τάσης ελεγχόμενες από τάση (VCVS) ως προσαρμογέα. Με αναφορά το V_{cm} , ορίζουμε:

$$v_{op} - V_{cm} = A (V_{out} - V_{cm}), v_{on} - V_{cm} = -A (V_{out} - V_{cm}).$$

Έτσι η κοινή τάση εξόδου παραμένει **ίση με V_{cm}** , ενώ η διαφορική τάση γίνεται $V_{diff} =$

$2A (V_{out} - V_{cm})$. Επιλέγουμε $A=0.5$ όταν θέλουμε οι διαφορικές μετρικές να είναι απευθείας συγκρίσιμες με τις single-ended (χωρίς σταθερό offset 6 dB), ή $A=1$ όταν επιθυμούμε πλήρες συμμετρικό swing (με σταθερό +6 dB στις διαφορικές μετρήσεις). Το φορτίο τοποθετείται είτε στο αρχικό V_{out} (διατήρηση φόρτισης DUT), είτε σε κάθε κλάδο προς V_{cm} με $R_{branch} = 2R_{diff}$, $C_{branch} = C_{diff}/2$ για σωστό διαφορικό ισοδύναμο.

Σημείωση: η μέτρηση **Zout** πρέπει να γίνεται στο V_{out} (πριν τις VCVS), ενώ **CMFB ευστάθεια** δεν αξιολογείται στο σχήμα αυτό, καθώς το V_{cm} επιβάλλεται ιδανικά από τις VCVS.

7.3 Προσαρμογές στις εκφράσεις μετρικών

Οι βασικές μετρικές παραμένουν ίδιες σε νόημα, αλλά οι εκφράσεις γίνονται μονοτελικές:

- Open-loop gain/φάση/UGF/GBW/PM:
 - Fully-diff: $A_{ol} = \frac{V(outp)-V(outn)}{V(inp)-V(inn)}$
 - Single-ended: $A_{ol} = \frac{V(out)}{V(inp)-V(inn)}$
- Rejection ratios:
 - CMRR: ίδια μεθοδολογία (έγχυση κοινού τρόπου στην είσοδο, ανάγνωση στην out).
 - PSRR+/-: αμετάβλητα (έγχυση σε VDD/VSS, παρατήρηση στην out).
 - CmRefRR: καταργείται (δεν υπάρχει κόμβος cmout/CMFB).
- Μεγάλο σήμα (Step):
 - Slew, Overshoot, T_settle εξάγονται από τη $V(out)$ (ένα trace αντί για diff).
- Θόρυβος:
 - Input-referred noise όπως πριν (iprobe στην είσοδο), καμπύλες out/in με αναγωγή στη $V(out)$.
- Εμπεδήσεις:
 - Zin: όπως πριν, από το ρεύμα στο μικρό στοιχείο εισόδου.
 - Zout: μόνο στον κόμβο out (τιμή @ 1 MHz για spec).
- THD/FFT:
 - Υπολογισμός στη $V(out)$, ίδιο παράθυρο/συχνότητα.
- IP3/SFDR (προαιρετικό):
 - PSS+PAC στο $V(out)$, θεμελιώδης/IM3/δBm όπως πριν ($R_s=50 \Omega$).
- Common-mode range:

-
- ο Σάρωση V_{cm} της εισόδου, υπολογισμός CMR_{min}/CMR_{max} από το $Aol_DC(V_{cm})$ και
 $V_{commonHigh} = V_{DD} - CMR_{max}$ όπως στη fully-diff περίπτωση.

7.4 Προσαρμογές στο αρχείο προδιαγραφών (.spec)

Για να διατηρηθεί η ίδια λογική PASS/FAIL:

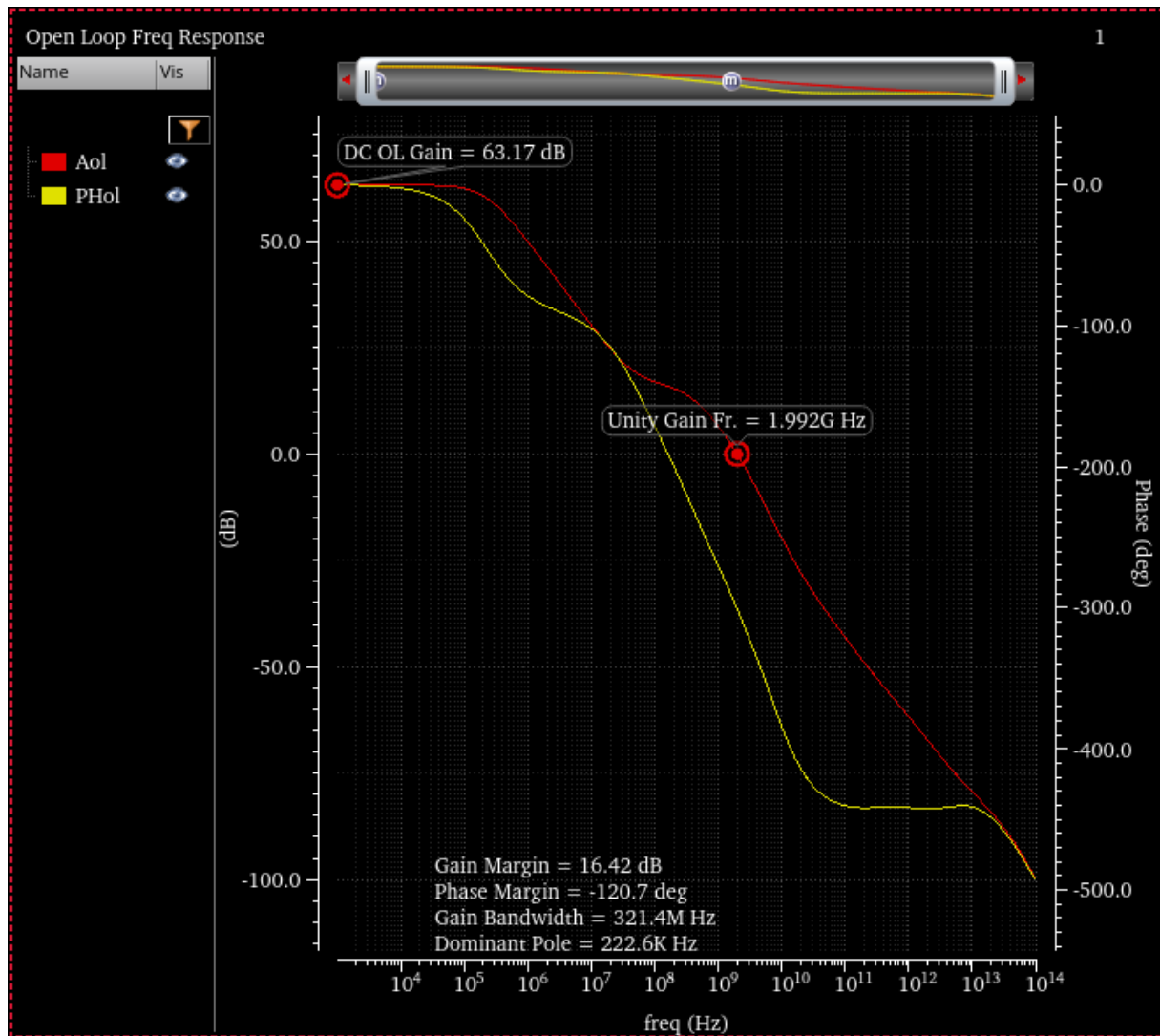
- Διατηρούνται: Aol , GBW, UGF, PhaseMargin, BWol, CMRR, PSRR $\pm$, SlewRate, Overshoot, Tsettle, Zin, Zout, ENV, Fbv, THD, Idd, Pdis, (προαιρετικά) SFDR, IP3.
- Απενεργοποιούνται/αφαιρούνται: CMFBAol, CMFBPhMar, CmRefRR (όλα σχετικά με CMFB/διπλή έξοδο).
- Ονοματολογία: διατηρούμε ίδια keys όπου είναι λογικά ισοδύναμα (π.χ. Aol , Zout), ώστε να μην αλλάξει η AFV ροή.

7.5 Ελάχιστες αλλαγές στο script (υψηλού επιπέδου)

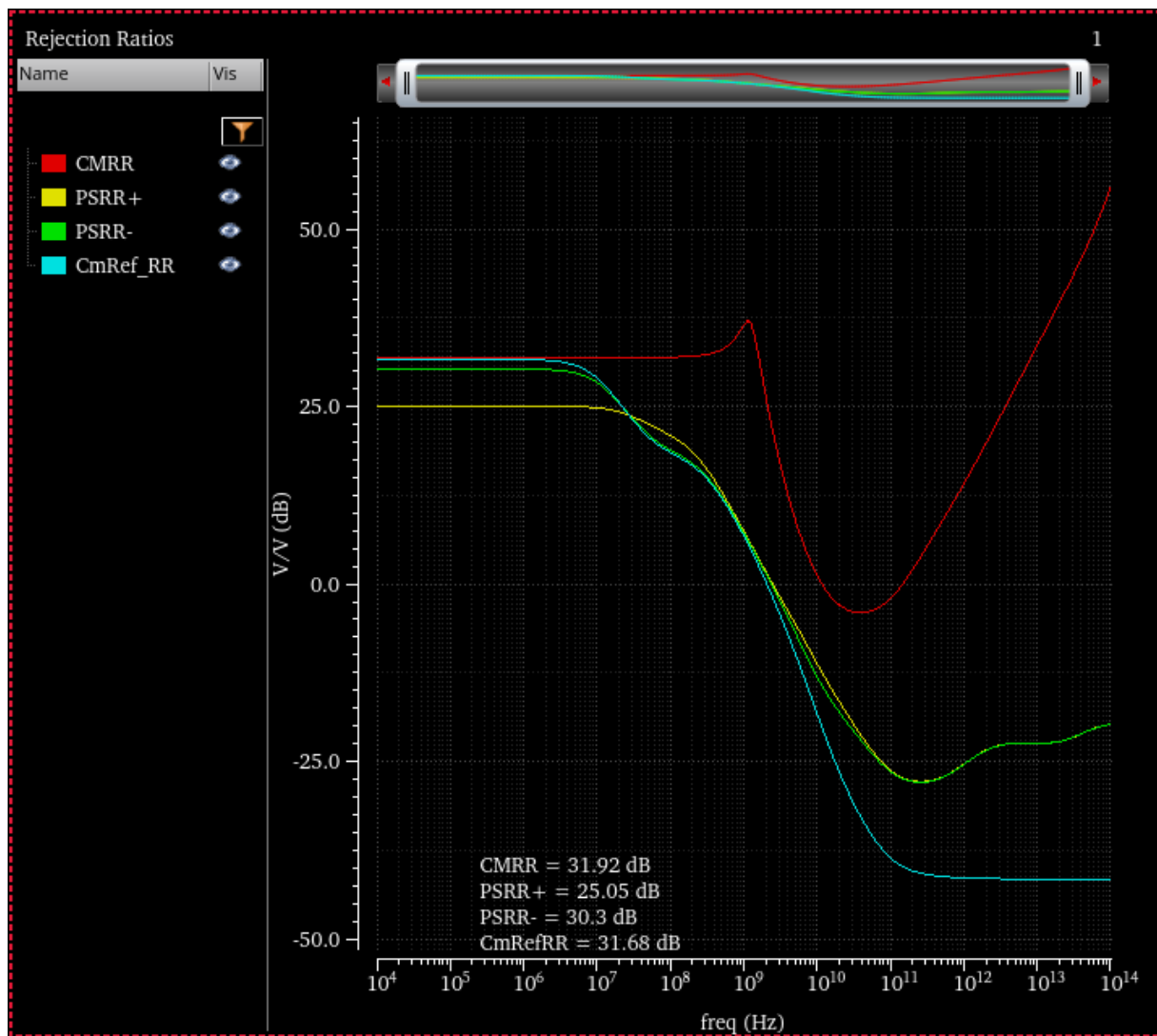
Χωρίς να αλλάξει η φιλοσοφία:

- DUT swap: αντικατάσταση symbol στο ίδιο testbench.
- Flag λειτουργίας (προαιρετικό): μία δυαδική παράμετρος (π.χ. isSE=t/nil) ώστε οι εκφράσεις V_{diff} να γίνονται V_{out} χωρίς να πειραχτούν τα υπόλοιπα.
- Skip CMFB block: παράλειψη του σχετικού section/plot & των spec-checks.
- Zout paths: ένας κλάδος αντί δύο.
- Plots: ενημέρωση τίτλων (π.χ. «Single-Ended») για καθαρή διάκριση.

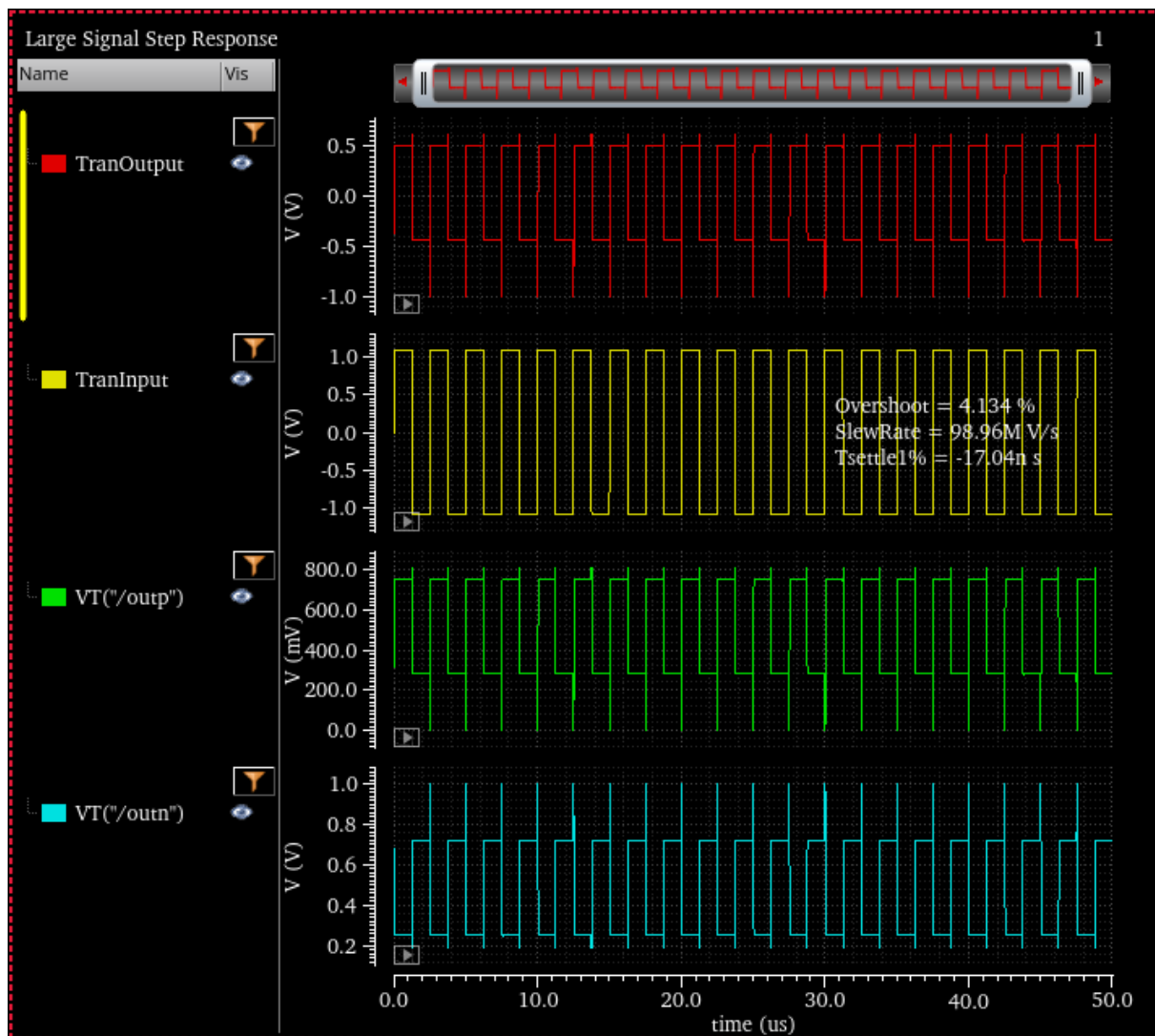
7.6 Αποτελέσματα — Single-Ended Op-Amp



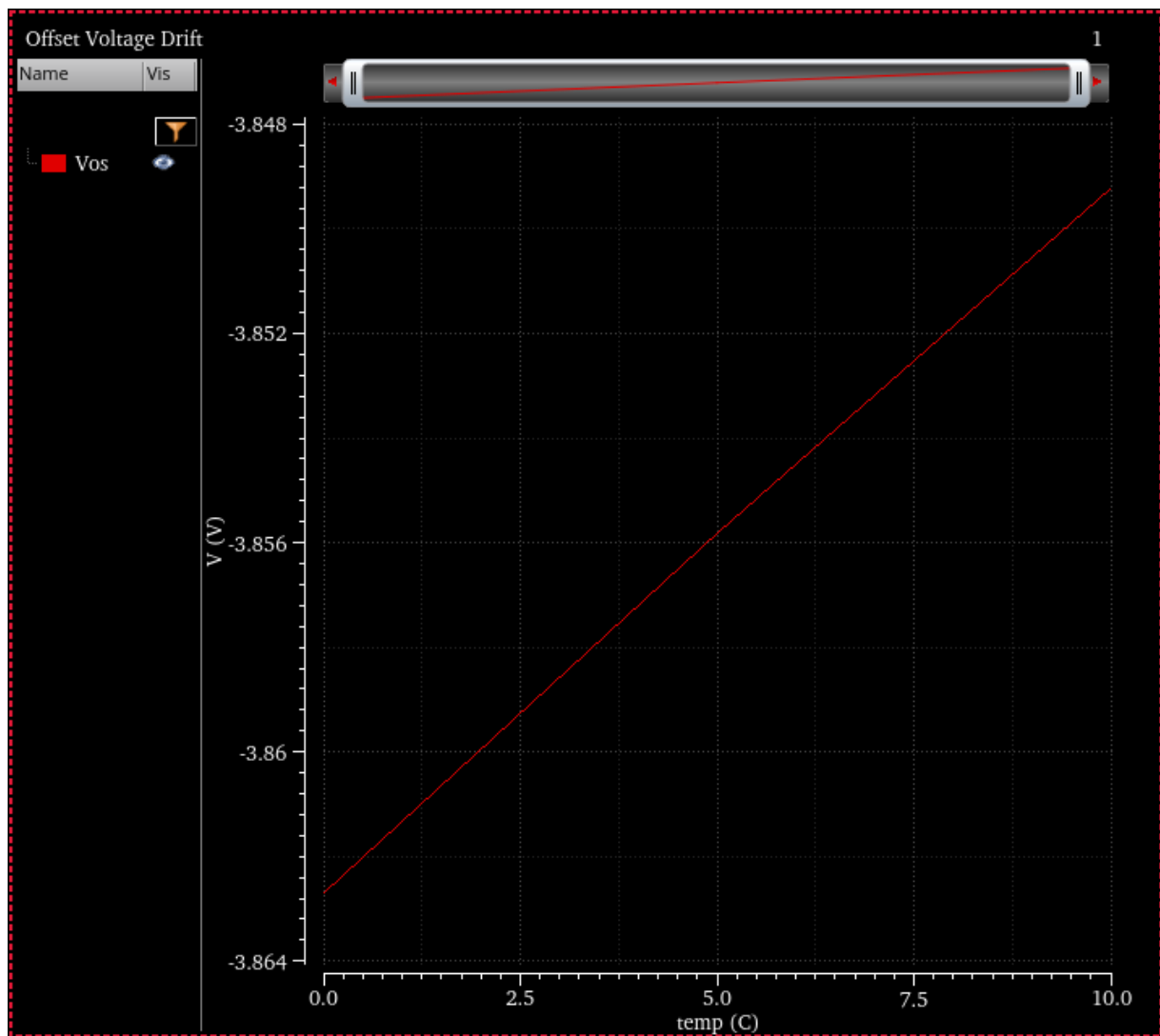
Σχήμα 1. Dc gain , UGF,GM,PG,Dominant Pole



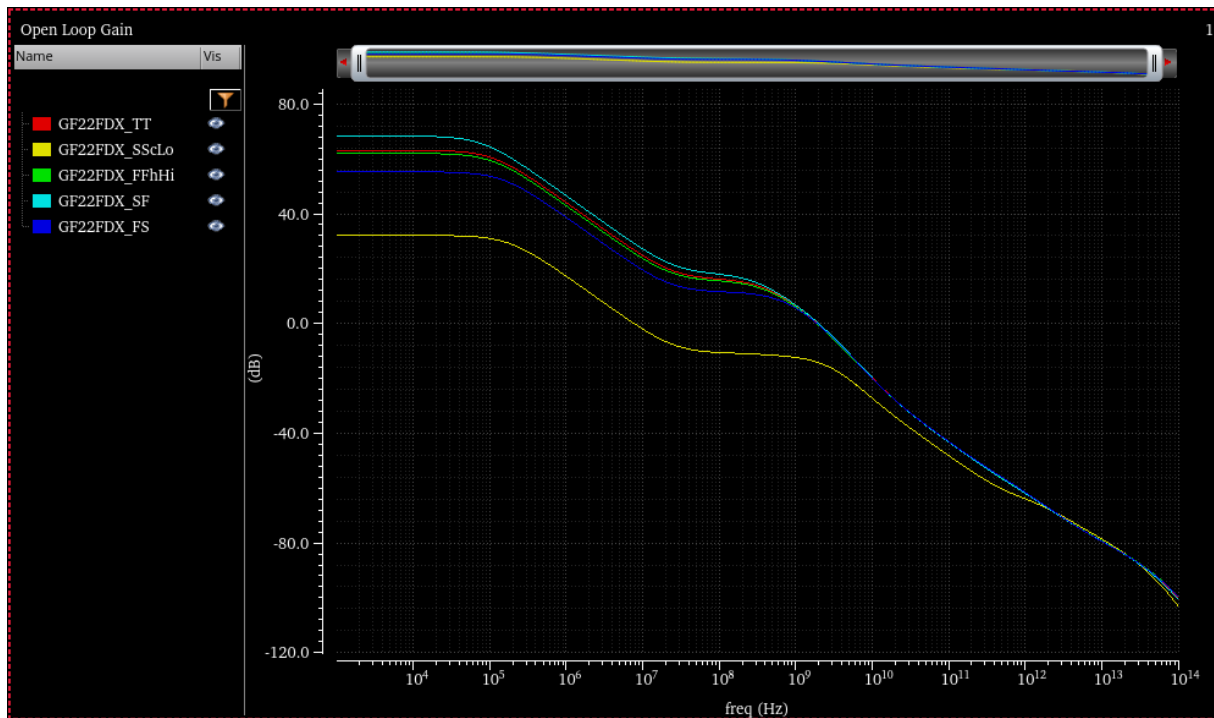
Σχήμα 2. CMRR, PSRR+/- ,CmRefRR



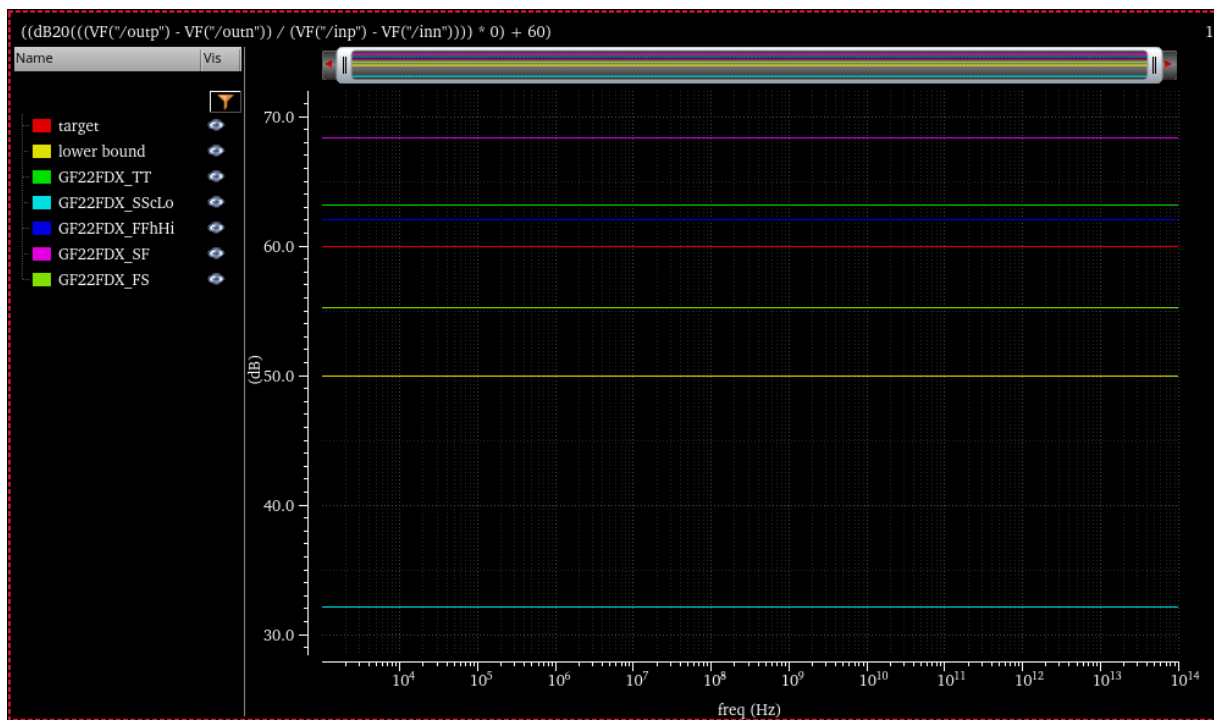
Σχήμα 3. Overshoot,Slewrate,Tsettle.



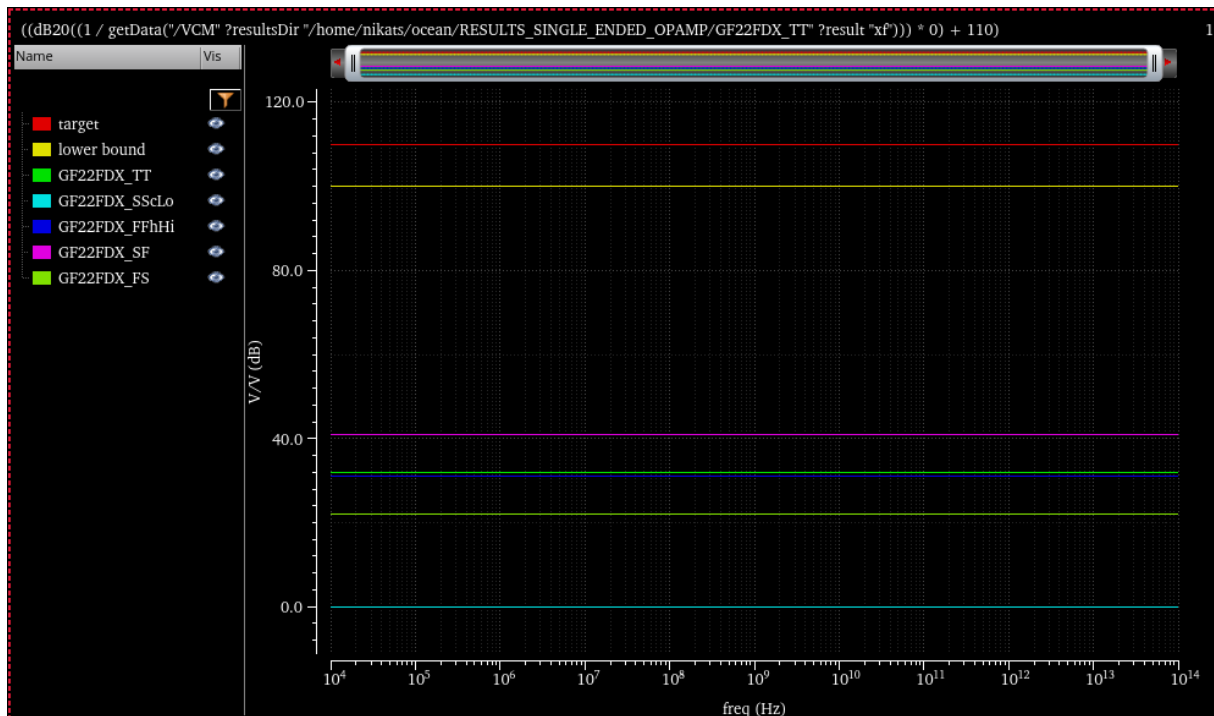
Σχήμα 4. Vos



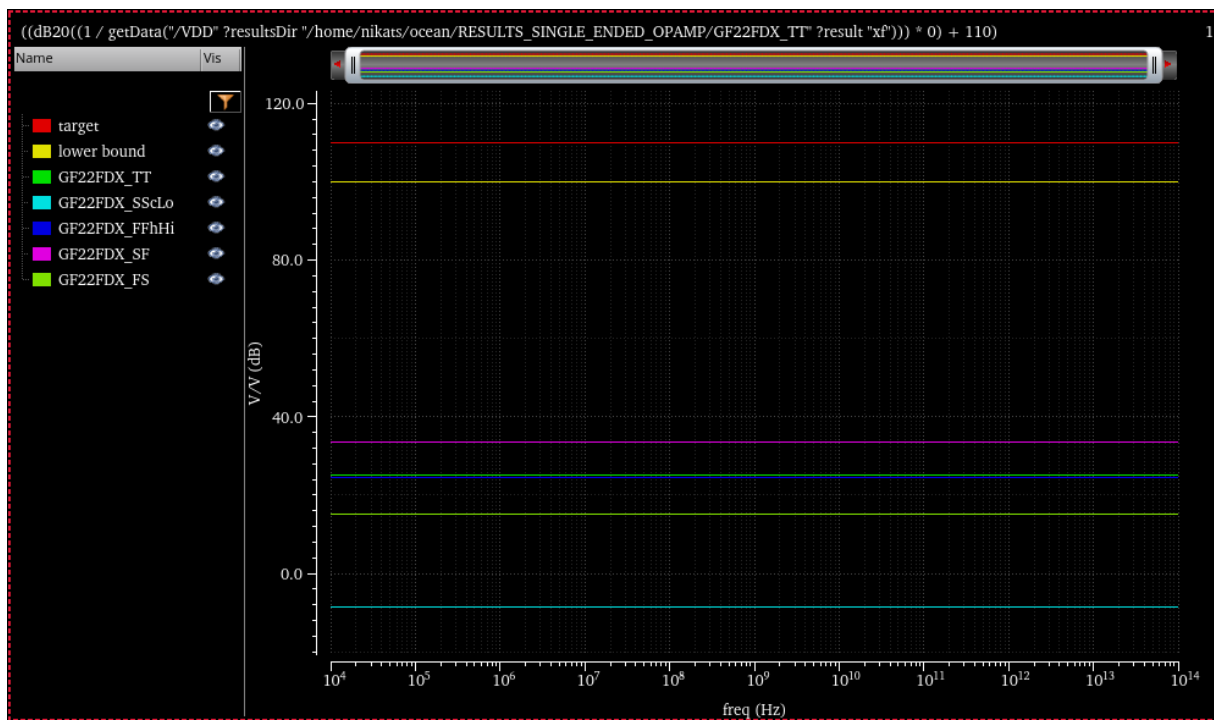
Σχήμα 5. Aol corners



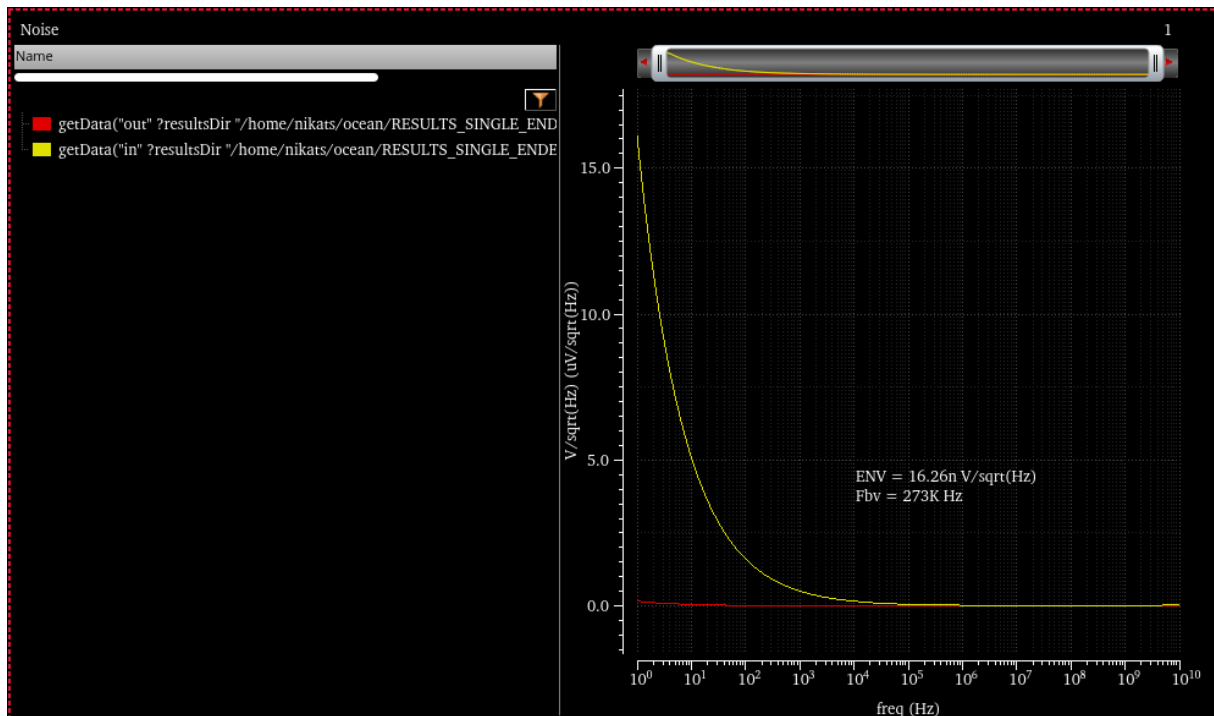
Σχήμα 6. Snapshot Aol.



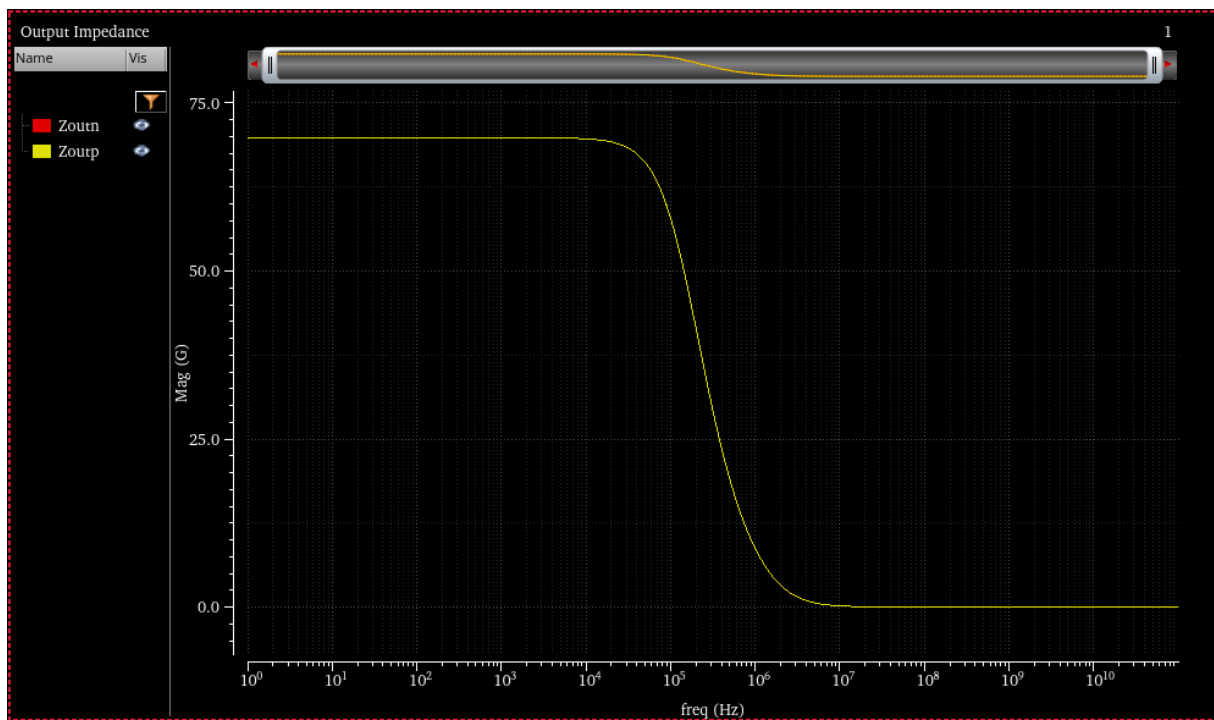
Σχήμα 7. Snapshot CMRR



Σχήμα 8. Snapshot SPRR



Σχήμα 9. Env και Fbv



Σχήμα 10. Zin,Zout

7.7 Σύγκριση Fully-Diff vs Single-Ended

- Απλότητα/σταθερότητα: η απουσία CMFB απλοποιεί τη ρύθμιση, αλλά στερεί το headroom/swing συμμετρίας του fully-diff.
- Θόρυβος/PSRR: τυπικά ελαφρώς χειρότερη συμπεριφορά single-ended έναντι fully-diff σε θόρυβο και απόρριψη κοινότροπων διαταραχών.
- Μεγάλο σήμα: το slew/overshoot εξαρτάται πια από έναν κλάδο εξόδου και την ασυμμετρία φόρτισης.
- Ενσωμάτωση σε σύστημα: single-ended είναι πιο απλό για blocks που ακολουθούν (π.χ. SAR/συμβατικά buffers), ενώ fully-diff προτιμάται για ζευγο-ακυρώσεις και υψηλό CMRR.

7.8 Συμπέρασμα κεφαλαίου

Η ροή επαλήθευσης κλιμακώνεται ομαλά σε single-ended op-amp:

- Η δομή αναλύσεων (AC/XF/TRAN/NOISE/THD/IP3, Corners, MC) παραμένει ίδια.
- Οι εκφράσεις γίνονται μονοτελικές, ενώ οι έλεγχοι CMFB αφαιρούνται.
- Τα αρχεία εξόδου (plots/CSV/report) παράγονται με την ίδια αυτοματοποίηση, άρα η σύγκριση με τους fully-diff ενισχυτές είναι άμεση και δίκαιη.

Βιβλιογραφία

- [1] B. Razavi, Design of Analog CMOS Integrated Circuits, 2nd ed. McGraw-Hill, 2016.
- [2] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, 5th ed., Wiley, 2009.
- [3] D. Johns and K. Martin, Analog Integrated Circuit Design, Wiley, 1997.
- [4] J. Huijsing, Operational Amplifiers: Theory and Design, Springer, 2011.
- [5] F. Maloberti, Analog Design for CMOS VLSI Systems, Springer, 2003.
- [6] K. Kundert, “Verification of Analog Circuits in Spectre and Cadence Virtuoso,” The Designer’s Guide Community, 2023. [Online]. Available: <https://designers-guide.org>
- [7] Cadence Design Systems, “Virtuoso Analog Design Environment User Guide,” Cadence Documentation Portal, 2024. [Online]. Available: <https://support.cadence.com>
- [8] B. Razavi, Fundamentals of Microelectronics, Wiley, 2014.
- [9] Cadence Design Systems, “OCEAN Command Reference Manual,” Cadence Support Portal, 2024. [Online]. Available: <https://support.cadence.com>.
- [10] Cadence Design Systems, “SKILL Language User Guide,” Cadence Documentation Portal, 2024. [Online]. Available: <https://support.cadence.com>
- [11] Cadence Design Systems, “Virtuoso ADE Assembler and Explorer Overview,” Cadence Training Materials, 2024. [Online]. Available: <https://support.cadence.com>
- [12] K. Kundert, “Best Practices for Analog Verification,” The Designer’s Guide Community, 2023. [Online]. Available: <https://designers-guide.org>
- [13] Cadence Design Systems, “Virtuoso Scripting with OCEAN and SKILL,” Cadence Learning Portal, 2023. [Online]. Available: <https://support.cadence.com>
- [14] R. Bishop, The Circuit Designer’s Companion, 4th ed., Newnes, 2017.
- [15] IEEE Solid-State Circuits Society, “Analog and Mixed-Signal Design Automation Trends,” IEEE SSCS Magazine, vol. 17, no. 3, 2024.
- [16] M. Ismail and T. Fiez, Analog VLSI Signal and Information Processing, McGraw-Hill, 1994.
- [17] S. Franco, Design with Operational Amplifiers and Analog Integrated Circuits, 4th ed., McGraw-Hill, 2014.
- [18] Cadence Design Systems, “Monte Carlo and Corner Analysis in Virtuoso,” Cadence Support Portal, 2024. [Online]. Available: <https://support.cadence.com>

-
- [19] H. Camenzind, *Operational Amplifiers: Designing and Building Analog Circuits*, Elsevier, 2013.
- [20] R. Van Langevelde, "Efficient Parallel Simulation of Analog Circuits in Cadence Spectre," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 41, no. 2, 2024.
- [21] Cadence Design Systems, "Simulation Data Management and State Capture," *Virtuoso ADE XL Reference Manual*, 2023. [Online]. Available: <https://support.cadence.com>.
- [22] Cadence Design Systems, "Virtuoso ADE Assembler Advanced User Guide," *Cadence Training Materials*, 2024. [Online]. Available: <https://support.cadence.com>.
- [23] Cadence Design Systems, "Monte Carlo and Mismatch Analysis in Spectre," *Application Note*, 2023. [Online]. Available: <https://support.cadence.com>.
- [24] Cadence Design Systems, "Spectre PEX User Guide," *Cadence Documentation Portal*, 2024. [Online]. Available: <https://support.cadence.com>.
- [25] J. Baker, *CMOS: Circuit Design, Layout, and Simulation*, 4th ed., Wiley-IEEE Press, 2019.
- [26] A. Hastings, *The Art of Analog Layout*, 3rd ed., Prentice Hall, 2020.
- [27] Cadence Design Systems, "SKILL Advanced Automation Techniques," *Cadence Learning Portal*, 2024. [Online]. Available: <https://support.cadence.com>.
- [28] P. Allen and D. Holberg, **CMOS Analog Circuit Design**, 4th ed., Oxford University Press, 2022.
- [29] A. Sedra and K. Smith, **Microelectronic Circuits**, 8th ed., Oxford University Press, 2020.
- [30] K. R. Laker and W. Sansen, **Design of Analog Integrated Circuits and Systems**, McGraw-Hill, 1994.
- [31] Y. Tsididis, **Operation and Modeling of the MOS Transistor**, 3rd ed., Oxford University Press, 2011.
- [32] P. Allen, "Active Loads in CMOS Amplifiers," **IEEE Transactions on Circuits and Systems**, vol. 65, no. 5, 2018.
- [33] E. Sackinger, **Analysis and Design of Transimpedance Amplifiers for Optical Receivers**, Wiley-IEEE, 2017.
- [34] Cadence Design Systems, "Spectre Stability Analysis (STB) Application Note," **Cadence Support Portal**, 2024. [Online]. Available: <https://support.cadence.com>.
- [35] H. Nyquist, "Regeneration Theory," *Bell System Technical Journal*, vol. 11, pp. 126–147, 1932.
-

-
- [36] R. D. Middlebrook, “Measurement of Loop Gain in Feedback Systems,” *International Journal of Electronics*, vol. 38, no. 4, pp. 485–512, 1975.
- [37] R. D. Middlebrook and S. Cuk, *Advances in Switched-Mode Power Conversion*, TESLAcO, 1981.
- [38] Cadence Design Systems, “Spectre STB and Loop Gain Analysis,” Cadence Documentation Portal, 2024. [Online]. Available: <https://support.cadence.com>.
- [39] Cadence Design Systems, “Loop Stability Verification Techniques,” *Virtuoso Spectre User Guide*, 2024. [Online]. Available: <https://support.cadence.com>.
- [40] Y. Tsividis and C. McAndrew, *Operation and Modeling of the MOS Transistor*, 4th ed., Oxford University Press, 2011.
- [41] C. Enz and G. C. Temes, “Circuit Techniques for Reducing the Effects of Op-Amp Imperfections,” *Proceedings of the IEEE*, vol. 84, no. 11, pp. 1584–1614, 1996.
- [42] K. Kundert and J. White, “Noise Analysis in SpectreRF,” Cadence Technical Report, 2024.
- [43] Cadence Design Systems, “Spectre Noise Analysis User Guide,” Cadence Support Portal, 2024. [Online]. Available: <https://support.cadence.com>.
- [44] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed., Cambridge University Press, 2004.
- [45] B. Razavi, “Chopper and Auto-Zero Techniques,” *IEEE Journal of Solid-State Circuits*, vol. 55, no. 9, pp. 2457–2471, 2020.
- [46] R. Gregorian and G. Temes, *Analog MOS Integrated Circuits for Signal Processing*, Wiley, 1986.
- [47] W. Sansen, *Analog Design Essentials*, Springer, 2006.
- [48] P. Wambacq and W. Sansen, *Distortion Analysis of Analog Integrated Circuits*, Springer, 1998.
- [49] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, “Matching Properties of MOS Transistors,” *IEEE Journal of Solid-State Circuits*, vol. 24, no. 5, pp. 1433–1439, Oct. 1989.
- [50] Cadence Design Systems, “Statistical and Corner Analysis in Virtuoso ADE Assembler,” Application Note, 2024.
- [51] P. Jespers and B. Murmann, *Systematic Design of Analog CMOS Circuits: Using Pre-Computed Lookup Tables*, Cambridge University Press, 2017.
- [52] F. Maloberti, *Data Converters*, Springer, 2007.

-
- [53] Cadence Design Systems, “Common-Mode Feedback and Mixed-Signal Isolation Guidelines,” Design Manual, 2024.
- [54] Razavi, B., Fundamentals of Microelectronics, 2nd ed., Wiley, 2016.
- [55] Cadence Design Systems, “Pole-Zero and STB Analysis in Spectre,” Application Note, 2024.
- [56] Cadence Design Systems, “Noise and Monte Carlo Simulation Techniques in Virtuoso,” User Guide, 2023.
- [57] K. Bult and G. J. G. M. Geelen, “A Fast-Settling CMOS Op Amp for SC Circuits with 90-dB DC Gain,” IEEE JSSC, 25(6), 1379–1384, 1990.
- [58] M. Steyaert and W. Sansen, High-Performance Low-Voltage Operational Amplifiers, Kluwer, 1999.
- [59] Cadence Design Systems, “diffstbprobe and stb Analysis for Fully Differential Loops,” Application Note, 2024.
- [60] Cadence Design Systems, Spectre Circuit Simulator User Guide, 2024.
- [61] Cadence Design Systems, “Measuring PSRR/CMRR and Common-Mode Loop Stability in Virtuoso Assembler,” Application Note, 2024.
- [62] Y. Tsividis and C. McAndrew, Operation and Modeling of the MOS Transistor, 3rd ed., OUP, 2011.
- [63] J. Silva-Martínez, M. S. J. Steyaert, W. Sansen, “A 10.7-MHz 68-dB CMOS Op-Amp with Improved CMFB for Continuous-Time Filters,” Proc. IEEE ISCAS, 1992.
- [64] Cadence Design Systems, “SC-CMFB and pnoise: Periodic Analyses for Sampled-Data Common-Mode Loops,” SpectreRF App Note, 2023.