



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ  
ΥΠΟΛΟΓΙΣΤΩΝ

ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ ΣΥΣΤΗΜΑΤΩΝ  
ΠΛΗΡΟΦΟΡΙΚΗΣ

**Το πορώδες πυρίτιο ως υπόστρωμα για την ολοκλήρωση  
υψηλής απόδοσης παθητικών διατάξεων RF και κεραιών  
σε Si**

**ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ**

*Η διδακτορική διατριβή εκπονήθηκε στο Ινστιτούτο Νανοεπιστήμης και Νανοτεχνολογίας του  
Ε.Κ.Ε.Φ.Ε. «Δημόκριτος»*

Παναγιώτης Α. Σαράφης

Αθήνα, Ιούνιος 2015





ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ  
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ  
ΥΠΟΛΟΓΙΣΤΩΝ  
ΤΟΜΕΑΣ ΕΠΙΚΟΙΝΩΝΙΩΝ, ΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ ΣΥΣΤΗΜΑΤΩΝ  
ΠΛΗΡΟΦΟΡΙΚΗΣ

**Το πορώδες πυρίτιο ως υπόστρωμα για την ολοκλήρωση  
υψηλής απόδοσης παθητικών διατάξεων RF και κεραιών  
σε Si**

**ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ**

*Η διδακτορική διατριβή εκπονήθηκε στο Ινστιτούτο Νανοεπιστήμης και Νανοτεχνολογίας του  
Ε.Κ.Ε.Φ.Ε. «Δημόκριτος»*

**Παναγιώτης Α. Σαράφης**

**Συμβουλευτική Επιτροπή : Ιωάννης Αβαριτσιώτης**

Ανδρούλα Γ. Νασιοπούλου

Δημήτριος Τσαμάκης

Εγκρίθηκε από την επταμελή εξεταστική επιτροπή την

.....  
Ιωάννης Αβαριτσιώτης  
Καθηγητής Ε.Μ.Π.

.....  
Δημήτριος Τσαμάκης  
Καθηγητής Ε.Μ.Π.

.....  
Δημήτριος Τσουκαλάς  
Καθηγητής Ε.Μ.Π.

.....  
Νικόλαος Ουζούνoglou  
Καθηγητής Ε.Μ.Π.

.....  
Ιωάννης Παπανάνος  
Καθηγητής Ε.Μ.Π.

.....  
Ιωάννης Ξανθάκης  
Καθηγητής Ε.Μ.Π.

.....  
Ανδρούλα Νασιοπούλου  
Διευθύντρια Ερευνών,  
ΕΚΕΦΕ «Δημόκριτος»

Αθήνα, Ιούνιος 2015

Παναγιώτης Α. Σαράφης,

Διδάκτωρ Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών Ε.Μ.Π.

Copyright © Παναγιώτης Α. Σαράφης, 2015

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

# Αντί Προλόγου...

Αρκετές φορές η συγγραφή του προλόγου σε μία διατριβή είναι ένα από τα πιο δύσκολα κομμάτια, μιας και σε αυτόν πρέπει να χωρέσεις όλες τις πτυχές της ζωής σου, που αναπόφευκτα σε συνόδευαν κατά τα χρόνια εκπόνησης του διδακτορικού. Έτσι λοιπόν σε όλη τη διάρκεια της ερευνητικής διαδικασίας δεν γίνεται να διαχωρίσεις την επιστημονική από την κοινωνική πραγματικότητα, καθώς και την επιστημονική βοήθεια από την προσωπική στήριξη. Υπό το πραγματικό φόβο να μην αδικηθεί κάποιος συνεχίζω...

Αρχικά θα ήθελα να ευχαριστήσω την επιβλέπουσα ερευνήτρια κ. Ανδρούλα Νασιοπούλου για τη δυνατότητα εκπόνησης της παρούσας διατριβής στο Ινστιτούτο Νανοεπιστήμης και Νανοτεχνολογίας του Ε.Κ.Ε.Φ.Ε. «Δημόκριτος». Μέσα από την επίβλεψη και την καθοδήγησή της, στην οποία διέθεσε πολλή όρεξη, άπλετο χρόνο, κομβικές συμβουλές και σημαντική υπομονή καθ'όλη τη διάρκειά της, κατάφερα να ολοκληρώσω αυτή τη διατριβή. Για όλα αυτά την ευχαριστώ θερμά.

Σε αυτό το πλαίσιο θα ήθελα να ευχαριστήσω τον επιβλέποντα καθηγητή κ. Ιωάννη Αβαριτσιώτη, για την εμπιστοσύνη του σε όλα τα χρόνια της διατριβής και την άψογη συνεργασία και συνεννόηση. Επίσης θα ήθελα να ευχαριστήσω τα υπόλοιπα μέλη της επταμελούς εξεταστικής επιτροπής, καθηγητές του Ε.Μ.Π, Δ. Τσαμάκη, Δ. Τσουκαλά, Ν. Ουζούνογλου, Ι. Παπανάνο και Ι. Ξανθάκη για τις χρήσιμες παρατηρήσεις και υποδείξεις τους.

Με μεγάλη θέρμη θα ήθελα να ευχαριστήσω και τα υπόλοιπα μέλη της ερευνητικής ομάδας, με τα οποία έχουμε περάσει κάτι παραπάνω από το ένα τρίτο των τελευταίων τεσσάρων χρόνων στον ίδιο χώρο και στο ίδιο ερευνητικό αντικείμενο. Πιο συγκεκριμένα, ευχαριστώ θερμά τους Μανώλη Χουρδάκη, Βιολέττα Γιαννέτα, Ειρήνη Μιχελακάκη, Γιάννη Λεοντή και Κατερινάκι Βαλαλάκη. Χωρίς τη συνεργασία τους, τις συζητήσεις τους, τις ιδέες τους και την πολύπλευρη βοήθειά τους, η παρούσα έρευνα θα ήταν πολύ φτωχότερη. Σε αυτό το σημείο δεν πρέπει να παραλείψω να ευχαριστήσω το υπόλοιπο προσωπικό του παλαιού Ινστιτούτου Μικροηλεκτρονικής και νυν INN, και ιδιαιτέρως τους τεχνικούς του καθαρού χώρου και του ηλεκτρονικού μικροσκοπίου. Επιπλέον, θα ήθελα να ευχαριστήσω τους συνεργάτες μας από το εργαστήριο IMEP-LAHC της Grenoble, Γαλλία (P. Ferrari, P. Benech, H. Issa, C.-L. Hsu) και το πανεπιστήμιο UCL, Louvain la Neuve, Βέλγιο (J.P. Raskin, C. Roda Neve) για την άψογη και παραγωγική συνεργασία πάνω στις διατάξεις RF και τη σύγκριση με τα υποστρώματα HR-Si, αντίστοιχα.

Επίσης, θα ήθελα να ευχαριστήσω την οικογένειά μου για την αγάπη και την ολοκληρωτική στήριξη, υλική και ψυχική, που μου έχει παράσχει κατά τη διάρκεια όλων των χρόνων της ζωής μου και ειδικά στα κρίσιμα σημεία καμπής της. Στο ίδιο μήκος κύματος θα ήθελα να ευχαριστήσω τους φίλους και τους συγκατοίκους μου για την αγάπη, τη στήριξη, τη συντροφικότητα και κυρίως την υπομονή που έχουν δείξει όλα αυτά τα χρόνια. Αν και δεν θα τους αναφέρω ονομαστικά για να μην ξεχάσω κάποιον (όπως έχω κάνει στο παρελθόν), ελπίζω διαβάζοντας αυτές τις γραμμές να αναγνωρίζουν τα χαρακτηριστικά τους που εκτιμώ και ευχαριστώ. Εύχομαι πραγματικά να συνεχίσουμε να μοιραζόμαστε πράγματα για πολλά από τα χρόνια που θα έρθουν!

Κλείνοντας, θα ήθελα να τονίσω τη σπουδαιότητα που είχε για την παρούσα διατριβή η υλοποίησή της στα πλαίσια ενός δημόσιου και ανοιχτού εκπαιδευτικού και ερευνητικού συστήματος. Η δυνατότητα πολύπλευρης εξέτασης των επιστημονικών αντικειμένων, η ελευθερία της άποψης, η ακαδημαϊκότητα και ο κοινωνικός προσανατολισμός της έρευνας είναι ιδέες για τις οποίες αξίζει κανείς να αγωνίζεται και να παλεύει.



# Περίληψη

Μία από τις κύριες τεχνολογικές προκλήσεις του κλάδου των ολοκληρωμένων κυκλωμάτων, είναι η ταυτόχρονη ολοκλήρωση υψηλής ποιότητας αναλογικών κυκλωμάτων, και κυκλωμάτων ραδιοσυχνοτήτων (RF), μαζί με ψηφιακά κυκλώματα CMOS (Complementary Metal-Oxide-Semiconductor). Μέχρι τώρα, τα περισσότερα από τα κυκλώματα RF κατασκευάζονται σε III-V ημιαγωγούς, αυξάνοντας αρκετά το κόστος κατασκευής ολόκληρου του συστήματος και παρουσιάζοντας υψηλές απώλειες εξαιτίας των διασυνδέσεων. Το κύριο εμπόδιο για την ταυτόχρονη ολοκλήρωση των κυκλωμάτων RF μαζί με τα λογικά κυκλώματα εντοπίζεται στην ολοκλήρωση υψηλής απόδοσης παθητικών στοιχείων RF σε πυρίτιο (Si), το οποίο είναι συμβατό με την τεχνολογία CMOS. Η δυσκολία οφείλεται κυρίως στην χαμηλή ειδική αντίσταση του CMOS Si, αλλά και στην υψηλή σχετική του επιτρεπτότητα. Οι λύσεις που έχουν προταθεί μέχρι στιγμής, όπως δισκία παθητικοποιημένου Si υψηλής ειδικής αντίστασης (HR-Si) ή βαθιά αμορφοποιημένο Si μέσω πρωτονικού βομβαρδισμού, δεν έχουν επιτύχει να είναι ταυτόχρονα οικονομικές και ενσωματώσιμες στην τεχνολογία CMOS. Αυτό ακριβώς το κενό, προσπαθήσαμε να γεφυρώσουμε κατά την εκπόνηση αυτής της διατριβής.

Στο πλαίσιο της διεξαχθείσας έρευνας, προσπαθήσαμε να αναλύσουμε τα πλεονεκτήματα του τοπικού σχηματισμού πορώδους πυριτίου (PSi) για την μονοψηφιδική ολοκλήρωση παθητικών στοιχείων RF και κεραιών. Το PSi είναι μία νανοδομημένη μορφή του Si, η οποία μπορεί να κατασκευαστεί εύκολα με μεθόδους ηλεκτροχημείας. Σε αντίθεση με το κρυσταλλικό Si, το πορώδες Si έχει υψηλή ειδική αντίσταση και χαμηλή σχετική επιτρεπτότητα. Επιπλέον, το βασικό του πλεονέκτημα είναι ότι μπορεί να σχηματιστεί τοπικά σε δισκίο CMOS Si, αφήνοντας όλη την υπόλοιπη επιφάνεια άθικτη για την ολοκλήρωση των ψηφιακών κυκλωμάτων CMOS.

Ο πρώτος μας στόχος, ήταν να χαρακτηρίσουμε με ακρίβεια τα στρώματα PSi. Προς αυτήν την κατεύθυνση, ολοκληρώσαμε ομοεπίπεδους κυματοδηγούς (CPW) σε διάφορα στρώματα PSi και αναπτύξαμε μία μέθοδο για να εξαγάγουμε τις διηλεκτρικές τους παραμέτρους με αναλυτικό τρόπο. Η μέθοδος εφαρμόστηκε στις συχνότητες 0–40 GHz και 140–210 GHz, όπου παρατηρήσαμε ότι η σχετική επιτρεπτότητα των στρωμάτων PSi που κατασκευάσαμε ήταν μεταξύ 2 και 3.8, και η τιμή της ήταν σταθερή σε όλο το εύρος συχνοτήτων. Η εφαιπόμενη απωλειών ήταν γύρω στο 0.03. Οι εξαχθείσες παράμετροι διαφόρων δειγμάτων PSi χρησιμοποιήθηκαν σε εμπορικά πακέτα ηλεκτρομαγνητικών προσομοιώσεων. Μέσω αυτού, μπορέσαμε να αναπαράξουμε τα αποτελέσματα των μετρήσεων για διάφορες διατάξεις (CPW διαφορετικών χαρακτηριστικών αντιστάσεων και πηνία), αποδεικνύοντας την εγκυρότητα της αναλυτικής μας μεθόδου.

Έχοντας χαρακτηρίσει το PSi, συγκρίναμε την απόδοση των CPW και των πηνίων σε PSi, με αυτήν των ίδιων διατάξεων, ολοκληρωμένων σε άλλα υποστρώματα, όπως το παθητικοποιημένο HR-Si και το quartz. Εδώ πρέπει να τονίσουμε ότι το υπόστρωμα παθητικοποιημένου HR-Si έχει εμπορευματοποιηθεί πρόσφατα και θεωρείται μία από τις τεχνολογίες αιχμής για την ολοκλήρωση στοιχείων RF στο Si. Το quartz έχει πολύ χαμηλές απώλειες και χρησιμοποιείται σε τεχνολογίες διακριτών στοιχείων RF. Γι' αυτό το λόγο, στη σύγκριση χρησιμοποιήθηκε ως υπόστρωμα αναφοράς. Αυτό που παρατηρήσαμε, είναι ότι το PSi παρουσιάζει πάρα πολύ χαμηλές απώλειες, χαμηλότερες από το παθητικοποιημένο HR-Si και συγκρινόμενες με του quartz. Αυτό οδηγεί σε χαμηλές απώλειες των γραμμών μεταφοράς και αυξημένο συντελεστή ποιότητας των πηνίων. Ειδικότερα, ο συντελεστής εξασθένισης που μετρήθηκε για τα CPW είναι ένας από τους χαμηλότερους μεταξύ των τεχνολογιών που είναι συμβατές με τη CMOS. Επιπλέον, αναδείξαμε ότι η πολύ χαμηλή σχετική επιτρεπτότητα του PSi μειώνει τη χωρητική σύζευξη των διατάξεων με το υπόστρωμα, γεγονός που οδηγεί σε χαμηλότερες παρεμβολές μεταξύ των διατάξεων και υψηλότερη συχνότητα λειτουργίας των πηνίων. Αυτή η ιδιότητα επιτρέπει, επίσης, την ολοκλήρωση σε Si, CPW μεγάλης χαρακτηριστικής αντίστασης, διατάξεις που είναι κρίσιμες για την κατασκευή ολοκληρωμένων βαθυπερατών φίλτρων.

Στο τελευταίο κομμάτι αυτής της διατριβής ασχοληθήκαμε με την ολοκλήρωση διπολικών κεραιών σε υπόστρωμα PSi. Οι κεραιές σχεδιάστηκαν να λειτουργούν στα 50 GHz και 100 GHz. Παρατηρήσαμε ότι με τη χρήση PSi μειώνονται οι απώλειες του υποστρώματος και βελτιώνεται η απόδοση των κεραιών σε σχέση με αυτές που είναι ολοκληρωμένες σε CMOS Si. Μέσα από ανάλυση, η οποία έγινε μέσω προσομοιώσεων, μπορέσαμε να προσδιορίσουμε τις αναγκαίες διαστάσεις και ιδιότητες της περιοχής του PSi (πλάτος, μήκος, πάχος και σχετική επιτρεπτότητα), ώστε να επιτυγχάνεται η βέλτιστη απόδοση της διπολικής κεραιάς. Χρησιμοποιώντας τις βέλτιστες συνθήκες, προβλέψαμε ότι μπορεί να επιτευχθεί κέρδος ίσο με 1 dBi, μία τιμή που είναι πολύ ικανοποιητική σε σχέση με αυτές που μπορούμε να βρούμε στη βιβλιογραφία.

Συμπερασματικά, μέσα από τη διατριβή δείχθηκε ότι το PSi είναι μία πολύ ανταγωνιστική λύση για την μονοψηφιδική ολοκλήρωση παθητικών στοιχείων RF και κεραιών σε υπόστρωμα Si. Η κύρια συμβολή αυτής της εργασίας είναι να εμπλουτίσει το χαρακτηρισμό του PSi, αναπτύσσοντας μία ακριβή και επαναλήψιμη μέθοδο και στοχεύοντας στη διευκόλυνση των σχεδιαστών ολοκληρωμένων κυκλωμάτων RF. Παράλληλα, απεδείχθη ότι το PSi βελτιώνει πολύ την απόδοση των παθητικών διατάξεων RF (CPW, πηνία). Επιπλέον, για πρώτη φορά ολοκληρώθηκε κεραιά πάνω σε PSi, δείχνοντας τα πλεονεκτήματά του και επεκτείνοντας το εύρος των διατάξεων που επωφελούνται από τη χρήση του.

**Λέξεις Κλειδιά:** σύστημα σε ψηφίδα, πορώδες πυρίτιο, παθητικά στοιχεία, ραδιοσυχνότητες, χιλιοστομετρικά κύματα, ομοεπίπεδοι κυματοδηγοί, πηνία, ολοκληρωμένες κεραιές



# Abstract

In the state-of-the-art technologies for integrated circuits, there is a gap between the standard complementary metal-oxide-semiconductor (CMOS) technology and the on-chip integration of high-performance radiofrequency (RF) analog devices (mainly passive ones) and antennas. Currently, most of the integrated RF systems are fabricated on III-V semiconductor substrates, which increases the fabrication cost of the entire system. Up to now, none of the solutions that have been proposed (e.g. passivated high-resistivity silicon-on-insulator wafers, proton bombardment) achieves to be at the same time effective, cheap and easily integrated within the CMOS processing. The bridging of this gap was the driving force of the research conducted within the framework of my PhD.

Within this thesis, we investigated the advantages of porous silicon as a local substrate for the on-chip integration of RF passive devices and antennas. Porous silicon is a nanostructured form of Si, which can be easily formed by electrochemistry. In contrast to bulk Si, porous Si is a high-resistivity and low-permittivity material and its main advantage is that it can be locally formed on the Si wafer. The latter means that porous Si is formed only in the areas below the passive devices, while the rest of the wafer surface is left intact for the integration of CMOS electronics.

Our first objective was to perform an accurate characterization of the PSi layers. Towards this, we have fabricated coplanar waveguides (CPWs) on several PSi layers and developed a method to extract analytically the dielectric parameters of the PSi layers. This method was applied in the frequency range 0–40 GHz and 140–210 GHz. We observed that the dielectric permittivity of the fabricated PSi layers was between 2 and 3.8, and its value was proven to be almost constant in both frequency ranges. The loss tangent, within the aforementioned frequency range, was around 0.03, presenting a slight tendency to decrease at higher frequencies. Using the extracted parameters of several PSi layers in commercial simulation software, we could reproduce the response of a variety of devices, as CPWs of different designs and inductors, a fact that proved the validity of our analytical method.

Having characterized the PSi layer, we compared the performance of CPWs and inductors on PSi, with the performance of the ones fabricated on state-of-the-art substrates i.e. trap-rich high-resistivity Si (HR-Si) and quartz. We have to point-out that the trap-rich HR-Si substrate has been recently commercialized and is thought to be one of the best solutions for the integration of on-chip RF systems, up to now. Quartz is a standard high-performance off-chip substrate and it is used as a reference. We observed that porous silicon presents extremely low losses, lower than the ones of trap-rich HR-Si and comparable to quartz's. This leads to reduced attenuation and increased quality factor of the CPW transmission lines, as well as to increased quality factor of the inductors. Especially in the case of the CPW transmission lines, the measured attenuation is one of the lowest ever achieved in CMOS compatible technologies. Moreover, we have shown that the very low relative permittivity of PSi reduces the capacitive coupling to the substrate, leading to reduced crosstalk between the devices and to increased operating frequency of the inductors. This property of PSi also allows the on-chip integration of low-loss, high characteristic impedance CPW transmission lines on the low resistivity CMOS substrate, a fact that is critical for the fabrication of high performance stepped-impedance filters.

Extending the range of devices, porous silicon layers were used as substrates for the integration of miniaturized antennas, designed to operate at 50 GHz and 100 GHz. We observed that the use of porous Si reduced the substrate losses of the antennas and improved their performance, compared to standard antennas on CMOS Si. Through simulation analysis we could extract the necessary dimensions of the porous Si area, in order to achieve optimized performance of a thin film dipole antenna. The simulated optimized gain of this dipole antenna could be as high as 1 dBi, which is an excellent result compared to the literature.

Conclusively, we believe that PSi can be a very competitive solution for the on-chip integration of passive RF devices with CMOS logic. The main achievement of this research was to enrich the characterization of porous Si layers, aiming to produce a reproducible and well characterized material that will be easily used by RF circuit designers. In parallel, we showed that PSi greatly reduces the losses of the RF passive devices (CPW, inductors). Finally, we integrated millimeter wave antennas on PSi for the first time, expanding the device toolbox that can be benefited by the use of porous Si.

**Keywords:** system-on-chip, porous silicon, passive devices, RF, millimeter wave, coplanar waveguides, inductors, integrated antennas

# Περιεχόμενα

Εισαγωγή – Σκοπός .....	15
<b>Κεφάλαιο 1 Εισαγωγή στην Τεχνολογία Ολοκληρωμένων Κυκλωμάτων και στις Παθητικές Διατάξεις RF .....</b>	<b>19</b>
1.1 Γενική Εισαγωγή .....	19
1.2 Κυκλώματα Ραδιοσυχνότητας .....	20
1.3 Η Τεχνολογία των Ολοκληρωμένων Κυκλωμάτων Σήμερα .....	21
1.3.1 Η τεχνολογία CMOS .....	21
1.3.2 More Moore .....	24
1.3.3 More than Moore (MtM) .....	24
1.4 Ολοκληρωμένα Παθητικά Μικροκυματικά Στοιχεία σε Si .....	27
1.4.1 Γραμμές Μεταφοράς .....	27
1.4.2 Πηνία .....	29
1.4.3 Κεραίες .....	31
1.5 Συμβολή αυτής Διατριβής .....	32
<b>Κεφάλαιο 2 Τεχνολογία Υποστρώματων με βάση το Si για την Ολοκλήρωση Διατάξεων RF .....</b>	<b>35</b>
2.1 Εισαγωγή .....	35
2.2 Λύσεις Αιχμής για την Αντιμετώπιση των Απωλειών Υποστρώματος .....	35
2.2.1 Πυρίτιο Υψηλής Ειδικής Αντίστασης .....	37
2.2.2 Παθητικοποιημένο Πυρίτιο Υψηλής Ειδικής Αντίστασης .....	38
2.2.3 Αμορφοποίηση μέσω Εμφύτευσης Πρωτονίων .....	41
2.2.4 Τοπικός Σχηματισμός Πορώδους Πυριτίου .....	42
2.3 Συμπεράσματα Κεφαλαίου .....	43
<b>Κεφάλαιο 3 Παρασκευή και Ιδιότητες του Πορώδους Πυριτίου .....</b>	<b>45</b>
3.1 Εισαγωγή .....	45
3.2 Σχηματισμός του Πορώδους Πυριτίου .....	46
3.2.1 Ηλεκτροχημική Εγχάραξη Si για Σχηματισμό Πορώδους Πυριτίου .....	46
3.2.2 Τεχνικές Σχηματισμού .....	48
3.2.3 Κυψελίδες Ανοδίσωσης .....	50
3.2.4 Τοπικός Σχηματισμός Πορώδους Πυριτίου .....	51
3.3 Μορφολογία και Δομή του Πορώδους Πυριτίου .....	52
3.3.1 Μεσοπορώδες PSi από p-type δισκίδιο .....	53
3.3.2 Μεσοπορώδες PSi από p <sup>+</sup> -type δισκίδιο .....	53
3.3.3 Μακροπορώδες PSi από n-type δισκίδιο .....	54
3.4 Επιτυγχάνοντας Σταθερά Στρώματα PSi με μεγάλο Πάχος .....	54
3.4.1 Σύσταση ηλεκτρολύτη .....	54
3.4.2 Αφαίρεση του ηλεκτρολύτη από τους πόρους .....	55
3.4.3 Αντοχή του PSi στις θερμικές διεργασίες CMOS .....	56
3.5 Στρώματα Πορώδους Πυριτίου που Παρασκευάστηκαν για την Παρούσα Έρευνα .....	56
3.6 Συμπεράσματα Κεφαλαίου .....	56
<b>Κεφάλαιο 4 Προσδιορισμός Διηλεκτρικών Παραμέτρων του Πορώδους Πυριτίου .....</b>	<b>59</b>
4.1 Εισαγωγή .....	59
4.2 Διηλεκτρικές Παράμετροι του Πορώδους Πυριτίου .....	59
4.2.1 Ειδική αγωγιμότητα, επιτρεπτότητα και εφαλτομένη απωλειών .....	59

4.2.2	Το Πορώδες Πυρίτιο ως Διηλεκτρικό .....	60
4.3	Μέθοδος Εξαγωγής Διηλεκτρικών Παραμέτρων .....	63
4.3.1	Μέθοδοι διηλεκτρικού χαρακτηρισμού .....	63
4.3.2	Ολοκλήρωση ομοεπίπεδων κυματοδηγών (CPW) .....	63
4.3.3	Μετρήσεις Παραμέτρων Σκέδασης και Τεχνικές Αποεμπέδωσης .....	68
4.3.4	Αλγόριθμος Εξαγωγής.....	71
4.4	Διηλεκτρικές Παράμετροι PSi.....	74
4.4.1	Χαρακτηρισμός Υποστρωμάτων PSi από δισκίδιο Si τύπου p+ .....	74
4.4.2	Σύγκριση με αποτελέσματα προσομοιώσεων .....	80
4.5	Συμπεράσματα κεφαλαίου.....	82
<b>Κεφάλαιο 5</b>	<b>Συγκριτική Μελέτη Γραμμών Μεταφοράς CPW πάνω σε PSi και σε άλλα Υποστρώματα</b> .....	<b>83</b>
5.1	Εισαγωγή .....	83
5.2	Μεγέθη Αναφοράς.....	83
5.2.1	Χαρακτηριστικά Μεγέθη Ομοεπίπεδων Κυματοδηγών .....	84
5.2.2	Άλλα χρήσιμα μεγέθη για τη σύγκριση υποστρωμάτων .....	85
5.3	Βιβλιογραφικά Αποτελέσματα από Γραμμές Μεταφοράς CPW Ολοκληρωμένες σε PSi .....	86
5.4	Μελέτη γραμμών CPW Ολοκληρωμένων πάνω σε PSi .....	90
5.4.1	Απόδοση των γραμμών CPW πάνω σε PSi .....	90
5.4.2	Εξάρτηση της απόδοσης των CPW σε PSi από την πόλωση της γραμμής.....	92
5.5	Συγκριτική Μελέτη μεταξύ της Απόδοσης των CPW σε Πορώδες Πυρίτιο και σε άλλα Υποστρώματα .....	93
5.5.1	Κατασκευή και περιγραφή δομών .....	93
5.5.2	Σύγκριση υποστρώματος PSi με LR-Si, trap-rich HR-Si και quartz.....	94
5.6	Εξάρτηση από τη θερμοκρασία .....	98
5.7	Σύγκριση με άλλες Τεχνολογίες Μονοψηφιδικής Ολοκλήρωσης Κυκλωμάτων RF .....	99
5.8	Συμπεράσματα Κεφαλαίου .....	102
<b>Κεφάλαιο 6</b>	<b>Ολοκληρωμένα Πηνία πάνω σε PSi &amp; Σύγκριση με άλλα Υποστρώματα...</b> .....	<b>103</b>
6.1	Εισαγωγή .....	103
6.2	Ολοκληρωμένα Πηνία .....	103
6.2.1	Μοντελοποίηση και συμπεριφορά των ολοκληρωμένων πηνίων.....	103
6.2.2	Η τεχνολογία αιχμής στα ολοκληρωμένα πηνία σε PSi .....	107
6.3	Απόδοση Ολοκληρωμένων Πηνίων σε Υπόστρωμα PSi και Σύγκριση με άλλα Υποστρώματα .....	109
6.3.1	Κατασκευή ολοκληρωμένων πηνίων.....	109
6.3.2	Συμπεριφορά των πηνίων πάνω σε PSi και σύγκριση με άλλα υποστρώματα... ..	110
6.4	Συμπεράσματα Κεφαλαίου .....	113
<b>Κεφάλαιο 7</b>	<b>Ολοκλήρωση Διπολικών Κεραιών σε PSi</b> .....	<b>115</b>
7.1	Εισαγωγή .....	115
7.2	Περιγραφή του πεδίου των επίπεδων διπολικών κεραιών.....	115
7.2.1	Περιγραφή .....	115
7.2.2	Χαρακτηριστικά μεγέθη κεραιών .....	116
7.2.3	Επίλυση του πεδίου διπολικής κεραίας πάνω σε μονοστρωματικό ή διστρωματικό υπόστρωμα .....	118

7.3	Ολοκλήρωση διπολικών κεραιών πάνω σε υπόστρωμα πυριτίου .....	121
7.3.1	Εφαρμογές .....	121
7.3.2	Προβλήματα που ανακύπτουν κατά την ολοκλήρωση κεραιών πάνω στο Si .... .....	121
7.4	Ολοκλήρωση και χαρακτηρισμός κεραιών πάνω σε PSi.....	122
7.4.1	Κατασκευή.....	122
7.4.2	Προσομοιώσεις των παραμέτρων του πορώδους πυριτίου.....	123
7.4.3	Μετρήσεις.....	127
7.5	Συμπεράσματα κεφαλαίου .....	129
	<b>Συμπεράσματα</b> .....	131
	<b>Αναφορές</b> .....	135
	<b>Λίστα Συντομογραφιών και Συμβόλων</b> .....	155



# Εισαγωγή – Σκοπός

Ως γνωστόν, η τεχνολογία ολοκληρωμένων κυκλωμάτων πυριτίου (Si) CMOS (Complementary Metal Oxide Semiconductor) αποτελεί, εδώ και έξι δεκαετίες, την κυρίαρχη τεχνολογία στο χώρο των ολοκληρωμένων κυκλωμάτων (integrated circuit - IC) και της ηλεκτρονικής. Σε αυτήν την τεχνολογία έχει στηριχθεί η ανάπτυξη των ηλεκτρονικών υπολογιστών, των τηλεπικοινωνιών, του αυτόματου ελέγχου, της ρομποτικής και των αυτοματισμών, καθώς και άλλων κλάδων, που έχουν καθορίσει, κατά ένα μεγάλο βαθμό, το τεχνολογικό πλαίσιο της καθημερινής μας ζωής. Μέσα σε αυτά τα χρόνια η εξέλιξη της τεχνολογίας των IC στηρίχθηκε κυρίως στη σμίκρυνση των διαστάσεων των τρανζίστορ, ώστε να αυξηθεί η ταχύτητα και να μειωθεί η ενεργειακή κατανάλωση των διατάξεων. Τα τελευταία χρόνια όμως (μετά το 2005), έχει γίνει εμφανές ότι η εξέλιξη της τεχνολογίας δεν περιορίζεται στην αύξηση των επιδόσεων των IC, αλλά και στην ενσωμάτωση νέων λειτουργιών εντός των IC, όπως διατάξεις ραδιοσυχνοτήτων (Radio Frequency – RF), οπτοηλεκτρονικές διατάξεις, αισθητήρες και άλλα συστήματα, που στο παρελθόν αποτελούνταν από διακριτά στοιχεία πάνω στην ίδια πλακέτα. Αυτή είναι η λογική του αποκαλούμενου «συστήματος σε ψηφίδα (system on chip - SoC)», το οποίο συγκεράζει τα λογικά στοιχεία (μικροεπεξεργαστής, μνήμες) μαζί με συστήματα διασύνδεσης των ηλεκτρονικών με το φυσικό κόσμο. Με αυτήν την τεχνολογία μειώνεται ο όγκος και βελτιώνεται η συνολική απόδοση του συστήματος, μιας και μειώνεται η χρήση διασυνδέσεων μεταξύ των διακριτών στοιχείων, οι οποίες είναι και ένας από τους κύριους παράγοντες απωλειών.

Στο παραπάνω πλαίσιο, η ενσωμάτωση των συστημάτων επικοινωνίας υψηλής ποιότητας στο IC αποτελεί μεγάλη πρόκληση για τα επόμενα χρόνια. Αν και ήδη υπάρχουν ολοκληρωμένα κυκλώματα ραδιοσυχνοτήτων (RFIC) που κατασκευάζονται με τεχνολογία CMOS, αυτά χαρακτηρίζονται από μέτρια απόδοση σε σχέση με τα αντίστοιχα που κατασκευάζονται πάνω σε III-V ημιαγωγούς. Η υστέρηση αυτή οφείλεται κυρίως στην απόδοση των παθητικών στοιχείων RF, και όχι στα ενεργά στοιχεία RF, των οποίων η απόκριση είναι συγκρίσιμη με αυτήν των ολοκληρωμένων στοιχείων σε III-V υποστρώματα. Κύρια αιτία της μειωμένης απόδοσης είναι το υπόστρωμα πυριτίου χαμηλής ειδικής αντίστασης (low resistivity – LR-Si,  $\rho=1-10 \Omega \cdot \text{cm}$ ), που χρησιμοποιείται στην τεχνολογία CMOS. Επιπροσθέτως, η υψηλή ειδική επιτρεπτότητα του Si αποτελεί επιπλέον πρόβλημα σε διάφορες διατάξεις RF (πηνία, κεραίες). Αυτές οι δύο ιδιότητες του LR-Si οδηγούν σε υψηλές απώλειες υποστρώματος και σε υψηλή χωρητική σύζευξη των κυκλωμάτων μέσω του υποστρώματος.

Προκύπτει λοιπόν η ανάγκη βελτίωσης των χαρακτηριστικών των παθητικών στοιχείων RF. Αυτό μπορεί να επιτευχθεί είτε με αποσύζευξη των στοιχείων RF από το υπόστρωμα, συνήθως μέσω κάποιας μεταλλικής θωράκισης, είτε με τοπική τροποποίηση των ιδιοτήτων του υποστρώματος, ώστε να μειωθούν οι απώλειες εντός αυτού. Η πρώτη εναλλακτική έχει αποδώσει κάποια αποτελέσματα, κυρίως στις διατάξεις των γραμμών μεταφοράς και των πηνίων, χωρίς παρόλα αυτά να αποτελεί οριστική λύση του προβλήματος. Η δεύτερη εναλλακτική είναι πολλά υποσχόμενη και μπορεί να υλοποιηθεί με την τεχνολογία του τοπικά σχηματισμένου πορώδους πυριτίου (porous Si - PSi). Το PSi είναι μία πορώδης μορφή του Si, που έχει υψηλή ειδική αντίσταση, καθώς και διηλεκτρική σταθερά χαμηλότερη από αυτήν του Si (ανάμεσα σε 2-9). Πρωτοανακαλύφθηκε από τον A. Uhlig το 1956 και προσέκλυσε το ενδιαφέρον της ερευνητικής κοινότητας μετά την ανακάλυψη της έντονης φωτοφωταύγειάς του σε θερμοκρασία δωματίου από τον L.T. Canham το 1990. Ο τρόπος παρασκευής του PSi, δηλαδή τα χημικά και οι μέθοδοι που χρησιμοποιούνται, είναι συμβατός με τις διεργασίες CMOS και μπορεί να ενσωματωθεί στη διαδικασία κατασκευής ολοκληρωμένων κυκλωμάτων. Η χρήση του PSi για βελτίωση της απόδοσης διατάξεων RF είχε προταθεί από τις αρχές της δεκαετίας του 2000. Παρόλα αυτά, μέχρι το 2010 υπήρξαν μόνο λίγες μελέτες που στόχευαν στον συστηματικό χαρακτηρισμό των RF ιδιοτήτων του PSi και στη δυνατότητα χρήσης του ως τοπικό υπόστρωμα σε IC πυριτίου.

Σε αυτή τη διατριβή θα προσπαθήσουμε να καλύψουμε το παραπάνω κενό. Σκοπός μας είναι να εξάγουμε αξιόπιστα τις διηλεκτρικές παραμέτρους του PSi, έτσι ώστε να μπορούμε να τις χρησιμοποιήσουμε για τη σχεδίαση διατάξεων RF, ολοκληρωμένων σε αυτό. Ο απώτερος στόχος είναι να καταλήξουμε σε επαναλήψιμο και καλά χαρακτηρισμένο υλικό, το οποίο να μπορεί να χρησιμοποιηθεί απευθείας από τους σχεδιαστές ολοκληρωμένων κυκλωμάτων. Προς αυτό, αρχικά έγινε συστηματικός χαρακτηρισμός του PSi σε μικροκυματικές (RF) και χιλιοστομετρικές (millimeter wave) συχνότητες (0–40 και 140–210 GHz). Αυτό επετεύχθη με μεθόδους ευρέως φάσματος μέσω της ολοκλήρωσης ομοεπίπεδων κυματοδηγών πάνω στο PSi. Στη συνέχεια, έχοντας εξάγει τις διηλεκτρικές ιδιότητες του PSi, ασχοληθήκαμε με το χαρακτηρισμό διατάξεων RF, ολοκληρωμένων στο PSi. Σε αυτήν την κατεύθυνση, ολοκληρώθηκαν και χαρακτηρίστηκαν διατάξεις RF (ομοεπίπεδοι κυματοδηγοί, πηνία και κεραίες) και έγινε σύγκριση των αποτελεσμάτων με τις τωρινές τεχνολογίες αιχμής. Με αυτόν τον τρόπο παρουσιάζονται τα πλεονεκτήματα, αλλά και τα μειονεκτήματα του υποστρώματος PSi στην κάθε διάταξη, καθώς και αν τελικά αυτό βοηθά στη βελτίωση της απόδοσής τους σε σχέση με άλλες εναλλακτικές τεχνολογίες αιχμής, όπως το παθητικοποιημένο Si υψηλής ειδικής αντίστασης.

Παρακάτω περιγράφουμε το περιεχόμενο του κάθε κεφαλαίου αυτής της διατριβής. Αναλυτικά:

Στο Κεφάλαιο 1 γίνεται μία σύντομη περιγραφή των τεχνολογιών κατασκευής ολοκληρωμένων κυκλωμάτων RF, καθώς και της σύγχρονης τάσης για την ενσωμάτωση αυτών μαζί με λογικά κυκλώματα της τεχνολογίας CMOS. Έμφαση δίνεται στην περιγραφή παθητικών στοιχείων RF (γραμμές μεταφοράς, πηνία, κεραίες), καθώς και στις δυσκολίες ολοκλήρωσης αυτών των στοιχείων σε χαμηλής ειδικής αντίστασης Si.

Στο Κεφάλαιο 2 θα περιγράψουμε τις υπάρχουσες λύσεις υποστρωμάτων, συμβατών με τεχνολογία Si, για την μονοηφιδική ολοκλήρωση των διατάξεων RF. Θα εξετάσουμε την περίπτωση της χρήσης δισκιδίων Si υψηλής ειδικής αντίστασης (high-resistivity Si – HR-Si) και τους λόγους που αυτό δεν αποτελεί λύση. Μετά θα δούμε διάφορες μεθόδους παθητικοποίησης του HR-Si, έτσι ώστε να βελτιωθεί η μονωτική του συμπεριφορά. Επίσης, θα εξεταστεί η μέθοδος της βαθιάς αμορφοποίησης του Si, με στόχο την αύξηση της ειδικής του αντίστασης. Τέλος θα αναλυθούν τα πλεονεκτήματα της χρήσης τοπικά σχηματισμένου PSi για την ολοκλήρωση διαφόρων παθητικών διατάξεων RF.

Στο Κεφάλαιο 3 θα περιγραφεί η επικρατούσα θεωρία για το μηχανισμό σχηματισμού του PSi. Θα παρατεθούν οι διαφορετικές τεχνικές σχηματισμού του PSi και θα περιγραφεί η συμβατότητα αυτών για τη χρήση τους σε συνδυασμό με την τεχνολογία CMOS. Στη συνέχεια θα αναλυθεί η διαφορετική δομή και μορφολογία του PSi, που προκύπτει από διαφορετικές συνθήκες σχηματισμού.

Στο Κεφάλαιο 4 αναλύεται η μέθοδος εξαγωγής των διηλεκτρικών παραμέτρων του PSi που ακολουθήσαμε. Για το λόγο αυτό, χρησιμοποιήσαμε μία διάταξη ενός ομοεπίπεδου κυματοδηγού (CPW), την οποία ολοκληρώσαμε πάνω στα στρώματα PSi προς χαρακτηρισμό. Επίσης, παρουσιάζονται τα αποτελέσματα που εξήχθησαν για την εξάρτηση των διηλεκτρικών παραμέτρων του PSi από την ειδική αντίσταση του αρχικού δισκιδίου Si, καθώς και από το πορώδες του υλικού. Τέλος, χρησιμοποιούνται εμπορικά πακέτα επίλυσης του HM πεδίου για την επιβεβαίωση της ορθότητας των εξαχθέντων διηλεκτρικών παραμέτρων, μέσω της σύγκρισης των προσομοιώσεων με τα πειραματικά αποτελέσματα.

Στο Κεφάλαιο 5 παρουσιάζεται η απόδοση των CPW πάνω σε PSi και συγκρίνεται με την απόδοση που θα είχαν τα ίδια CPW πάνω σε άλλα υποστρώματα, όπως το LR-Si, το εμπλουτισμένο με στρώμα παγίδευσης φορτίων HR-Si (trap-rich HR-Si) και το quartz. Πρέπει να αναφερθεί ότι σήμερα το trap-rich HR-Si θεωρείται μία από τις καλύτερες λύσεις για κατασκευή υψηλής ποιότητας στοιχείων RF πάνω στο Si και έχει πρόσφατα εμπορευματοποιηθεί από την εταιρεία SOITEC. Τα αποτελέσματα συγκρίνονται και με άλλα αποτελέσματα τεχνολογιών αιχμής που αφορούν την ολοκλήρωση στοιχείων RF πάνω σε Si.

Στο Κεφάλαιο 6 παρουσιάζεται η ολοκλήρωση δοκιμαστικών πηνίων στα τέσσερα προαναφερθέντα υποστρώματα και συγκρίνεται η απόδοσή τους. Από τη μελέτη γίνεται εμφανής η βελτίωση που προκύπτει από τη χρήση PSi, καθώς και τονίζεται η χρησιμότητα



της χαμηλής σχετικής επιτρεπτότητας του PSi. Τα κτηθέντα αποτελέσματα συγκρίνονται και με την απόδοση άλλων πηνίων ολοκληρωμένων σε PSi, που βρέθηκαν στη βιβλιογραφία.

Στο Κεφάλαιο 7 παρουσιάζεται η ολοκλήρωση διπολικών κεραιών στο PSi, οι οποίες λειτουργούν στα 50 GHz και 100 GHz. Αρχικά έγινε μελέτη για τις αναγκαίες διαστάσεις (μήκος, πλάτος και πάχος) και τη σχετική επιτρεπτότητα του PSi, ώστε να επιτευχθεί το βέλτιστο κέρδος της κεραίας. Στη συνέχεια, ολοκληρώθηκαν διπολικές κεραιές σε υπόστρωμα PSi και LR-Si και συγκρίθηκε η απόδοσή τους.

Τέλος, παρουσιάζονται τα συμπεράσματα της διατριβής καθώς και κάποιες ιδέες για περαιτέρω έρευνα στο αντικείμενο της ολοκλήρωσης διατάξεων RF σε πορώδες πυρίτιο.



# Κεφάλαιο 1

## Εισαγωγή στην Τεχνολογία Ολοκληρωμένων Κυκλωμάτων και στις Παθητικές Διατάξεις RF

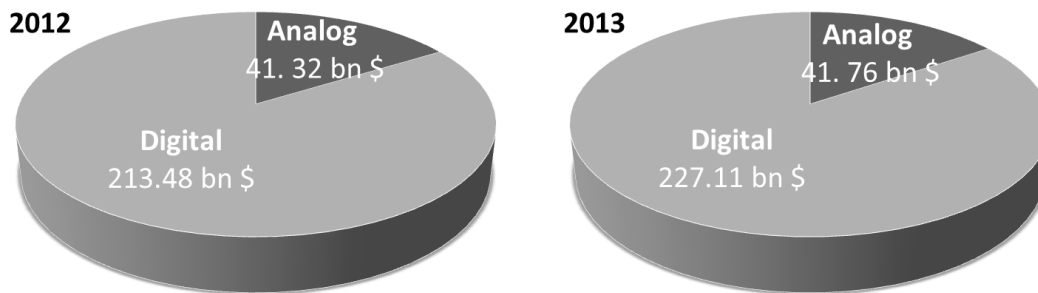
### 1.1 Γενική Εισαγωγή

Τα ηλεκτρομαγνητικά κύματα περιγράφηκαν ολοκληρωμένα για πρώτη φορά από τον J.C. Maxwell στην περίφημη εργασία του «A Dynamical Theory of the Electromagnetic Field» [1] το 1865, η οποία υπήρξε και το θεμέλιο για τη ραγδαία εξέλιξη του ηλεκτρομαγνητισμού από τον 19<sup>ο</sup> αιώνα μέχρι και σήμερα. Στα τέλη του 19<sup>ου</sup> αιώνα και στηριζόμενος στη θεωρία του Maxwell, ο G. Marconi παρουσίασε την πρώτη συσκευή ασύρματης μετάδοσης σημάτων, η οποία χρησιμοποιούσε μία κεραία για να εκπέμψει ένα ηλεκτρομαγνητικό (HM) κύμα σε απόσταση, αρχικά κάποιων χιλιομέτρων και έπειτα ακόμη και πάνω από τον Ατλαντικό ωκεανό, θεμελιώνοντας ουσιαστικά τον τομέα των ασύρματων επικοινωνιών.

Έκτοτε, η ασύρματη εκπομπή HM κυμάτων θα χρησιμοποιηθεί σε διάφορους τομείς όπως οι επικοινωνίες, τα ραντάρ, οι οικιακές συσκευές, διάφορες διαγνωστικές μέθοδοι κ.α., οι οποίοι συνθέτουν το τεράστιο εύρος εφαρμογών της ασύρματης τεχνολογίας. Σε αυτή τη διατριβή θα επικεντρωθούμε στην περιοχή ραδιοσυχνοτήτων (radio frequency – RF) και πιο συγκεκριμένα σε αυτή των μικροκυμάτων (microwave – μW) και των χιλιοστομετρικών κυμάτων (millimeter wave – mmW) που βρίσκονται στις συχνότητες 300 MHz – 30 GHz και 30 – 300 GHz αντίστοιχα.

Τα κυκλώματα ραδιοσυχνοτήτων (RF) είναι βασικός πυλώνας της ανάπτυξης των ασύρματων τηλεπικοινωνιών. Η ραγδαία ανάπτυξη αυτού του κλάδου τα τελευταία 10 χρόνια με τα κινητά τηλέφωνα, την ασύρματη σύνδεση στο διαδίκτυο, τα έξυπνα τηλέφωνα, τις ταμπλέτες κ.α. έχει αυξήσει πολύ τον αριθμό των συσκευών που διασυνδέονται ασύρματα μεταξύ τους. Επιπλέον, κάθε συσκευή περιέχει παραπάνω από ένα συστήματα ασύρματης μετάδοσης/λήψης της πληροφορίας, όπως το GSM, το Wi-Fi, το Bluetooth, το GPS και συνεπώς ο πομποδέκτης πρέπει πια να δουλεύει σε παραπάνω από μία συχνότητες, γεγονός που αυξάνει την πολυπλοκότητά του. Τα επόμενα χρόνια αναμένεται αυτή η ανάπτυξη του τομέα των διασυνδεδεμένων συσκευών να είναι ακόμη μεγαλύτερη [2], μιας και προετοιμάζεται η δικτύωση συσκευών που παραδοσιακά δεν διασυνδέονταν η μία με την άλλη, αλλά και η δημιουργία νέων εφαρμογών. Το όραμα του «Internet of Things (IoT)» είναι η ασύρματη διασύνδεση όλων των συσκευών, όπως για παράδειγμα ένας θερμοστάτης, ή ένας ανιχνευτής στη θέση στάθμευσης. Για να επιτευχθεί αυτός ο στόχος και να είναι προσιτός στον καταναλωτή πρέπει να στηρίζεται σε φτηνά και μικρά συστήματα για όλες αυτές τις διασυνδεδεμένες συσκευές. Προκύπτει λοιπόν η ανάγκη για μαζική παραγωγή ολοκληρωμένων συστημάτων RF που θα μπορούν να συνδυαστούν με λογικά κυκλώματα (μικροεπεξεργαστές, μνήμες), καταλαμβάνοντας όσο το δυνατόν μικρότερο χώρο.

Η επίτευξη του παραπάνω μπορεί να γίνει μόνο μέσα από την ήδη υπάρχουσα βιομηχανία της μικροηλεκτρονικής, η οποία σήμερα είναι η μεγαλύτερη στον κόσμο. Είναι γνωστό ότι η τεχνολογία των ολοκληρωμένων κυκλωμάτων διαχωρίζεται στα αναλογικά και τα ψηφιακά ολοκληρωμένα κυκλώματα. Τα ψηφιακά ολοκληρωμένα κυκλώματα είναι κυρίως μικροεπεξεργαστές και μνήμες και αποτελούν το μεγαλύτερο τμήμα της αγοράς όπως φαίνεται στην Εικόνα 1.1. Τα αναλογικά περιλαμβάνουν κυκλώματα όπως αυτά των RF, της επεξεργασίας σήματος, της υψηλής τάσης κ.α. Εξαιτίας της διαφοράς μεγέθους στις αγορές, γίνεται λοιπόν προφανές ότι η ενσωμάτωση των RF λειτουργιών σε ένα ψηφιακό σύστημα θα πρέπει να γίνει με διαδικασίες συμβατές με την τεχνολογία των ψηφιακών κυκλωμάτων.



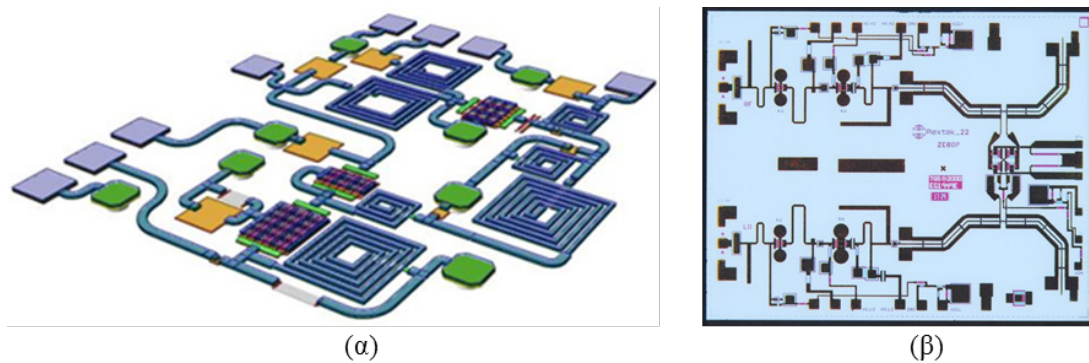
**Εικόνα 1.1. Μέγεθος της βιομηχανίας ολοκληρωμένων κυκλωμάτων. Παρατηρείται η ετήσια αύξηση στα ψηφιακά ολοκληρωμένα κυκλώματα κατά 14 δις. \$ και στα αναλογικά κατά 440 εκ. %**

Στο κεφάλαιο αυτό αρχικά θα περιγραφούν η ιστορική εξέλιξη και οι τάσεις της τρέχουσας τεχνολογίας κυκλωμάτων RF. Στη συνέχεια θα περιγραφεί η τεχνολογία CMOS (Complementary Metal-Oxide Semiconductor – CMOS) ολοκληρωμένων κυκλωμάτων (Integrated Circuits – ICs) και οι προοπτικές που υπάρχουν για την αύξηση της απόδοσής τους. Μέσα από το συγκερασμό αυτών των δύο παράλληλων τεχνολογιών θα παρουσιαστούν οι δυνατότητες και τα προβλήματα που ανακύπτουν για την ολοκλήρωση RF και ψηφιακών κυκλωμάτων σε μία ψηφίδα. Τέλος, συνοψίζοντας όλα αυτά, θα τονιστεί η αναγκαιότητα έρευνας πάνω στον τομέα των συμβατών με την τεχνολογία CMOS υποστρωμάτων. Αυτός είναι και ο τομέας που σκοπεύει να συμβάλει αυτή η διατριβή: η χρήση υβριδικών υποστρωμάτων πυριτίου/πορώδους πυριτίου ώστε να έχουμε ταυτόχρονη ολοκλήρωση ψηφιακής λογικής και υψηλής ποιότητας διατάξεων RF.

## 1.2 Κυκλώματα Ραδιοσυχνοτήτων

Ο πιο απλός και πιο ακριβός τρόπος κατασκευής μικροκυματικών κυκλωμάτων είναι με τη χρήση διακριτών ενεργών (τρανζίστορ) και παθητικών στοιχείων (αντιστάσεις, πυκνωτές, πηνία) τα οποία συνδέονται με γραμμές μεταφοράς σχεδιασμένες πάνω στην πλακέτα τυπωμένων κυκλωμάτων (Printed Circuit Board – PCB). Αυτά τα κυκλώματα, από τα τέλη της δεκαετίας του 1970 [3], έχουν αντικατασταθεί για ένα μεγάλο εύρος εφαρμογών από μονοψηφιδικά μικροκυματικά ολοκληρωμένα κυκλώματα (Monolithic Microwave Integrated Circuit – MMIC). Σε αυτά ολοκληρώνονται ταυτόχρονα στο ίδιο υπόστρωμα ενεργά και παθητικά στοιχεία, τα οποία είτε είναι αυτόνομα είτε τοποθετούνται σε πλακέτες PCB με άλλα αναλογικά και ψηφιακά κυκλώματα. Τα MMICs αρχικά χρησιμοποιούνταν σε διαστημικές και στρατιωτικές εφαρμογές, αλλά από το 1990 και μετά η ύπαρξή τους ήταν κομβική για τη μονοψηφιδική ολοκλήρωση του πομποδέκτη των κινητών τηλεφώνων και την εύκολη διασύνδεσή του με τους μικροεπεξεργαστές. Αυτό ήταν και το έναυσμα για τη ραγδαία εξέλιξη των προσωπικών ασύρματων τηλεπικοινωνιών και της συνακόλουθης ανάπτυξης της βιομηχανίας των κινητών τηλεπικοινωνιών. Σήμερα η βιομηχανία των MMIC έχει ξεπεράσει τα 5 δις \$.

Τα κυκλώματα MMIC φτιάχνονται πάνω σε κάποιου είδους ημιαγωγό έτσι ώστε να μπορούν να ολοκληρωθούν και τα ενεργά και τα παθητικά στοιχεία. Παραδοσιακά το υπόστρωμα που χρησιμοποιείται πιο εκτενώς είναι το GaAs. Το υπόστρωμα αυτό έχει πλεονεκτήματα σε σχέση με το Si όσον αφορά την υψηλή κινητικότητα των φορέων και την υψηλή του ειδική αντίσταση. Ο συνδυασμός αυτών των δύο βοηθάει στην ταυτόχρονη ολοκλήρωση πολύ γρήγορων τρανζίστορ (Metal-Semiconductor Field Effect Transistor – MESFET, High-Electron-Mobility Transistor – HEMT) [4] και πολύ καλής απόδοσης παθητικών στοιχείων [5]. Όμως η χαμηλή θερμική αγωγιμότητα του GaAs δυσχεραίνει την ολοκλήρωση κυκλωμάτων ισχύος και γι' αυτό το λόγο για συγκεκριμένες εφαρμογές χρησιμοποιούνται υποστρώματα SiC και GaN. Παρόλα αυτά, η τεχνολογία του GaAs συνεχίζει να είναι η πιο μαζική και η πιο προηγμένη σε σχέση με τους προαναφερθέντες ημιαγωγούς, χρησιμοποιώντας σήμερα δισκία των 6 ή 8 ιντσών.



Εικόνα 1.2. (α) Σχηματική αναπαράσταση ενός κυκλώματος MMIC, στο οποίο διακρίνουμε έναν αριθμό από πηνία (β) Ένα κύκλωμα μετατροπέα συχνότητων κατασκευασμένο με MMIC πάνω σε GaAs [6]

Τα τελευταία χρόνια με την εξέλιξη της τεχνολογίας Si και τη σμίκρυνση των διαστάσεων, έχει ενταθεί το ενδιαφέρον για τη μονοψηφιδική ολοκλήρωση μικροκυματικών διατάξεων στο Si. Ο κύριος παράγοντας που επέτρεψε αυτή τη στροφή είναι η σμίκρυνση του μεγέθους του τρανζίστορ Si και η επακόλουθη αύξηση της συχνότητας αποκοπής ( $f_T$ ) και της μέγιστης συχνότητας λειτουργίας ( $f_{MAX}$ ), επιτυγχάνοντας απόκριση συγκρίσιμη με αυτή των τρανζίστορ πάνω σε GaAs [7]. Το τελευταίο ανοίγει το δρόμο για την υλοποίηση MMIC πάνω σε Si που συνδυάζουν και καλή απόδοση και ταυτόχρονη ολοκλήρωση μαζί με τα ψηφιακά κυκλώματα [4], [8]–[10]. Η επίτευξη αυτών όμως δεν είναι χωρίς δυσκολίες και τεχνολογικές προκλήσεις, οι οποίες πρέπει να ξεπεραστούν. Η κυριότερη αυτών είναι οι απώλειες υποστρώματος που εισάγει το Si της τεχνολογίας CMOS, εξαιτίας της χαμηλής του ειδικής αντίστασης. Η βελτίωση όμως της απόδοσης, που είναι πιθανό να επιτευχθεί από την κατάργηση των διασυνδέσεων μεταξύ του MMIC και του ψηφιακού κυκλώματος, αξίζει την ερευνητική προσπάθεια. Επιπλέον, η ταυτόχρονη ολοκλήρωση RF και ψηφιακών κυκλωμάτων πάνω σε Si θα μειώσει τον αριθμό των απαιτούμενων βημάτων κατασκευής καθώς και θα χρησιμοποιήσει την τεχνολογία επεξεργασίας Si (σήμερα χρησιμοποιεί δισκία 12 ιντσών), μειώνοντας δραματικά το τελικό κόστος κατασκευής των ολοκληρωμένων RF-ψηφιακών κυκλωμάτων. Ειδικά σήμερα, στην εποχή του IoT, η μονοψηφιδική ολοκλήρωση ψηφιακών και RF λειτουργιών αποκτά επιπλέον βαρύνουσα σημασία, καθώς μειώνει το κόστος και τις διαστάσεις του τελικού συστήματος.

Πάνω σε αυτή τη λογική, της ταυτόχρονης ολοκλήρωσης CMOS και RF διατάξεων, θα εργαστούμε στη συνέχεια αυτής της διατριβής. Στην επόμενη ενότητα θα παρουσιάσουμε τη σημερινή τεχνολογία ολοκληρωμένων κυκλωμάτων CMOS, καθώς και τις διάφορες λογικές ενσωμάτωσης των στοιχείων RF σε αυτή.

## 1.3 Η Τεχνολογία των Ολοκληρωμένων Κυκλωμάτων Σήμερα

### 1.3.1 Η τεχνολογία CMOS

Η σημερινή τεχνολογία IC είναι συνυφασμένη με τη χρήση του χαμηλής ειδικής αντίστασης (1-10  $\Omega \cdot \text{cm}$ ) Si ως ημιαγωγίου υλικού (σε ποσοστό μεγαλύτερο του 99%) και τεχνολογίας CMOS (complementary metal oxide semiconductor) για την κατασκευή των τρανζίστορ. Το θεμέλιο αυτής της τεχνολογίας είναι ο συνδυασμός δύο τρανζίστορ MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor), ενός pMOS (τρανζίστορ MOSFET με κανάλι τύπου p) και ενός nMOS (τρανζίστορ MOSFET με κανάλι τύπου n). Κομβικό ρόλο στην απόδοση της εκάστοτε τεχνολογίας CMOS παίζει το μέγεθος των τρανζίστορ, καθώς αυτό καθορίζει την ταχύτητα λειτουργίας και την ενεργειακή κατανάλωση του τρανζίστορ. Το μήκος της πύλης του τρανζίστορ χρησιμοποιείται από τον οργανισμό που συντάσσει το ITRS (International Technology Roadmap for Semiconductors) για να περιγράψει τους τεχνολογικούς κόμβους. Σήμερα το μήκος της πύλης των εμπορικών διατάξεων είναι 22 nm [11], ενώ μέχρι το τέλος του 2014 αναμένεται να υπάρχουν μικροεπεξεργαστές με μήκος

πύλης τα 14 nm [12]. Η αναμενόμενη σμίκρυνση των διαστάσεων σταματάει στα 5 nm (πρόβλεψη ITRS 2013 για το 2020) εξαιτίας των έντονων κβαντομηχανικών φαινομένων που θα αναπτύσσονται σε τόσο μικρές διαστάσεις.

Τις διεργασίες για την κατασκευή IC μέσω αυτής της τεχνολογίας μπορούμε να τις διαχωρίσουμε σε δύο ομάδες διεργασιών, αυτές που σχετίζονται με τη δημιουργία των τρανζίστορ και αναφέρονται ως front-end-of-line (FEOL), και αυτές που σχετίζονται με τη διασύνδεση των τρανζίστορ και αναφέρονται ως back-end-of-line (BEOL).

Το FEOL περιλαμβάνει όλες τις διαδικασίες σχηματισμού των τρανζίστορ μέχρι το στάδιο της επιμετάλλωσης. Σε μία τυπική τεχνολογία CMOS τα βασικά βήματα σχηματισμού των τρανζίστορ είναι τα εξής:

1. Επιλογή του είδους του δισκιδίου Si, χημικο-μηχανική λείανση (chemical-mechanical polishing - CMP) και καθαρισμός του δισκιδίου
2. Δημιουργία ρηχών καναλιών απομόνωσης (shallow trench isolation)
3. Κατασκευή των πηγαδιών (πηγάδια p ή n)
4. Κατασκευή της πύλης του transistor
5. Κατασκευή της πηγής και του απαγωγού του transistor

Οι διαδικασίες του BEOL στα ψηφιακά κυκλώματα διασυνδέουν τις διατάξεις που σχηματίζονται στο FEOL και περιλαμβάνουν της μεταλλικές επαφές με τις FEOL διατάξεις, τα ενδιάμεσα διηλεκτρικά στρώματα που εναλλάσσονται με τα στρώματα μετάλλου και τέλος τα σημεία που γίνεται η διασύνδεση μεταξύ της ψηφίδας και της συσκευασίας (packaging). Τα τυπικά βήματα είναι τα εξής:

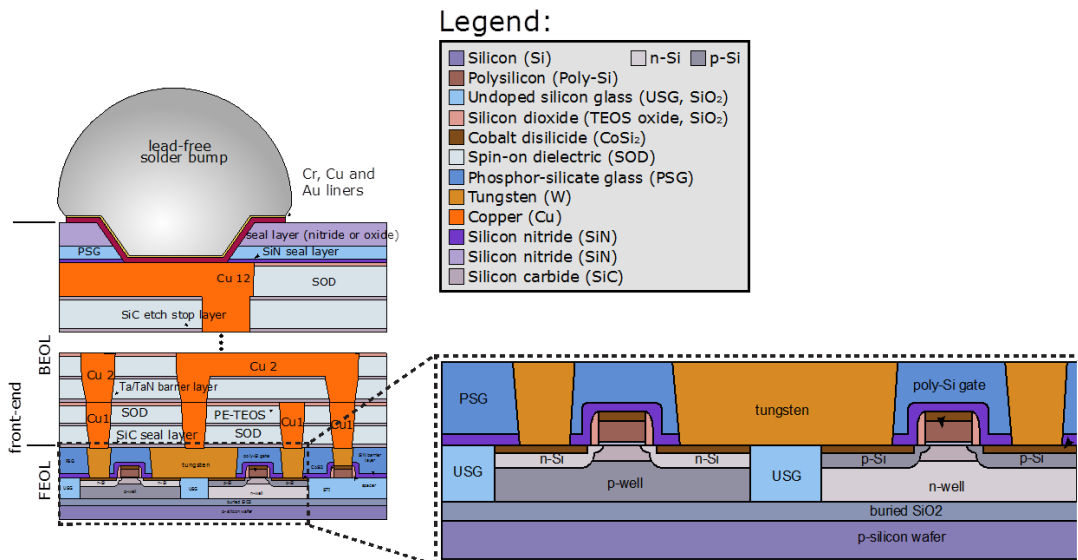
1. Πυριτιδίωση των περιοχών της πύλης, της πηγής και του απαγωγού
2. Προσθήκη ενός διηλεκτρικού στρώματος (pre-metal dielectric - PMD) για να απομονωθεί το Si και το poly-Si από τα μέταλλα. Λείανση με χρήση CMP
3. Εγχάραξη του PMD και δημιουργία επαφών με τα στοιχεία του FEOL
4. Προσθήκη του 1<sup>ου</sup> μετάλλου (M1)
5. Προσθήκη του ενδιάμεσου διηλεκτρικού (intermetal dielectric - IMD) και λείανση αυτού με CMP
6. Δημιουργία vias ώστε να γίνει η επαφή του M1 με το M2.



Επανάληψη των βημάτων 4-6 ανάλογα με τον αριθμό των μετάλλων που χρησιμοποιούνται

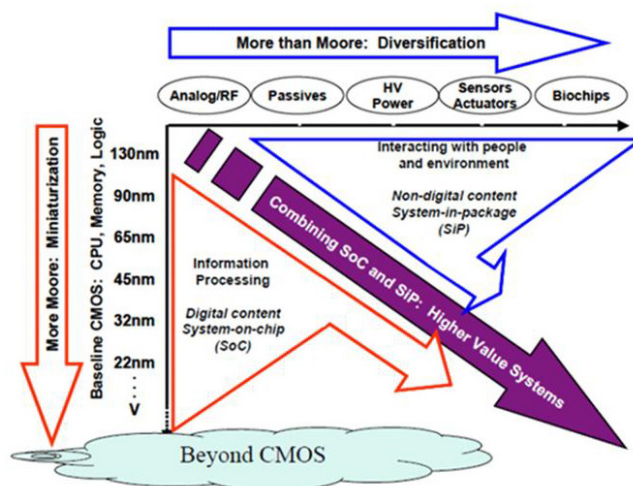
7. Παθητικοποίηση μέσα από την προσθήκη προστατευτικού στρώματος

Στις σύγχρονες τεχνολογίες χρησιμοποιούνται 10-12 στρώματα μετάλλου, το οποίο συνήθως είναι Cu. Όπως περιγράφεται στο ITRS [13], το πάχος και το πλάτος διαφέρουν ανάλογα με το επίπεδο του μετάλλου και την τεχνολογία που χρησιμοποιείται. Χαρακτηριστικά αναφέρεται ότι για τους μικροεπεξεργαστές τα επίπεδα μετάλλων 1-3 (M1-M3) προορίζονται σαν τοπικές διασυνδέσεις, τα επίπεδα 4-7 (M4-M7) σαν ενδιάμεσες διασυνδέσεις και τα επίπεδα 8-12 (M8-M12) σαν διασυνδέσεις που διαρρέουν ολόκληρη την ψηφίδα. Ο παραπάνω διαχωρισμός γίνεται εξαιτίας της διαφορετικής αντίστασης τετραγώνου που παρουσιάζεται σε κάθε επίπεδο.



**Εικόνα 1.3. Σχηματική αναπαράσταση του συνόλου των επιπέδων της τεχνολογίας CMOS. Διακρίνονται τα τμήματα που αφορούν το FEOL και τα επίπεδα της επιμετάλλωσης που αφορούν το BEOL**

Σε αυτό το σημείο είναι χρήσιμο για τις ανάγκες της διατριβής να αναφερθεί ότι στις τεχνολογίες RFIC για τα παθητικά στοιχεία RF χρησιμοποιούνται τα πιο χοντρά μέταλλα, που βρίσκονται στα άνω επίπεδα του BEOL, και μάλιστα πολλές φορές κάθετα βραχυκυκλωμένα [14]. Αυτό γίνεται για δύο λόγους: ο πρώτος είναι η μείωση των ωμικών απωλειών εξαιτίας της μεγαλύτερης διατομής μετάλλου που χρησιμοποιείται, και ο δεύτερος είναι η απομάκρυνση από το υπόστρωμα του Si έτσι ώστε να μειωθούν οι απώλειες εντός αυτού [15], [16]. Σε μερικές τεχνολογίες που είναι στοχευμένες στα RFIC (π.χ. BiCMOS9MW από την ST microelectronics), χρησιμοποιείται και ένα επιπλέον παχύ (3-5 μm) επίπεδο μετάλλου, που συνήθως είναι από Al. Περισσότερα, θα αναφερθούν σε επόμενα κεφάλαια.

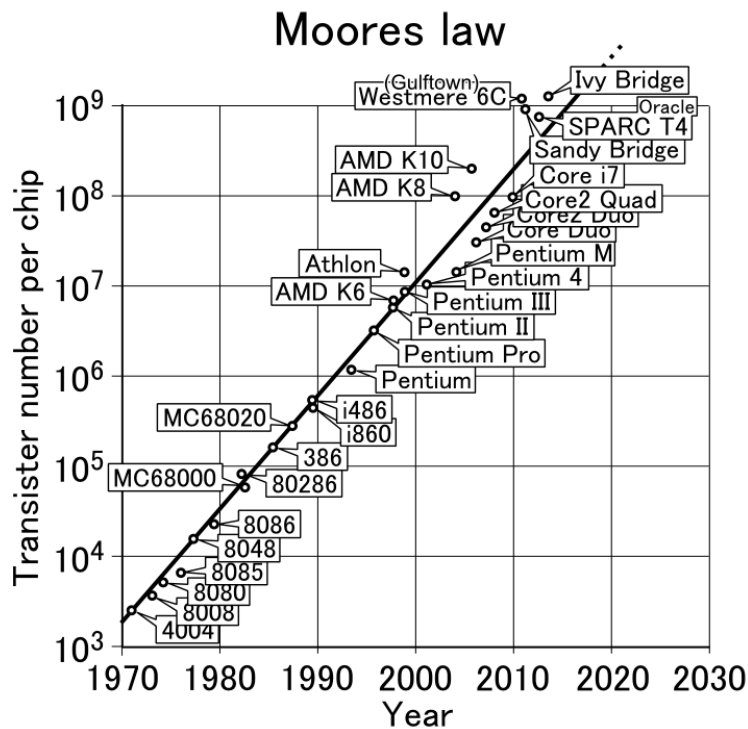


**Εικόνα 1.4. Σχεδιάγραμμα του ITRS που περιγράφει την κατεύθυνση που ακολουθείται για την επίτευξη συστημάτων με καλύτερη απόδοση (More Moore) και περισσότερες λειτουργίες (More than Moore) [17]**

Τα παραπάνω είναι σε γενικές γραμμές οι βασικές αρχές κατασκευής IC. Όμως από το 2005 και μετά, όπως περιγράφηκε στο Executive Summary του ITRS, η εξέλιξη της τεχνολογίας των IC δεν γίνεται μόνο μέσα από τη σμίκρυνση των διαστάσεων του τρανζίστορ («More Moore»), αλλά και μέσα από την ενσωμάτωση επιπλέον λειτουργιών στα ολοκληρωμένα κυκλώματα («More than Moore» – MtM). Αυτές οι δύο λογικές περιγράφονται παρακάτω:

### 1.3.2 More Moore

Όπως έχει περιγραφεί παραπάνω, ο βασικός πυλώνας της αύξησης των υπολογιστικών δυνατοτήτων, όπως και της μείωσης της ενεργειακής κατανάλωσης ανά bit, είναι η μείωση των διαστάσεων του τρανζίστορ και συνεπώς η αύξηση της πυκνότητας ολοκλήρωσης. Μειώνοντας λοιπόν, τις κρίσιμες διαστάσεις ενώ παράλληλα κρατάμε σταθερό το ηλεκτρικό πεδίο, αυξάνουμε την ταχύτητα και μειώνουμε την ενεργειακή κατανάλωση. Αυτή η μείωση των διαστάσεων ακολουθεί τον εμπειρικό νόμο-πρόβλεψη του Moore, ο οποίος περιγράφηκε για πρώτη φορά το 1965 από τον Gordon E. Moore. Η σημερινή ερμηνεία του είναι ότι η κρίσιμη διάσταση (το ήμισυ του μήκους μεταξύ δύο στοιχείων μνήμης) θα μειώνεται κάθε 2 χρόνια κατά  $\sqrt{2} / 2$ . Όπως προαναφέρθηκε, το 2012 επιτεύχθηκαν τα 22 nm, το 2015 αναμένεται να υπάρχουν εμπορικά τρανζίστορ με τεχνολογία 14 nm, ενώ η πρόβλεψη για το 2024 είναι τα 8.9 nm [18]. Αξίζει να σημειωθεί ότι για την επίτευξη αυτών των τόσο μικρών διαστάσεων απαιτείται εκτενής έρευνα για την ανάπτυξη νέων τεχνικών και για τη χρησιμοποίηση νέων υλικών. Μία σύνοψη αυτής της προόδου καταγράφεται κάθε δύο χρόνια στον οδικό χάρτη που εκδίδει το ITRS.



Εικόνα 1.5. Ο νόμος του Moore για τα χρόνια από 1970-2013 μαζί με τις αντίστοιχες εμπορικές τεχνολογίες για μικροεπεξεργαστές

### 1.3.3 More than Moore (MtM)

Ο δεύτερος τρόπος βελτίωσης των συστημάτων που χρησιμοποιούν ολοκληρωμένα κυκλώματα είναι μέσα από τον εμπλουτισμό τους με επιπλέον λειτουργίες, είτε αυτές είναι ψηφιακές είτε όχι. Η ενσωμάτωση αυτών των λειτουργιών μαζί με τα λογικά κυκλώματα στην ίδια ψηφίδα Si βοηθάει στη σμίκρυνση και τη βελτίωση του συνολικού ηλεκτρονικού συστήματος. Η λογική αυτή δεν ακολουθεί την τάση του νόμου του Moore και ονομάζεται «More-than-Moore», δηλαδή κάτι παραπάνω από αυτό που μας προσφέρουν τα ολοκληρωμένα κυκλώματα.

Οι λειτουργίες που μπορούν να ενσωματωθούν περιλαμβάνουν πομποδέκτη και κεραία RF, αισθητήρες (sensors) και μορφοτροπείς (transducers) για την αλληλεπίδραση των λογικών κυκλωμάτων με τον εξωτερικό κόσμο, το υποσύστημα παροχής ενέργειας, την ενσωμάτωση

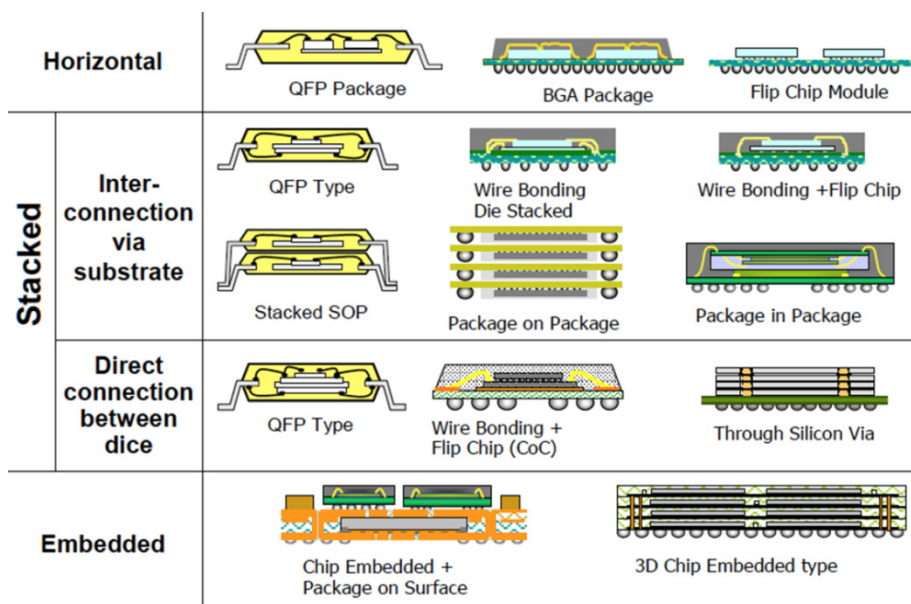


των κυκλωμάτων επεξεργασίας σήματος κ.α. Για την ενσωμάτωση των παραπάνω λειτουργιών χρησιμοποιούνται, ενδεικτικά, συστήματα αναλογικής και μικτής επεξεργασίας σήματος, παθητικά στοιχεία RF, στοιχεία προσαρμογής εμπέδησης, τρανζίστορ RF, στοιχεία ισχύος, μικροηλεκτρομηχανικές διατάξεις (micro-electromechanical systems – MEMS), αισθητήρες και ενεργοποιητές, μικρορευστομηχανικές διατάξεις κ.α. Τα αποτελέσματα αυτών των τεχνολογιών φαίνονται σε μία σειρά από εφαρμογές στις τηλεπικοινωνίες, στην αυτοκινητοβιομηχανία, στον έλεγχο των περιβαλλοντικών συνθηκών, στην υγεία, στη διασκέδαση κ.α.

Η τεχνολογία της ενσωμάτωσης των νέων λειτουργιών στα ολοκληρωμένα κυκλώματα, έχει μέχρι σήμερα στηριχθεί σε δύο διαφορετικές λογικές: τη λογική της ολοκλήρωσης διαφορετικών ψηφίδων σε μία μονάδα εντός της ίδιας συσκευασίας (System-in-Package – SiP) και τη λογική της ολοκλήρωσης διαφορετικών συστημάτων πάνω στην ίδια ψηφίδα (System-on-Chip – SoC). Η λογική πίσω από αυτές τις δύο τεχνολογίες είναι να αντικατασταθούν τα πολλά IC (μικροεπεξεργαστές, MMIC κτλ) που διασυνδέονται μεταξύ τους πάνω σε ένα πολύπλοκα συσκευασμένο τρισδιάστατο σύστημα, με ολοκληρωμένες μονάδες που θα συνδυάζουν τις ίδιες λειτουργίες πάνω στην ίδια ψηφίδα. Στη συνέχεια αναλύονται μερικώς οι δύο λογικές με έμφαση στη SoC ενσωμάτωση διατάξεων RF που αποτελεί και αντικείμενο αυτής της διατριβής.

### System in Package (SiP)

Σε αυτή την εκδοχή τα διάφορα IC ολοκληρώνονται πάνω σε διαφορετικές ψηφίδες και μετά διασυνδέονται μεταξύ τους είτε με μικροκαλώδια (wirebonds), είτε με συγκολλητικές σφαίρες (solder bumps), είτε με διαμπερείς στο υπόστρωμα διασυνδέσεις (βλ. Εικόνα 1.6). Μία ελαφρώς διαφοροποιημένη πρακτική είναι και η ολοκλήρωση στοιχείων πάνω στη συσκευασία, χρησιμοποιώντας την ίδια σαν ένα υπόστρωμα χαμηλών απωλειών [19].



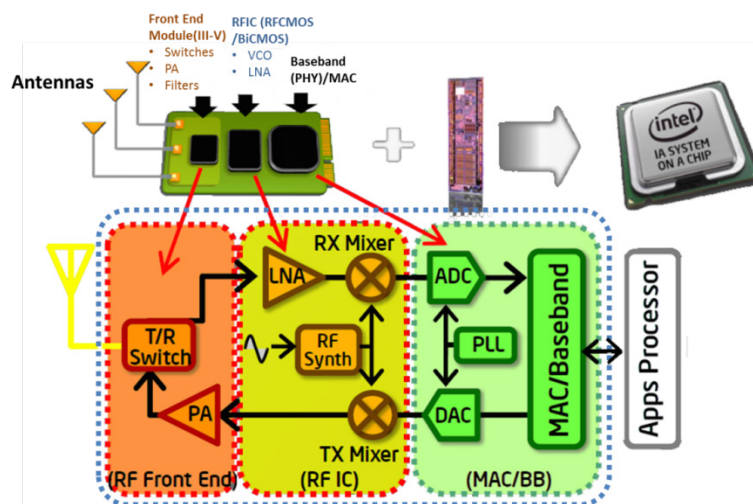
Εικόνα 1.6. Κατηγορίες των τεχνικών System in Package οι οποίες εφαρμόζονται για την ενσωμάτωση πολλών chip και λειτουργιών εντός της ίδιας συσκευασίας [20]

Το βασικό πλεονέκτημα της SiP τεχνικής είναι ότι επιτρέπει την κατασκευή των IC και άλλων διατάξεων πάνω στα κατάλληλα υποστρώματα επιτρέποντας την επίτευξη βέλτιστων αποδόσεων σε κάθε ένα IC ξεχωριστά. Παρόλα αυτά εξαιτίας των διασυνδέσεων των διαφόρων στοιχείων μεταξύ τους, εισάγονται επιπλέον παρασιτικά φαινόμενα και απώλειες που μειώνουν τη συνολική απόδοση του συστήματος. Επίσης, εξαιτίας του ότι οι διεργασίες της συσκευασίας έχουν λιγότερη ακρίβεια από τις αντίστοιχες μικροηλεκτρονικές, η ποιότητα και η επίδραση αυτών των παρασιτικών φαινομένων και των απωλειών δεν μπορεί εύκολα να μοντελοποιηθεί και να προβλεφθεί.

Ένα παράδειγμα που μας ενδιαφέρει είναι της ολοκλήρωσης στοιχείων RF μαζί με τα λογικά κυκλώματα. Εδώ, τα ψηφιακά μέρη μπορούν να κατασκευαστούν πάνω σε Si, ακολουθώντας την ήδη ώριμη τεχνολογία CMOS, ενώ τα RF μέρη να κατασκευαστούν πάνω σε υποστρώματα GaAs, όπου επιτυγχάνονται πολύ καλές αποδόσεις. Παρόλα αυτά, οι παρασιτικές επαγωγές που αναπτύσσονται εξαιτίας των μικροκαλωδίων, καθώς και η θέση που αυτά θα πάρουν, επηρεάζουν τη συμπεριφορά των διατάξεων RF, δυσκολεύουν πολύ την ακριβή σχεδίαση και επηρεάζουν το αποτέλεσμα. Επιπλέον, η χρήση του SiP απαιτεί την εισαγωγή πιο πολύπλοκων τεχνικών σχεδίασης, κατασκευής και συσκευασίας [19], [21]. Συνέπεια όλων των παραπάνω είναι να ανεβαίνει το κόστος σε τέτοιο βαθμό που θα μπορούσαμε να πούμε ότι υλοποιούμε το σύστημά μας σε SiP όταν αυτό δε μπορεί να υλοποιηθεί σε SoC ή όταν το τελευταίο έχει απαγορευτικό κόστος [22].

### System on Chip (SoC)

Όπως προαναφέρθηκε, η δεύτερη προσέγγιση της ολοκλήρωσης ενός συστήματος είναι η SoC, όπου τα διάφορα επιμέρους τμήματα ολοκληρώνονται στην ίδια ψηφίδα με τα λογικά κυκλώματα. Η παράλληλη ολοκλήρωση όλων των διαφορετικών στοιχείων πάνω στην ίδια ψηφίδα περιορίζει στο ελάχιστο τα παρασιτικά φαινόμενα και τις απώλειες που υπεισέρχονται λόγω της διασύνδεσής τους, όπως στην περίπτωση του SiP. Παρόλα αυτά, αυτή η λογική απαιτεί χρήση του ίδιου υποστρώματος-φορέα για την ολοκλήρωση όλων των επιμέρους τμημάτων του συστήματος, περιορίζοντας την ελευθερία επιλογής του κατάλληλου υποστρώματος που υπήρχε στο SiP. Όπως αναλύθηκε προηγουμένως, τα λογικά κυκλώματα κατασκευάζονται σε ποσοστό >99% πάνω σε χαμηλής ειδικής αντίστασης (1-20 Ω.cm) Si (LR-Si) [23], ακολουθώντας την τεχνολογία CMOS. Γίνεται λοιπόν εμφανές ότι συζητάμε για την ολοκλήρωση διαφορετικών κυκλωμάτων πάνω σε υπόστρωμα Si, ακολουθώντας διεργασίες που είναι συμβατές με την τεχνολογία CMOS. Εξαιτίας όμως, του πλήθους των διαφορετικών προσεγγίσεων, ανάλογα με το σύστημα προς ολοκλήρωση, σε αυτή τη διατριβή θα επικεντρωθούμε αποκλειστικά στο ζήτημα της ολοκλήρωσης συστημάτων RF πάνω σε υπόστρωμα Si.



Εικόνα 1.7. Ενσωμάτωση των λειτουργιών RF με τη λογική του System on a Chip. Τα διαφορετικά chip του RF front-end, του RFIC και του baseband συστήματος ολοκληρώνονται μαζί με ψηφιακά κυκλώματα εντός ενός chip

Η ενσωμάτωση διατάξεων RF μέσα σε ένα IC είναι αντικείμενο έρευνας πάρα πολλών ερευνητικών εργασιών και είναι μία από της πιο ώριμες τεχνολογίες MtM. Σκοπός είναι η ταυτόχρονη ολοκλήρωση των ψηφιακών κυκλωμάτων μαζί με όσο το δυνατόν περισσότερα τμήματα του RF frontend καθώς και την κεραία, αν το επιτρέπει το μέγεθος και η απόδοσή της. Το RF frontend είναι το τμήμα των ηλεκτρονικών που μετατρέπει τη συχνότητα λειτουργίας της κεραίας στην ενδιάμεση συχνότητα (intermediate frequency – IF), ώστε να καταστεί επεξεργάσιμη. Συνήθως αποτελείται από τα εξής κυκλώματα: τα δίκτυα

προσαρμογής (matching networks), τα φίλτρα, τον ενισχυτή χαμηλού θορύβου (low noise amplifier – LNA), τον τοπικό ταλαντωτή (local oscillators – LO) και τον μείκτη. Μέσα στα παραπάνω κυκλώματα υπάρχουν ενεργά και παθητικά στοιχεία, όπως τρανζίστορ, γραμμές μεταφοράς, αντιστάτες, πηνία και πυκνωτές. Στις υψηλότερες συχνότητες, όπως είναι αυτές των χιλιοστομετρικών κυμάτων (millimeter wave – mmW), δηλαδή μεταξύ των 30 – 300 GHz, το αντίστοιχο μήκος κύματος στον αέρα είναι 10 – 1 mm, ενώ πάνω στο Si είναι επιπλέον μειωμένο κατά 3-4 φορές. Αυτό καθιστά δυνατή, από άποψη διαστάσεων, την ολοκλήρωση περισσότερων παθητικών στοιχείων ή και κεραιών εντός του IC, η ακμή των οποίων είναι συνήθως μεγαλύτερη του 1 cm. Το παραπάνω ισχύει και για την περίπτωση της χρήσης γραμμών μεταφοράς, αντί πηνίων και πυκνωτών, μιας και το κρίσιμο μήκος  $\lambda/4$  είναι της τάξης του 7 – 0.7 mm και επίσης οι γραμμές μεταφοράς παρουσιάζουν συγκριτικά μεγαλύτερο συντελεστή ποιότητας [8] και εύρος λειτουργίας.

Όμως, όπως αναφέρθηκε η ολοκλήρωση όλων των παραπάνω διατάξεων πρέπει να γίνει με τρόπο συμβατό με τη χρήση LR-Si της τεχνολογίας CMOS. Αυτό αποτελεί ακόμη και σήμερα τεχνολογική πρόκληση [23], εξαιτίας της χαμηλής απόδοσης των επιμέρους στοιχείων και ιδιαίτερα των παθητικών.

## 1.4 Ολοκληρωμένα Παθητικά Μικροκυματικά Στοιχεία σε Si

Όπως αναφέρθηκε πριν, η χρήση του CMOS LR-Si για την ολοκλήρωση κυκλωμάτων RF έχει ως αποτέλεσμα οι επιδόσεις να είναι περιορισμένες σε σύγκριση με τα ίδια κυκλώματα ολοκληρωμένα πάνω σε άλλα υποστρώματα. Αυτό επηρεάζει κυρίως τα παθητικά στοιχεία RF, μιας και η τεχνολογία των ενεργών στοιχείων RF πάνω σε Si είναι πια αρκετά ώριμη [8], [23] και επιτυγχάνει αποτελέσματα συγκρινόμενα με τις μη συμβατές με τη CMOS τεχνολογίες αιχμής.

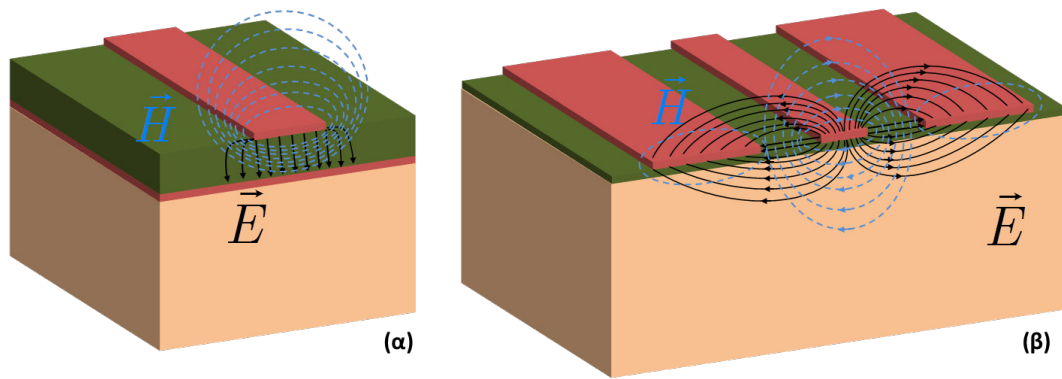
Η μείωση της απόδοσης των παθητικών στοιχείων RF οφείλεται στη μεγάλη απώλεια ΗΜ ενέργειας εντός του υποστρώματος [24], [25]. Αυτό που συμβαίνει είναι ότι τα ΗΜ κύματα, που παράγονται από τις RF διατάξεις, διαπερνούν όλα τα επίπεδα μετάλλων και τα ενδιάμεσα διηλεκτρικά μονωτικά στρώματα του BEOL και φτάνουν στο LR-Si. Οι μηχανισμοί των απωλειών μπορούν να αναλυθούν σε δύο κατηγορίες. Σε αυτούς που οφείλονται στη διεύδυση του ηλεκτρικού πεδίου που δημιουργεί παρασιτικά κανάλια αγωγής και σε αυτούς που οφείλονται στο μαγνητικό πεδίο, όπως τα δινορεύματα που επάγονται εντός του υποστρώματος. Όσον αφορά το τελευταίο, τα δινορεύματα δημιουργούν με την σειρά τους ΗΜ πεδία που είναι αντίθετα με τα αρχικά και συνεπώς μειώνουν την απόδοση των διατάξεων. Προϋπόθεση για τη δημιουργία τους είναι η παρουσία φορέων αγωγιμότητας στο υπόστρωμα, πράγμα το οποίο συμβαίνει στο LR-Si. Όσο πιο χαμηλή η ειδική αντίσταση, τόσο πιο ισχυρά είναι τα ρεύματα που αναπτύσσονται εντός του υποστρώματος [26].

Μία άλλη ιδιότητα του Si, η οποία δεν είναι επιθυμητή σε μία σειρά εφαρμογές, εκ των οποίων κάποιες θα αναλυθούν παρακάτω, είναι η αυξημένη διηλεκτρική επιτρεπτότητα του Si ( $\epsilon_{r, Si}=11.7$ ). Αυτή οδηγεί σε αυξημένη χωρητική σύζευξη των διατάξεων RF μεταξύ τους αλλά και με το υπόστρωμα. Κάποια χαρακτηριστικά προβλήματα που ανακύπτουν είναι η υψηλή συνακρόαση (crosstalk) μεταξύ κοντινών διατάξεων, η ανάπτυξη ανεπιθύμητων επιφανειακών κυμάτων σε χαμηλές συχνότητες, όπως στην περίπτωση των κεραιών ή η μείωση της μέγιστης συχνότητας λειτουργίας των πηνίων.

Παρακάτω αναφέρονται πιο αναλυτικά οι κύριες παθητικές διατάξεις RF που επηρεάζονται από το υπόστρωμα, καθώς και ο τρόπος που αυτό συμβαίνει. Πιο συγκεκριμένα, περιγράφονται οι γραμμές μεταφοράς, τα πηνία και οι κεραίες.

### 1.4.1 Γραμμές Μεταφοράς

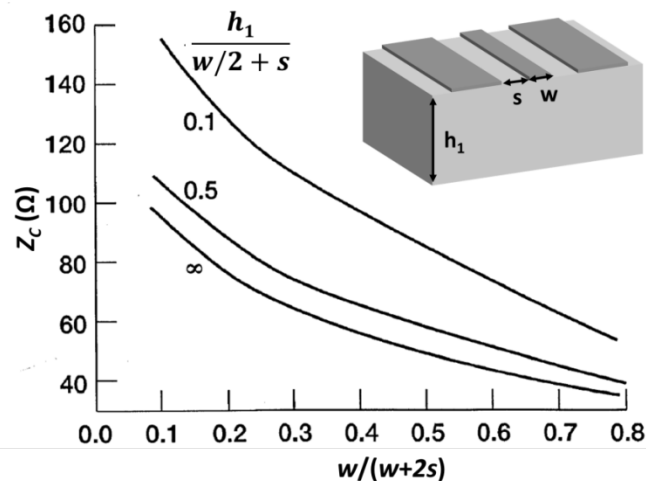
Οι γραμμές μεταφοράς που χρησιμοποιούνται στα ολοκληρωμένα RF κυκλώματα είναι κυρίως η μικροταινία (microstrip) και ο ομοεπίπεδος κυματοδηγός.



**Εικόνα 1.8.** Εικόνα με τα HM πεδία των δύο πιο συνηθισμένων γραμμών μεταφοράς. Στο (α) βλέπουμε έναν ομοεπίπεδο κυματοδηγό (CPW), ενώ στο (β) μία μικροταινία

Η μικροταινία είναι πιο ευρέως διαδεδομένη γραμμή μεταφοράς για τα κυκλώματα RF, είτε αυτά είναι ολοκληρωμένα είτε όχι. Συνήθως, στην τεχνολογία VLSI, για την κατασκευή μικροταινιών χρησιμοποιούνται στρώματα μετάλλου από τη στοιβία του BEOL και για τη γραμμή του σήματος και για τη γείωση. Το HM πεδίο της μικροταινίας αναπτύσσεται μεταξύ του αγωγού του σήματος και της γείωσης, καθιστώντας την ανεπηρέαστη από το υπόστρωμα αλλά επηρεάσιμη από το υλικό ή και τα στοιχεία που βρίσκονται ανάμεσα. Σημαντικό μειονέκτημα είναι η δυσκολία επίτευξης μstriπ με υψηλή χαρακτηριστική αντίσταση ( $Z_c$ ) και χαμηλές απώλειες ταυτόχρονα. Αυτό οφείλεται στο γεγονός ότι για να σχεδιαστεί μstriπ υψηλής  $Z_c$  ( $> 50 \Omega$ ) πρέπει είτε να έχει πολύ λεπτό ενδιάμεσο διηλεκτρικό είτε πολύ στενή γραμμή. Στις τεχνολογίες CMOS όμως ακολουθείται η συγκεκριμένη στοιβία BEOL της κάθε τεχνολογίας, όπου το ενδιάμεσο διηλεκτρικό είναι συγκεκριμένο ( $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  ή  $\text{SiC}$ ) και τα πάχη του προκαθορισμένα και πάνω από 200 nm. Αυτό σημαίνει, ότι ο μοναδικός παράγοντας που μεταβάλλεται ώστε να ρυθμιστεί η  $Z_c$  είναι το πλάτος της μικροταινίας. Χαρακτηριστικά, για μικροταινίες 50Ω με πάχος ενδιάμεσου  $\text{SiO}_2$  200 nm, το πλάτος είναι 400 nm, πράγμα το οποίο αυξάνει δραματικά τις ωμικές απώλειες στη γραμμή και χειροτερεύει πολύ τον συντελεστή απόδοσης  $Q$ .

Εξαιτίας των παραπάνω, σήμερα χρησιμοποιούνται σε αρκετές εφαρμογές ομοεπίπεδες γραμμές μεταφοράς, όπως ο ομοεπίπεδος κυματοδηγός (coplanar waveguide - CPW) και η ομοεπίπεδη σχισμοταινία (coplanar stripline). Σε αντίθεση με τη μικροταινία, στα CPW η γείωση βρίσκεται στο ίδιο επίπεδο με τη γραμμή του σήματος. Η πιο απλή εκδοχή CPW είναι χωρίς γείωση κάτω από τη γραμμή του σήματος και με ημιάπειρα πλατιές πλάγιες γειώσεις. Το HM πεδίο σε αυτήν την περίπτωση έχει τη μορφή ελλειψοειδών από το σήμα προς τη γείωση, όπως αυτό φαίνεται στην Εικόνα 1.8. Είναι προφανές ότι τα υλικά που βρίσκονται πάνω και κάτω από το CPW επηρεάζουν τη συμπεριφορά του. Αυτός είναι και ο κύριος λόγος που τα CPW ολοκληρώνονται χρησιμοποιώντας κάποιο από τα ανώτερα επίπεδα του BEOL. Με αυτό επιτυγχάνεται η ταυτόχρονη απομάκρυνση του CPW από το υψηλών απωλειών LR-Si και ταυτόχρονα δεν έχει πολλές διατάξεις και υλικό στο πάνω μέρος του. Παρόλη τη μεγάλη συνήθως απόσταση ( $\sim 10 \mu\text{m}$  για 12 επίπεδα μετάλλου), το HM πεδίο διαπερνά τη διηλεκτρική μόνωση που υπάρχει (συνήθως  $\text{SiO}_2$ ), προκαλώντας απώλειες εντός του υποστρώματος.



Εικόνα 1.9. Γραφική παράσταση που περιγράφει την εξάρτηση της χαρακτηριστικής αντίστασης ενός CPW τις διαστάσεις της γραμμής σήματος ( $w$ ) και της απόστασης σήματος-γειώσης ( $s$ ). Η γραφική παράσταση αναφέρεται σε μονοστρωματικό υποστρώμα πάχους  $h_1$ . Παρατηρούμε ότι το πάχος του υποστρώματος επηρεάζει, επίσης πολύ την χαρακτηριστική αντίσταση  $Z_c$ .

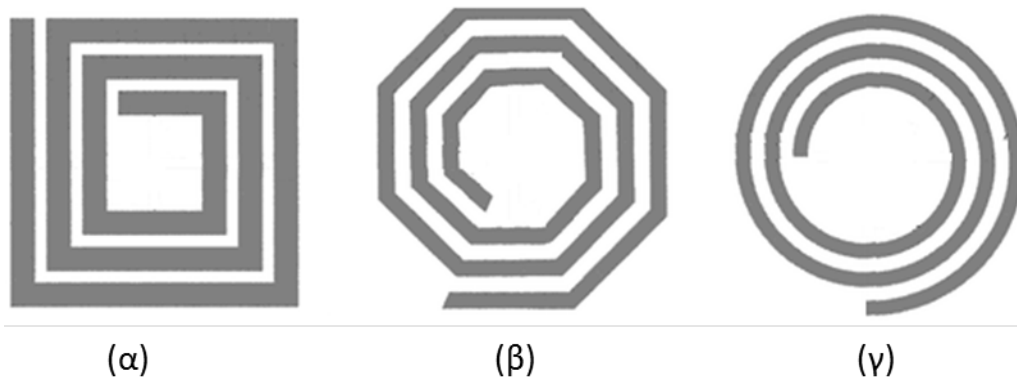
Όσον αφορά τη  $Z_c$ , μπορούμε να τη μεταβάλουμε αλλάζοντας το λόγο  $w/s$  (τα μεγέθη  $w$  και  $s$  ορίζονται στο ένθετο σχήμα της Εικόνας 1.9) και τη διηλεκτρική σταθερά του υποστρώματος. Μικρότερες τιμές του  $w/s$  και του  $\epsilon_r$  οδηγούν σε αύξηση της  $Z_c$ . Χαρακτηριστικά αναφέρεται ότι για να επιτευχθεί μία γραμμή 50Ω πάνω σε Si ( $\epsilon_r=11.7$ ), ο λόγος  $w/s$  πρέπει να είναι  $\sim 10:6$ . Αν αυτή η γραμμή ήταν πάνω σε υποστρώματα SiO<sub>2</sub> ( $\epsilon_r=3.9$ ) ή PSi ( $\epsilon_r=3.5$ ), ο λόγος πρέπει να είναι περίπου 10:1 και 10:0.85 αντίστοιχα. Γίνεται φανερό λοιπόν ότι η χρήση υποστρωμάτων χαμηλής διηλεκτρικής σταθεράς μειώνει το χώρο που καταλαμβάνει το CPW και αυξάνει την πυκνότητα ολοκλήρωσης. Πρέπει να τονίσουμε ότι όταν τα πλάτη των γραμμών (είτε της γραμμής του σήματος είτε των γειώσεων) πέσουν κάτω από τα 5  $\mu\text{m}$  τότε η ειδική αντίσταση του μετάλλου αρχίζει και αυξάνεται κατακόρυφα, οδηγώντας σε μεγαλύτερες απώλειες.

Τα παραπάνω είναι απλά μία σύντομη περιγραφή της επίδρασης του υποστρώματος πάνω στα CPW. Στο Κεφάλαιο 4 θα περιγραφεί ενδελεχώς η κατανομή του HM πεδίου στα CPW και οι εξισώσεις που διέπουν τη λειτουργία τους. Στο Κεφάλαιο 5 θα περιγραφεί η απόδοση των CPW πάνω σε PSi και αυτή θα συγκριθεί με τις αποδόσεις που επιτυγχάνονται σε άλλα υποστρώματα που χρησιμοποιούνται σε τεχνολογίες αιχμής.

#### 1.4.2 Πηνία

Τα ολοκληρωμένα πηνία σήμερα χρησιμοποιούνται στο κομμάτι του RF frontend και κυρίως στα κυκλώματα του LNA και του VCO (Voltage Controlled Oscillator). Η χρήση των πηνίων συνδέεται είτε με την προσαρμογή στοιχείων διαφορετικού  $Z_c$ , είτε με την ολοκλήρωση μετασχηματιστών, είτε με την ολοκλήρωση κυκλωμάτων ταλαντωτών LC.

Τα πηνία που χρησιμοποιούνται σήμερα για την ολοκλήρωση κυκλωμάτων RF είναι διαφόρων ειδών. Μπορούμε να τα διακρίνουμε σε δύο βασικές κατηγορίες αναλόγως με τη διάταξη των σπειρών και τη μορφή του HM πεδίου: τα επίπεδα (planar) και τα σωληνοειδή (solenoid). Σε αυτή την παράγραφο θα αναλύσουμε κυρίως τα επίπεδα πηνία που αποτελούν και τη μεγάλη πλειοψηφία των επαγωγικών διατάξεων που χρησιμοποιούνται σήμερα στα ολοκληρωμένα κυκλώματα RF. Τα επίπεδα πηνία μπορούν να είναι τετραγωνικά, πολυγωνικά ή κυκλικά σπινάλ, ενός ή πολλαπλών επιπέδων. Κάποια σχηματικά σχεδιαγράμματα χαρακτηριστικών ολοκληρωμένων πηνίων φαίνονται στην Εικόνα 1.10.



**Εικόνα 1.10.** Διαφορετικές σχεδιάσεις ολοκληρωμένων πηνίων. (α) τετραγωνικό σπειροειδές πηνίο (β) οκταγωνικό σπειροειδές πηνίο και (γ) σπειροειδές πηνίο

Οι παράμετροι που μας ενδιαφέρουν σε ένα πηνίο είναι η επαγωγή του (inductance –  $L$ ), ο συντελεστής ποιότητας (quality factor –  $Q$ ), η συχνότητα που παρατηρείται ο συντονισμός της μετάβασης τις διάταξης από επαγωγική σε χωρητική (resonance frequency –  $f_{res}$ ) και η συχνότητα που αντιστοιχεί στο μέγιστο  $Q$  ( $f_{max}$ ). Οι προδιαγραφές οι οποίες μπαίνουν από το ITRS για τα επόμενα χρόνια φαίνονται στον Πίνακα 1.1.

**Πίνακας 1.1**  
**Προδιαγραφές ολοκληρωμένων πηνίων για την περίοδο σύμφωνα με το ITRS RF & AMS 2013 [27]**

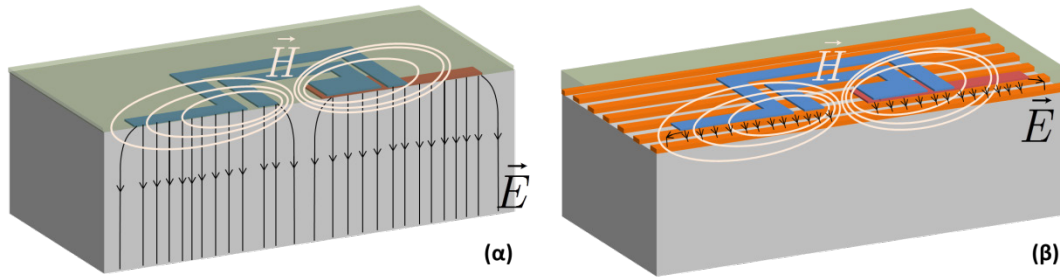
	2013	2014	2015	2016	2017	2018	2019	2020
$Q^1$	30	35	40	42	44	46	48	50
PA <sup>2</sup>								
Si Inductors (1 GHz, 5 nH)	14	18	18	18	18	18	18	18
PA <sup>2</sup>								
III-V Inductors (1 GHz, 5 nH)	25	30	30	30	30	30	30	30

λευκό: υπάρχουν κατασκευαστικές λύσεις – γκρι: υπάρχουν γνωστές κατασκευαστικές λύσεις – μαύρο: δεν υπάρχουν γνωστές κατασκευαστικές λύσεις

<sup>1</sup>:  $Q$  στα 5 GHz, για πηνίο 1 nH ενός τερματισμού, με ειδικό παχύ μέταλλο (μέταλλο αναλογικών)

<sup>2</sup>:  $Q$  στα 1 GHz, για πηνίο 5 nH κατασκευασμένο σε κατάλληλη τεχνολογία και ικανό να αντέξει την ισχύ ενός ενισχυτή ισχύος (power amplifier – PA)

Οι σχεδιαστικοί παράγοντες που επηρεάζουν την απόδοση ενός πηνίου είναι το σχήμα του πηνίου, το υλικό του αγωγού (κυρίως η ειδική του αντίσταση), το πάχος του αγωγού, το πλάτος της αγωγίσιμης γραμμής, η απόσταση μεταξύ των αγωγίσιμων γραμμών, το πάχος του μονωτή που το χωρίζει από το Si, η επιφάνεια του πηνίου, ο αριθμός των σπειρών καθώς και ο αριθμός των επιπέδων που χρησιμοποιούνται [28]. Επίσης, όπως φαίνεται και στην Εικόνα 1.11α, το HM πεδίο των επιπέδων σπιδάλ πηνίων πάνω σε Si διαπερνά το μονωτικό υλικό και εισέρχεται βαθιά εντός του υποστρώματος. Γίνεται λοιπόν εμφανές ότι οι ιδιότητες του υποστρώματος θα επηρεάζουν τη συμπεριφορά του ολοκληρωμένου πηνίου· η ειδική του αντίσταση θα επιτρέπει ή όχι την εμφάνιση δινορευμάτων και η διηλεκτρική του σταθερά θα επηρεάζει τη χωρητικότητα της διάταξης. Συγκεκριμένα στην περίπτωση χρήσης LRSi παρατηρούνται μεγάλες απώλειες εντός του υποστρώματος, οι οποίες αποτελούν και τον κύριο λόγο χειροτέρευσης των χαρακτηριστικών των πηνίων.



Εικόνα 1.11. Το HM πεδίο ενός πηνίου στην περίπτωση που (α) το πηνίο είναι ακριβώς πάνω στο υποστρώμα Si (β) κάτω από το πηνίο υπάρχει σχηματοποιημένη μεταλλική θωράκιση

Αναλύοντας έναν έναν τους παράγοντες που επηρεάζουν την απόδοση των πηνίων βλέπουμε ότι αυτές που αναφέρονται στις κάθετες διαστάσεις των μετάλλων και των διηλεκτρικών καθορίζονται στο BEOI της τεχνολογίας CMOS που θα χρησιμοποιηθεί. Συνεπώς η ελευθερία του σχεδιαστή περιορίζεται στο σχήμα, το πλάτος και την ενδιάμεση απόσταση των γραμμών, τον αριθμό των σπειρών καθώς και τον αριθμό των επιπέδων. Επιπλέον, συνήθως, μπορούν να χρησιμοποιηθούν και πάνω από ένα επίπεδα του BEOI, ώστε να αυξηθεί η διατομή του αγωγού και να μειωθούν οι σειριακές απώλειες. Αυτές οι παράμετροι μπορούν να ρυθμίσουν το  $L$ ,  $Q$ ,  $f_{res}$  και  $f_{max}$ , χωρίς όμως να μπορούν να μειώσουν τις απώλειες του υποστρώματος Si. Ο πιο απλός τρόπος μείωσης αυτών των απωλειών είναι να χρησιμοποιηθούν τα ανώτερα επίπεδα του BEOI που διαχωρίζονται από το Si με 8-10  $\mu\text{m}$  SiO<sub>2</sub>. Παρόλα αυτά αυτή η απόσταση δεν είναι αρκετή για να μειωθούν πολύ οι απώλειες υποστρώματος, μιας και το HM πεδίο εισχωρεί βαθιά μέσα στο υπόστρωμα. Η μέθοδος που χρησιμοποιείται σήμερα στηρίζεται στη χρησιμοποίηση μεταλλικής θωράκισης σε κάποιο επίπεδο του BEOI (συνήθως του κατώτερου) ώστε να απομονωθεί το υπόστρωμα από το HM πεδίο [29]. Συνήθως η θωράκιση δεν αποτελείται από μία συνεχόμενη μεταλλική επιφάνεια αλλά από μία σχηματοποιημένη [25], [29], έτσι ώστε να μειωθούν τα δινορεύματα που αναπτύσσονται εντός της γείωσης [25], [29], [30]. Η χρήση της θωράκισης οδηγεί σε αυξημένα  $Q$  αλλά, παρόλη τη σχηματοποίηση, τα επαγόμενα δινορεύματα είναι αδύνατον να απαλειφθούν, οδηγώντας στη μείωση του  $L$  και του  $f_{res}$ . Γίνεται λοιπόν σαφές ότι για να επιτευχθούν πηνία με μεγάλο  $L$  και  $Q$  ταυτόχρονα, πρέπει να βρούμε έναν τρόπο να απαλείψουμε τις απώλειες του υποστρώματος.

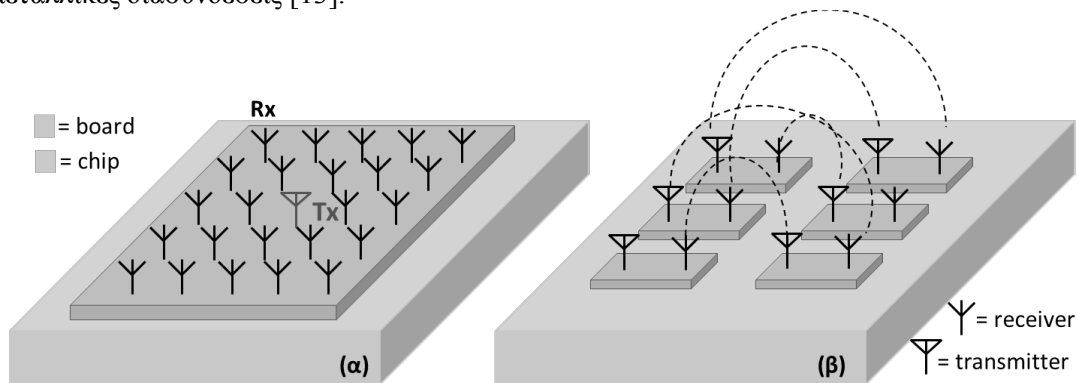
Στα πλαίσια αυτής της διατριβής θα ερευνήσουμε την ολοκλήρωση πηνίων πάνω σε υποστρώματα συμβατά με την τεχνολογία Si, συγκεκριμένα το πορώδες πυρίτιο και το Si υψηλής ειδικής αντίστασης παθητικοποιημένο με στρώμα πολυκρυσταλλικού πυριτίου πλούσιο σε παγίδες φορτίου. Τα παραπάνω θα περιγραφούν αναλυτικά στο Κεφάλαιο 6.

### 1.4.3 Κεραίες

Η κεραία είναι το μέρος του συστήματος RF που μετατρέπει το ηλεκτρικό σήμα σε ηλεκτρομαγνητικό κύμα στο χώρο και χρησιμοποιείται είτε ως πομπός είτε ως δέκτης του συστήματος. Η λειτουργία της στηρίζεται στην ταλάντωση του ηλεκτρικού ρεύματος εντός ενός μεταλλικού, συνήθως, αγωγού, η οποία καταλήγει στη διαμόρφωση ενός στάσιμου κύματος. Η μεγάλη πλειοψηφία των κεραιών που χρησιμοποιούνται σήμερα είναι κεραίες συντονισμού, λειτουργώντας συνήθως σε ένα μικρό εύρος συχνοτήτων. Εμείς θα ασχοληθούμε κυρίως με τις τυπωμένες επίπεδες κεραίες. Χαρακτηριστικά παραδείγματα αυτών είναι οι μονοπολικές, οι διπολικές, οι μικροταινιακές κεραίες, οι Yagi-Uda καθώς και οι πάρα πολλές παραλλαγές τους. Η συχνότητα συντονισμού (δηλαδή η συχνότητα λειτουργίας) των κεραιών εξαρτάται από το φυσικό μήκος της κεραίας ( $L_a$ ). Συνήθως διαλέγουμε το μήκος της κεραίας να είναι είτε στο  $\frac{1}{2}$  είτε στο  $\frac{1}{4}$  του μήκους κύματος λειτουργίας ( $\lambda_d$ ). Από τα παραπάνω και σύμφωνα με αυτά που έχουν αναφερθεί στην αρχή του κεφαλαίου, η γεωμετρία των κεραιών που λειτουργούν στις υψηλές μικροκυματικές συχνοότητες και στα χιλιοστομετρικά κύματα επιτρέπει (από άποψη διαστάσεων) την

μονοψηφιδική τους ολοκλήρωση μαζί με τα υπόλοιπα αναλογικά και ψηφιακά κυκλώματα [31].

Οι συχνότητες που έχουν το μεγαλύτερο εμπορικό ενδιαφέρον μέχρι τώρα είναι αυτές τις κινητής τηλεφωνίας (800-2500 MHz), των Wi-Fi (2.4 ή 5 GHz) και του Bluetooth (2.400-2.485 GHz). Πέρα από αυτές τις συχνότητες εκτενής είναι η έρευνα για ανάπτυξη συστημάτων μικρής εμβέλειας που λειτουργούν γύρω από τα 60 GHz και τα 70 GHz [8]. Ακόμη υψηλότερες συχνότητες πάνω από 100 GHz ( $\lambda_d < 3\text{mm}$ ) θα μπορούσαν να χρησιμοποιηθούν επίσης για τη διασύνδεση των chip μεταξύ τους (interchip interconnections) [32], [33] ή και ακόμη για τη διασύνδεση συστημάτων εντός του ίδιου του chip (intrachip interconnections). Το τελευταίο αποτελεί κομμάτι συστηματικής έρευνας [33]–[37] για την απαλοιφή της καθυστέρησης του σήματος που εισάγεται από τις μεταλλικές διασυνδέσεις [13].



**Εικόνα 1.12.** Σχηματική αναπαράσταση των (α) intrachip και (β) interchip επικοινωνιών όπου μπορούν να χρησιμοποιηθούν οι ολοκληρωμένες σε Si κεραίες.

Η συμπεριφορά των κεραιών εξαρτάται πάρα πολύ από το περιβάλλον τους. Για τις ολοκληρωμένες κεραίες αυτό σημαίνει ότι οι μεταλλικοί αγωγοί, αλλά και τα διηλεκτρικά που βρίσκονται στο κοντινό της πεδίο, αλλάζουν και τα χαρακτηριστικά της [36]. Σημαντικό ρόλο σε αυτό παίζει το υποστρώμα που ολοκληρώνεται η κεραία. Η διηλεκτρική σταθερά του υποστρώματος καθορίζει το μήκος της κεραίας, ενώ επηρεάζει και την εμφάνιση επιφανειακών κυμάτων. Η ειδική αντίσταση του υποστρώματος καθορίζει τις απώλειες και επηρεάζει τη δυνατότητα εμφάνισης δινορευμάτων εντός του υποστρώματος. Τα συνήθη υποστρώματα που χρησιμοποιούνται για off-chip ολοκλήρωση κεραιών είναι η  $\text{Al}_2\text{O}_3$  και το FR4, το πρώτο για το μεγάλο  $\epsilon_r$  και τις χαμηλές απώλειες ενώ το δεύτερο γιατί έχει χαμηλές απώλειες και βρίσκεται στις πλακέτες PCB. Όσον αφορά τις ολοκληρωμένες κεραίες αυτές πρέπει να σχηματιστούν πάνω σε CMOS LRSi, το οποίο όμως έχει υψηλό  $\epsilon_r$  (11.7) και χαμηλή ειδική αντίσταση. Το πρώτο προκαλεί επιφανειακά κύματα τα οποία ξεκινούν γύρω στα 40 GHz (για πάχος δισκιδίου 500  $\mu\text{m}$ ), ενώ το δεύτερο οδηγεί σε απώλεια ενέργειας εντός του υποστρώματος. Ο συνδυασμός αυτών των δύο στοιχείων μειώνει αρκετά την απόδοση των κεραιών. Είναι προφανές λοιπόν ότι είναι πολύ σημαντικό να βρεθεί κάποιος τρόπος για τη μείωση των απωλειών υποστρώματος [31]. Προς αυτήν την κατεύθυνση, η χρήση του πορώδους πυριτίου, που συνδυάζει χαμηλές απώλειες και χαμηλή διηλεκτρική σταθερά, αποτελεί μία πιθανή λύση. Αυτό το θέμα θα αναλυθεί στο Κεφάλαιο 7 αυτής της διατριβής.

## 1.5 Συμβολή αυτής Διατριβής

Όπως γίνεται φανερό από τα παραπάνω, η ολοκλήρωση διατάξεων RF μαζί με λογικά κυκλώματα σε τεχνολογία συμβατή με τη CMOS θα βελτιώνει πολύ την απόδοση του συνολικού συστήματος και επίσης θα μείωνε το κόστος. Η τεχνολογία ολοκλήρωσης ενεργών στοιχείων RF, όπως τρανζίστορ και διόδοι, πάνω στο LR-Si είναι αρκετά ώριμη, και παράγει αποτελέσματα συγκρίσιμα με αυτά σε τεχνολογίες III-V ημιαγωγών. Το βασικό πρόβλημα που ανακύπτει είναι στην ολοκλήρωση των παθητικών στοιχείων RF πάνω στο LR-Si [38] και προκύπτει από τη χαμηλή ειδική αντίσταση του Si (1-10  $\Omega\cdot\text{cm}$ ), αλλά και από



την υψηλή του διηλεκτρική σταθερά (11.7). Το πρώτο οδηγεί σε υψηλές απώλειες υποστρώματος, ενώ το δεύτερο σε υψηλή χωρητική σύζευξη μέσω του υποστρώματος μεταξύ των κυκλωμάτων.

Σκοπός αυτής της διατριβής είναι να συμβάλει στο κομμάτι των συμβατών με τεχνολογία Si υποστρωμάτων, που μπορούμε να χρησιμοποιήσουμε ώστε να εκμηδενίσουμε τις απώλειες εντός του υποστρώματος. Προς αυτό θα χρησιμοποιήσουμε τη λύση του τοπικού σχηματισμού παχιών στρωμάτων πορώδους Si (porous Si – PSi) ακριβώς κάτω από τις παθητικές διατάξεις. Το πορώδες πυρίτιο είναι μία μορφή πυριτίου που έχει υψηλή ειδική αντίσταση και διηλεκτρική σταθερά χαμηλότερη από το Si (ανάμεσα σε 2-9).

Σε αυτό το πλαίσιο, για την ανάπτυξη του PSi χρησιμοποιήσαμε υποστρώματα πυριτίου τύπου p (1-10 Ω.cm) και p<sup>+</sup> (1-5 mΩ.cm). Σε αυτά ολοκληρώσαμε γραμμές μεταφοράς CPW, τις οποίες χρησιμοποιήσαμε για τον χαρακτηρισμό των υποστρωμάτων. Εξαιτίας της ευαισθησίας του PSi που παρασκευάζεται στο Si τύπου p (1-10 Ω.cm), αναγκαστήκαμε να επικεντρώσουμε την έρευνα σε PSi σχηματισμένο σε p<sup>+</sup>-Si. Αυτό επιτρέπει την ανάπτυξη στρωμάτων PSi με μεγάλο πάχος, που είναι πολύ χρήσιμο σε διατάξεις όπως τα πηνία και οι κεραίες. Η χρήση πορώδους πυριτίου παρασκευασμένο σε p<sup>+</sup>-Si, αν και αποκλίνει μερικώς από τις προδιαγραφές της τεχνολογίας CMOS, δεν είναι απαγορευτική μιας και για τον συνδυασμό του PSi πάνω σε p<sup>+</sup>-Si μαζί με ηλεκτρονικά CMOS μπορούμε να χρησιμοποιήσουμε δισκίδια p<sup>+</sup> με επιταξιακό στρώμα (epi-layer) p (1-10 Ω.cm). Τα παθητικά στοιχεία θα τοποθετούνται πάνω στο PSi που θα αναπτυχθεί, ενώ τα ενεργά στοιχεία πάνω στο επιταξιακό στρώμα p-Si. Πέρα όμως από τις εφαρμογές CMOS, τα δισκίδια p<sup>+</sup>-Si χρησιμοποιούνται σε άλλες διατάξεις όπως για παράδειγμα σε φίλτρα εφαρμογές όπως ανεξάρτητα ως υπόστρωμα σε κάποιες εφαρμογές [39].

Στα παρακάτω κεφάλαια θα παρουσιαστούν τα πλεονεκτήματα και τα μειονεκτήματα των τεχνολογιών αιχμής για την ολοκλήρωση σε Si παθητικών στοιχείων RF με έμφαση στην τεχνολογία πορώδους Si (Κεφάλαιο 2). Στη συνέχεια, παρουσιάζονται οι τεχνικές που ακολουθούνται για το σχηματισμό του PSi (Κεφάλαιο 3), καθώς και οι μέθοδοι που ακολουθήθηκαν για τον διηλεκτρικό χαρακτηρισμό του (Κεφάλαιο 4). Στη συνέχεια, ακολουθεί η παρουσίαση αποτελεσμάτων από την ολοκλήρωση σε PSi ομοεπίπεδων και κυματοδηγών (Κεφάλαιο 5), καθώς και η σύγκριση με άλλα υποστρώματα.



# Κεφάλαιο 2

## Τεχνολογία Υποστρωμάτων με βάση το Si για την Ολοκλήρωση Διατάξεων RF

### 2.1 Εισαγωγή

Όπως έχει περιγραφεί στο Κεφάλαιο 1, το υπόστρωμα που χρησιμοποιείται για την κατασκευή λογικών κυκλωμάτων CMOS και BiCMOS είναι το Si χαμηλής ειδικής αντίστασης, περί τα 1-20 Ω.cm (low resistivity silicon – LR-Si). Αυτές οι εφαρμογές αποτελούν και τον τεράστιο όγκο της βιομηχανίας Si. Συνεπώς, η ενσωμάτωση των λειτουργιών RF εντός των λογικών chip πρέπει να γίνει με τρόπο συμβατό με την τεχνολογία CMOS.

Η χαμηλή ειδική αντίσταση, καθώς και η υψηλή σχετική επιτρεπτότητα του Si ( $\epsilon_{r,Si} = 11.7$ ) επηρεάζουν πολύ την απόδοση κάποιων RF παθητικών στοιχείων και πιο συγκεκριμένα των γραμμών μεταφοράς [1], [2], των πηγίων [2], [3] και των ολοκληρωμένων κεραιών [4]. Αυτό συμβαίνει εξαιτίας των απωλειών που προκύπτουν εντός του υποστρώματος και εξαιτίας της έντονης σύζευξης (είτε σύζευξη χωρητικότητας είτε αγωγής) μεταξύ διατάξεων και διατάξεων-υποστρώματος. Προκύπτει λοιπόν ένα πρόβλημα όσον αφορά την ταυτόχρονη ολοκλήρωση λογικών και RF κυκλωμάτων πάνω στην ίδια ψηφίδα Si.

Σε αυτό το κεφάλαιο θα αναλύσουμε τα προβλήματα που ανακύπτουν στις RF διατάξεις από τη χρήση του LRSi. Επιπλέον θα παρουσιαστούν οι τεχνολογίες αιχμής των υποστρωμάτων που μπορούν να χρησιμοποιηθούν για να ξεπεραστεί το παραπάνω πρόβλημα: υποστρώματα Si υψηλής ειδικής αντίστασης (high resistivity Si – HR-Si), υποστρώματα Silicon on Insulator υψηλής ειδικής αντίστασης (HR-SOI), υποστρώματα Si με βαθιά αμορφοποίηση μέσω πρωτονίων (proton bombardment), υποστρώματα Si υψηλής ειδικής αντίστασης με στρώμα πλούσιο σε παγίδες φορτίου (trap-rich HR-Si) και υποστρώματα τοπικά σχηματισμένου πορώδους πυριτίου (PSi). Όλα αυτά τα υποστρώματα έχουν μεγάλη ειδική αντίσταση για να περιοριστούν οι απώλειες εντός του υποστρώματος. Επιπλέον, στην περίπτωση του PSi, η σχετική επιτρεπτότητα μπορεί να ρυθμιστεί μεταξύ 2-9, παρέχοντας έναν επιπλέον μηχανισμό μείωσης της χωρητικής αλληλεπίδρασης μεταξύ των διατάξεων.

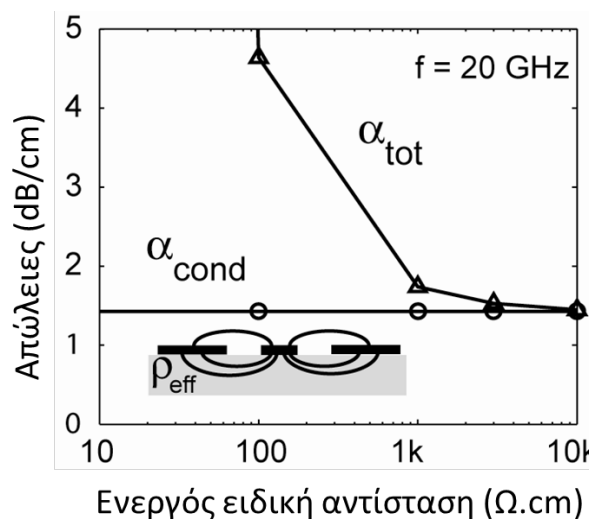
### 2.2 Λύσεις Αιχμής για την Αντιμετώπιση των Απωλειών Υποστρώματος

Η απόδοση των παθητικών διατάξεων RF επηρεάζεται πολύ από τις απώλειες που προκύπτουν εξαιτίας των δινορευμάτων (eddy currents) που αναπτύσσονται εντός του όγκου του υποστρώματος. Η ανάπτυξη αυτών των ρευμάτων διευκολύνεται από τη χαμηλή ειδική αντίσταση του LR-Si, αφού υπάρχει μεγάλη συγκέντρωση φορέων αγωγιμότητας. Αυτό το φαινόμενο μπορεί να περιοριστεί χρησιμοποιώντας τα ανώτερα επίπεδα μετάλλων του BEOL, που είναι και πιο παχιά (π.χ. 2 επίπεδα των ~3 μm στην τεχνολογία BiCMOS9MW της ST Microelectronics), επιτυγχάνοντας την απομάκρυνση των διατάξεων RF από το υπόστρωμα LR-Si μέσω του παχιού στρώματος SiO<sub>2</sub>, αλλά και της μείωσης των ωμικών απωλειών των μεταλλικών αγωγών. Στις σημερινές τεχνολογίες CMOS, χρησιμοποιώντας το M12, μπορούμε να υλοποιήσουμε παθητικές διατάξεις RF, με Al πάχους 2-3 μm που θα απέχουν από το υπόστρωμα LR-Si γύρω στα 8-10 μm. Παρόλα αυτά, για τις συνήθεις διαστάσεις των ολοκληρωμένων διατάξεων RF το HM πεδίο εισέρχεται σε βάθος περίπου

150-200  $\mu\text{m}$  εντός του υποστρώματος [5], [6], δημιουργώντας δινορεύματα και μειώνοντας την απόδοσή τους.

Όπως αναφέρθηκε και στο Κεφάλαιο 1, η συνηθισμένη πρακτική που εφαρμόζεται σήμερα στη σχεδίαση ολοκληρωμένων γραμμών μεταφοράς CPW και πηνίων είναι η χρήση μεταλλικής θωράκισης σε κάποιο από τα επίπεδα του BEOL κάτω από τη διάταξη. Η μεταλλική θωράκιση περιορίζει το HM πεδίο ανάμεσα στη διάταξη και τη θωράκιση και δεν το αφήνει να εισχωρήσει στο υπόστρωμα. Αυτή η τεχνική, αν και αυξάνει την απόδοση των παραπάνω διατάξεων, επηρεάζει αρκετά τη συμπεριφορά τους. Ειδικότερα, οδηγεί σε αδυναμία επίτευξης υψηλών χαρακτηριστικών αντιστάσεων στα CPW, αλλά και υψηλών χωρητικοτήτων στα πηνία.

Από τα παραπάνω φαίνεται ότι η επίλυση του θέματος των απωλειών υποστρώματος μέσω της μεταλλικής θωράκισης δεν είναι η βέλτιστη λύση. Προκύπτει, λοιπόν, η ανάγκη για έρευνα στο επίπεδο της χρήσης εναλλακτικών υποστρωμάτων, συμβατών με την τεχνολογία Si. Το υπόστρωμα που θα αντικαταστήσει το LR-Si πρέπει να έχει πάχος τουλάχιστον 150  $\mu\text{m}$ , ώστε να παρεμποδίζεται η ανάπτυξη δινορευμάτων. Αυτό μπορεί να επιτευχθεί με τη χρήση κάποιου υλικού υψηλής ειδικής αντίστασης, μιας και η απόδοση των διατάξεων, είναι συνάρτηση της ειδικής αντίστασης του υποστρώματος. Όσο μεγαλύτερη η ειδική αντίσταση, τόσο λιγότερες και οι απώλειες του υποστρώματος. Αυτό όμως ισχύει μέχρι το σημείο όπου οι απώλειες του υποστρώματος γίνονται αμελητέες σε σχέση με τις ωμικές απώλειες που προκύπτουν λόγω του μετάλλου, όπως φαίνεται και στην Εικόνα 2.1. Αυτή η κρίσιμη τιμή είναι συνήθως ανάμεσα στα 5-10  $\text{k}\Omega\cdot\text{cm}$  [7], [8]. Πέραν όμως της αύξησης της ειδικής αντίστασης, ένας δεύτερος παράγοντας βελτίωσης της απόδοσης των διατάξεων είναι η μείωση της διηλεκτρικής σταθεράς του υποστρώματος. Η μείωση οδηγεί σε μικρότερη χωρητική σύζευξη των διατάξεων, ελαχιστοποιώντας τις παρεμβολές (crosstalk) και βελτιώνοντας την απόδοση των πηνίων και των κεραιών, όπως θα εξηγηθεί στα επόμενα κεφάλαια.



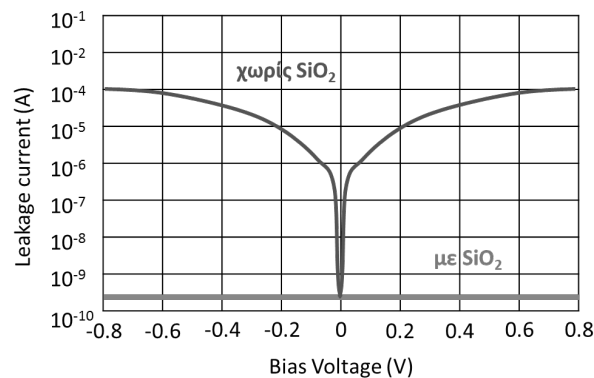
Εικόνα 2.1. Συνολικές απώλειες ( $\alpha_{\text{tot}}$ ) και απώλειες του αγωγού ( $\alpha_{\text{cond}}$ ) σαν συνάρτηση της ενεργούς ειδικής αντίστασης ( $\rho_{\text{eff}}$ ) του υποστρώματος για τη συχνότητα των 20 GHz [9].

Τέλος, το υπόστρωμα που θα χρησιμοποιηθεί πρέπει να είναι συμβατό με την τεχνολογία Si και να μπορεί να ενσωματωθεί στη ροή των διεργασιών CMOS. Η πιο προφανής λύση είναι να χρησιμοποιήσουμε το ίδιο το Si· είτε χρησιμοποιώντας πυρίτιο υψηλής ειδικής αντίστασης [8], [10]–[12] είτε αλλάζοντας τις ιδιότητές του, όπως στην περίπτωση του πορώδους πυριτίου [5], [13]–[15] και της αμορφοποίησης μέσω βαθιάς εμφύτευσης πρωτονίων [16], [17]. Για να περιγράψουμε και να συγκρίνουμε τις ιδιότητες αυτών των υποστρωμάτων, είτε είναι σύνθετα είτε ομοιογενή, θα χρησιμοποιήσουμε την απόδοση που έχουν πάνω σε αυτά οι ομοεπίπεδοι κυματοδηγοί (CPW) και τα πηνία.

### 2.2.1 Πυρίτιο Υψηλής Ειδικής Αντίστασης

Όπως προαναφέρθηκε, η βασική αιτία για τις απώλειες εντός του υποστρώματος Si είναι η χαμηλή ειδική αντίστασή του (1-10 Ω.cm). Η πιο απλή και προφανής λύση είναι η χρήση δισκιδίων HR-Si ή δισκιδίων HR-SOI (High Resistivity Silicon-on-Insulator), όπου το φέρον δισκίδιο είναι υψηλής ειδικής αντίστασης Si και από πάνω έχει συγκολληθεί ένα παχύ στρώμα SiO<sub>2</sub> (buried oxide - BOX) και ένα λεπτό στρώμα Si χαμηλής ειδικής αντίστασης.

Πολλές δουλειές παρουσιάζουν αποτελέσματα με γραμμές μεταφοράς που ολοκληρώθηκαν απευθείας πάνω σε HR-Si, χωρίς την παρεμβολή κάποιου ενδιάμεσου διηλεκτρικού [18]–[21]. Σε αυτές τις διατάξεις οι απώλειες υποστρώματος έχουν μειωθεί πολύ και οι συνολικές απώλειες των CPW είναι κατά πολύ μικρότερες από τα αντίστοιχα ολοκληρωμένα πάνω σε LR-Si. Χαρακτηριστικά αναφέρονται τα αποτελέσματα του Ponchak με απώλειες των CPW πάνω στο HR-Si ίσες με 1 dB/mm στα 40 GHz, σε αντίθεση με τα 3.5 dB/mm πάνω στο LR-Si [18]. Όμως, το μεγάλο μειονέκτημα της απευθείας ολοκλήρωσης πάνω σε HR-Si είναι η εξάρτηση της απόδοσης των διατάξεων από την τάση πόλωσης. Αυτό συμβαίνει εξαιτίας της επαφής Schottky που σχηματίζεται στη διεπιφάνεια μεταξύ μετάλλου και του HR-Si. Έτσι, αναλόγως με την πόλωση των διατάξεων RF σε διαφορετική τάση από το υπόστρωμα, παρατηρούνται ρεύματα διαρροής (leakage current) που εξαρτώνται από αυτήν [22], [23]. Η πιο συνηθισμένη λύση για αυτό το πρόβλημα είναι η χρήση ενός ενδιάμεσου διηλεκτρικού μεταξύ του μετάλλου και του HR-Si το οποίο συνήθως είναι το SiO<sub>2</sub>



Εικόνα 2.2. Σχηματική αναπαράσταση του ρεύματος διαρροής σε διατάξεις ολοκληρωμένες πάνω σε HR-Si με ή χωρίς SiO<sub>2</sub>. Οι καμπύλες είναι ενδεικτικές και ανταποκρίνονται στα αποτελέσματα της αναφοράς [22]

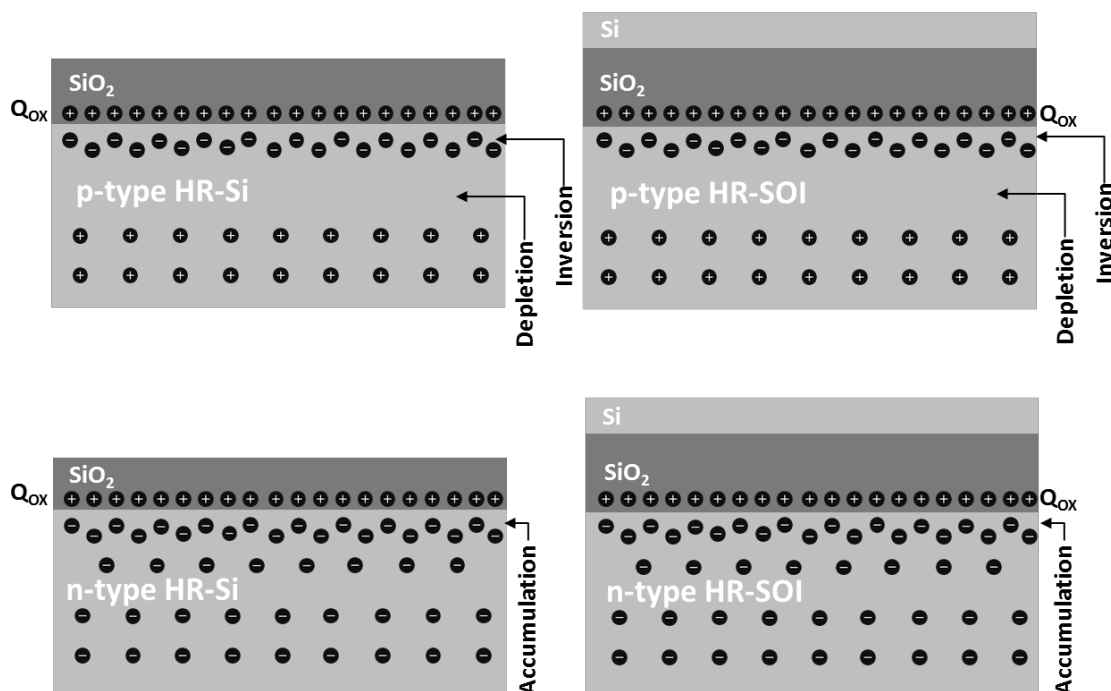
Οι περιπτώσεις του HR-Si με ένα στρώμα SiO<sub>2</sub> και του HR-SOI είναι πολύ παρόμοιες, μιας και η κύρια διαφορά τους είναι στον τρόπο κατασκευής και στην ποιότητα του SiO<sub>2</sub>. Για λόγους απλότητας, λοιπόν, ότι παρουσιάσουμε στη συνέχεια για το HR-Si με SiO<sub>2</sub>, θα ισχύει και για το HR-SOI.

Όπως έχει παρατηρηθεί, με την εισαγωγή του στρώματος SiO<sub>2</sub> τα ρεύματα διαρροής εξαλείφονται [22]. Όμως οι απώλειες των CPW πάνω σε HR-Si καλυμμένο με SiO<sub>2</sub> είναι κατά πολύ μεγαλύτερες σε σχέση με τις απώλειες όταν αυτά ολοκληρώνονται απευθείας πάνω στο HR-Si [18], [22]. Αυτό οφείλεται στο σχηματισμό ενός παρασιτικού καναλιού επιφανειακής αγωγής (Parasitic Surface Conduction - PSC) το οποίο έχει πολύ υψηλή αγωγιμότητα και μειώνει δραματικά τη συνολική αντίσταση του υποστρώματος. Το φαινόμενο της παρασιτικής επιφανειακής αγωγής περιγράφεται παρακάτω.

#### Παρασιτική Επιφανειακή Αγωγή

Όπως προαναφέρθηκε, το φαινόμενο αυτό παρατηρείται σε διατάξεις που ολοκληρώνονται πάνω σε ημιαγώγιμα υποστρώματα υψηλής ειδικής αντίστασης με ένα ενδιάμεσο διηλεκτρικό στρώμα. Στην προκειμένη περίπτωση αυτό αφορά τα υποστρώματα HR-Si καλυμμένα με κάποια μορφή SiO<sub>2</sub> (είτε HR-Si+ SiO<sub>2</sub> είτε HR-SOI).

Όπως περιγράφεται στην Εικόνα 2.3 το PSC οφείλεται στη συγκέντρωση παρασιτικών θετικών φορτίων ( $Q_{ox}$ ) στη διεπιφάνεια  $SiO_2$  και HR-Si [22]. Αυτά με τη σειρά τους έλκουν ηλεκτρόνια προς τη διεπιφάνεια, σχηματίζοντας ένα στρώμα μεγάλης αγωγιμότητας. Ο μηχανισμός δημιουργίας αυτού του στρώματος είναι παρόμοιος με τον τρόπο λειτουργίας των MOS δομών. Έτσι, στην περίπτωση του p-type Si συνδυάζεται με τη δημιουργία περιοχών αντιστροφής και απογύμνωσης, ενώ στην περίπτωση του n-type Si με τη δημιουργία περιοχής συσσώρευσης. Πράγματι, όπως αναφέρεται στο [7], με  $Q_{ox}=10^{10}$  /cm<sup>2</sup>, η ενεργός ειδική αντίσταση<sup>1</sup> του HR-Si μπορεί να μειωθεί παραπάνω από μία τάξη μεγέθους, χαρακτηριστικά από  $\rho_{DC} > 3$  kΩ.cm σε  $\rho_{eff} \sim 200$  Ω.cm [24]. Ενισχυτικά με την ύπαρξη των φορτίων  $Q_{ox}$ , μπορεί να δράσει και η DC πόλωση των διατάξεων που ολοκληρώνονται πάνω στα HR υποστρώματα, φαινόμενο το οποίο περιγράφεται στο [25].



Εικόνα 2.3. Περιγραφή του σχηματισμού του καναλιού επιφανειακής παρασιτικής αγωγής για διάφορους τύπους υποστρώματος (α) HR-Si τύπου p (β) HR-SOI τύπου p (γ) HR-Si τύπου n (δ) HR-SOI τύπου n

### Ενεργός Ειδική Αντίσταση

Από τα παραπάνω είναι προφανές ότι η ονομαστική ειδική αντίσταση ενός δισκιδίου Si δεν περιγράφει καλά την αντίσταση που «βλέπει» μία διάταξη ολοκληρωμένη πάνω σε ένα υπόστρωμα που παρουσιάζει παρασιτική επιφανειακή αγωγιμότητα. Καθίσταται λοιπόν αναγκαία η χρήση ενός άλλου μεγέθους για την περιγραφή του πόσο αγωγίμο είναι το υπόστρωμα. Αυτό το μέγεθος είναι η ενεργός ειδική αντίσταση (effective resistivity -  $\rho_{eff}$ ), η οποία εκφράζει την ειδική αντίσταση την οποία θα παρουσίαζε ένα ομοιογενές στρώμα Si για να έχει απώλειες υποστρώματος ίσες με αυτές που παρατηρούμε στο σύνθετο υπόστρωμα που εξετάζουμε [24]. Παρακάτω, στο Κεφάλαιο 5, θα αναφέρουμε πώς υπολογίζεται η ενεργός ειδική αντίσταση για HR-Si.

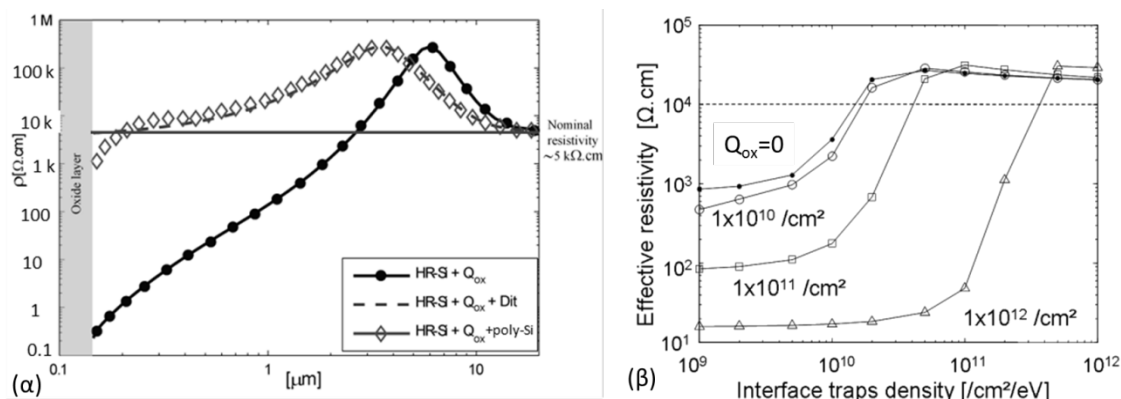
### 2.2.2 Παθητικοποιημένο Πυρίτιο Υψηλής Ειδικής Αντίστασης

Όπως έχει περιγραφεί παραπάνω, το φαινόμενο του PSC οφείλεται σε ένα στρώμα ηλεκτρονίων που συγκεντρώνεται στο HR-Si κοντά στη διεπιφάνεια HR-Si/SiO<sub>2</sub>. Η αύξηση της αγωγιμότητας εξαιτίας της συγκέντρωσης φορέων όμως μπορεί να ισοσταθμιστεί με τη

<sup>1</sup> βλέπε επόμενη υποενότητα

μείωση της κινητικότητας των φορέων ή αλλιώς της αύξησης του ρυθμού επανασύνδεσης των φορέων. Με βάση αυτή την ιδέα, έχουν γίνει πολλές έρευνες που χρησιμοποιούν μεθόδους παθητικοποίησης της επιφάνειας του HR-Si. Οι κύριοι τρόποι για να επιτευχθεί αυτό είναι είτε με αμορφοποίηση μέσω ιοντικής εμφύτευσης είτε με την εισαγωγή κάποιου στρώματος που είναι πλούσιο σε παγίδες φορτίου ( $D_{it}$ ) [26].

Παρακάτω, στην Εικόνα 2.4α φαίνεται η μεταβολή της ειδικής αντίστασης σε σχέση με το βάθος εντός του HR-Si για την περίπτωση του παθητικοποιημένου και μη παθητικοποιημένου δισκιδίου HR-Si. Στην Εικόνα 2.4β παρουσιάζεται η ενεργός ειδική αντίσταση σε σχέση με της επιφανειακές παγίδες φορτίου για διάφορα  $Q_{ox}$ . Βλέπουμε ότι όσο αυξάνεται το  $Q_{ox}$ , τόσο μειώνεται η ενεργός ειδική αντίσταση του δισκιδίου. Επίσης, βλέπουμε ότι πέρα από μια τιμή του  $D_{it}$ , η αυξανόμενη τιμή του  $\rho_{eff}$  φτάνει σε κορεσμό.



Εικόνα 2.4. (α) Προσομοίωση της ειδικής αντίστασης σε σχέση με το βάθος του υποστρώματος για ένα δισκίδιο p-type 10 kΩ.cm με ή χωρίς στρώμα παθητικοποίησης.  $Q_{ox}=10^{11} / \text{cm}^2$  και  $D_{it}=10^{11} / \text{cm}^2$ . (β) Η ενεργός ειδική αντίσταση ενός δισκιδίου 10 kΩ.cm για πόλωση 0V σαν συνάρτηση του  $D_{it}$  για διαφορετικά  $Q_{ox}$ .

### Παθητικοποίηση με Αμορφοποίηση

Αυτή η μέθοδος στηρίζεται στην αμορφοποίηση ενός λεπτού στρώματος, πάχους μερικών nm ( $\sim 300 \text{ nm}$ ) [8], στο πάνω μέρος του HR-Si. Έχει χρησιμοποιηθεί για την κατασκευή διατάξεων (γραμμές μεταφοράς, πηνία, πυκνωτές) υψηλής ποιότητας και απόδοσης [27], [28] συγκρίσιμων με των αντίστοιχων πάνω σε quartz. Τα πρώτα πειράματα με αυτή τη μέθοδο έγιναν στις αρχές του 2000 με την εμφύτευση μορίων  $\text{Ar}^+$ . Όπως αποδείχθηκε στη συνέχεια [27], τα μόρια της εμφύτευσης δεν παίζουν κάποιο σημαντικό ρόλο, αρκεί η δόση και η ενέργεια της εμφύτευσης να είναι κατάλληλες για την αμορφοποίηση του Si. Το μεγάλο μειονέκτημα αυτής της μεθόδου είναι ότι λόγω της επανακρυσταλλοποίησης του Si, οι θερμοκρασίες των διεργασιών που θα ακολουθήσουν δεν πρέπει να ξεπερνούν τους 450°C. Για το λόγο αυτό, η εμφύτευση συνήθως γίνεται μετά την κατασκευή των ενεργών στοιχείων και πριν το BEOL και συνεπώς χρειάζεται μία ακόμη μάσκα που θα καλύπτει τα ενεργά στοιχεία ώστε να μην καταστραφούν.

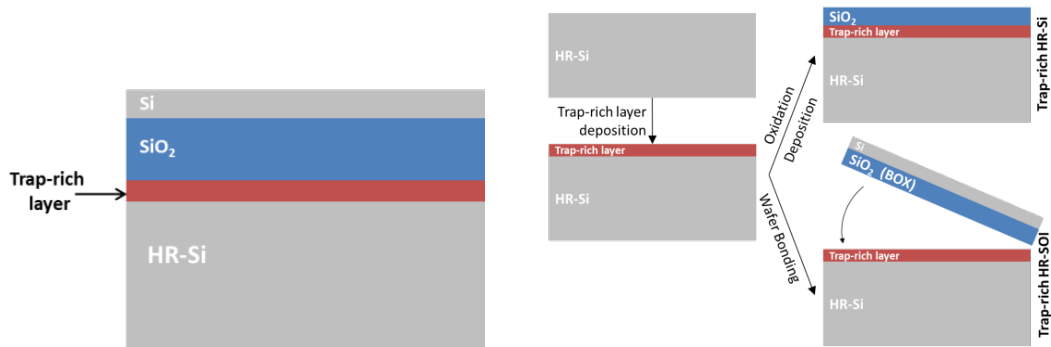
Προς την εμπορευματοποίηση αυτής της μεθόδου εργάστηκαν στο IMEC [29], όπου τη συνδύασαν με την τεχνική τους για πολυψηφιδικά συστήματα (Multichip Modules - MCM) για να κατασκευάσουν ολοκληρωμένα συστήματα σε πακέτο (System in Package - SiP). Τέλος, πρόσφατα (2009) η IBM εισήγαγε αυτή τη μέθοδο για την κατασκευή διακοπών RF με αποτελέσματα που είναι συγκρίσιμα με αυτά πάνω σε GaAs [30].

### Παθητικοποίηση με Στρώμα Πλούσιο σε Παγίδες Φορτίου

Μία άλλη τεχνική για την εξάλειψη του φαινομένου του PSC είναι η εναπόθεση ενός λεπτού στρώματος (μερικών nm), πλούσιου σε  $D_{it}$  ανάμεσα στο HR-Si και το διηλεκτρικό ( $\text{SiO}_2/\text{Si}_3\text{N}_4$ ), όπως φαίνεται και στην Εικόνα 2.5α [8], [31]–[33].

Η ιδέα αυτή εισήχθη αρχικά από τους Gamble et al. [32], που την εμπνεύστηκαν από τις ιδιότητες των τρανζίστορ λεπτών υμενίων (Thin Film Transistors - TFTs). Η συγκέντρωση

των παγίδων φορτίων, εμποδίζει τη συσσώρευση ηλεκτρονίων κάτω από το SiO<sub>2</sub> και συνεπώς αναστέλλει την εμφάνιση του φαινομένου του PSC. Βασική διαφορά αυτής της μεθόδου από την προηγούμενη είναι ότι το στρώμα επιφανειακής παθητικοποίησης (Surface Passivation Layer - SPL) δε σχηματίζεται τοπικά αλλά εκτείνεται σε ολόκληρο το δισκίδιο. Όπως φαίνεται και στην εικόνα, η εναπόθεση του SPL προηγείται της δημιουργίας του SiO<sub>2</sub> (είτε εναπόθεσης στην περίπτωση του HR-Si, είτε συγκόλλησης στην περίπτωση του HR-SOI). Είναι, λοιπόν προφανές ότι το επιφανειακά παθητικοποιημένο δισκίδιο θα πρέπει να αντέχει τις χημικές διεργασίες της τεχνολογίας CMOS καθώς και τα θερμικά φορτία που αναπτύσσονται κατά τη διάρκεια αυτών των διεργασιών.



Εικόνα 2.5. (α) Σχηματικό της δομής του δισκιδίου HR-SOI με την προσθήκη trap-rich layer (β) Κατασκευή των δισκιδίων HR-Si και HR-SOI με trap-rich layer

Μέχρι σήμερα, έχουν προταθεί πολλά λεπτά υμένια ως κατάλληλα για την παθητικοποίηση της επιφάνειας του HR-Si, όπως το άμορφο Si ( $\alpha$ -Si) [8], το ναοκρυσταλλικό Si (nc-Si) [31] και το πολυκρυσταλλικό πυρίτιο (poly-Si) [32]–[34]. Όλα τα παραπάνω υλικά παρουσιάζουν μεγάλη πυκνότητα ατελειών και επιφανειακών καταστάσεων, έχοντας ειδική αντίσταση συγκρίσιμη με αυτήν του ενδογενούς πυριτίου [32]. Έχει δειχθεί ότι ο αριθμός των παγίδων φορτίου είναι αρκετός για να εξαλείψει το αγωγίμο κανάλι και να αποκατασταθεί η υψηλή ειδική αντίσταση του υποστρώματος σε τιμές πάνω από 3 k $\Omega$ .cm [8], [31], [35].

Το άμορφο Si μπορεί να τοποθετηθεί με διάφορες μεθόδους όπως με κοκιορτοποίηση (sputtering), με εξάχνωση μέσω ηλεκτρονικής δέσμης (e-beam evaporation) και με χημική εναπόθεση υποβοηθούμενη από πλάσμα (plasma enhanced chemical vapor deposition – PECVD) [33]. Η εναπόθεση ναοκρυσταλλικού Si μπορεί, επίσης, να γίνει με τις ίδιες μεθόδους, αλλά και με άλλες, όπως με χημική εναπόθεση θερμαινόμενου νήματος [31]. Από την άλλη το poly-Si εναποτίθεται σε υψηλότερες θερμοκρασίες με μεθόδους χημικής εναπόθεσης υπό χαμηλή πίεση (low pressure chemical vapor deposition - LPCVD) [24], [33], [36], [37]. Τέλος, ένας άλλος τρόπος σύνθεσης poly-Si είναι μέσω της κρυσταλλοποίησης του  $\alpha$ -Si [31], [33], [37]. Η κρυσταλλοποίηση αυτή συμβαίνει με την απόπτηση (annealing) των άμορφων στρωμάτων Si σε θερμοκρασίες μεγαλύτερες των 700°C.

Αυτή η διαδικασία τα κρυσταλλοποίησης του  $\alpha$ -Si και του nc-Si είναι και το βασικό τους μειονέκτημα. Είναι γνωστό ότι το εναποτιθέμενο  $\alpha$ -Si επανακρυσταλλοποιείται σε θερμοκρασίες μεγαλύτερες των 700°C, σχηματίζοντας μη ομοιόμορφους κόκκους [38], που μπορεί και να φτάσουν μέχρι τα 10  $\mu$ m αν η θερμοκρασία ξεπεράσει τους 1000°C [39]. Από αυτό φαίνεται ότι το  $\alpha$ -Si δε μένει ανεπηρέαστο από το θερμικό φόρτο των CMOS διεργασιών, χειροτερεύοντας τις ιδιότητές του και μάλιστα με έναν τρόπο μη ομοιόμορφο. Από την άλλη, το στρώμα του poly-Si φαίνεται να είναι σταθερό σε θερμοκρασίες μέχρι και 1100°C. Η μικρότερη επίδραση της θερμοκρασίας πάνω στο υλικό είναι ο λόγος που σε αυτή τη διατριβή επιλέγουμε να αναλύσουμε και να χαρακτηρίσουμε το στρώμα poly-Si, σε συμφωνία με τη διεθνή τάση της βιβλιογραφίας.

Τα χαρακτηριστικά του πολυκρυσταλλικού Si που επηρεάζουν την απόδοσή του ως στρώμα παθητικοποίησης είναι η ομοιομορφία του μεγέθους των κόκκων, η σφαιρική ή κυλινδρική δομή τους καθώς και η ύπαρξη διαφορετικών μορφολογιών στο εναποτιθέμενο στρώμα. Το πάχος του επίσης παίζει ένα σημαντικό ρόλο. Όπως έχει παρατηρηθεί, υπάρχει



ένα κρίσιμο πάχος κάτω από το οποίο η παθητικοποίηση δεν είναι πλήρης. Αυτό σημαίνει ότι για το κρίσιμο αυτό πάχος το στρώμα έχει ακριβώς τις παγίδες φορτίου που χρειάζονται έτσι ώστε να εξαλειφθεί το αγώγιμο κανάλι. Τα στρώματα με πάχη μεγαλύτερα από αυτή την κρίσιμη τιμή δεν παρουσιάζουν επιπλέον βελτίωση. Κάποια γενικά χαρακτηριστικά του poly-Si μπορούν να συνοψιστούν στα εξής [40], [41] :

- Η ειδική αντίσταση του στρώματος poly-Si, όπως και η ικανότητά του να παρεμποδίζει την εμφάνιση του φαινομένου PSC, μικραίνει όσο αυξάνεται το μέγεθος των κόκκων.

- Το μέγεθος των κόκκων του poly-Si αυξάνεται σε υψηλότερες θερμοκρασίες εναπόθεσης. Το εύρος θερμοκρασιών εναπόθεσης είναι από 575°C μέχρι 1100°C και για να επιτευχθούν μικροί κόκκοι (της τάξης των εκατοντάδων nm) συνήθως χρησιμοποιείται θερμοκρασία των 600-625°C.

- Το μέγεθος των κόκκων αυξάνεται για μεγαλύτερα πάχη του στρώματος του poly-Si.

- Η πυκνότητα των διεπιφανειακών παγίδων φορτίου μειώνεται με την αύξηση του μεγέθους των κόκκων.

- Η ανόπτηση σε θερμοκρασίες υψηλότερες της θερμοκρασίας εναπόθεσης (μέχρι το σημείο τήξης του Si στους 1415°C) κάνει το poly-Si να επανακρυσταλλώνεται, δημιουργώντας μεγαλύτερους κόκκους. Παρόλα αυτά κάποια είδη poly-Si παρουσιάζουν αυξημένη αντοχή στην επανακρυστάλλωση. Αυτήν την ιδιότητα την εκμεταλλευόμαστε για να φτιάξουμε στρώματα που αντέχουν το θερμικό φόρτο των διεργασιών CMOS.

- Η ειδική αντίσταση του poly-Si, όπως και η ικανότητα παθητικοποίησης εξαρτώνται από τη θερμοκρασία περιβάλλοντος.

Το στρώμα που χρησιμοποιήσαμε σε αυτή τη διατριβή είχε πάχος 300 nm και έχει αναπτυχθεί με LPCVD, σε θερμοκρασία 625°C από την ομάδα ICTEAM του UCL. Διαλέξαμε το συγκεκριμένο στρώμα παθητικοποίησης γιατί οι ιδιότητές του έχουν μελετηθεί εκτενώς και επιπλέον τα δισκίδια με αυτό το στρώμα παθητικοποίησης είναι πια διαθέσιμα εμπορικά από τη SOITEC με το εμπορικό όνομα eSI (enhanced Signal Integrity) [42], [43]. Σήμερα, τα υποστρώματα eSI θεωρούνται ότι είναι στην τεχνολογική αιχμή για την μονοψηφιδική ολοκλήρωση RFIC σε Si.

### 2.2.3 Αμορφοποίηση μέσω Εμφύτευσης Πρωτονίων

Η μέθοδος αυτή μοιάζει πολύ με την μέθοδο της αμορφοποίησης που αναφέρθηκε παραπάνω, με τη διαφορά ότι ο βομβαρδισμός του Si με δέσμη πρωτονίων διαλύει το κρυσταλλικό πλέγμα και αμορφοποιεί τον μονοκρύσταλλο του Si σε βάθος μερικών εκατοντάδων μm αντί των μερικών nm στην περίπτωση του Ar<sup>+</sup>. Αυτό οδηγεί στην εισαγωγή πολλών παγίδων φορτίων και συνεπώς στην αύξηση της ειδικής αντίστασης του Si. Η πρώτη παρουσίαση αυτής της τεχνικής έγινε το 2000 από τον Wu [44] και αναφερόταν σε εμφύτευση με ενέργεια δέσμης 10 MeV και δόση ~10<sup>16</sup> ιόντα/cm<sup>2</sup>. Με αυτές τις συνθήκες εμφύτευσης μπορεί να αμορφοποιηθεί το Si (1-10 Ω.cm) μέχρι 700 μm βάθος και να αυξηθεί η ειδική του αντίσταση στα 1.6 MΩ.cm. Αργότερα αποδείχθηκε ότι το ελάχιστο βάθος που χρειαζόταν να αμορφοποιηθεί είναι 150 μm και ότι η βελτίωση που επιτυγχάνεται με μεγαλύτερο βάθος αμορφοποίησης είναι αμελητέα. Η αντίστοιχη ενέργεια που απαιτείται για να φτάσουν τα πρωτόνια σε βάθος 150 μm είναι ~4 MeV [6].

Ένα από τα βασικά μειονεκτήματα αυτής της τεχνικής είναι η σταθερότητα και η ανομοιομορφία των ιδιοτήτων του αμορφοποιημένου Si σε σχέση με το θερμικό φόρτο που απαιτεί η διαδικασία CMOS, μιας και το Si αρχίζει να επανακρυσταλλοποιείται στους 600 °C. Για το λόγο αυτό η πρωτονική εμφύτευση πρέπει να λαμβάνει χώρα μετά την κατασκευή του BEOL και πριν την τελική συσκευασία (packaging), μιας και η θερμοκρασία που εκτίθεται η δομή μετά δεν ξεπερνά τους 200 °C [16]

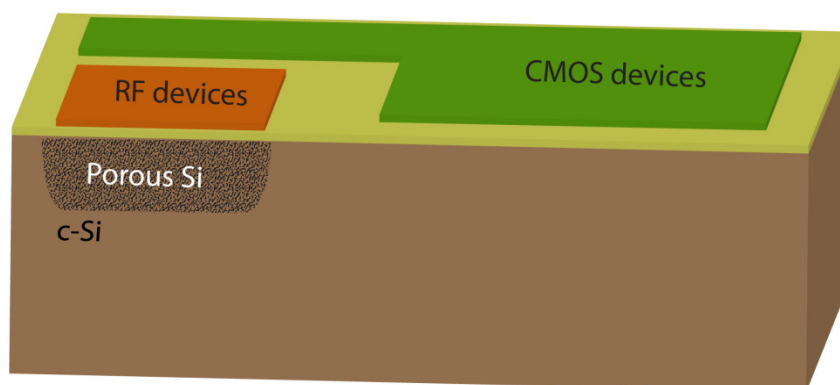
Δεύτερο πρόβλημα αυτής της τεχνικής είναι η δυσκολία εύρεσης κατάλληλων μασκών και το κόστος αυτών. Ειδικά στα 15 MeV έχει παρατηρηθεί ότι ακόμη και η μάσκα μετάλλου δεν αποτρέπει τη δημιουργία ατελειών στις περιοχές που καλύπτει. Θεωρητικά σε χαμηλότερες συχνότητες (~4 MeV) θα μπορούσε να χρησιμοποιηθεί μία φωτοευαίσθητη ρητίνη μεγάλου πάχους, αλλά δεν έχουν παρουσιαστεί ακόμη αποτελέσματα που να το επιβεβαιώνουν αυτό. Επιπλέον, έχει παρατηρηθεί ότι για μία περιοχή 50 μm γύρω από τη μάσκα προκαλούνται ζημιές στις καλυμμένες δομές [16].

Τέλος, ένα ακόμη πρόβλημα είναι ότι αυτή η ενέργεια είναι πολύ υψηλή για να επιτευχθεί με τη χρήση των τυπικών ιοντικών εμφυτευτών που χρησιμοποιούνται στη βιομηχανία και για το λόγο αυτό μέχρι τώρα έχουν χρησιμοποιηθεί κυρίως συστήματα επιταχυντών synchrotron [45]. Η μόνη προσπάθεια που φαίνεται να έχει γίνει για ένταξη στην παραγωγή είναι από την Taiwan Semiconductor Manufacturing Company (TSMC) το 2003 [16].

#### 2.2.4 Τοπικός Σχηματισμός Πορώδους Πυριτίου

Όπως περιγράφηκε στην εισαγωγή του κεφαλαίου, η χρήση του πορώδους πυριτίου (PSi) είναι μία πολύ ελκυστική λύση για τη μείωση των απωλειών υποστρώματος, ειδικά στην περίπτωση διατάξεων RF, ολοκληρωμένων σε δισκίδιο Si. Η έρευνα για τη χρήση του σαν υπόστρωμα για διηλεκτρική μόνωση ξεκίνησε στα μέσα του 1980 [46], όπου και χρησιμοποιήθηκε ως ένας τρόπος σχηματισμού στρώματος SiO<sub>2</sub> μεγάλου πάχους, μέσω της οξειδωσής του. Εξαιτίας της τεράστιας ενεργούς επιφάνειας, μπορούν να επιτευχθούν παχιά στρώματα SiO<sub>2</sub> σε πολύ μικρό χρόνο, τα οποία είναι επίσης ομοεπίπεδα με το Si και με λιγότερες μηχανικές τάσεις σε σχέση με το θερμικό SiO<sub>2</sub> [47]. Αυτός είναι ο πρώτος τρόπος χρήσης του PSi στον οποίο δημιουργείται ένα σχεδόν συμπαγές στρώμα SiO<sub>2</sub>, με χαμηλές απώλειες και σχετική επιτρεπτότητα γύρω στο 3.9 [48], [49]. Ένας άλλος τρόπος χρήσης είναι χωρίς να υποστεί κάποιου είδους οξειδωση [5], [50]–[52]. Σε αυτήν την περίπτωση το PSi έχει υψηλή ειδική αντίσταση [53], σχετική επιτρεπτότητα μεταξύ 2-10 και εφαπτομένη απωλειών (loss tangent - *tand*) μεταξύ του 0.001 και 0.08. Όλα τα παραπάνω μεγέθη επηρεάζονται πολύ από τη μορφολογία και το πορώδες του στρώματος.

Όσον αφορά την αντοχή αυτού στο θερμικό φόρτο των διεργασιών CMOS, έχει παρουσιαστεί [54], ότι μετά από μία προ-οξειδωση σε ατμόσφαιρα N<sub>2</sub> και θερμοκρασία 300°C, το προκύπτον στρώμα PSi παρουσιάζει μικρές μηχανικές τάσεις και μπορεί να αντέξει σε υψηλές θερμοκρασίες χωρίς να αλλάξει η μορφολογία των πόρων [55]. Αν επίσης το PSi είναι καλυμμένο με κάποιο στρώμα (π.χ. SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>) τότε διασφαλίζεται ότι κατά τη διάρκεια των υψηλών θερμοκρασιών (600°C) το PSi δεν οξειδώνεται [56]. Με σταθερή δομή και μορφολογία και χωρίς καθόλου οξειδωση είναι προφανές, ότι δεν αλλάζουν και οι διηλεκτρικές ιδιότητες του PSi.



Εικόνα 2.6. Σχηματική αναπαράσταση της ολοκλήρωσης διατάξεων RF πάνω σε τοπικά σχηματισμένο στρώμα PSi ταυτόχρονα με ψηφιακά κυκλώματα πάνω στην ίδια ψηφίδα Si

Η σχηματοποίηση των περιοχών που θέλουμε να εγχαραχθούν γίνεται με τη χρήση καταλλήλων μασκών [57]–[59] και τυπικών μεθόδων λιθογραφίας. Μετά την αφαίρεση της μάσκας, η επιφάνεια του δισκιδίου μένει ανέπαφη και ομοεπίπεδη με το σχηματισμένο στρώμα PSi [57]. Αυτές οι δύο κατασκευαστικές λεπτομέρειες είναι πολύ σημαντικές γιατί διευκολύνουν την παράλληλη ολοκλήρωση των ενεργών στοιχείων πάνω στο υπόστρωμα του CMOS, LR-Si, ενώ τα παθητικά στοιχεία θα βρίσκονται σε άλλο τμήμα του δισκιδίου πάνω σε PSi (βλ. Εικόνα 2.6). Η ολοκλήρωση παθητικών στοιχείων RF ή αισθητήρων με CMOS κυκλώματα μελετάται από διάφορες ομάδες [15], [60]–[62].

Το PSi συνδυάζει και τις δύο ιδιότητες που είναι πολύ κομβικές για την ολοκλήρωση παθητικών στοιχείων στο Si [63]: χαμηλές απώλειες και χαμηλή σχετική επιτρεπτότητα ( $\epsilon_{r,PSi}$ ). Όσον αφορά τις χαμηλές απώλειες, αυτές μειώνουν ή και εξαφανίζουν τα δινορεύματα εντός του υποστρώματος. Χαρακτηριστικά αναφέρεται ότι μειώνουν πολύ την εξασθένηση του σήματος στους ομοεπίπεδους κυματοδηγούς [50], [64], [65], αυξάνουν τον συντελεστή ποιότητας των πηνίων [14], [50], [58], όπως και το κέρδος των κεραιών [66]. Έρευνες διαφόρων ομάδων έχουν παρουσιάσει, μέχρι σήμερα, αποτελέσματα παθητικών διατάξεων RF, όπως γραμμές μεταφοράς, πηνία, φίλτρα και κεραίες, τα οποία είναι συγκρινόμενα ή και καλύτερα από αυτά των υπολοίπων τεχνολογιών υποστρωμάτων [14], [50], [52], [58], [64]. Η έρευνα σε αυτόν τον τομέα συνεχίζεται. Από την άλλη μεριά, η χαμηλή σχετική επιτρεπτότητα οδηγεί σε μείωση της χωρητικής σύζευξης μέσω του υποστρώματος και συνεπώς στη μείωση του συνολικού crosstalk μεταξύ γειτονικών γραμμών μεταφοράς [14]. Επίσης διευκολύνει την κατασκευή CPW με υψηλή χαρακτηριστική αντίσταση ( $> 145 \Omega$ ) και χαμηλές απώλειες [64]. Στην περίπτωση των πηνίων, η μειωμένη  $\epsilon_{r,PSi}$  οδηγεί σε μείωση της χωρητικής σύζευξης των σπειρών του πηνίου μεταξύ τους αλλά και με το υπόστρωμα. Αυτή η μείωση οδηγεί σε αυξημένες μέγιστες συχνότητες λειτουργίας [14], καθώς και σε αύξηση του συντελεστή ποιότητας του πηνίου [29]. Στην περίπτωση των ολοκληρωμένων κεραιών, είναι πολύ επιθυμητό το μικρό  $\epsilon_{r,PSi}$  [67], καθώς μειώνεται η ένταση του HM πεδίου εντός του υποστρώματος [66], [67] και αυξάνεται η συχνότητα εμφάνισης επιφανειακών κυμάτων. Παρόλα τα πλεονεκτήματα, η χαμηλή  $\epsilon_{r,PSi}$  μπορεί να αντιμετωπιστεί σαν μειονέκτημα σε κάποιες διατάξεις RF. Για παράδειγμα, το μήκος του προσαρμογέα  $\lambda/4$  εξαρτάται από το μήκος κύματος λειτουργίας. Αυτό, όμως, είναι μεγαλύτερο στην περίπτωση του υποστρώματος PSi εξαιτίας του μειωμένου  $\epsilon_{r,PSi}$ , οδηγώντας στη συνακόλουθη αύξηση του μήκους του προσαρμογέα στην περίπτωση του PSi. Αυτό το πρόβλημα, όμως, μπορεί να επιλυθεί χρησιμοποιώντας κατάλληλες τεχνικές σχεδίασης, όπου χρησιμοποιώντας το φαινόμενο του «αργού κύματος» (slow-wave effect) μειώνεται η ταχύτητα διάδοσης του HM κύματος και συνεπώς μειώνεται και το αντίστοιχο μήκος κύματος [68]–[71].

Από τα παραπάνω είναι εμφανές ότι το PSi είναι ένα υλικό πολλά υποσχόμενο για τη μονοψηφιδική ολοκλήρωση υψηλής απόδοσης διατάξεων RF, αφού συνδυάζει χαμηλές απώλειες υποστρώματος, χαμηλή διηλεκτρική σταθερά και συμβατότητα με τις διεργασίες CMOS. Στα Κεφάλαια 5-6 αυτής της διατριβής θα συγκρίνουμε και τις αποδόσεις CPW και πηνίων πάνω σε πορώδες πυρίτιο, trap-rich HR-Si, quartz και CMOS Si, δείχνοντας ότι οι διατάξεις πάνω στο PSi έχουν συγκρίσιμη ή και καλύτερη απόδοση ακόμη και από αυτές πάνω σε quartz.

## 2.3 Συμπεράσματα Κεφαλαίου

Σε αυτό το κεφάλαιο παρουσιάστηκαν τα προβλήματα που ανακύπτουν από την ολοκλήρωση παθητικών στοιχείων RF πάνω σε LR-Si. Τονίστηκε ότι η ύπαρξη μεταλλικής θωράκισης δεν επαρκεί για τη βελτίωση της απόδοσης τους και ότι υπάρχει η ανάγκη χρήσης διαφορετικών υποστρωμάτων από το LR-Si, έτσι ώστε να υπάρξει περαιτέρω βελτίωση. Αναλύθηκαν τα υποστρώματα HR-Si, trap-rich HR-Si, LR-Si με βαθιά αμορφοποίηση  $H^+$  και το τοπικά σχηματισμένο PSi.

Από τα παραπάνω υποστρώματα, αυτά τα οποία έχουν το περισσότερο ενδιαφέρον είναι το PSi και το trap-rich HR-Si, εξαιτίας των πολύ καλών αποτελεσμάτων και της συμβατότητάς τους με τις διεργασίες της τεχνολογίας Si. Συγκεκριμένα, όσον αφορά το PSi, αυτό

συνδυάζει υψηλή ειδική αντίσταση και χαμηλή σχετική επιτρεπτότητα, δύο ιδιότητες που είναι πολύ χρήσιμες για τη σχεδίαση πηνίων, γραμμών μεταφοράς και κεραιών. Επίσης μπορεί να σχηματίζεται τοπικά σε χαμηλής ειδικής αντίστασης υπόστρωμα Si (LR-Si), αφήνοντας ανέπαφο το υπόλοιπο δισκίδιο Si. Όσον αφορά το trap-rich HR-Si, αυτό κατασκευάζεται με την προσθήκη στο HR-Si ενός στρώματος πλούσιου σε παγίδες φορτίου, που είναι είτε άμορφο, είτε ναοκρυσταλλικό, είτε πολυκρυσταλλικό Si, με το τελευταίο να είναι το πιο εύχρηστο και αποτελεσματικό. Πρόσφατα μάλιστα ένα υπόστρωμα SOI παθητικοποιημένο με poly-Si έγινε εμπορικά διαθέσιμο από την εταιρεία SOITEC. Το μειονέκτημα του trap-rich HR-Si είναι το ιδιαίτερα μεγάλο του κόστος και η μη συμβατότητα με το LR-Si που χρησιμοποιείται στην κατασκευή ολοκληρωμένων κυκλωμάτων. Κλείνοντας, η σύγκριση αυτών των δύο υποστρωμάτων έχει μεγάλο ενδιαφέρον και θα γίνει στα επόμενα κεφάλαια (Κεφάλαιο 5 και Κεφάλαιο 6).

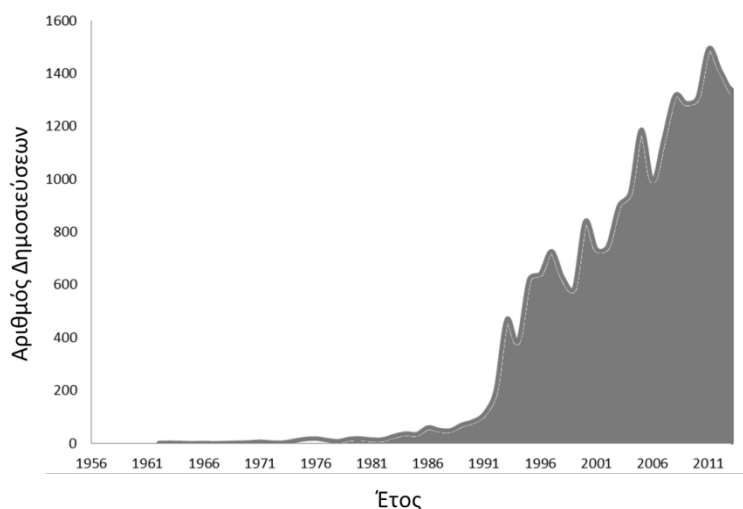
# Κεφάλαιο 3

## Παρασκευή και Ιδιότητες του Πορώδους Πυριτίου

### 3.1 Εισαγωγή

Το πορώδες πυρίτιο (porous silicon - PSi) είναι ένα σύνθετο υλικό που αποτελείται από Si και αέρα. Ανακαλύφθηκε από τον A. Uhlir το 1956 [1] κατά τη διάρκεια πειραμάτων πάνω στην ηλεκτροχημική διάλυση του Si σε διάλυμα υδροφθορικού οξέος (HF). Αυτό που παρατήρησε ο Uhlir είναι ότι ο τύπος του Si, η ειδική αντίσταση αυτού, το διάλυμα του HF και το ρεύμα της ανοδίωνσης επηρεάζουν τη διαδικασία της ηλεκτροχημικής διάλυσης, οδηγώντας μερικές φορές στο σχηματισμό μίας πορώδους δομής.

Έκτοτε, και μέχρι τις αρχές της δεκαετίας του '90, το πορώδες πυρίτιο μελετάται συστηματικά ως υλικό κυρίως για εφαρμογές στη μικροηλεκτρονική. Όμως, το μεγάλο ενδιαφέρον ξεκίνησε μετά την ανακάλυψη της φωτοφωταύγειας του PSi σε θερμοκρασία περιβάλλοντος από τον L. Canham το 1990 [2]. Έκτοτε, μελετήθηκαν σε βάθος ο μηχανισμός και οι συνθήκες σχηματισμού του, η μορφολογία του και μία σειρά από ιδιότητες, όπως οι δομικές, οι ηλεκτρικές, οι μηχανικές κ.α. Μία καλή σύνοψη των αποτελεσμάτων της έρευνας αυτών των χρόνων μπορεί να βρεθεί στα βιβλία [3]–[5].



Εικόνα 3.1. Αριθμός δημοσιεύσεων για το πορώδες πυρίτιο για τα χρόνια 1956-2013 σύμφωνα με τη βιβλιογραφική βάση δεδομένων Scopus.

Οι αρχικές μελέτες πάνω στο PSi είχαν στόχο την ανάπτυξη οπτοηλεκτρονικών διατάξεων, όπως το laser πυριτίου [6]–[8]. Όπως αποδείχθηκε, οι έρευνες για το laser πορώδους πυριτίου δεν έδωσαν αποτελέσματα ανταγωνιστικά με τις υπόλοιπες τεχνολογίες. Παρόλα αυτά, μέσα από την έρευνα ανέκυψαν πολλές άλλες εφαρμογές του PSi. Χρησιμοποιήθηκε σε αισθητήρες [9]–[12], ως θυσιαζόμενο στρώμα στην τεχνολογία MEMS [13]–[15], στη μικρορευστομηχανική [16], σε διάφορες βιοιατρικές εφαρμογές [17], όπως ως νάνο-δοχείο για τη μεταφορά φαρμάκων [18], [19] ακόμη και ως πρόσθετο για οδοντόκρεμες. Τέλος, μία σημαντική χρήση του PSi είναι αυτή που αναφερθήκαμε στο Κεφάλαιο 2: δηλαδή ως υπόστρωμα για την διηλεκτρική μόνωση διατάξεων RF και πιο συγκεκριμένα παθητικών διατάξεων RF. Αναφορικά θα εξεταστεί η επικρατέστερη θεωρία για τον μηχανισμό δημιουργίας του PSi, οι τεχνικές σχηματισμού ώστε να επιτευχθεί επαναλήψιμη και ομοιόμορφη κατασκευή, οι τεχνικές σχηματοποίησης, η αντοχή στις θερμοκρασίες των

διεργασιών CMOS, καθώς και οι τεχνικές που πρέπει να ακολουθηθούν ώστε να επιτευχθεί η κατασκευή παχέων στρωμάτων PSi.

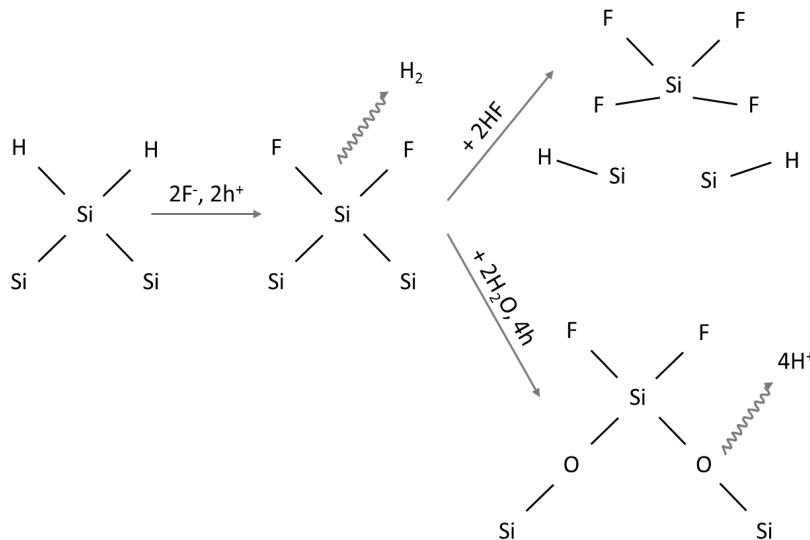
Στο κεφάλαιο αυτό θα παρουσιάσουμε τους τρόπους σχηματισμού του PSi, την προκύπτουσα μορφολογία, καθώς και τις δομικές και τις μηχανικές του ιδιότητες. Η καταλληλότερη μέθοδος για την παρασκευή επαναλήψιμου και ομοιόμορφου στρώματος PSi είναι η ηλεκτροχημική εγχάραξη με τη χρήση διαλύματος υδροφθορικού οξέος (HF), μέσα σε κυψελίδα κατασκευασμένη από τεφλόν. Το υλικό που προκύπτει από αυτή τη μέθοδο θα είναι και το κύριο αντικείμενο αυτού του κεφαλαίου. Προφανώς δεν μπορούμε να εξαντλήσουμε την έρευνα που έχει γίνει πάνω στο PSi μέσα σε ένα κεφάλαιο, γι' αυτό και θα παρουσιάσουμε μόνο τα στοιχεία που μας ενδιαφέρουν για τη συμβατότητα του PSi με τις διαδικασίες του CMOS και τη δυνατότητα χρήσης του σαν υπόστρωμα για παθητικές διατάξεις RF.

## 3.2 Σχηματισμός του Πορώδους Πυριτίου

### 3.2.1 Ηλεκτροχημική Εγχάραξη Si για Σχηματισμό Πορώδους Πυριτίου

Την πενταετία 1990-1995 υπήρχαν πολλές προσπάθειες για την ερμηνεία του μηχανισμού σχηματισμού του PSi, η επικρατέστερη των οποίων είναι αυτή που διατυπώθηκε από τους Lehman και Gosele [20]. Βασιζόμενοι σε αυτήν την ανάλυση, περιγράφουμε παρακάτω το μηχανισμό διάλυσης του Si για το σχηματισμό PSi και τους κύριους παράγοντες που τον επηρεάζουν.

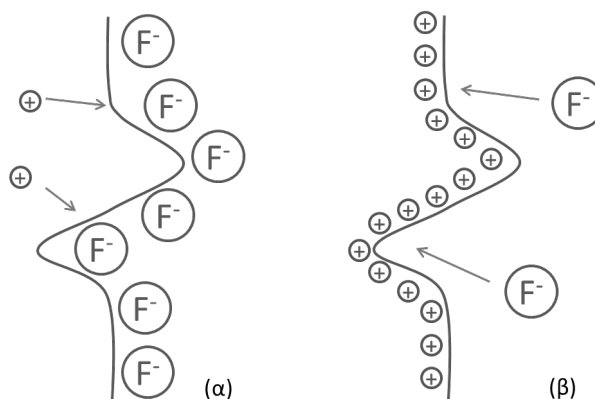
Είναι κοινώς αποδεκτό ότι για τη δημιουργία PSi πρέπει να υπάρχουν οπές στο κρυσταλλικό πυρίτιο. Αυτή η παρατήρηση επιβεβαιώνεται από το γεγονός ότι το n-Si δεν ανοδιώνεται χωρίς την έγχυση οπών, η οποία συνήθως συμβαίνει με το φωτισμό του δείγματος. Σε αντίθεση, το p-Si ανοδιώνεται χωρίς την παροχή επιπλέον οπών. Στο σχηματισμό PSi δρουν δύο διαφορετικοί μηχανισμοί. Ο ένας που καταλήγει σε απευθείας διάλυση του Si από τα μόρια του HF (τα ιόντα  $F^-$  επανασυνδέονται με τις οπές, δηλαδή τα θετικά φορτία, του Si), ενώ ο άλλος έχει ένα ενδιάμεσο στάδιο σχηματισμού  $SiO_2$  και διάλυσής του από το HF [21]. Αυτά τα δύο μονοπάτια περιγράφονται στην Εικόνα 3.2.



Εικόνα 3.2. Τα δύο μονοπάτια που οδηγούν στην ηλεκτροχημική διάλυση του Si σε διαλύτη που περιέχει HF [21].

Σε χαμηλή πυκνότητα ρεύματος κυριαρχεί ο μηχανισμός της απευθείας διάσπασης του Si και έτσι οδηγούμαστε στη δημιουργία PSi. Όταν όμως η πυκνότητα ρεύματος ξεπεράσει κάποια τιμή, τότε κυριαρχεί ο μηχανισμός με τον ενδιάμεσο σχηματισμό  $SiO_2$ . Σε αυτή τη φάση, ολόκληρη η επιφάνεια του Si καλύπτεται από  $SiO_2$ . Έτσι η διάλυση επικαθορίζεται από τις ιδιότητες του  $SiO_2$  και δημιουργείται ένα ομοιόμορφο μέτωπο χωρίς να επιτρέπει τη

δημιουργία PSi. Αυτό το φαινόμενο ονομάζεται ηλεκτρολείανση. Μία σχηματική αναπαράσταση του μηχανισμού φαίνεται στην Εικόνα 3.3. Στην περίπτωση του χαμηλού ρεύματος, η διεργασία περιορίζεται από την ύπαρξη οπών ( $h^+$ ). Συνεπώς, η αφαίρεση του Si είναι εντοπισμένη στα σημεία που υπάρχει μεγάλη συγκέντρωση οπών και έτσι δημιουργούνται πόροι μέσα στο Si. Όταν το ρεύμα είναι υψηλό, η επιφάνεια του Si καλύπτεται εξ'ολοκλήρου από οπές και ο ρυθμός περιορίζεται από τα ιόντα  $F^-$ . Τότε έχουμε δημιουργία  $SiO_2$  σε ολόκληρη την επιφάνεια του Si και ακολούθως διάλυση αυτού από το HF, οδηγούμενοι σε αύξηση του ρυθμού εγχάραξης σε όλη την επιφάνεια, και εν τέλει στην ηλεκτρολείανση.

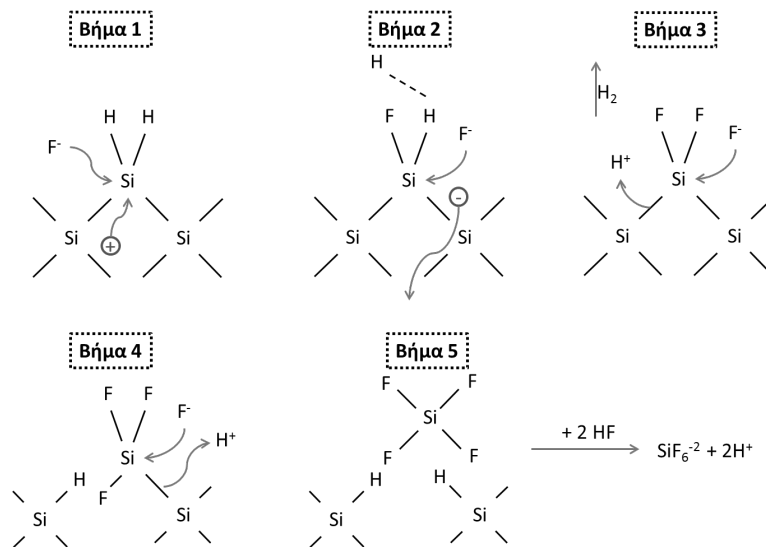


**Εικόνα 3.3. (α) Χαμηλό ρεύμα οδηγεί στο σχηματισμό πορώδους πυριτίου. (β) Υψηλό ρεύμα οδηγεί σε μεγάλη συγκέντρωση οπών και σε ηλεκτρολείανση. Με «+» παρουσιάζονται οι οπές και με  $F^-$  τα ιόντα φθορίου**

Ο μηχανισμός λοιπόν που ανταποκρίνεται στην απευθείας διάλυση Si και στο σχηματισμό PSi έχει ως εξής (βλ. Εικόνα 3.4) [20]:

1. Με το που θα υπάρξει μία  $h^+$  κοντά στην επιφάνεια, ιόντα  $F^-$  επανασυνδέονται με την οπή  $h^+$  και οι δεσμοί Si-H αντικαθίστανται από δεσμούς Si-F (βήμα 1)
2. Εξαιτίας του γεγονότος ότι ο δεσμός Si-F είναι πολωτικός, επιτίθεται άλλο ένα ιόν  $F^-$  και τελικά απελευθερώνεται ένα μόριο  $H_2$  και ένα  $e^-$  εγχέεται μέσα στο ηλεκτρόδιο (βήμα 2)
3. Εξαιτίας της πόλωσης των δύο δεσμών Si-F, αποδυναμώνονται οι δεσμοί Si-Si και τα  $F^-$  τους επιτίθενται, ενώ ιόντα  $H^+$  καλύπτουν την επιφάνεια, έτσι ώστε η επιφάνεια παραμένει πάντα με δεσμούς Si-H (βήμα 3-4)
4. Τελικά το μόριο Si αποσπάται σχηματίζοντας μία μικρή δομική οπή στο Si. Αυτή η δομική οπή προκαλεί συγκέντρωση του ηλεκτρικού πεδίου και των  $h^+$  σε αυτό το σημείο και έτσι υπάρχει προτίμηση για την εγχάραξη σε αυτό το σημείο, δημιουργώντας εν τέλει έναν πόρο (βήμα 5). Όταν τα τοιχώματα των πόρων απογυμνώνονται από  $h^+$ , τότε σταματά η πλαϊνή εγχάραξή τους και οι πόροι αναπτύσσονται ανισοτροπικά προς τη φορά εφαρμογής του ηλεκτρικού πεδίου.

Πρέπει να αναφερθεί ότι το διάλυμα HF είναι ο πιο συχνά χρησιμοποιούμενος ηλεκτρολύτης, παρόλα αυτά δεν είναι ο μοναδικός. Ανοδίωση πυριτίου γίνεται και σε διαλύματα οργανικών διαλυτών, όπως το Διμεθυλομεθαναμίδιο (DMF), το Διμεθυλοσουλφοξείδιο (DMSO) κ.α. Συνήθως οι οργανικοί ηλεκτρολύτες οδηγούν σε μακροπορώδες πυρίτιο.



Εικόνα 3.4. Προτεινόμενος μηχανισμός διάλυσης του Si μέσα σε διάλυμα HF [20].

### 3.2.2 Τεχνικές Σχηματισμού

Σε αυτό το υποκεφάλαιο θα αναλύσουμε τις τεχνικές που χρησιμοποιούνται για την παρασκευή PSi μέσω της ηλεκτροχημικής διάλυσης του Si και το αντίστοιχο υλικό που προκύπτει. Οι βασικές διαφοροποιήσεις έχουν να κάνουν με το ρεύμα της ανοδίσωσης, τα διαλύματα που χρησιμοποιούνται, καθώς και πιθανή επεξεργασία που πρέπει να υποστεί το προς ανοδίσωση υπόστρωμα Si.

#### Ηλεκτροχημική Διάλυση

Η ηλεκτροχημική διάλυση του κρυσταλλικού Si (c-Si) σε διάλυμα HF είναι η πιο διαδεδομένη μέθοδος παρασκευής πορώδους πυριτίου και συχνά τη συναντούμε στη βιβλιογραφία σαν «ανοδίσωση του Si». Στη συγκεκριμένη μέθοδο, οι οπές συγκεντρώνονται στη διεπιφάνεια c-Si και HF μέσω της εφαρμογής ηλεκτρικού πεδίου σε αυτή. Αυτό το πεδίο μπορεί να εφαρμόζεται είτε ποτενσιοστατικά είτε γαλβανοστατικά κρατώντας αντίστοιχα σταθερή την εφαρμοζόμενη τάση ή την εφαρμοζόμενη πυκνότητα ρεύματος ( $J$ ). Από τις δύο μεθόδους, η πιο συχνά χρησιμοποιούμενη είναι η σταθερή παροχή ρεύματος, αφού οδηγεί σε πιο επαναλήψιμα και ομοιογενή αποτελέσματα [22]. Η μέθοδος της ανοδίσωσης προϋποθέτει την ύπαρξη οπών στο c-Si. Αυτή η προϋπόθεση καλύπτεται για τα p-Si δισκίδια, ενώ όχι για τα n-Si. Για να επιτευχθεί λοιπόν η ανοδίσωση n-Si πρέπει να δημιουργηθούν οπές εντός του υποστρώματος. Αυτό συνήθως επιτυγχάνεται με τον φωτισμό του υποστρώματος με κάποια ισχυρή ακτινοβολία.

Ο σχηματισμός του PSi είναι ένα πολυπαραγοντικό φαινόμενο και δεν μπορεί να περιγραφεί ολόκληρο σε μία παράγραφο. Οι κύριοι παράγοντες που επηρεάζουν τα στρώματα PSi που προκύπτουν από τη διαδικασία της αναφέρονται παρακάτω για περισσότερες πληροφορίες μπορεί κάποιος να ανατρέξει στο [3].

- η πυκνότητα του ρεύματος ανοδίσωσης  $J$

*Αύξηση της πυκνότητας ρεύματος οδηγεί στην αύξηση του πορώδους, καθώς και του μεγέθους των πόρων.*

- η συγκέντρωση του HF στο διάλυμα καθώς και ο διαλύτης που χρησιμοποιείται

*Μείωση της συγκέντρωσης του HF οδηγεί σε μεγαλύτερο πορώδες. Αναλόγα, με το διαλύτη που χρησιμοποιείται μπορούμε να κατασκευάσουμε μικρά ή μεγάλα πάχη PSi. Αυτό οφείλεται στην επιφανειακή τάση του διαλύτη με το Si. Μεγάλη επιφανειακή τάση οδηγεί σε περιορισμό του βάθους των πόρων, όπου μπορεί να εισχωρήσει ο διαλύτης, αλλά και σε καταστροφή του PSi κατά την εξάτμιση του διαλύματος.*



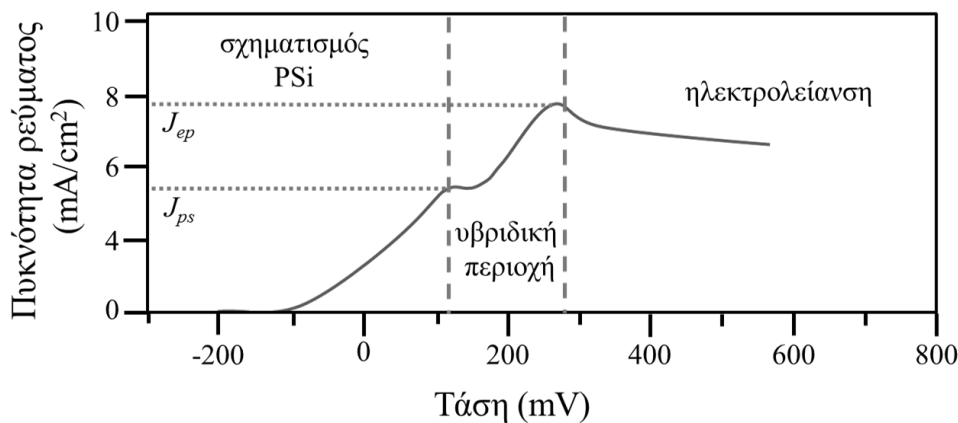
- ο τύπος του c-Si (n ή p)

Ανάλογα με τον τύπο του c-Si που χρησιμοποιείται, αλλάζει η μορφολογία και η δομή του παρασκευαζόμενου PSi. Όπως αναφέρθηκε πιο πριν, για τη δημιουργία PSi από n-Si πρέπει να φωτίσουμε το δείγμα. Συνήθως τα δισκία n-Si χρησιμοποιούνται για την παρασκευή μακροπορώδους PSi.

- η ειδική αντίσταση του c-Si

Ανάλογα με την ειδική αντίσταση του c-Si, οδηγούμαστε σε PSi με διαφορετική μορφολογία και δομή. Όταν έχουμε χαμηλή ειδική αντίσταση ( $p^+, n^+$  - Si), τότε σχηματίζονται πιο κατακόρυφοι πόροι με πλάγιες διακλαδώσεις, ενώ σε υψηλότερη ειδική αντίσταση (γύρω στα 1-20  $\Omega.cm$ ) σχηματίζεται PSi με σπογγώδης μορφή.

Το πορώδες πυρίτιο σχηματίζεται για συγκεκριμένες τιμές πυκνότητας ρεύματος. Υπάρχει μία κρίσιμη τιμή του  $J_{ep}$  όπου πάνω από αυτήν παρατηρείται ολοκληρωτική αφαίρεση του πυριτίου ή όπως ονομάζεται αλλιώς ηλεκτρολείανση (electropolishing) [23]. Για τιμές του  $J$  αρκετά μικρότερες από αυτήν, δηλαδή μικρότερες της  $J_{ps}$ , σχηματίζεται PSi. Σε τιμές  $J$  ανάμεσα σε αυτές τις δύο τιμές δημιουργείται μία υβριδική κατάσταση, όπου σε κάποια σημεία το c-Si έχει ηλεκτρολειανθεί, ενώ σε κάποια άλλα έχει γίνει PSi. Τα παραπάνω φαίνονται χαρακτηριστικά στην Εικόνα 3.5, όπου η πρώτη κορυφή αντιστοιχεί στο  $J_{ps}$  και η δεύτερη στο  $J_{ep}$ .



Εικόνα 3.5. Τυπική καμπύλη I-V για την ανοδίωση μεσαίας νόθευσης p-Si σε διάλυμα 1% HF

Τα κύρια πλεονεκτήματα αυτής της τεχνικής σχηματισμού PSi είναι ότι επιτυγχάνονται επαναλήψιμα και ομοιόμορφα στρώματα PSi. Επίσης δίνει αρκετές δυνατότητες ελέγχου της διαδικασίας και ρύθμισης των παραμέτρων κατά το δοκούν. Αυτοί είναι οι λόγοι που χρησιμοποιήσαμε αυτή τη μέθοδο σχηματισμού για τα στρώματα PSi που κατασκευάστηκαν στα πλαίσια αυτής της διατριβής. Ο εξοπλισμός που χρησιμοποιείται για την ανοδίωση περιγράφεται στο επόμενο υποκεφάλαιο.

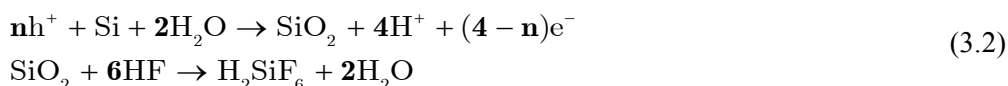
### Εγγάραξη Χωρίς Εφαρμογή Ηλεκτρικού Πεδίου (Stain-Etching)

Σε αντίθεση με την προηγούμενη μέθοδο που πραγματοποιείται υπό ροή ηλεκτρικού ρεύματος, η μέθοδος του stain-etching δεν περιλαμβάνει την εφαρμογή κάποιου ηλεκτρικού πεδίου [24]. Η τεχνική του stain-etching χρησιμοποιεί υδατικό ή αιθανοϊκό διάλυμα HF και  $HNO_3$ . Οι αντιδράσεις που λαμβάνουν χώρα στο σχηματισμό πορώδους πυριτίου είναι οι παρακάτω [25]:

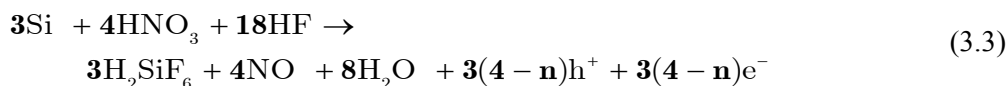
κάθοδος:



άνοδος:



συνολικά:



Παρατηρούμε ότι στην αρχή (1) παράγονται NO και οπές στην κάθοδο, που χρησιμεύουν για τις αντιδράσεις που συμβαίνουν στην άνοδο. Αυτό παρέχει τη δυνατότητα σχηματισμού PSi είτε σε τύπου n είτε σε τύπου p υποστρώματα, χωρίς τη χρήση φωτισμού για την παραγωγή οπών. Οι ιδιότητες (μορφολογία, πορώδες) και ο ρυθμός εγχάραξης του PSi επηρεάζονται από τη συγκέντρωση του HNO<sub>3</sub> και του HF, καθώς και από την ειδική αντίσταση και τον τύπο του υποστρώματος Si.

Το πλεονέκτημα αυτής της μεθόδου είναι η ευκολία της και το μικρό κόστος εξοπλισμού. Παρόλα αυτά τα στρώματα πορώδους πυριτίου που παράγονται δεν μπορούν να είναι παχιά και δεν είναι ομοιόμορφα σε όλη την επιφάνεια του δισκιδίου.

### **Άλλες Τεχνικές**

Πέρα από τις δύο παραπάνω μεθόδους, που είναι και οι βασικές για τη δημιουργία PSi, έχουν προταθεί μερικές ακόμη τεχνικές, οι οποίες στηρίζονται σε διαφορετικές αρχές.

Η πρώτη μέθοδος είναι μέσω της πλήρους επιμετάλλωσης της μίας πλευράς του προς ανοδίωση δισκιδίου Si με κάποιο ευγενές μέταλλο, όπως Pt ή Au και η εμβύθισή του σε διάλυμα HF. Η διαφορά που προκύπτει στις στάθμες Fermi οδηγεί στη ροή φορτίων από το μέταλλο προς τον ημιαγωγό [26] και κατά συνέπεια στη δημιουργία PSi σύμφωνα με τον προαναφερθέντα μηχανισμό. Η μέθοδος αυτή μπορεί να οδηγήσει στη γρήγορη κατασκευή στρωμάτων PSi με μεγάλο πάχος αλλά δεν είναι συμβατή με τις διαδικασίες CMOS εξαιτίας της αρχικής επιμετάλλωσης.

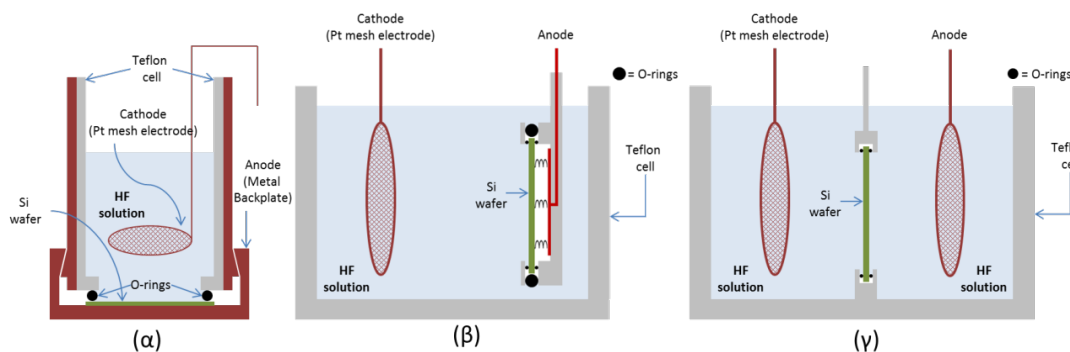
Η δεύτερη μέθοδος είναι μέσω της χημικής εγχάραξης Si υποβοηθούμενης από μέταλλο (Metal Assisted Chemical Etching – MACE) [27], [28]. Σε αυτή την τεχνική χρησιμοποιείται μερική επιμετάλλωση της επιφάνειας του Si με κάποιο ευγενές μέταλλο (Au, Pt ή Au/Pd) και εμβύθιση αυτού σε ένα διάλυμα που συνήθως περιέχει HF και H<sub>2</sub>O<sub>2</sub>. Το ευγενές μέταλλο λειτουργεί σαν μία τοπική κάθοδος και παράγει οπές, οι οποίες εγχέονται εντός του Si οξειδώνοντάς το. Στη συνέχεια το HF διαλύει το σχηματισμένο οξείδιο οδηγώντας στο σχηματισμό μίας κοιλότητας. Η τεχνική του MACE δίνει τη δυνατότητα ελέγχου διαφόρων παραμέτρων, όπως η δομή (PSi, νανονήματα) αλλά και η διάμετρος των πόρων ή των νημάτων κ.α. Τέλος η προαναφερθείσα τεχνική είναι πολύ φτηνή και πολύ γρήγορη σε σχέση με τον σχηματισμό PSi με stain etching.

### **3.2.3 Κυψελίδες Ανοδίωσης**

Οι πιο συχνά χρησιμοποιούμενες διατάξεις για την παρασκευή πορώδους πυριτίου είναι οι ηλεκτροχημικές κυψελίδες ανοδίωσης. Αυτές μπορούμε να τις διακρίνουμε σε κυψελίδες μίας δεξαμενής (single tank) ή δύο δεξαμενών (double tank).

Η κυψελίδα μία δεξαμενής (Εικόνα 3.6α,β) αποτελείται από ένα δοχείο από κάποιο αδρανές πλαστικό (π.χ. PTFE) μέσα στο οποίο εισάγεται το διάλυμα HF. Μέσα στο δοχείο τοποθετείται ένα αγωγίμο ηλεκτρόδιο (συνήθως Pt), το οποίο παίζει το ρόλο της ανόδου. Η πλευρά του δισκιδίου c-Si που θέλουμε να ανοδιωθεί έρχεται σε επαφή με το διάλυμα. Η άλλη πλευρά ακουμπάει σε κάποια μεταλλική επιφάνεια (κάθοδος), έτσι ώστε να κλείσει το ηλεκτρικό κύκλωμα. Η μία πλευρά σφραγίζεται από την άλλη με κατάλληλα O-rings, έτσι ώστε να μην έρχεται ο ηλεκτρολύτης σε επαφή με το μέταλλο. Ο προσανατολισμός της

κυψελίδας μπορεί να είναι είτε κατακόρυφος (Εικόνα 3.6α) είτε οριζόντιος (Εικόνα 3.6β), κάθε περίπτωση εκ των οποίων έχει τα πλεονεκτήματα και τα μειονεκτήματά της. Αναφορικά, η οριζόντια διάταξη της κυψελίδας συνήθως παρουσιάζει προβλήματα με την απαγωγή των φυσαλίδων, απαιτώντας το σχεδιασμό κατάλληλου ηλεκτροδίου. Η κατακόρυφη διάταξη της κυψελίδας συνήθως παρουσιάζει προβλήματα με την κατακόρυφη ομοιογένεια του διαλύματος του ηλεκτρολύτη, ένα θέμα που συνήθως επιλύεται με την κυκλοφορία του ηλεκτρολύτη.



**Εικόνα 3.6. (α) Κυψελίδα μίας δεξαμενής όπου το ηλεκτρόδιο είναι σε οριζόντια διάταξη (β) Κυψελίδα μίας δεξαμενής όπου το ηλεκτρόδιο είναι σε κατακόρυφη διάταξη (γ) Κυψελίδα δύο δεξαμενών**

Η κυψελίδα δύο δεξαμενών (Εικόνα 3.6γ) αποτελείται από ένα PTFE δοχείο με δύο ξεχωριστές δεξαμενές. Και στις δύο δεξαμενές τοποθετείται το διάλυμα HF, καθώς και από ένας αγωγός (συνήθως ένα πλέγμα Pt), δημιουργώντας την άνοδο και την κάθοδο. Οι δεξαμενές διαχωρίζονται με το δισκίδιο c-Si και σφραγίζονται έτσι ώστε να μην υπάρχει επαφή των δύο ηλεκτρολυτών. Αυτό γίνεται έτσι ώστε το εφαρμοζόμενο ρεύμα να ρέει από την άνοδο προς την κάθοδο, περνώντας εξ-ολοκλήρου μέσα από το δισκίδιο του Si. Για να αποφευχθεί η μεταβολή της συγκέντρωσης κατά ύψος του ηλεκτρολύτη, αλλά και της ύπαρξης αερίου H<sub>2</sub> σε αυτόν, είναι απαραίτητη η κυκλοφορία του διαλύματος με τη χρήση χημική αντλίας. Με τη χρήση της διπλής κυψελίδας επιτυγχάνεται μεγάλη ομοιομορφία και ομοιογένεια των παραγόμενων στρωμάτων PSi και για το λόγο αυτό είναι η πιο ενδεδειγμένη διάταξη για την παραγωγή PSi σε βιομηχανική κλίμακα.

### 3.2.4 Τοπικός Σχηματισμός Πορώδους Ψυριτίου

Όπως αναφέρθηκε στο Κεφάλαιο 2, υπάρχουν πολλές εφαρμογές που απαιτούν το σχηματισμό PSi σε μία συγκεκριμένη περιοχή και όχι σε όλο το δισκίδιο. Μία από αυτές είναι και η ολοκλήρωση παθητικών στοιχείων RF πάνω σε Si. Τα παθητικά στοιχεία ολοκληρώνονται πάνω σε σχηματοποιημένο PSi, ενώ οι γύρω περιοχές Si πρέπει να μείνουν ανέπαφες, ώστε να ολοκληρωθούν εκεί τα υπόλοιπα ενεργά στοιχεία. Για να επιτευχθεί αυτή η σχηματοποίηση, είναι απαραίτητη η χρήση κατάλληλων υλικών ως μάσκα. Παρακάτω αναφέρονται τα κύρια υλικά που χρησιμοποιούνται σήμερα ως μάσκες για το σχηματισμό PSi, μαζί με τα πλεονεκτήματα και τα μειονεκτήματά τους [29], [30].

#### **Μάσκα ρητίνης AZ**

Η απευθείας χρήση φωτοευαίσθητης ρητίνης ως μάσκας για τον τοπικό σχηματισμό PSi θα μείωνε πολύ τη διάρκεια και το κόστος της σχηματοποίησης περιοχών PSi, μιας και θεωρείται ως η πιο απλή και ευέλικτη μάσκα. Για αρκετά χρόνια δεν ήταν εφικτή η χρήση ρητινών (π.χ. AZ 5214 της εταιρείας Microchemicals) για την παρασκευή παχιών στρωμάτων PSi, εξαιτίας του ότι η ρητίνη δεν άντεχε εντός του διαλύματος HF για παραπάνω από 5 min [30]. Πρόσφατα όμως, αναπτύχθηκε στο εργαστήριό μας η διεργασία χρήσης της ρητίνης AZ 9260 της εταιρείας Microchemicals, η οποία μετά από ειδική κατεργασία γίνεται ανθεκτική στο διάλυμα HF για χρόνους μέχρι 60 min [31]. Αυτή η

τεχνική μπορεί να χρησιμοποιηθεί για το σχηματισμό στρωμάτων PSi που φτάνουν μέχρι και τα 50 – 60  $\mu\text{m}$ .

#### **Μάσκα SiO<sub>2</sub>**

Το SiO<sub>2</sub> εγχαράσσεται με μεγάλη ταχύτητα (> 100 nm/min) στο πυκνό διάλυμα HF που χρησιμοποιείται κατά την ανοδίωση. Κατά συνέπεια το SiO<sub>2</sub> μπορεί να χρησιμοποιηθεί ως μάσκα μόνο για πολύ λεπτά στρώματα PSi (< 1  $\mu\text{m}$ ).

#### **Μάσκα Si<sub>3</sub>N<sub>4</sub>**

Ο ρυθμός εγχάραξης του Si<sub>3</sub>N<sub>4</sub> στο διάλυμα του HF είναι κατά πολύ μικρότερος από αυτόν του SiO<sub>2</sub> (της τάξης των 10 nm/min). Αυτό επιτρέπει τη χρήση του σαν μάσκα. Παρόλα αυτά σε στρώματα νιτριδίου μεγάλου πάχους εμφανίζονται ισχυρές μηχανικές τάσεις με αποτέλεσμα το ράγισμα του φιλμ [32].

#### **Μάσκα poly-Si**

Το πολυκρυσταλλικό Si έχει πολύ μεγάλη αντοχή στα ισχυρά διαλύματα HF. Παρόλα αυτά, έχει παρατηρηθεί ότι η επιφάνεια του Si κάτω από τη μάσκα poly-Si επηρεάζεται. Σύμφωνα με το [30], αυτό οφείλεται στην ύπαρξη ρεύματος διαμέσου της μάσκας poly-Si, με αποτέλεσμα να ανοδιώνεται ελάχιστα η επάνω επιφάνεια του Si και να γίνεται αδρή και τραχιά.

#### **Μάσκα SiO<sub>2</sub>/poly-Si**

Η διστρωματική μάσκα SiO<sub>2</sub>/poly-Si συνδυάζει την ηλεκτρική μόνωση που παρέχει το SiO<sub>2</sub> με την αντίσταση στο HF που παρουσιάζει το poly-Si. Αυτός ο συνδυασμός δίνει τη δυνατότητα πολύ αυξημένων χρόνων εγχάραξης (> 5-6 h), χωρίς να αλλάζει η δομή της μάσκας. Επιπλέον, η ύπαρξη SiO<sub>2</sub> κάτω από το poly-Si αφήνει την επιφάνεια του Si άθικτη [30], [32].

#### **Μάσκα Φθοροπολυμερούς**

Πρόσφατα [33] παρουσιάστηκε η χρήση φθοροπολυμερούς (fluoropolymer – FP) για τη σχηματοποίηση των περιοχών προς ανοδίωση. Το FP παρασκευάζεται με εξοπλισμό πλάσματος και πρόδρομα αέρια C<sub>2</sub>H<sub>4</sub> και CHF<sub>3</sub>. Για τη σχηματοποίηση του FP πρέπει να χρησιμοποιηθεί μία επιπλέον σκληρή μάσκα SiO<sub>2</sub>, μιας και για την αφαίρεση του FP χρησιμοποιείται πλάσμα O<sub>2</sub> που εγχαράσσει και τις συμβατικές ρητίνες. Η μάσκα FP είναι ανθεκτική στο διάλυμα HF και επιτρέπει το σχηματισμό στρωμάτων PSi με μεγάλα πάχη.

### **3.3 Μορφολογία και Δομή του Πορώδους Πυριτίου**

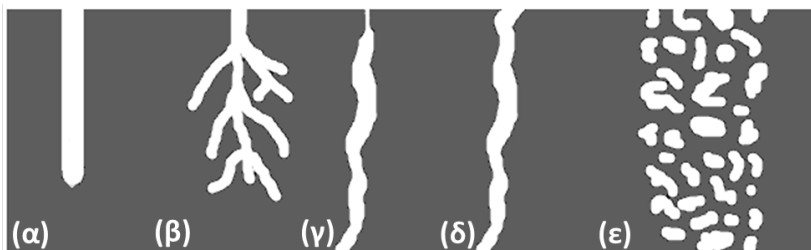
Το πορώδες πυρίτιο μπορεί να αποτελείται από πόρους με πολύ διαφορετική μορφολογία, ανάλογα με τις συνθήκες ανοδίωσης και την επεξεργασία μετά από αυτή. Οι μορφολογικές ιδιότητες που καθορίζουν το στρώμα PSi είναι το σχήμα των πόρων (βλ. Εικόνα 3.7), το μέγεθος των πόρων, η απόσταση μεταξύ των πόρων, καθώς και το πάχος των τοιχωμάτων του εναπομείναντος Si.

Το PSi μπορεί να διαχωριστεί (κατά IUPAC) ανάλογα με το μέγεθος των πόρων σε:

- Μικροπορώδες : μέγεθος πόρων  $\leq 2\text{nm}$
- Μεσοπορώδες :  $2\text{nm} \leq$  μέγεθος πόρων  $\leq 50\text{nm}$
- Μακροπορώδες :  $50\text{nm} <$  μέγεθος πόρων

Ένα άλλο μέγεθος που είναι πολύ χρήσιμο για τον χαρακτηρισμό του PSi είναι το «πορώδες (porosity – P)» που περιγράφει το ποσοστό του όγκου του κενού που υπάρχει στο σύνολο του όγκου του στρώματος PSi. Συνήθως το διακρίνουμε σε

- χαμηλό πορώδες (0-30%)
- μεσαίο πορώδες (30-70%)
- υψηλό πορώδες (70-100%)



**Εικόνα 3.7.** Σκίτσο που περιγράφει τυπικές μορφολογίες πόρων σε Si (α) λείοι και κατακόρυφοι (β) δενδριτικοί (γ) κατακόρυφοι με στενή αρχή (δ) κατακόρυφοι και (ε) σπογγώδεις

Η πιο συνηθισμένη μέθοδος προσδιορισμού του πορώδους του PSi είναι μέσω ζυγίσεων [34]. Πιο συγκεκριμένα χρειάζονται τρεις ζυγίσεις. Η μία στο δείγμα πριν τον σχηματισμό του PSi ( $m_1$ ), η μία μετά το σχηματισμό του PSi ( $m_2$ ) και η τρίτη μετά την ολική αφαίρεση του PSi ( $m_3$ ). Έχοντας αυτά, το porosity μπορεί να υπολογιστεί από την παρακάτω εξίσωση:

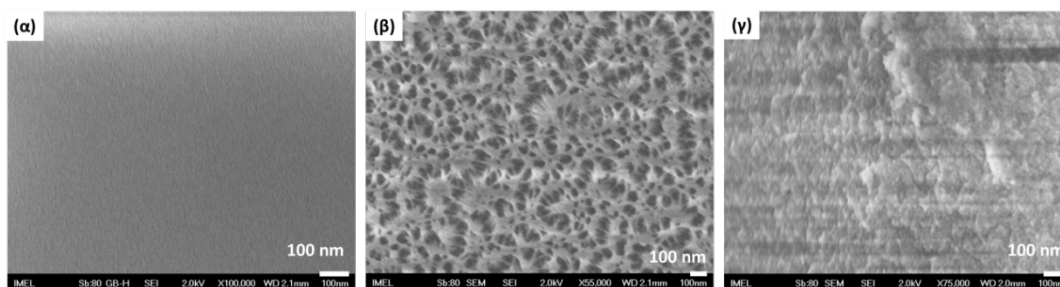
$$P = \frac{m_1 - m_2}{m_1 - m_3} \quad (3.4)$$

Ένα άλλο πολύ σημαντικό μέγεθος για το χαρακτηρισμό του PSi, είναι η ειδική εσωτερική επιφάνειά του ανά μονάδα μάζας. Εξαιτίας της πορώδους δομής, το PSi έχει τεράστια ειδική επιφάνεια, η οποία μπορεί να χρησιμοποιηθεί για εφαρμογές όπως οι αισθητήρες και η μεταφορά φαρμάκων. Η ειδική επιφάνεια του PSi κυμαίνεται μεταξύ 1-1000  $\text{m}^2/\text{cm}^3$  [35], ανάλογα με τον τύπο του, πράγμα που σημαίνει ότι είναι κατά πολύ μεγαλύτερη από την ειδική επιφάνεια του c-Si που είναι γύρω στο 0.4  $\text{cm}^2/\text{cm}^3$ .

Παρακάτω παρουσιάζουμε κάποια χαρακτηριστικά στρώματα πορώδους πυριτίου όπως αυτά που έχουν χρησιμοποιηθεί σε ερευνητικές εργασίες για την ολοκλήρωση διατάξεων RF.

### 3.3.1 Μεσοπορώδες PSi από p-type δισκίδιο.

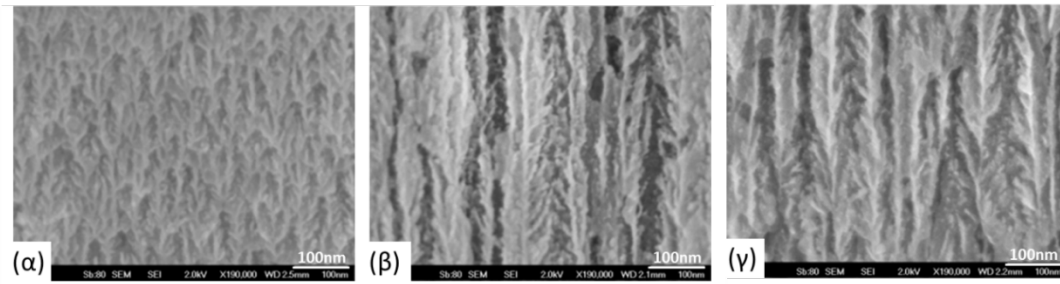
Όταν το PSi σχηματίζεται σε αρχικό δισκίδιο p-type Si χαμηλής ειδικής αντίστασης (1-10  $\Omega\cdot\text{cm}$ ) τότε δημιουργείται μία σπογγώδης δομή. Το δείγμα που φαίνεται στην Εικόνα 3.8 έχει φτιαχτεί από 1-10  $\Omega\cdot\text{cm}$  p-Si, σε διάλυμα HF:EtOH και με σταθερή πυκνότητα ρεύματος  $J=20 \text{ mA}/\text{cm}^2$  [36].



**Εικόνα 3.8.** (α) Κάτοψη PSi από p-type Si (1-10  $\Omega\cdot\text{cm}$ ) που πάρθηκε από ηλεκτρονικό μικροσκόπιο σάρωσης (SEM). Φαίνεται η χαρακτηριστική σπογγώδης δομή του PSi που παράγεται από ανοδίωση p-type Si (1-10  $\Omega\cdot\text{cm}$ ) (β) Κάτοψη του PSi της εικόνας (α) μετά από πλάσμα  $\text{SF}_6$  για 30 sec [36] (γ) Κάθετη τομή του PSi της εικόνας (α)

### 3.3.2 Μεσοπορώδες PSi από p<sup>+</sup>-type δισκίδιο.

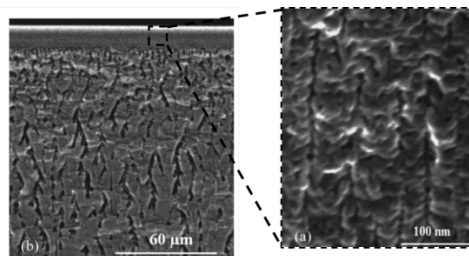
Όταν χρησιμοποιούμε p-Si υψηλής νόθευσης, δημιουργείται μεσοπορώδες PSi με κατακόρυφους πόρους. Αυτό το υλικό έχει επιδείξει πολύ καλή μηχανική αντοχή [37] και επίσης έχουν επιτευχθεί πολύ μεγάλα πάχη [38]. Στην παρακάτω εικόνα φαίνεται το πορώδες πυρίτιο που έχει αναπτυχθεί από p<sup>+</sup>-Si (1-5  $\text{m}\Omega\cdot\text{cm}$ ), με διάλυμα 2HF:3EtOH και πυκνότητες ρεύματος  $J=20, 40, 60 \text{ mA}/\text{cm}^2$  για τις Εικόνες 3.9(α), (β) και (γ) αντίστοιχα. Παρατηρούμε ότι όσο αυξάνεται η πυκνότητα ρεύματος τόσο διευρύνονται και οι πόροι [39].



Εικόνα 3.9. Τρία στρώματα πορώδους πυριτίου με διαφορετικό πορώδες και διαφορετική διάμετρο πόρων. Το αρχικό υλικό ήταν  $p^+$ -Si ( $1-5m\Omega.cm$ ). Η πυκνότητα ρεύματος ήταν  $J=20 mA/cm^2$  για το (α)  $40 mA/cm^2$  για το (β) και  $60 mA/cm^2$  για το (γ) [39]

### 3.3.3 Μακροπορώδες PSi από n-type δισκίδιο.

Για να κατασκευαστεί αυτό το PSi πρέπει να εισάγουμε οπές στο Si με τη χρήση φωτισμού. Στο κάτω μέρος της Εικόνας 3.10 φαίνεται η δομή του PSi που προκύπτει από ανοδίωση n-type Si ( $30 \Omega.cm$ ) με οπίσθιο φωτισμό. Παρατηρούμε ότι η δομή είναι μακροπορώδης. Στη συγκεκριμένη εικόνα φαίνεται να έχει φτιαχτεί ένα διπλό layer PSi. Όπως φαίνεται, στο πάνω μέρος υπάρχει ένα διακριτό στρώμα. Αυτό το στρώμα έχει προκύψει από την ανοδίωση του πάνω μέρους, που ήταν  $n^+$  Si ( $20 m\Omega.cm$ ). Στο ένθετο μπορούμε να παρατηρήσουμε ότι αυτό το στρώμα έχει μικρότερους πόρους, της τάξης των μερικών δεκάδων nm. Το διάλυμα που χρησιμοποιήθηκε ήταν HF : acetic acid : water σε αναλογία 4.63: 2.14: 1.43 και εφαρμόστηκε σταθερή τάση 5V [40].



Εικόνα 3.10. Εικόνα SEM από μία διστρωματική δομή PSi. Στο πάνω μέρος έχει ανοδιωθεί  $n^+$ -Si ενώ στο κάτω n-Si. Παρατηρούμε τη διαφορά στη διάμετρο των πόρων μεταξύ του πάνω ( $\sim 20 nm$ ) και του κάτω στρώματος ( $>5 \mu m$ ) [40].

## 3.4 Επιτυγχάνοντας Σταθερά Στρώματα PSi με μεγάλο Πάχος

Όπως έχει προαναφερθεί, για την αποτελεσματική απομόνωση των παθητικών διατάξεων RF από το υπόστρωμα Si, απαιτούνται παχιά στρώματα PSi. Επίσης, τα στρώματα PSi πρέπει να είναι μηχανικά σταθερά και να αντέχουν το θερμικό φορτίο κατά την εκτέλεση των διεργασιών CMOS. Οι παραπάνω προδιαγραφές επιβάλλουν κάποιους περιορισμούς στο είδος του PSi που μπορούμε να χρησιμοποιήσουμε και κατά συνέπεια στις συνθήκες σχηματισμού και επεξεργασίας του.

### 3.4.1 Σύσταση ηλεκτρολύτη

Όπως έχει αναφερθεί, το PSi παράγεται μέσα σε ένα ηλεκτρολυτικό διάλυμα HF. Για μικρά πάχη PSi μπορεί να χρησιμοποιηθεί υδατικό διάλυμα HF. Παρόλα αυτά, εξαιτίας της μεγάλης επιφανειακής τάσης μεταξύ του πόρου και του νερού, ο ηλεκτρολύτης δεν εισέρχεται σε μεγάλο βάθος εντός των πόρων, κάτι που μπορεί να εξηγηθεί κοιτώντας τη διαβρεξιμότητα και τα τριχοειδή φαινόμενα [41]. Αυτό οδηγεί σε μειωμένο τελικό πάχος. Επιπλέον, στα αμιγώς υδατικά διαλύματα οι φυσαλίδες  $H_2$  που δημιουργούνται κολλάνε στην επιφάνεια των πόρων φράζοντας την είσοδο νέου ηλεκτρολύτη. Για να ξεπεραστούν τα

παραπάνω προβλήματα, αντί του νερού χρησιμοποιούνται εναλλακτικοί διαλύτες, όπως η αιθανόλη (EtOH) ή το αιθανικό οξύ, οι οποίοι μπορούν και εισέρχονται βαθύτερα εντός του πόρου, επιτρέποντας το σχηματισμό παχύτερων στρωμάτων PSi με πολύ καλή ομοιομορφία.

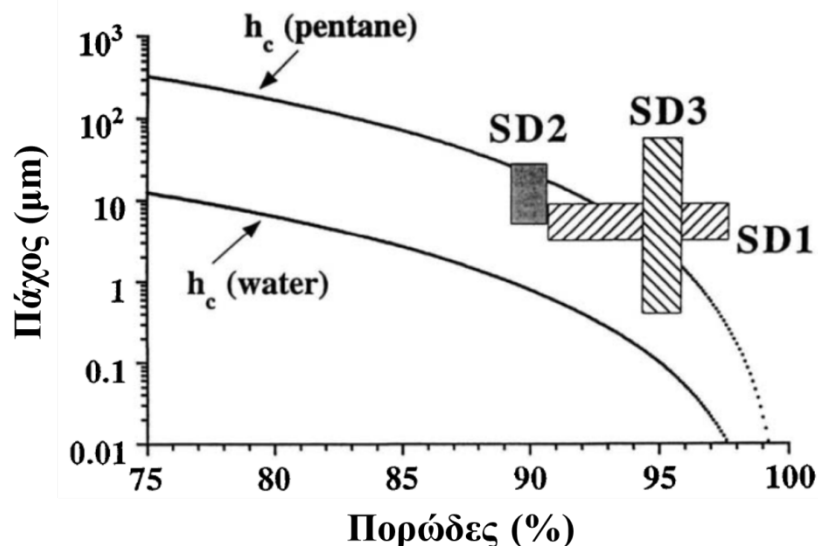
### 3.4.2 Αφαίρεση του ηλεκτρολύτη από τους πόρους

Ένας άλλος βασικός περιοριστικός παράγοντας για το μέγιστο εφικτό πάχος, είναι η θραύση του PSi κατά την εξάτμιση του ηλεκτρολύτη μέσα από τους πόρους. Η αιτία της θραύσης είναι οι τριχοειδείς δυνάμεις που αναπτύσσονται εντός των νανομετρικών πόρων [42]–[44]. Κατά την εξάτμιση του διαλύτη μέσα από τους πόρους επάγονται μεγάλες πιέσεις ειδικά στο σημείο που ο μηνίσκος του υγρού είναι οριακά εντός του πόρου. Οι συνολικές δυνάμεις που αναπτύσσονται εντός του PSi είναι συνάρτηση του πορώδους και του πάχους του στρώματος. Αυτό σημαίνει ότι, αναλόγα με το πορώδες του υλικού, υπάρχει ένα κρίσιμο πάχος ( $h_c$ ), πάνω από το οποίο το στρώμα του PSi θρυμματίζεται. Η σχέση που συνδέει το  $h_c$  με το πορώδες ( $P$ ) για την περίπτωση του PSi από  $p^+$ -Si είναι η παρακάτω [44]:

$$h_c = \left( \frac{r}{\gamma_{LV}} \right)^2 E_{Si} (1 - P)^3 \gamma_{Si} \quad (3.5)$$

όπου  $r$  είναι η ακτίνα των πόρων,  $\gamma_{Si}$  και  $E_{Si}$  είναι η ενέργεια επιφάνειας ( $\sim 1 \text{ J/m}^2$ ) και ο συντελεστής ελαστικότητας (Young's modulus) του Si. Το μέγεθος  $\gamma_{LV}$  είναι η επιφανειακή τάση μεταξύ πόρου και υγρού.

Η καμπύλη που προκύπτει από την εξίσωση (3.5), αλλά και στρώματα PSi παρασκευασμένα με υπερκρίσιμο στέγνωμα, παρουσιάζονται στην Εικόνα 3.11. Από τη σχέση (3.5) γίνεται εμφανές ότι για να αυξήσουμε το εφικτό πάχος ενός PSi με porosity  $P$ , πρέπει να χρησιμοποιήσουμε ηλεκτρολύτη με χαμηλό  $\gamma_{LV}$  είτε να ξεβγάλουμε το ανοδιωθέν PSi με κάποιο διαλύτη χαμηλού  $\gamma_{LV}$ . Για το λόγο αυτό συχνά χρησιμοποιούνται διαλύτες όπως το πεντάνιο ή η αιθανόλη. Μία διαφορετική, αλλά πολύ αποτελεσματική τεχνική που χρησιμοποιείται είναι η μέθοδος του υπερκρίσιμου στεγνώματος (supercritical drying). Σε αυτή τη μέθοδο η αφαίρεση του υγρού από τους πόρους (συνήθως υγρό  $\text{CO}_2$ ) γίνεται μετά από ένα κρίσιμο σημείο κατά το οποίο εκμηδενίζονται η τάση της φασικής μετάβασης. Με αυτόν τον τρόπο επιτυγχάνονται σταθερά παχιά στρώματα PSi (100  $\mu\text{m}$ ) με πολύ μεγάλα porosity (97%), κατά πολύ μεγαλύτερα από τη μέθοδο με το πεντάνιο [45].



Εικόνα 3.11. Διάγραμμα από το [45], όπου περιγράφεται το εφικτό πάχος στρωμάτων PSi από  $p^+$ -Si σε σχέση με το πορώδες. Οι δύο γραμμές ανταποκρίνονται στο κρίσιμο πάχος που υπολογίζεται από την εξίσωση (3.5) για δείγματα που στέγνωσαν σε νερό ή σε πεντάνιο. Τα ορθογώνια δείχνουν το πάχος και το πορώδες δειγμάτων PSi που παρασκευάστηκαν με υπερκρίσιμο στέγνωμα. Τα SD1, SD2 και SD3 ανταποκρίνονται στα [42], [46] και [47] αντίστοιχα.

### 3.4.3 Αντοχή του PSi στις θερμικές διεργασίες CMOS

Ο σχηματισμός PSi σε c-Si δεν επάγει έντονες μηχανικές τάσεις, όπως στην περίπτωση της οξειδωσης του Si. Η αιτία αυτού είναι το γεγονός ότι η πλεγματική σταθερά του PSi είναι σχεδόν η ίδια με αυτήν του c-Si [48]. Επίσης ο συντελεστής θερμικής διαστολής του PSi είναι πολύ κοντά με αυτόν του c-Si [49].

Και οι δύο παράμετροι μεταβάλλονται αρκετά όταν το PSi οξειδωθεί έστω και ελάχιστα, όπως στην περίπτωση ανάπτυξης φυσικού οξειδίου μετά από γήρανση κάποιων ημερών [48]. Η οξείδωση του PSi οδηγεί σε αύξηση των μηχανικών τάσεων και συνεπώς στην καμπύλωση [50] και στη μείωση της μηχανικής αντοχής του PSi [51], περιορίζοντας το μέγιστο πάχος που μπορεί να επιτευχθεί. Ειδικά στην περίπτωση της πλήρους οξείδωσης του πορώδους πυριτίου με χαμηλό πορώδες, οι πόροι γεμίζουν από SiO<sub>2</sub> (αύξηση όγκου κατά 2.27) αυξάνοντας τις μηχανικές τάσεις τόσο πολύ που το στρώμα θρυμματοποιείται πλήρως [52]. Σε αντίθεση, οι τάσεις που αναπτύσσονται στο ανοξειδωτό ή στο ελαφρώς οξειδωμένο (~0.5 nm SiO<sub>2</sub>) PSi είναι κατά πολύ μικρότερες [37], [53], [54], επιτρέποντας το σχηματισμό σταθερών στρωμάτων με μεγαλύτερο πάχος. Επίσης έχουν αναπτυχθεί μέθοδοι ανόπτησης του PSi έτσι ώστε να χαλαρώνουν οι μηχανικές τάσεις [54] και να αντέχει στις θερμοκρασίες των διεργασιών CMOS [55]. Αυτός είναι ένας από τους λόγους που στην έρευνα για την εφαρμογή του PSi στα κυκλώματα RF έχει επικρατήσει το μη οξειδωμένο PSi.

## 3.5 Στρώματα Πορώδους Πυριτίου που Παρασκευάστηκαν για την Παρούσα Έρευνα

Στα πλαίσια αυτής της διατριβής παρασκευάστηκαν στρώματα PSi τα οποία χρησιμοποιήθηκαν ως υπόστρωμα για την ολοκλήρωση υψηλής απόδοσης γραμμών μεταφοράς, πηνίων και κεραιών. Όπως έχει προαναφερθεί, οι εφαρμογές RF απαιτούν παχιά στρώματα PSi έτσι ώστε να καλύπτεται όλη η περιοχή διείσδυσης του HM πεδίου εντός του υποστρώματος.

Η μέθοδος παρασκευής PSi που ακολουθήθηκε ήταν η ηλεκτροχημική διάλυση του Si, αφού αυτή δίνει τα πιο επαναλήψιμα και ελεγχόμενα αποτελέσματα και επίσης διευκολύνει την κατασκευή μεγάλων παχών. Τα στρώματα PSi παρασκευάστηκαν από δισκία Si τύπου p με ειδική αντίσταση 1-5 mΩ.cm και 1-10 Ω.cm, δημιουργώντας αντιστοίχως στρώματα PSi που ήταν είτε δενδριτικά (Εικόνα 3.9) είτε σπογγώδη (Εικόνα 3.8). Οι ανοδιώσεις έγιναν σε πυκνότητες ρεύματος 20-80 mA/cm<sup>2</sup> έτσι ώστε να επιτευχθούν διάφορα πορώδη που κυμαίνονταν μεταξύ 60% – 85%. Τα μέγιστα εφικτά πάχη ήταν 200 μm και 50 μm για το PSi από p<sup>+</sup>-Si και από p-Si, αντίστοιχα.

Μετά την παρασκευή του PSi, όλα τα δείγματα υποβλήθηκαν σε προ-οξείδωση (O<sub>2</sub>, 350°C, 2h), ανόπτηση (N<sub>2</sub>, 420 °C, 1h) και σε εναπόθεση 500 nm SiO<sub>2</sub> (TEOS, LPCVD, 710°C) πάνω στο PSi. Μέσω αυτών των διεργασιών εξασφαλιζόταν η σταθερότητα της δομής ως προς τις περιβαλλοντικές συνθήκες, επιτρέποντας το χαρακτηρισμό τους σε διαφορετικούς χρόνους και σε διαφορετικά εργαστήρια.

Περισσότερες λεπτομέρειες για τα επιμέρους στρώματα PSi θα παρουσιάζονται στα αντίστοιχα κεφάλαια.

## 3.6 Συμπεράσματα Κεφαλαίου

Σκοπός αυτού του κεφαλαίου ήταν να περιγραφεί συνοπτικά ο σχηματισμός του PSi, υπό το πρίσμα της χρήσης του για παθητικές διατάξεις RF. Σε αυτό το πλαίσιο παρουσιάστηκαν οι διάφορες επιλογές για την παρασκευή PSi. Κυρίως εστίασαμε στη μέθοδο της ηλεκτροχημικής ανοδιώσης, η οποία σε συνδυασμό με τη χρήση κατάλληλων μασκών μπορεί να οδηγήσει σε παχιές, ομοιόμορφες και επαναλήψιμες τοπικές περιοχές PSi. Στη συνέχεια παρουσιάζονται οι παράμετροι παρασκευής που είναι κρίσιμες ώστε να επιτευχθούν παχιά στρώματα PSi με αντοχή στην καταπόνηση από τις διεργασίες CMOS. Αυτό είναι ένα πολύ κρίσιμο σημείο, μιας και η επίτευξη χοντρών στρωμάτων PSi είναι πάρα πολύ σημαντική για τη βελτίωση της απόδοσης των ολοκληρωμένων διατάξεων RF. Συγκεκριμένα, επικεντρώσαμε στις μηχανικές τάσεις που αναπτύσσονται κατά το στέγνωμα



και την οξείδωση του PSi. Τέλος, περιγράφεται σε γενικές γραμμές η μέθοδος που ακολουθήθηκε για την παρασκευή των στρωμάτων PSi αυτής της διατριβής και αιτιολογείται η επιλογή αυτής.



# Κεφάλαιο 4

## Προσδιορισμός Διηλεκτρικών Παραμέτρων του Πορώδους Πυριτίου

### 4.1 Εισαγωγή

Η γνώση των διηλεκτρικών παραμέτρων ενός υποστρώματος είναι βασική για την περίπτωση που θέλουμε να αναλύσουμε διατάξεις και κυκλώματα RF. Προκύπτει λοιπόν η αναγκαιότητα για αξιόπιστο και ακριβή διηλεκτρικό χαρακτηρισμό του PSi. Η γνώση των διηλεκτρικών παραμέτρων του, το καθιστά χρησιμοποιήσιμο σε προγράμματα HM προσομοιώσεων, έτσι ώστε να μπορεί να γίνει σχεδίαση διαφόρων διατάξεων πάνω σε αυτό. Προϋπόθεση για τη χρήση αυτή του PSi είναι η επαναληψιμότητα της παρασκευής στρωμάτων PSi και των ιδιοτήτων που αυτό έχει.

Σε αυτό το κεφάλαιο παρουσιάζονται οι βασικές διηλεκτρικές παράμετροι του PSi που μας ενδιαφέρουν, καθώς και η μέθοδος εξαγωγής αυτών που χρησιμοποιήθηκε. Τα αποτελέσματα εξήχθηκαν για διάφορα στρώματα PSi που παρασκευάστηκαν από ανοδίωση Si τύπου p και τύπου p<sup>+</sup>. Τέλος η μέθοδος εξαγωγής των παραμέτρων επαληθεύεται για την περίπτωση διατάξεων, όπως πηνία και γραμμές μεταφοράς. Αυτό επιτυγχάνεται μέσα από τη σύγκριση μεταξύ μετρήσεων και προσομοιώσεων που έγιναν με εμπορικά πακέτα λογισμικού τρισδιάστατης επίλυσης του HM πεδίου.

### 4.2 Διηλεκτρικές Παράμετροι του Πορώδους Πυριτίου

#### 4.2.1 Ειδική αγωγιμότητα, επιτρεπτότητα και εφαπτομένη απωλειών

Η ηλεκτρική μετατόπιση ( $D$ ) είναι ένα μέγεθος που περιγράφει πώς το ηλεκτρικό πεδίο ( $E$ ) επηρεάζει την οργάνωση των φορτίων εντός ενός μέσου, συμπεριλαμβάνοντας και τη μεταφορά φορτίου και τον προσανατολισμό των διπόλων του μέσου. Χρήσιμο μέγεθος γι' αυτήν την περιγραφή είναι η πυκνότητα της διηλεκτρικής πόλωσης ( $P$ ), που ορίζεται σαν η μέση διπολική ροπή ανά μονάδα όγκου. Η σχέσεις που συνδέουν το  $D$  με το  $E$  και το  $P$  είναι η εξής:

$$\begin{aligned}D &= \varepsilon_0 E + P \\P &= \varepsilon_0 \chi E \\ \varepsilon &= \varepsilon_0 (1 + \chi)\end{aligned}\tag{4.1}$$

όπου το  $\chi$  είναι η επιδεκτικότητα (susceptibility) του μέσου,  $\varepsilon$  είναι η επιτρεπτότητα (permittivity) του μέσου και  $\varepsilon_0=8.854 \cdot 10^{-12}$  F/m είναι η επιτρεπτότητα του κενού. Η επιτρεπτότητα ενός υλικού συνδέεται άμεσα με την επιδεκτικότητα του μέσου στη διάδοση του HM πεδίου. Στα ισοτροπικά υλικά είναι βαθμωτό μιγαδικό μέγεθος, ενώ στα ανισοτροπικά περιγράφεται από έναν τανυστή. Σε γενικές γραμμές η επιτρεπτότητα ενός μέσου δεν είναι ένα σταθερό μέγεθος και μπορεί να εξαρτάται από τη γεωμετρία του μέσου, τις περιβαλλοντικές συνθήκες, την ένταση του HM πεδίου και τη συχνότητα του HM πεδίου που εφαρμόζεται.

Η επιτρεπτότητα ενός υλικού μπορεί να αναλυθεί σε ένα γινόμενο της σχετικής επιτρεπτότητας του υλικού (relative permittivity –  $\varepsilon_r$ ) με την επιτρεπτότητα του κενού ( $\varepsilon_0$ ). Η σχετική επιτρεπτότητα (βλ. εξίσωση (4.2)) είναι ένα μιγαδικό μέγεθος, το πραγματικό μέρος

( $\epsilon_r'$ ) του οποίου συνδέεται με την ενέργεια που αποθηκεύεται στο υλικό, ενώ το φανταστικό ( $\epsilon_r''$ ) με την ενέργεια που χάνεται εντός αυτού. Για το  $\epsilon_r'$  χρησιμοποιείται πολύ συχνά στη βιβλιογραφία και ο όρος «σχετική διηλεκτρική σταθερά (relative dielectric constant)».

$$\epsilon_r = \epsilon_r' + j\epsilon_r'' \quad (4.2)$$

Σύμφωνα με την εξίσωση του Maxwell για το HM πεδίο έχουμε:

$$\nabla \times \mathbf{H} = j\omega\mathbf{D} + \mathbf{J} = j\omega \left( \epsilon_r' + j\epsilon_r'' - j\frac{\sigma_{AC}}{\omega} \right) \mathbf{E} \quad (4.3)$$

όπου  $\mathbf{H}$  είναι η ένταση του μαγνητικού πεδίου,  $\mathbf{J}$  είναι η πυκνότητα ρεύματος,  $\omega$  η γωνιακή συχνότητα και  $\sigma_{AC}$  η ειδική αγωγιμότητα του μέσου. Η τελευταία εκφράζει τις απώλειες που οφείλονται στη μεταφορά ηλεκτρικών φορέων εντός του μέσου και πολλές φορές είναι δύσκολο να την ξεχωρίσουμε από το φανταστικό μέρος της επιτρεπτότητας.

Από την (4.3) μπορούμε να ορίσουμε ένα μέγεθος που ονομάζεται εφαπτομένη απωλειών (loss tangent -  $\tan\delta$ ) και χρησιμοποιείται ευρέως στη σχεδίαση κυκλωμάτων RF. Αυτό το μέγεθος περιλαμβάνει το σύνολο των απωλειών που προκύπτουν σε ένα διηλεκτρικό υλικό και ο ορισμός του φαίνεται στη σχέση (4.4).

$$\tan \delta = \frac{\omega\epsilon_r'' + \sigma}{\omega\epsilon_r'} = \frac{\epsilon_r''}{\epsilon_r'} + \frac{\sigma}{\omega\epsilon_r'} \quad (4.4)$$

Παρατηρούμε ότι η εφαπτομένη απωλειών αποτελείται από δύο όρους. Ο πρώτος όρος περιγράφει τις απώλειες που οφείλονται στην πόλωση του διηλεκτρικού και ο δεύτερος στα ρεύματα διαρροής εντός του διηλεκτρικού. Ορίζοντας σαν  $\tan \delta_D = \epsilon_r'' / \epsilon_r'$  και  $\tan \delta_L = \sigma / \omega\epsilon_r'$  μπορούμε να γράψουμε:

$$\tan \delta = \tan \delta_D + \tan \delta_L = \frac{\epsilon_r''}{\epsilon_r'} + \frac{\sigma}{\omega\epsilon_r'} \quad (4.5)$$

#### 4.2.2 Το Πορώδες Πυρίτιο ως Διηλεκτρικό

Οι ηλεκτρικές ιδιότητες του PSi είναι πολύ διαφορετικές από αυτές του αρχικού c-Si. Όπως έχει περιγραφεί για την περίπτωση του μεσοπορώδους και του μικροπορώδους PSi, οι νανοδομές Si στον πορώδη σκελετό είναι απογυμνωμένες από ελεύθερους φορείς [1], πράγμα το οποίο μειώνει πολύ την ειδική αγωγιμότητα του PSi και του προσδίδει μία διηλεκτρική συμπεριφορά. Με τη σειρά τους, οι διηλεκτρικές ιδιότητες του PSi εξαρτώνται από τις δομικές και μορφολογικές του ιδιότητες, όπως το πορώδες και το σχήμα των πόρων. Παρακάτω περιγράφουμε τις ηλεκτρικές παραμέτρους του PSi που είναι χρήσιμες για τη σχεδίαση κυκλωμάτων RF πάνω σε αυτό, καθώς και την εξάρτησή τους από την μορφολογία και τη δομή.

##### Ειδική αγωγιμότητα

Η ειδική αγωγιμότητα DC ( $\sigma_{DC}$ ) του PSi έχει μετρηθεί από αρκετές ερευνητικές ομάδες [2]–[6] και συστηματικά βρίσκεται να είναι πολύ χαμηλή, με τιμές γύρω στο  $10^{-12} - 10^{-5}$  S/m [6]. Ο κύριος παράγοντας που επηρεάζει την  $\sigma_{DC}$  είναι και πάλι το porosity και η μορφολογία του PSi [4], [7]. Ειδικά στην περίπτωση του PSi που παρουσιάζει ανισοτροπικούς κατακόρυφους πόρους, έχει παρατηρηθεί ότι η ειδική αγωγιμότητα κατά μήκος των πόρων είναι διαφορετική από αυτήν κάθετα στους πόρους [2], [8].

Όσον αφορά την ειδική αγωγιμότητα AC ( $\sigma_{AC}$ ) αυτή φαίνεται να εξαρτάται από τη συχνότητα. Υπάρχουν αρκετές επιστημονικές έρευνες που προσπαθούν να συνδέσουν τις διηλεκτρικές ιδιότητες με τη δομή του PSi. Σύμφωνα με τα [3], [4], [7], η μεταφορά ηλεκτρικού πεδίου στο PSi ακολουθεί δύο μηχανισμούς. Ο πρώτος καθορίζεται από το μήκος της ελεύθερης διαδρομής του φορέα μέσα στη fractal δομή του PSi και ισχύει για πολύ χαμηλές συχνότητες. Στις πιο υψηλές συχνότητες η ελεύθερη διαδρομή είναι μικρότερη και η αγωγή καθορίζεται από την απόσταση μεταξύ ανομοιογενών περιοχών [4]. Σε

συχνότητες μεγαλύτερες των 10 – 100 kHz, η  $\sigma_{PSi}^{AC}$  είναι ανάλογη της συχνότητας [4], συμπεριφορά η οποία είναι τυπική της αγωγιμότητας αλμάτων (hopping conductivity) των φορέων αγωγιμότητας. Σε συχνότητες <1 kHz, μπορούμε επίσης να παρατηρήσουμε φαινόμενα αγωγής που οφείλονται σε φορτία παγιδευμένα στην επιφάνεια των πόρων, όπως υπολείμματα ηλεκτρολύτη κ.α. [5].

### **Επιτρεπτότητα**

Ενώ σε χαμηλές συχνότητες (<100 Hz) το  $\epsilon_{PSi}$  επηρεάζεται από τη συχνότητα [4], στις υψηλότερες συχνότητες (>100 kHz) παραμένει σταθερό με τη συχνότητα και ανεξάρτητο από τη θερμοκρασία. Σε πολύ υψηλότερες συχνότητες (> 10 THz) το μήκος κύματος της ακτινοβολίας είναι συγκρίσιμο με τις διαστάσεις των πόρων, πράγμα το οποίο οδηγεί στην αλληλεπίδραση του ενός με το άλλο. Για τις συχνότητες που είναι ανάμεσα στις δύο παραπάνω περιοχές (100 kHz <  $f$  < 10 THz, όπως π.χ. χαμηλές συχνότητες, RF, mm-wave), το PSi μπορεί να θεωρηθεί ως ομοιογενές διηλεκτρικό μέσο και οι διηλεκτρικές ιδιότητες μπορούν να αναλυθούν μέσα από προσεγγίσεις ενεργού μέσου (effective medium approximation). Σε αυτές τις προσεγγίσεις συνδέεται η δομή και το πορώδες του PSi με την επιτρεπτότητά του. Συνεπώς, όλες οι προσεγγίσεις πρέπει να συμφωνούν με την τιμή  $\epsilon_{Si} = 11.7$  (σχετική επιτρεπτότητα c-Si) για 100% πορώδες, ενώ με την τιμή  $\epsilon_{air} = 1$  (σχετική επιτρεπτότητα αέρα) για πορώδες 0%. Τα μοντέλα, που χρησιμοποιούνται για να συνδέσουν το  $\epsilon_{PSi}$  μη-οξειδωμένου PSi με το πορώδες και τη δομή, περιγράφονται παρακάτω:

#### Προσέγγιση Vegard [9]

Η προσέγγιση του Vegard χρησιμοποιεί ένα μοντέλο απλής μίξης, όπου το υλικό θεωρείται ομοιογενές και το  $\epsilon_{PSi}$  συνδέεται με το πορώδες μέσω της παρακάτω σχέσης:

$$\epsilon_{PSi} = P\epsilon_{air} + (1 - P)\epsilon_{Si} \quad (4.6)$$

#### Προσέγγιση Maxwell-Garnett [10]

Αυτή η προσέγγιση μπορεί να εφαρμοστεί για συστήματα όπου ο παράγοντας πληρότητας  $f = 1 - P$  (filling factor) του πορώδους υλικού είναι κατά πολύ μικρότερος από το πορώδες [10]. Με άλλα λόγια ισχύει για την περίπτωση υψηλού πορώδους (> 70%) και περιγράφεται από τη σχέση:

$$\frac{\epsilon_{PSi} - \epsilon_{air}}{\epsilon_{PSi} + 2\epsilon_{air}} = (1 - P) \frac{\epsilon_{Si} - \epsilon_{air}}{\epsilon_{Si} + 2\epsilon_{air}} \quad (4.7)$$

#### Προσέγγιση Bruggeman [10]

Αυτή η προσέγγιση εφαρμόζεται σε δομές όπου το  $f$  είναι συγκρίσιμο με το  $P$  [10] και περιγράφεται από την παρακάτω σχέση:

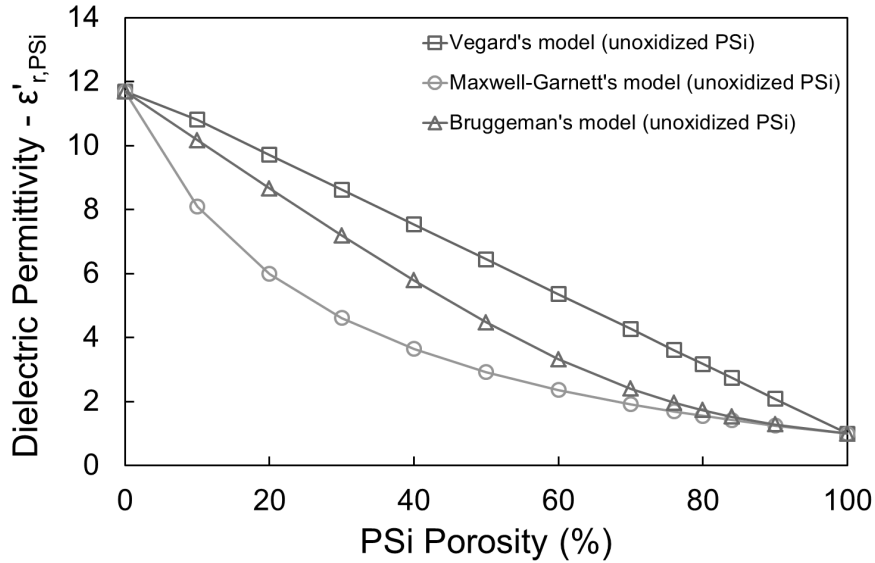
$$P \frac{\epsilon_{PSi} - \epsilon_{air}}{\epsilon_{PSi} + 2\epsilon_{air}} = (1 - P) \frac{\epsilon_{Si} - \epsilon_{air}}{\epsilon_{Si} + 2\epsilon_{air}} \quad (4.8)$$

#### Προσέγγιση Bergman [11]

Η προσέγγιση του Bergman εισάγει τον όρο της φασματικής πυκνότητας  $g(n,P)$  ώστε να συμπεριληφθεί στο μοντέλο η νανοτοπολογία του υλικού. Η προσέγγιση περιγράφεται από τη σχέση:

$$\epsilon_{PSi} = \epsilon_{air} \left( 1 - f \int_0^1 \frac{g(n, f)}{\frac{\epsilon_{air}}{\epsilon_{air} - \epsilon_{Si}} - n} dn \right) \quad (4.9)$$

Στην Εικόνα 4.1 φαίνονται οι τιμές που προβλέπουν τα παραπάνω μοντέλα για το εύρος πορώδους 0-100 %. Στην εικόνα παραλείπεται η προσέγγιση του Bergman μιας και απαιτεί υπολογισμό της συνάρτησης  $g(n, P)$  που γίνεται επί συγκεκριμένου είδους PSi και δεν εξαρτάται μόνο από το πορώδες.



Εικόνα 4.1. Τα διαφορετικά μοντέλα ενεργού μέσου (προσεγγίσεις Vegard, Maxwell-Garnett και Bruggeman) για τη σχέση μεταξύ πορώδους και επιτρεπτότητας.

Από όλες τις παραπάνω προσεγγίσεις, το μοντέλο του Vegard είναι το πιο απλό, ενώ το πιο συχνά χρησιμοποιούμενο είναι το μοντέλο του Bruggeman [12], [13]. Τα μοντέλα του Vegard και του Maxwell-Garnett για το μη οξειδωμένο PSi έχουν αποδειχθεί μη ικανά να περιγράψουν τα πειραματικά αποτελέσματα όσον αφορά την εξάρτηση του  $\epsilon_{PSi}$  από το πορώδες [11], [14], [15]. Μία βελτιωμένη εκδοχή της προσέγγισης του Vegard μπορεί να συμπεριλάβει και το φυσικό  $\text{SiO}_2$  που καλύπτει όλη την επιφάνεια των νανοδομών Si που απαρτίζουν το υλικό [16], βελτιώνοντας σημαντικά τη συμφωνία μεταξύ του μοντέλου και των πειραματικών δεδομένων. Η οξείδωση του σκελετού του Si μειώνει ταυτόχρονα τον όγκο του αέρα και του Si, με αναλογία 1.17:1, αντικαθιστώντας το με  $\text{SiO}_2$ . Όμως η διαφορά της  $\epsilon_{\text{SiO}_2}$  και  $\epsilon_{air}$  είναι μικρότερη από τη διαφορά  $\epsilon_{\text{SiO}_2}$  και  $\epsilon_{Si}$  οδηγώντας στη μείωση της επιτρεπτότητας του PSi [12], [16]. Τέλος, όσον αφορά το μοντέλο του Bergman, αξίζει να αναφερθεί ότι ανταποκρίνεται καλά στα πειραματικά αποτελέσματα, ειδικά στις οπτικές συχνότητες. Παρόλα αυτά, προϋποθέτει τη γνώση της συνάρτησης  $g(n, f)$  που δεν είναι καθόλου εύκολη να προβλεφθεί και γι' αυτό πρέπει να βγει από πειραματικά δεδομένα για το συγκεκριμένο είδος PSi [17].

#### Εφαπτομένη απωλειών

Όσον αφορά την εφαπτομένη απωλειών δεν υπάρχει μέχρι τώρα κάποιο μοντέλο που να συνδέει τις δομικές και μορφολογικές ιδιότητες με αυτήν. Σε ορισμένες εργασίες έχει παρατηρηθεί ότι όσο αυξάνεται το πορώδες μειώνεται το  $\tan\delta$  [18]. Παρόλα αυτά, αυτό το συμπέρασμα δεν έχει επιβεβαιωθεί, ενώ η δική μας έρευνα έδειξε αποκλίσεις από αυτό [15].

Αυτές οι αποκλίσεις μπορεί να οφείλονται στη διαφορετική μορφολογία και δομή των πόρων που μπορεί να παίρνει ένα στρώμα PSi όταν αλλάζει το πορώδες του.

### 4.3 Μέθοδος Εξαγωγής Διηλεκτρικών Παραμέτρων

#### 4.3.1 Μέθοδοι διηλεκτρικού χαρακτηρισμού

Όπως αναφέρθηκε, οι διηλεκτρικές ιδιότητες ενός υλικού που χρειάζεται να προσδιοριστούν για χρήση σε μικροκυματικές εφαρμογές είναι η επιτρεπτότητα, η εφαπτομένη απωλειών και η αγωγιμότητά του. Στις χαμηλές συχνότητες ( $< 10$  MHz) οι διηλεκτρικές ιδιότητες εξάγονται συνήθως μέσα από C – V μετρήσεις. Παρόλα αυτά, για μεγαλύτερες συχνότητες (RF, mmW) πρέπει να υιοθετηθούν διαφορετικές προσεγγίσεις. Οι τεχνικές χαρακτηρισμού μπορούν να διακριθούν στις τεχνικές συντονισμού και στις τεχνικές ευρείας ζώνης [19]. Οι τεχνικές συντονισμού δίνουν αποτελέσματα για μία συγκεκριμένη συχνότητα, έχουν πολύ καλή ακρίβεια και συνήθως χρησιμοποιούν κάποια διάταξη συντονισμού π.χ. μικροδακτύλιοι. Σε αυτές τις διατάξεις το μετρούμενο μέγεθος, που είναι είτε ο συντονισμός είτε η διαταραχή του συντονισμού, συνδέεται με τη διηλεκτρική συμπεριφορά του υλικού που μας ενδιαφέρει. Από την άλλη μεριά, οι τεχνικές ευρείας ζώνης στηρίζονται στη μέτρηση της ανάκλασης ή της διάδοσης του HM κύματος μέσα από ένα υλικό ή σε δομές οι οποίες επηρεάζονται από το υλικό. Χαρακτηριστικό παράδειγμα, το οποίο και θα χρησιμοποιήσουμε, είναι η ολοκλήρωση γραμμών μεταφοράς πάνω στο υλικό και μέτρηση της απόκρισής τους. Η ανάλυση αυτών των αποτελεσμάτων μπορεί να οδηγήσει στην εξαγωγή των διηλεκτρικών ιδιοτήτων του υλικού. Αυτές οι μέθοδοι έχουν το πλεονέκτημα ότι δίνουν αποτελέσματα σε ένα μεγάλο εύρος συχνοτήτων και το μειονέκτημα ότι είναι λιγότερο ακριβείς από τις μεθόδους συντονισμού.

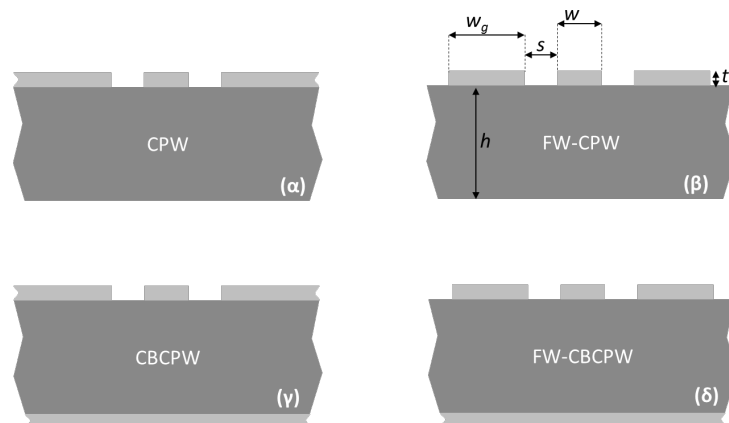
Όσον αφορά το PSi, στις χαμηλές συχνότητες (μέχρι 10 MHz) ο πιο συνηθισμένος τρόπος εξαγωγής των διηλεκτρικών παραμέτρων του είναι μέσα από C–V μετρήσεις δομών μετάλλου/PSi/c-Si/μετάλλου [16], [20]. Αυτές όμως οι συχνότητες δεν καλύπτουν τις ανάγκες αυτής της διατριβής. Οι συχνότητες που μας ενδιαφέρουν είναι οι 40 MHz – 40 GHz και 140 GHz – 210 GHz. Για να χαρακτηριστεί το PSi σε τόσο ευρύ φάσμα συχνοτήτων χρειάζονται μέθοδοι ευρείας ζώνης. Μέχρι τώρα έχουν δημοσιευθεί αρκετές ερευνητικές εργασίες με αντικείμενο το διηλεκτρικό χαρακτηρισμό του PSi, οι οποίες εφαρμόζουν διάφορες τεχνικές χαρακτηρισμού που συνδυάζουν μετρήσεις και προσομοιώσεις [21]–[23]. Στη συνέχεια παρουσιάζεται η μέθοδος που αναπτύχθηκε κατά τη διάρκεια της εκπόνησης του διδακτορικού. Αυτή στηρίζεται στην ολοκλήρωση μίας γραμμής μεταφοράς CPW πάνω σε παχύ στρώμα PSi ( $> 150$  μm), στη μέτρηση της απόκρισής της στις RF και mmW συχνότητες και στον συνακόλουθο υπολογισμό των διηλεκτρικών ιδιοτήτων. Συγκεκριμένα, η επιτρεπτότητα του PSi υπολογίζεται αναλυτικά μέσα από την εφαρμογή της τεχνικής του conformal mapping, ενώ για τον υπολογισμό της εφαπτομένης απωλειών και της αγωγιμότητας γίνεται χρήση HM προσομοιώσεων (HFSS, Ansys Inc. [24]).

#### 4.3.2 Ολοκλήρωση ομοεπίπεδων κυματοδηγών (CPW)

##### *Παραλλαγές της γραμμής μεταφοράς CPW*

Όπως προαναφέρθηκε, ο ομοεπίπεδος κυματοδηγός (CPW) είναι μία γραμμή μεταφοράς με τρεις ομοεπίπεδους αγωγούς σε διάταξη γείωση – σήμα – γείωση πάνω ή ενδιάμεσα κάποιων διηλεκτρικών (βλ. Εικόνα 1.8).

Στην πιο απλή περίπτωση το CPW βρίσκεται πάνω σε ένα μόνο διηλεκτρικό στρώμα και το πλάτος των γειώσεων είναι άπειρο (Εικόνα 1.8α). Πέρα από αυτή την εκδοχή όμως, υπάρχουν διάφορες άλλες παραλλαγές του CPW. Οι πιο συνήθειες παραλλαγές είναι όταν το πλάτος των γειώσεων είναι πεπερασμένο, όπου έχουμε τα Finite Width CPW – FWCPW (Εικόνα 1.8β), όταν στο πίσω μέρος υπάρχει αγωγός, όπου έχουμε τα Conductor Backed CPW – CBCPW (Εικόνα 1.8γ) και προφανώς ένας συνδυασμός των δύο που είναι το Finite Width Conductor Backed CPW ή αλλιώς FW-CBCPW (βλ. Εικόνα 1.8δ).



**Εικόνα 4.2. Σχηματική αναπαράσταση των CPW, conductor-backed CPW, finite-width CPW και finite-width conductor backed CPW πάνω σε μονοστρωματικό υπόστρωμα. Φαίνονται επίσης οι γεωμετρικές παράμετροι σχεδίασης των CPW.**

Τα CPW που θα χρησιμοποιήσουμε σε αυτή τη διατριβή είναι FWCPW ολοκληρωμένα πάνω σε μονοστρωματικό ή διστρωματικό υπόστρωμα, συνολικού πάχους περίπου 400 – 500  $\mu\text{m}$ . Ειδικότερα, τα υποστρώματα PSi, που χρησιμοποιήθηκαν, περιγράφηκαν στο Κεφάλαιο 3. Στο πίσω μέρος του υποστρώματος δεν υπάρχει επιμετάλλωση. Παρόλα αυτά, συνήθως οι RF μετρήσεις γίνονται πάνω σε μία μεταλλική βάση η οποία μπορεί να λειτουργήσει σαν πίσω αγωγός. Όταν όμως  $(w/2+s)/h < 0.1$ , όπου το  $w$  είναι το πλάτος της γραμμής σήματος,  $s$  η απόσταση μεταξύ της γραμμής σήματος και των γειώσεων και  $h$  το πάχος του διηλεκτρικού, τότε μπορούμε με ασφάλεια να αγνοήσουμε την πίσω επιμετάλλωση και να θεωρήσουμε ότι έχουμε ένα FWCPW [25]. Για λόγους ευκολίας, στη συνέχεια του κειμένου, όπου αναφέρεται ο όρος CPW θα υπονοείται FWCPW.

### **Κατασκευή των CPW**

Για τα πειράματα μας στην εξαγωγή των διηλεκτρικών παραμέτρων του PSi και στη σύγκρισή του με άλλα υποστρώματα, ολοκληρώθηκαν γραμμές μεταφοράς πάνω σε υποστρώματα PSi, LR-Si (1-10  $\Omega\cdot\text{cm}$ ), trap-rich HR-Si και quartz, τα οποία και περιγράφηκαν στο Κεφάλαιο 2. Τα CPW που ολοκληρώθηκαν πάνω σε όλα αυτά τα υποστρώματα είχαν τις διαστάσεις που φαίνονται στον Πίνακα 4.1. Το μέταλλο που χρησιμοποιήθηκε για τα CPW ήταν το αλουμίνιο (Al) και το πάχος του ήταν σε όλες τις περιπτώσεις 1  $\mu\text{m}$ , ώστε να είναι συμβατό με τα πάχη της τεχνολογίας CMOS, χωρίς παράλληλα να εισάγονται μεγάλες ωμικές απώλειες.

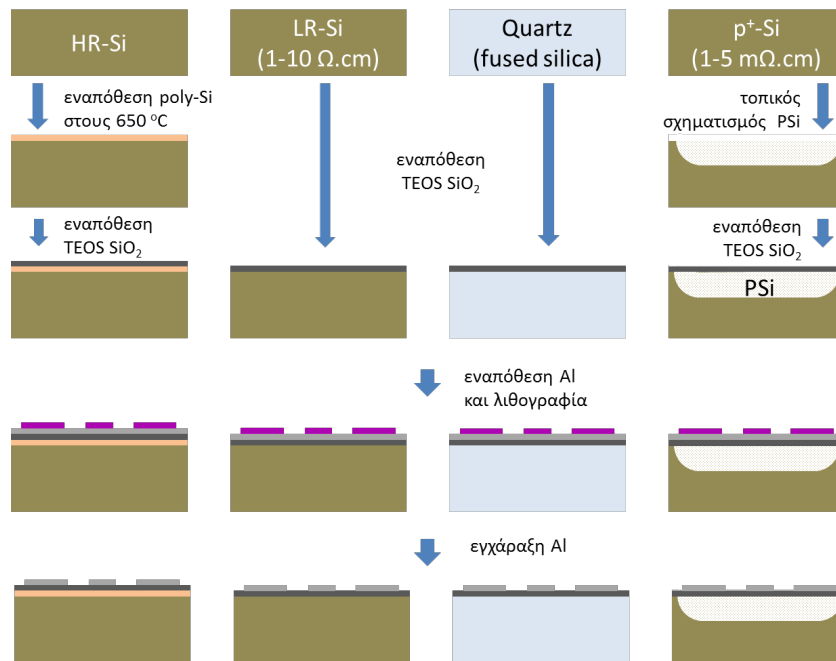
**Πίνακας 4.1.**

**Διαστάσεις των γραμμών CPW που υλοποιήθηκαν και δοκιμάστηκαν στα πλαίσια αυτής της διατριβής**

Όνομασία	$w$ [ $\mu\text{m}$ ]	$s$ [ $\mu\text{m}$ ]	$w_g$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]
CPW_Ia	20	100	350	9500 / 2400
CPW_Ib	180	20	350	9500 / 2400
CPW_U2	26	12	208	8000 / 2146

Η διαδικασία κατασκευής περιγράφεται στην Εικόνα 4.3. Το Al εναποτέθηκε σε όλα τα υποστρώματα με τεχνική φυσικής εναπόθεσης ατμών μέσω ηλεκτρονικής δέσμης (electron gun physical vapor deposition – electron gun PVD), χρησιμοποιώντας τον εξοπλισμό (DENTON DV-602) του καθαρού χώρου του Ινστιτούτου Νανοεπιστημών και Νανοτεχνολογίας του ΕΚΕΦΕ «Δημόκριτος». Η ρητίνη που χρησιμοποιήθηκε ως μάσκα είναι η AZ 5214 από τη Microchemicals GmbH, ενώ η εγχάραξη του Al έγινε με υγρό διάλυμα φωσφορικού οξέος ( $\text{H}_3\text{PO}_4$ ) και προπανόλης ( $\text{C}_3\text{H}_8\text{O}$ ).

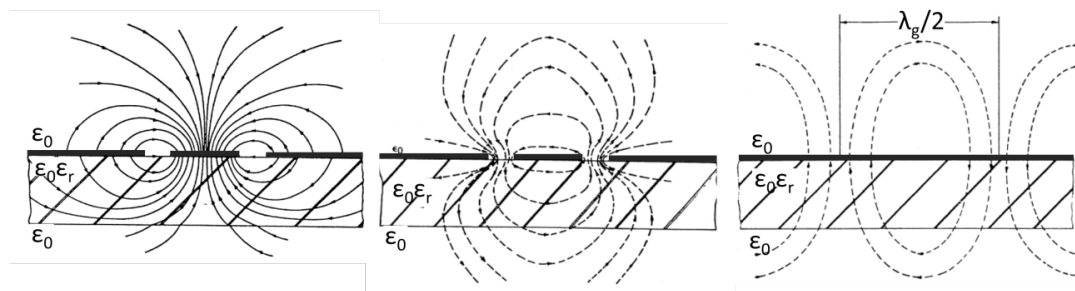




Εικόνα 4.3. Περιγραφή της διεργασίας ολοκλήρωσης των CPW πάνω στα τέσσερα υποστρώματα που θα εξεταστούν σε αυτή τη διατριβή

### Περιγραφή του HM πεδίου ενός CPW πάνω σε PSi

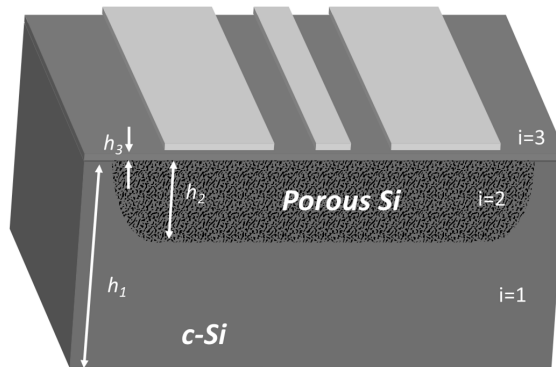
Το HM πεδίο που αναπτύσσεται από ένα FWCPW πάνω σε ένα μονοστρωματικό υπόστρωμα φαίνεται, σε εγκάρσια τομή, στην Εικόνα 4.4:



Εικόνα 4.4. (α) Εγκάρσια τομή κατά πλάτος του CPW όπου φαίνεται η κατανομή του ηλεκτρικού πεδίου. Όπως φαίνεται, οι δυναμικές γραμμές κινούνται από τη γραμμή του σήματος προς τη γείωση (β) Εγκάρσια τομή κατά πλάτος του CPW όπου φαίνεται η κατανομή του μαγνητικού πεδίου (γ) Εγκάρσια τομή κατά μήκος κατά μήκος της γραμμής σήματος ενός CPW όπου φαίνεται το μαγνητικό πεδίο κατά μήκος της γραμμής σήματος του CPW

Το πεδίο του CPW μπορεί να περιγραφεί μέσα από τη μέθοδο του conformal mapping (CM). Στην περίπτωση αυτή υποθέτουμε ότι η διάδοση του HM γίνεται με έναν ψευδοστατικό ρυθμό (quasi-static) με εγκάρσιο ηλεκτρικό και μαγνητικό πεδίο (Transverse Electro- Magnetic – TEM). Προϋπόθεση για να ισχύει αυτή η υπόθεση, είναι να εξετάζουμε συχνότητες χαμηλότερες από την κρίσιμη συχνότητα εμφάνισης άλλων ρυθμών μετάδοσης. Αυτή η κρίσιμη συχνότητα εξαρτάται από τη γεωμετρία του CPW, καθώς και από την επιτρεπτικότητα του υποστρώματος [26], [27]. Οι άλλες υποθέσεις είναι ότι τα υλικά είναι ιστροπικά για τις συχνότητες που μας ενδιαφέρουν (αυτό ισχύει για το PSi στις RF συχνότητες) και οι διεπιφάνειες των υλικών λειτουργούν σαν μαγνητικά όρια. Οι παραπάνω υποθέσεις επιτρέπουν να αντιμετωπίσουμε τη συνολική χωρητικότητα σαν άθροιση των επιμέρους χωρητικοτήτων που οφείλονται σε κάθε διηλεκτρικό στρώμα.

Όπως περιγράφηκε στην Ενότητα 4.3.2, η πιο σύνθετη περίπτωση που θα χρειαστούμε είναι ένα FWCPW με πεπερασμένο πάχος μετάλλου πάνω σε ένα υπόστρωμα τριών επιπέδων το οποίο στην πάνω του μεριά έχει αέρα, όπως αυτό φαίνεται στην Εικόνα 4.5.



**Εικόνα 4.5. Σχηματική αναπαράσταση του FW-CPW, ολοκληρωμένου πάνω σε PSi. Στο σχηματικό φαίνεται η αρίθμηση των στρωμάτων, καθώς και οι distάνσεις που χρειάζονται για την τεχνική του conformal mapping**

Οι χρήσιμες παράμετροι των CPW που θα χρειαστούμε για τον πλήρη χαρακτηρισμό του υλικού, αλλά και της απόδοσης του CPW, είναι οι εξής:

$Z_C$ : Η χαρακτηριστική αντίσταση της γραμμής μεταφοράς είναι ο λόγος μεταξύ του πλάτους της τάσης του κύματος και του πλάτους της έντασης του ρεύματος. Καθορίζεται από τη γεωμετρία του CPW και τις ιδιότητες του υποστρώματος, ενώ είναι ανεξάρτητη από το μήκος της γραμμής μεταφοράς.

$v_{ph}$ : Η ταχύτητα φάσης του κύματος στο CPW

$\epsilon_{eff}$ : Η ενεργός επιτρεπτότητα (effective permittivity) είναι ένα μέγεθος που εκφράζει τον τρόπο που αλληλεπιδρά αθροιστικά το περιβάλλον του CPW με τη διάδοση του κύματος.

Συνδέεται με την ταχύτητα φάσης μέσω της σχέσης  $\epsilon_{eff} = \sqrt{c/v_{ph}}$ , όπου  $c$  είναι η ταχύτητα του φωτός στο κενό.

$\gamma$ : Η μιγαδική σταθερά διάδοσης του HM κύματος. Αναλύεται σε  $\gamma = \alpha + j\beta$ , όπου

$\alpha$ : η σταθερά της εξασθένησης (attenuation constant) του πλάτους του σήματος κατά τη διάδοση στο CPW

$\beta$ : η φασική σταθερά (phase constant) του κύματος

Στον υπολογισμό της συνολικής χωρητικότητας μπορεί να εφαρμοστεί η αρχή της επαλληλίας. Αυτό σημαίνει ότι:

$$C_{CPW} = C_1 + C_2 + C_3 + C_{air} \quad (4.10)$$

όπου τα 1,2,3 υποδηλώνουν τη θέση του κάθε στρώματος κάτω από το CPW (βλ. Εικόνα 4.5).

Τα  $C_i$  και  $C_{air}$  υπολογίζονται από τις εξής σχέσεις:

$$C_i = 2\epsilon_0(\epsilon_{ri} - 1) \frac{K(k_i)}{K(k'_i)}, \quad i=1,2,3 \quad (4.11)$$

$$C_{air} = 4\epsilon_0 \frac{K(k_0)}{K(k'_0)} \quad (4.12)$$

όπου

$$k_i = \frac{\sinh(\pi c / 2h_i)}{\sinh(\pi b / 2h_i)} \cdot \sqrt{\frac{\sinh^2(\pi b / 2h_i) - \sinh^2(\pi a / 2h_i)}{\sinh^2(\pi c / 2h_i) - \sinh^2(\pi a / 2h_i)}}, \quad i = 1, 2, 3 \quad (4.13)$$

$$k_0 = \frac{c}{b} \sqrt{\frac{b^2 - a^2}{c^2 - a^2}} \quad (4.14)$$

$$k_i' = \sqrt{1 - k_i^2}, \quad i = 0, 1, 2, 3 \quad (4.15)$$

Από τα παραπάνω μπορούμε να εξάγουμε το  $\varepsilon_{eff}$  και το  $Z_C$  μέσω των παρακάτω σχέσεων:

$$\varepsilon_{eff} = \frac{C_{CPW}}{C_{air}} = 1 + q_1(\varepsilon_{r1} - 1) + q_2(\varepsilon_{r2} - 1) + q_3(\varepsilon_{r3} - 1) \quad (4.16)$$

$$Z_C = \frac{1}{C_{CPW} v_{ph}} = \frac{1}{c C_{air} \sqrt{\varepsilon_{eff}}} \quad (4.17)$$

όπου το  $q_i$  ονομάζεται συντελεστής μερικής πληρότητας (partial filling factor)

$$q_i = \frac{1}{2} \frac{K(k_i) K(k_0')}{K(k_i') K(k_0)}, \quad i=1,2,3 \quad (4.18)$$

Τα παραπάνω αναφέρονται στη σύνδεση των  $\varepsilon_{eff}$  και  $Z_C$  με τα γεωμετρικά χαρακτηριστικά των CPW, αγνοώντας μέχρι τώρα τις απώλειες του CPW. Κλείνοντας, πρέπει να αναφερθεί ότι η παραπάνω μέθοδος του conformal mapping μπορεί να εφαρμοστεί και για περισσότερα των 3 στρώματα.

### Περιγραφή των απωλειών ενός CPW πάνω σε PSI

Όπως αναφέρθηκε στα Κεφάλαια 1 και 2, οι απώλειες του HM κύματος προέρχονται από πέντε διαφορετικούς μηχανισμούς [28]:

- τις ωμικές απώλειες στους μεταλλικούς αγωγούς ( $a_C$ )
- τις απώλειες υποστρώματος που οφείλονται στην πεπερασμένη του αγωγιμότητα ( $a_L$ )
- τις απώλειες υποστρώματος που οφείλονται στη διηλεκτρική πόλωση ( $a_D$ )
- τις απώλειες της διεπιφάνειας μεταξύ υποστρώματος και μεταλλικών αγωγών από συσσωρευμένα φορτία
- τις απώλειες μέσω ακτινοβολίας

Όσον αφορά τις απώλειες λόγω συσσώρευσης φορτίων, στη δικιά μας ανάλυση μπορούμε να τις αγνοήσουμε, αφού τα υποστρώματα που θα μελετήσουμε παρεμποδίζουν τη συσσώρευση φορτίων και αναστέλλουν τη δημιουργία αγωγίμου καναλιού. Επίσης, για τις συχνότητες που μας ενδιαφέρουν (0-210 GHz), καθώς και για τις διαστάσεις των CPW που θα χρησιμοποιήσουμε, μπορούμε να αγνοήσουμε τις απώλειες ακτινοβολίας [28]. Έτσι λοιπόν μπορούμε να γράψουμε για τις συνολικές απώλειες ( $a_T$ ) το παρακάτω:

$$a_T = a_C + a_D + a_L = a_C + a_S \quad (4.19)$$

όπου  $a_S = a_D + a_L$  είναι οι αθροιστικές απώλειες του υποστρώματος. Σύμφωνα με τη μέθοδο του conformal mapping οι απώλειες υποστρώματος συνδέονται με το  $\varepsilon_{eff}$  μέσω της σχέσης [29], [30]:

$$a_S = \frac{q \cdot \varepsilon_r' \cdot \pi f \cdot \tan \delta}{c \sqrt{\varepsilon_{eff}}} \quad (4.20)$$

Αν θεωρήσουμε ότι οι συνολικές απώλειες υποστρώματος είναι άθροισμα των απωλειών που λαμβάνουν χώρα σε κάθε επίπεδο του υποστρώματος, τότε για την τριστρωματική δομή που αναφέραμε παραπάνω έχουμε:

$$a_S = a_S^1 + a_S^2 + a_S^3 \quad (4.21)$$

Συνδυάζοντας τις (4.20) και (4.21) μπορούμε να γράψουμε

$$a_s = \frac{\pi f}{c \cdot \sqrt{\epsilon_{eff}}} \cdot \left( (q_1 - q_2) \epsilon'_{r1} \cdot \tan \delta_1 + (q_2 - q_3) \epsilon'_{r2} \cdot \tan \delta_2 + q_3 \epsilon'_{r3} \cdot \tan \delta_3 \right) \quad (4.22)$$

όπου  $\epsilon'_{ri}$  και  $\tan \delta_i$  είναι το πραγματικό μέρος της επιτρεπτότητας και η εφαπτομένη απωλειών του στρώματος  $i$  της Εικόνας 4.5.

Όσον αφορά τις ωμικές απώλειες εντός των μεταλλικών αγωγών αυτές προκύπτουν είτε εντός της γραμμής του σήματος είτε εντός των γειώσεων. Στην περίπτωση που το πάχος ( $t$ ) του αγωγού είναι πολύ μεγαλύτερο από το επιδερμικό βάθος (skin depth -  $\delta$ ), τότε έχουμε τις παρακάτω εξισώσεις που περιγράφουν τις ωμικές απώλειες:

$$a_c = \frac{R_w + R_g}{2Z_0} \quad (4.23)$$

όπου  $R_w$  και  $R_g$  είναι οι ωμικές απώλειες ανά μονάδα μήκους εντός του κεντρικού αγωγού του σήματος και της γείωσης αντίστοιχα. Αυτά τα μεγέθη μπορούν να υπολογιστούν από:

$$R_w = \frac{R_s}{4W(1 - k_0^2)K^2(k_0)} \left[ \pi + \ln \left( \frac{4\pi W}{t} \right) - k_0 \ln \left( \frac{1 + k_0}{1 - k_0} \right) \right] \quad (4.24)$$

$$R_g = \frac{k_0 R_s}{4W(1 - k_0^2)K^2(k_0)} \left[ \pi + \ln \left( \frac{4\pi(W + 2S)}{t} \right) - \frac{1}{k_0} \ln \left( \frac{1 + k_0}{1 - k_0} \right) \right] \quad (4.25)$$

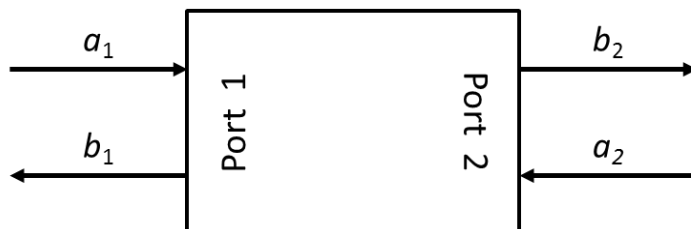
όπου  $R_s = 1 / (\delta\sigma)$ .

Όπως αναφέρθηκε στο κατασκευαστικό μέρος του CPW (Ενότητα 4.3.2) το πάχος μετάλλου (Al) που χρησιμοποιούμε είναι 1  $\mu\text{m}$ , που είναι μικρότερο από το επιδερμικό βάθος ( $\delta$ ) ακόμη και στη συχνότητα των 40 GHz. Αυτή η συνθήκη μπορεί να ενσωματωθεί στους υπολογισμούς θεωρώντας ότι  $R_s = 1 / (t\sigma)$  [28]. Ποιο αναλυτικοί και ακριβείς υπολογισμοί των ωμικών απωλειών των μεταλλικών αγωγών μπορούν να βρεθούν στα [27], [31]

### 4.3.3 Μετρήσεις Παραμέτρων Σκέδασης και Τεχνικές Αποεμπέδωσης

#### Ορισμός παραμέτρων σκέδασης

Όπως αναφέρθηκε προηγουμένως, ο χαρακτηρισμός του PSi στο εύρος συχνοτήτων 0-210 GHz θα γίνει με μία ευρυζωνική μέθοδο, που στηρίζεται στη μέτρηση των παραμέτρων σκέδασης (S-παράμετροι) ενός CPW. Οι S-παράμετροι αναφέρονται σε ένα δίκτυο με παραπάνω από μία θύρες. Στην προκειμένη περίπτωση, το CPW είναι ένα δίθυρο δίκτυο, όπως αυτό που φαίνεται στην Εικόνα 4.6.



Εικόνα 4.6. Σχηματική αναπαράσταση ενός δίθυρου συστήματος, όπου φαίνονται τα σήματα εισόδου ( $a_1$ ,  $a_2$ ) και εξόδου ( $b_1$ ,  $b_2$ )

Η συνάρτηση μεταφοράς του δικτύου είναι η

$$R_g = \begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (4.26)$$

Αμα θεωρήσουμε ένα ΗΜ σήμα στη θύρα 1 και προσαρμοσμένη τη θύρα 2 (δηλαδή  $a_2 = 0$ ), τότε ορίζουμε ως  $S_{11}$  και  $S_{12}$  τα:

$$\begin{aligned} S_{11} &= b_1/a_1 \\ S_{12} &= b_1/a_2 \end{aligned} \quad (4.27)$$

Αντίστοιχα, άμα θεωρήσουμε ότι το σήμα εισέρχεται στη θύρα 2 και ότι η θύρα 1 είναι προσαρμοσμένη (δηλαδή  $a_1 = 0$ ), τότε έχουμε

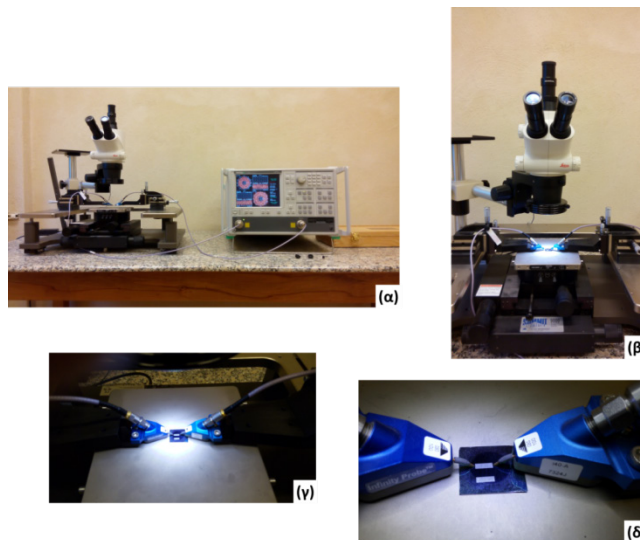
$$\begin{aligned} S_{21} &= b_2/a_1 \\ S_{22} &= b_2/a_2 \end{aligned} \quad (4.28)$$

Τα  $S_{11}$  και  $S_{22}$  ονομάζονται συντελεστές ανάκλασης της θύρας εισόδου και της θύρας εξόδου αντίστοιχα. Τα  $S_{12}$  και  $S_{21}$  ονομάζονται αντίστοιχα ανάστροφο και ευθύ κέρδος. Σε παθητικές διατάξεις όπως είναι τα CPW, οι τιμές των S-παραμέτρων πρέπει να είναι από 0 μέχρι 1. Επίσης πολύ συχνά οι S-παραμέτροι εκφράζονται σε dB μέσα από τη σχέση:

$$S_{ij}(\text{dB}) = 20 \log_{10}(S_{ij}), \quad i,j=1,2 \quad (4.29)$$

#### Μετρήσεις στις συχνότητες RF και mm-Wave

Οι μετρήσεις των S-παραμέτρων των CPW, αλλά και των υπόλοιπων διατάξεων που χρησιμοποιήθηκαν στην παρούσα διατριβή, έγιναν με τη χρήση διανυσματικού δικτυακού αναλυτή (vector network analyzer – VNA).



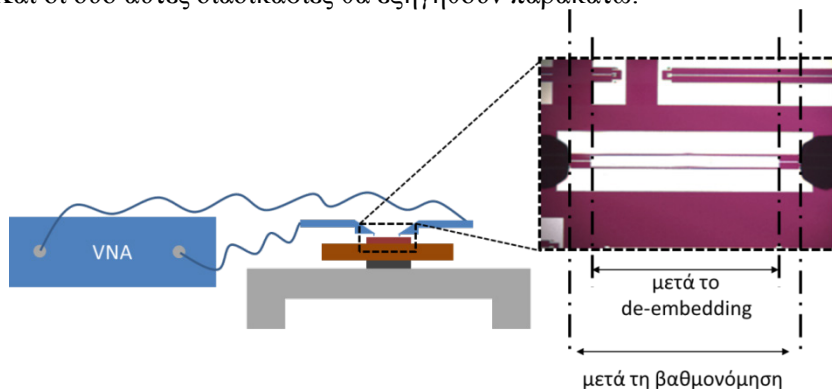
Εικόνα 4.7. Φωτογραφίες από τη μετρητική διάταξη RF, που βρίσκεται στο INN του ΕΚΕΦΕ «Δημόκριτος», κατά τη διάρκεια χαρακτηρισμού μίας γραμμής μεταφοράς CPW. (α) Αριστερά είναι ο σταθμός εργασίας και δεξιά ο διανυσματικός δικτυακός αναλυτής (VNA) (β) Ο σταθμός εργασίας μαζί με το στερεοσκοπικό μικροσκόπιο (γ) Κοντινή εικόνα στις ακίδες RF. Φαίνεται η μετάβαση από το ομοαξονικό καλώδιο στις ακίδες RF (δ) Οι ακίδες RF κατά τη διάρκεια μέτρησης μίας γραμμής μεταφοράς CPW πάνω σε PSI.

Πιο συγκεκριμένα, οι μετρήσεις από 40 MHz μέχρι 40 GHz έγιναν με χρήση του VNA 37269D από την Anritsu. Για τη μέτρηση των παθητικών διατάξεων RF χρησιμοποιήθηκε σταθμός εργασίας από την Cascade Microtech, μοντέλο Summit 9000. Σε αυτόν ήταν προσαρμοσμένες ειδικές ακίδες RF (Infinity I40-A-GSG-100) σε διάταξη γείωση-σήμα-γείωση (ground-signal-ground – GSG) με απόσταση ακίδων 100  $\mu\text{m}$ . Οι συγκεκριμένες ακίδες RF συνδέονται με τον VNA με ομοαξονικό κυματοδηγό και είναι σχεδιασμένες ώστε να μετατρέπουν το ρυθμό κυματοδότησης από ομοαξονικό σε ομοεπίπεδο GSG, με όσο το δυνατόν λιγότερες απώλειες.

Οι μετρήσεις από τα 140 GHz μέχρι 210 GHz έγιναν στις εγκαταστάσεις του Millilab στο ερευνητικό κέντρο του VTT, Ελσίνκι, Φιλανδία. Χρησιμοποιήθηκε ο VNA HP 8510B από την Agilent, μαζί με μία επέκταση για τις mmW συχνότητες από την Oleson Microwave Labs. Οι ακίδες GSG που χρησιμοποιήθηκαν ήταν της εταιρείας Picoprobe με απόσταση ακίδων 100  $\mu\text{m}$ . Οι συγκεκριμένες ακίδες RF συνδέονται με την επέκταση mmW με τετραγωνικό κυματοδηγό, εξαιτίας των υψηλότερων συχνοτήτων λειτουργίας.

### ***Βαθμονόμηση (calibration) και αποεμπέδωση της μέτρησης (de-embedding)***

Όπως είναι εμφανές στην Εικόνα 4.7, το σύστημα των RF μετρήσεων είναι αρκετά πολύπλοκο και περιλαμβάνει πολλές αλλαγές του τρόπου κυματοδότησης. Σε γενικές γραμμές κάθε τμήμα του συστήματος είναι σχεδιασμένο έτσι ώστε να έχει  $Z_c = 50\Omega$ . Παρόλα αυτά, ανάμεσα στα διάφορα κομμάτια που ενώνονται υπάρχουν κάποιες ασυμβατότητες στη χαρακτηριστική αντίσταση, οδηγώντας σε απώλειες. Επιπλέον, οι μετρήσεις RF είναι ευαίσθητες στη θερμοκρασία και την υγρασία της ατμόσφαιρας. Τέλος, όταν μετράται μία ολοκληρωμένη διάταξη, τότε συνήθως έχουν προστεθεί σε αυτήν κατάλληλες επαφές (pads), στις οποίες μπορούν να ακουμπήσουν οι ακίδες, οι οποίες εισάγουν επιπλέον παρασιτικά στοιχεία στις μετρήσεις. Για να απομονώσουμε λοιπόν τις ιδιότητες της διάταξης που μας ενδιαφέρει, προκύπτει η ανάγκη για δύο συμπληρωματικές διαδικασίες: η μία είναι η βαθμονόμηση (calibration) του συστήματος πριν τη μέτρηση και η άλλη η αποεμπέδωση (de-embedding) της παρασιτικής συμπεριφοράς εξαιτίας των pads, αλλά και της διεπαφής ακίδας και pad. Η βαθμονόμηση μετατοπίζει το επίπεδο αναφοράς στην άκρη των ακίδων, ενώ το de-embedding το μετατοπίζει στη αρχή της μετρούμενης διάταξης. Και οι δύο αυτές διαδικασίες θα εξηγηθούν παρακάτω.



**Εικόνα 4.8. Σχηματική αναπαράσταση του συστήματος μετρήσεων RF, καθώς και εικόνα από τη διαδικασία της μέτρησης. Στο ένθετο φαίνεται η μία γραμμή μεταφοράς CPW, καθώς και οι ακίδες RF (μαύρα πολύγωνα) εκατέρωθεν της γραμμής. Επίσης, παρουσιάζεται και το επίπεδο αναφοράς που προκύπτει μετά τη βαθμονόμηση και μετά το de-embedding**

### ***Τεχνική Βαθμονόμησης***

Η τεχνική βαθμονόμησης που χρησιμοποιήθηκε είναι η Line-Reflect-Reflect-Match (LRRM). Αυτή η μέθοδος χρειάζεται ένα καλά καθορισμένο φορτίο των 50  $\Omega$  καθώς και μία ιδανική γραμμή “thru”. Για την υλοποίηση λοιπόν αυτής της βαθμονόμησης χρησιμοποιούμε ένα πρότυπο σετ γραμμών (impedance standard substrates - ISS), το ISS 101-190 από την Cascade Microtech.

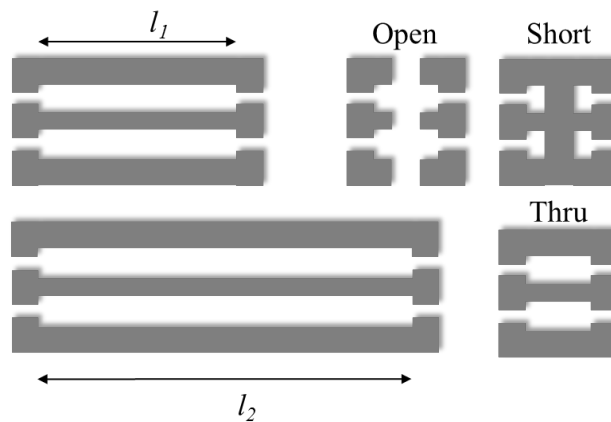
Αυτή η τεχνική βαθμονόμησης συνδύαζε ταχύτητα και ακρίβεια. Η βαθμονόμηση που επιτυγχανόταν κάθε φορά ήταν επαναλήψιμη, δίνοντας για την ίδια διάταξη συνεπή αποτελέσματα ανεξαρτήτως της ημέρας που πραγματοποιούνταν η μέτρηση.

### Τεχνική De-embedding

Οι τεχνικές του de-embedding μπορούν να διακριθούν σε αυτές που στηρίζονται σε διακριτά στοιχεία και αυτές που στηρίζονται σε ανάλυση κατανεμημένων στοιχείων. Για την υλοποίηση των τεχνικών της πρώτης κατηγορίας χρησιμοποιούνται πρότυπες δομές, όπως το ανοιχτοκύκλωμα (open), το βραχυκύκλωμα (short) και η γραμμή μηδενικών απωλειών (thru). Χαρακτηριστικά παραδείγματα των παραπάνω πρότυπων δομών είναι αυτά που φαίνονται στην Εικόνα 4.9. Για την υλοποίηση των τεχνικών της δεύτερης κατηγορίας συνήθως χρησιμοποιούνται όμοιες γραμμές διαφορετικού μήκους, ώστε να υπολογιστούν τα ανά μονάδα μήκους χαρακτηριστικά. Οι τεχνικές των κατανεμημένων στοιχείων είναι συνήθως πιο αποτελεσματικές και πιο ακριβείς σε μεγαλύτερο εύρος συχνοτήτων. Παρόλα αυτά, οι διαμοιρασμένες μέθοδοι δεν μπορούν να εφαρμοστούν σε αρκετές διατάξεις, όπου αναγκαστικά χρησιμοποιούνται μέθοδοι διακριτών στοιχείων.

Στα πλαίσια αυτής της διατριβής έγιναν δοκιμές με διάφορες τεχνικές διακριτών στοιχείων όπως οι “Y (open-short) de-embedding” [33], “thru-short-open de-embedding” [34], “simple thru de-embedding” [35], “3-step de-embedding” [36], [37], αλλά και κατανεμημένες τεχνικές όπως αυτή των δύο γραμμών διαφορετικού μήκους [32], [38]. Στα CPW που είναι και το αντικείμενο αυτού του κεφαλαίου, χρησιμοποιήσαμε κυρίως τη μέθοδο των δύο γραμμών, έτσι όπως αυτή περιγράφεται από τον Mangan [32], κυρίως για λόγους ακρίβειας και επαναληψιμότητας.

Μέσω της ανάλυσης που παρουσιάζεται στο [32], μπορούμε να εξαγάγουμε τα  $Z_c$ ,  $\epsilon_{eff}$  και  $\gamma$  του απομονωμένου από παρασιτικά στοιχεία CPW, τα οποία και χρησιμοποιούμε για την εξαγωγή των παραμέτρων του PSi.



Εικόνα 4.9. Σχηματικό με τις γραμμές CPW δύο μηκών που χρησιμοποιούνται στην τεχνική de-embedding του Mangan, καθώς επίσης και δομές (open, short και thru) που χρησιμοποιούνται σε άλλες τεχνικές de-embedding

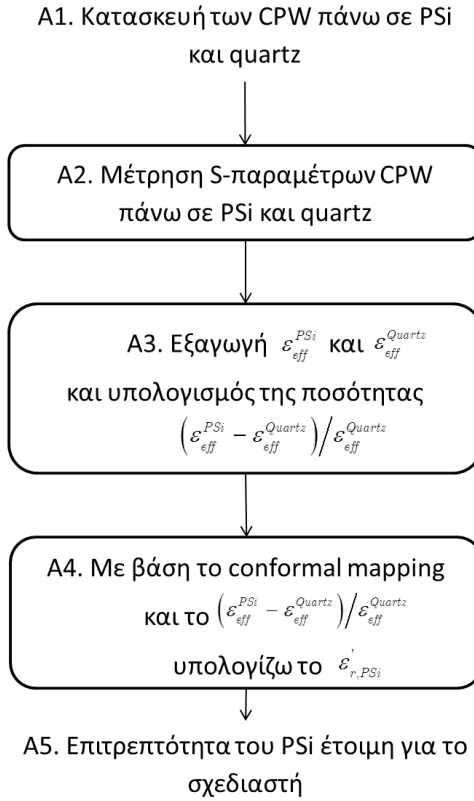
### 4.3.4 Αλγόριθμος Εξαγωγής

#### *Εξαγωγή σχετικής επιτρεπτότητας*

Ο αλγόριθμος εξαγωγής των παραμέτρων του PSi [15], [39] στηρίζεται στην ολοκλήρωση CPW πάνω σε PSi, στη μέτρηση των S-παραμέτρων των CPW, στην εξαγωγή των  $\epsilon_{eff}$  και  $\gamma$  και στη συνέχεια στον υπολογισμό των διηλεκτρικών ιδιοτήτων του PSi, σύμφωνα με τη μέθοδο του conformal mapping που περιγράφηκε ανωτέρω, με μία μικρή διαφοροποίηση. Η διαφορά είναι ότι αντί να χρησιμοποιήσουμε μόνο το  $\epsilon_{eff}$  του CPW πάνω σε PSi, χρησιμοποιούμε συγκριτικά και τις μετρήσεις από πανομοιότυπα CPW ολοκληρωμένα πάνω σε χαλαζία (quartz). Αυτό το κάνουμε για να εξαλείψουμε φαινόμενα που εμφανίζονται στις

χαμηλές συχνότητες και έχουν να κάνουν με την πεπερασμένη αγωγιμότητα των αγωγών του CPW [40].

Τα βήματα του αλγορίθμου για την εξαγωγή της επιτρεπτότητας του PSi είναι τα εξής:



**Εικόνα 4.10.** Αλγόριθμος εξαγωγής της διηλεκτρικής επιτρεπτότητας του PSi βασισμένος στο conformal mapping

Αναλυτικά, τα βήματα A1 και A2 σχετίζονται με την κατασκευή και τη μέτρηση των CPW πάνω σε PSi και quartz. Το βήμα A3 υλοποιείται μέσα από τον υπολογισμό της ενεργού επιτρεπτότητας των CPW πάνω σε PSi και quartz, όπως αυτός περιγράφεται στο [32]. Το μέγεθος  $\left(\epsilon_{eff}^{PSi} - \epsilon_{eff}^{Quartz}\right) / \epsilon_{eff}^{Quartz}$  το υπολογίζουμε ώστε να περιορίσουμε τα σφάλματα στις χαμηλές συχνότητες εξαιτίας της πεπερασμένης αγωγιμότητας των αγωγών A1 [40]. Με βάση, όμως, τη μέθοδο του conformal mapping και πιο συγκεκριμένα της εξίσωσης (4.16) προσαρμοσμένης στην περίπτωση μας, μπορούμε να γράψουμε

$$\frac{\epsilon_{eff}^{PSi} - \epsilon_{eff}^{Quartz}}{\epsilon_{eff}^{Quartz}} = \frac{q_1 \left(\epsilon_{r,Si} - \epsilon_{r,Quartz}\right) + q_2 \left(\epsilon_{r,PSi} - \epsilon_{r,Si}\right) + q_3 \left(\epsilon_{r,TEOS} - \epsilon_{r,PSi}\right)}{1 + q_1 \left(\epsilon_{r,Quartz} - 1\right)} \quad (4.30)$$

Στην παραπάνω σχέση τα  $q_1$ ,  $q_2$  και  $q_3$  υπολογίζονται από τα γεωμετρικά χαρακτηριστικά των CPW και το πάχος του κάθε επιπέδου του υποστρώματος σύμφωνα με την (4.18). Οι τιμές  $\epsilon_{r,Quartz}$ ,  $\epsilon_{r,Si}$  και  $\epsilon_{r,TEOS}$  είναι οι σχετικές μιγαδικές επιτρεπτότητες του quartz, Si και του TEOS (SiO<sub>2</sub>) που καλύπτει το PSi. Το στρώμα του TEOS, επειδή είναι πολύ λεπτό (500 nm) σε σχέση με το στρώμα του PSi (~ 150 μm), δεν επηρεάζει πολύ την εξαγωγή των παραμέτρων. Παρόλα αυτά, για λόγους πληρότητας θα το κρατήσουμε στην ανάλυσή μας. Οι τιμές της επιτρεπτότητας αυτών των υλικών είναι γνωστές και φαίνονται στον Πίνακα 4.Π. Με βάση αυτά μπορούμε να υπολογίσουμε το  $\epsilon'_{r,PSi}$ , δηλαδή τη μιγαδική επιτρεπτότητα του PSi.

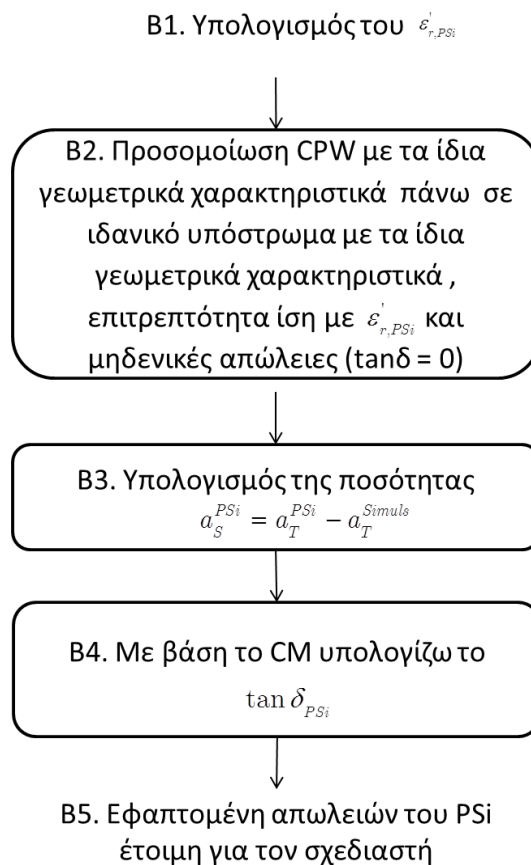


**Πίνακας 4.11. Διηλεκτρικές παράμετροι των υλικών που χρησιμοποιήθηκαν στη μέθοδο διηλεκτρικού χαρακτηρισμού του PSi**

Υλικό	$\epsilon'_r$	$\tan\delta$	Ειδική αγωγιμότητα $\sigma$ [S/m]	Πηγή
Quartz (fused silica)	3.8	0.0001	$\sim 0$	[41]
Si	11.7	0.0015	$> 0.1^2$	[41][42]
SiO <sub>2</sub> (LPCVD, TEOS)	4.0	0.001	$\sim 0$	[43]

### Εξαγωγή εφαπτομένης απωλειών και αγωγιμότητας

Έχοντας υπολογίσει το  $\epsilon'_{r,PSi}$ , μπορούμε να προχωρήσουμε στην εξαγωγή της εφαπτομένης απωλειών του PSi ( $\tan\delta_{PSi}$ ), χρησιμοποιώντας επίσης και HM προσομοιώσεις 3D. Ο αλγόριθμος εξαγωγής είναι αυτός που φαίνεται στην Εικόνα 4.11.



**Εικόνα 4.11. Αλγόριθμος εξαγωγής της εφαπτομένης απωλειών του PSi βασισμένος στο conformal mapping. Προϋπόθεση για την εξαγωγή του  $\tan\delta_{PSi}$  είναι η γνώση του  $\epsilon_{r,PSi}$**

Προαπαιτούμενο της εξαγωγής του  $\tan\delta_{PSi}$  είναι ο υπολογισμός του  $\epsilon'_{r,PSi}$  μέσω της μεθόδου που περιγράψαμε προηγουμένως. Στη συνέχεια, στο βήμα B2, προσομοιώνουμε το συγκεκριμένο CPW πάνω σε ένα υπόστρωμα με τα ίδια στρώματα και γεωμετρικά χαρακτηριστικά, αλλά με μηδενικές απώλειες ( $\tan\delta = 0$ ) και επιτρεπτότητα ίση με  $\epsilon'_{r,PSi}$ . Μέσω αυτού μπορούμε να υπολογίσουμε την εξασθένιση του σήματος  $a_T^{simuls}$ , η οποία ισούται με τις απώλειες που οφείλονται στον μεταλλικό αγωγό ( $\alpha_C$ ). Έτσι λοιπόν,

<sup>2</sup> Η τιμή αυτή αντιστοιχεί σε Si ειδική αντίστασης μικρότερης από 10 Ω.cm. Για διαφορετικά δισκία Si αυτή η τιμή είναι διαφορετική.

αφαιρώντας τις απώλειες του αγωγού από τις συνολικές απώλειες που μετρήθηκαν  $a_T^{meas}$ , μπορούμε να υπολογίσουμε τις απώλειες που οφείλονται αμιγώς στο υπόστρωμα:

$$a_S = a_T - a_T^{simuls} \quad (4.31)$$

Έχοντας γνωστές τις απώλειες υποστρώματος μπορούμε να προσαρμόσουμε την εξίσωση (4.22) και χρησιμοποιώντας τις τιμές του Πίνακα 4.Π να υπολογίσουμε από αυτήν την εφαπτομένη απωλειών του PSi ( $\tan\delta_{PSi}$ ).

$$a_S = \frac{\pi f}{c \cdot \sqrt{\epsilon_{eff}}} \cdot \left( (q_1 - q_2) \epsilon'_{r,Si} \cdot \tan \delta_{Si} + (q_2 - q_3) \epsilon'_{r,PSi} \cdot \tan \delta_{PSi} + q_3 \epsilon'_{r,TEOS} \cdot \tan \delta_{TEOS} \right) \quad (4.32)$$

Τέλος, χρησιμοποιώντας τις εξισώσεις ορισμού του  $\tan\delta$  (4.4) και (4.5), καθώς και τη μιγαδική επιτρεπτότητα του PSi, μπορούμε να εξάγουμε και την ειδική αγωγιμότητα AC ( $\sigma_{PSi}^{AC}$ ).

## 4.4 Διηλεκτρικές Παράμετροι PSi

Η διαδικασία εξαγωγής των διηλεκτρικών παραμέτρων που περιγράφηκε παραπάνω χρησιμοποιήθηκε για τον προσδιορισμό των τιμών αυτών των παραμέτρων για διαφορετικά στρώματα PSi. Αρχικά παρουσιάζεται ο χαρακτηρισμός στρωμάτων PSi σχηματισμένων πάνω σε Si τύπου p<sup>+</sup> (1-5 mΩ.cm), εξαιτίας της δυνατότητας επίτευξης PSi μεγάλου πάχους, οδηγώντας σε πιο ακριβή εξαγωγή των παραμέτρων.

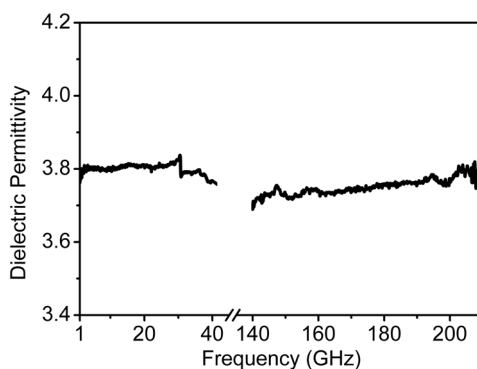
### 4.4.1 Χαρακτηρισμός Υποστρωμάτων PSi από δισκίδιο Si τύπου p+

Το PSi που μελετάται σε αυτήν την παράγραφο έχει φτιαχτεί με ηλεκτροχημική ανοδίωση Si (p<sup>+</sup>, 1-5 mΩ.cm) σε αιθανοϊκό διάλυμα HF (50%) σε αναλογία 2 HF(50%) : 3 EtOH(99.99%). Η πυκνότητα ρεύματος που χρησιμοποιήθηκε κυρίως είναι  $J = 20 \text{ mA/cm}^2$ . Η επιλογή του p<sup>+</sup>-Si και των συγκεκριμένων συνθηκών ανοδίωσης έγινε εξαιτίας των πολύ καλών αποτελεσμάτων που είχαν ληφθεί σε προηγούμενη δουλειά του εργαστηρίου Nano4NPS [22], [44]. Σε κάποια από τα πειράματα που περιγράφονται παρακάτω, μεταβάλαμε το  $J$  μεταξύ 20 και 60 mA/cm<sup>2</sup>, ώστε να μελετήσουμε την επίδραση του porosity στις διηλεκτρικές παραμέτρους.

### Η επιτρεπτότητα και η εφαπτομένη απωλειών στις συχνότητες 1-210 GHz

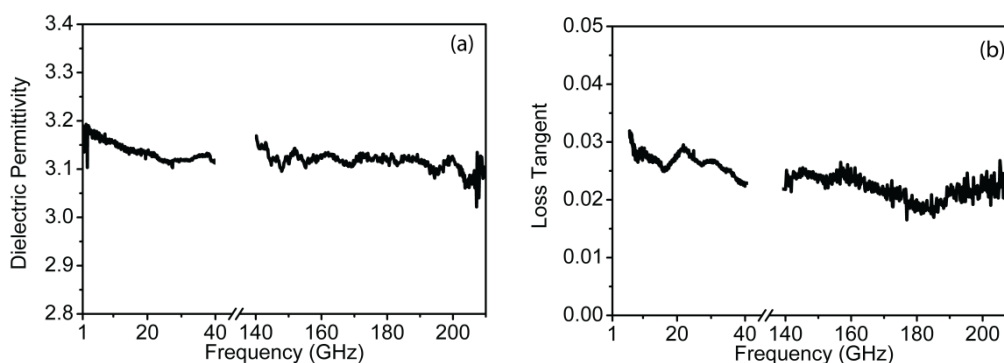
Το δείγμα PSi το οποίο χαρακτηρίστηκε ήταν παρασκευασμένο στα 20 mA/cm<sup>2</sup> με τις συνθήκες που προαναφέρθηκαν. Ο σκοπός ήταν να εξετάσουμε την τιμή της επιτρεπτότητας και της εφαπτομένης απωλειών σε ένα ευρύ φάσμα συχνοτήτων RF και mmWave, από 1-210 GHz [45]. Εξαιτίας του διαθέσιμου εξοπλισμού, περιοριστήκαμε στις συχνότητες από 40 MHz – 40 GHz και από 140 GHz – 210 GHz.

Για να επιβεβαιώσουμε τη μέθοδο εξαγωγής των παραμέτρων, αρχικά εξήχθησαν οι διηλεκτρικές παράμετροι του quartz και συγκρίθηκαν με τις θεωρητικές. Είναι γνωστό ότι η σχετική επιτρεπτότητα του quartz (fused silica) είναι 3.82 στο εύρος συχνοτήτων 1-210 GHz [41], [46] και πράγματι στην Εικόνα 4.12 παρατηρούμε ότι οι εξαγόμενες τιμές της σχετικής επιτρεπτότητας του quartz είναι πολύ κοντά στη θεωρητική τιμή. Κατά συνέπεια μπορούμε να χρησιμοποιήσουμε με σιγουριά τη μέθοδο που περιγράψαμε στην Ενότητα 4.3.4 για την εξαγωγή των παραμέτρων του PSi.



**Εικόνα 4.12.** Η εξαχθείσα διηλεκτρική επιτρεπτότητα του quartz στις συχνότητες 1-40 GHz και 140-210 GHz. Παρατηρούμε ότι οι τιμές της είναι κοντά στο 3.8 για τα 1-40 GHz και 3.71-3.79 για τα 140-210 GHz. Η ονομαστική τιμή της επιτρεπτότητας του quartz είναι 3.82 σε όλο το εύρος συχνοτήτων που μας ενδιαφέρει

Τα αποτελέσματα για το PSi φαίνονται στην Εικόνα 4.13. Όπως παρατηρούμε (Εικόνα 4.13α) η τιμή του  $\epsilon'_{r,PSi}$  μειώνεται μονοτονικά στις συχνότητες 1-30 GHz από το 3.19 στο 3.12, όπου και σταθεροποιείται για το εύρος 30-40 GHz. Η μικρή αύξηση του  $\epsilon_{PSi}$  στις χαμηλότερες συχνότητες οφείλεται σε φαινόμενα που συνδέονται με τη μη τέλεια αφαίρεση των παρασιτικών φαινομένων των επαφών. Στις υψηλότερες συχνότητες, δηλαδή μεταξύ 140 και 210 GHz, η τιμή του  $\epsilon_{PSi}$  κυμαίνεται γύρω από το 3.12, με μέγιστη απόκλιση 0.1. Παρομοίως, η τιμή του  $\tan\delta_{PSi}$  μειώνεται ελαφρώς στο εύρος 5-40 GHz από 0.031 σε 0.023. Στις υψηλότερες συχνότητες η τιμή είναι σταθερή γύρω από το 0.023, με μέγιστη απόκλιση 0.005. Στην Εικόνα 4.13β έχουν παραληφθεί ηθελημένα τα δεδομένα των συχνοτήτων 1-5 GHz επειδή ήταν πολύ θορυβώδη.



**Εικόνα 4.13:** (α) Η σχετική επιτρεπτότητα και (β) η εφαπτομένη απωλειών του PSi στα εύρη συχνοτήτων 1-40 GHz και 140-210 GHz. Και οι δύο παράμετροι εξήχθηκαν μέσω ευρυζωνικών μετρήσεων σε συνδυασμό με ηλεκτρομαγνητικές προσομοιώσεις στα εύρη 1-40GHz και 140-200GHz.

Συνοπτικά μπορούμε να συμπεράνουμε ότι οι τιμές του  $\epsilon'_{r,PSi}$  και του  $\tan\delta_{PSi}$  είναι κοντά για τα εύρη συχνοτήτων 1-40 GHz και 140-210 GHz. Σε παλαιότερη μελέτη της ομάδας [44] είχε παρατηρηθεί ότι η ενεργός επιτρεπτότητα ενός CPW πάνω σε PSi, και συνεπώς και η σχετική επιτρεπτότητα του PSi, είναι σταθερές μέχρι τα 110 GHz. Ο συνδυασμός αυτών των δύο παρατηρήσεων είναι ισχυρή ένδειξη της συνέχειας της επιτρεπτότητας και η εφαπτομένη απωλειών του PSi σε ολόκληρο το εύρος 1-210 GHz. Το τελευταίο συμπέρασμα μας επιτρέπει να μαθαίνουμε τις διηλεκτρικές παραμέτρους του PSi εξάγοντάς τες σε μία συχνότητα μέσω διατάξεων συντονισμού. Αυτό επιτρέπει όχι μόνο την πιο εύκολη μέτρηση, αλλά και πιο ακριβή και αξιόπιστα αποτελέσματα.

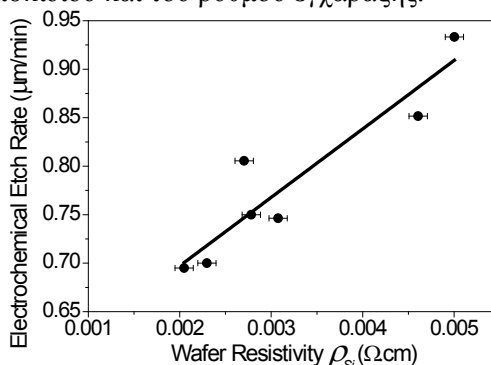
### Εξάρτηση των διηλεκτρικών παραμέτρων από την αντίσταση υποστρώματος

Για να εξετάσουμε την επίδραση της αρχικής νόθευσης των δισκιδίων p<sup>+</sup>-Si στις διηλεκτρικές παραμέτρους, κατασκευάσαμε γραμμές μεταφοράς σε διαφορετικά δισκίδια Si με ειδική αντίσταση μεταξύ 1-5 mΩ.cm [15]. Όλα τα δείγματα είχαν παρασκευαστεί χρησιμοποιώντας τις ίδιες συνθήκες ανοδίωσης:  $J=20 \text{ mA/cm}^2$ , 2 HF(50%) : 3 EtOH (99.99%). Αν και το εύρος μεταβολής της ειδικής αντίστασης ήταν πολύ μικρό, παρατηρήθηκαν μεγάλες αποκλίσεις στο πάχος και στην επιτρεπτότητα των στρωμάτων PSi. Στον Πίνακα 4.III φαίνεται η διαφορετική ειδική αντίσταση των αρχικών δισκιδίων Si, καθώς και τα πάχη των στρωμάτων PSi που παρασκευάστηκαν.

Πίνακας 4.III. Δείγματα PSi παρασκευασμένα από δισκίδια διαφορετικής ειδικής αντίστασης

Όνομασία Δείγματος	Ειδική αντίσταση δισκιδίου Si [mΩ.cm]	Ρυθμός Εγγάραξης [μm/min]	Πάχος στρώματος PSi [μm]
PSi1	2.0 ± 0.1	0.700	140
PSi2	2.3 ± 0.1	0.695	139
PSi3	2.7 ± 0.1	0.806	145
PSi4	2.8 ± 0.1	0.750	135
PSi5	3.1 ± 0.1	0.746	150
PSi6	4.6 ± 0.1	0.852	155
PSi7	5.0 ± 0.1	0.933	168

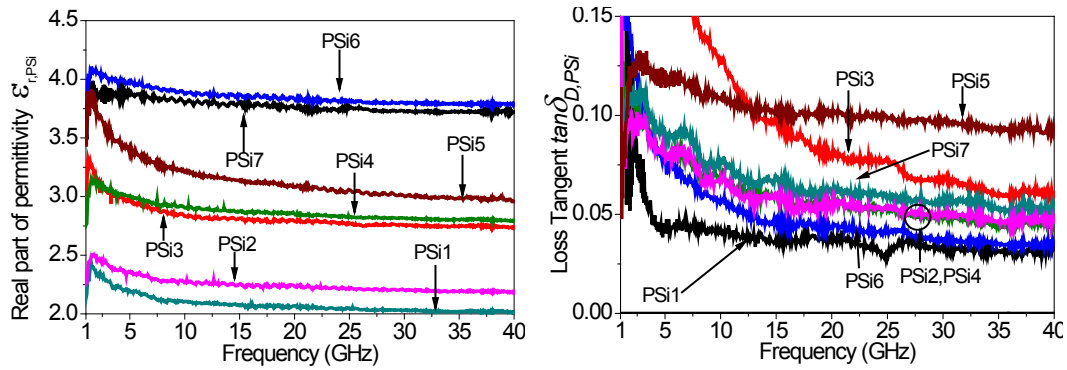
Παρατηρούμε ότι ο ρυθμός εγγάραξης είναι διαφορετικός για κάθε δείγμα PSi, καθώς και ότι αυξάνεται με την αύξηση της ειδικής αντίστασης. Αυτό το συμπέρασμα φαίνεται πιο ξεκάθαρα στην Εικόνα 4.14, όπου παρατηρείται μία σχεδόν γραμμική σχέση της ειδικής αντίστασης του αρχικού δισκιδίου και του ρυθμού εγγάραξης.



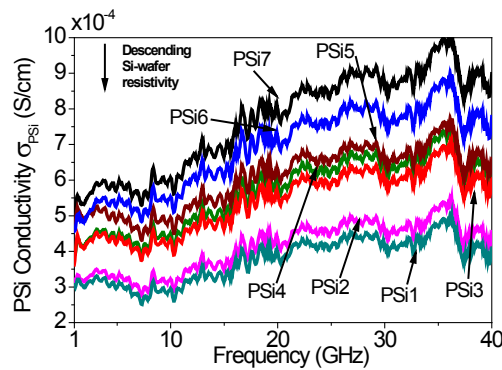
Εικόνα 4.14: Ο ρυθμός εγγάραξης των επτά δειγμάτων PSi ως συνάρτηση της ειδικής αντίστασης του αρχικού δισκιδίου Si.

Μετρώντας τις S-παραμέτρους των CPW που είχαν ολοκληρωθεί πάνω στα στρώματα PSi και εφαρμόζοντας τη μέθοδο εξαγωγής που περιγράφηκε στην Ενότητα 4.3.4, μπορέσαμε να εξάγουμε τα  $\epsilon'_{r,PSi}$ ,  $\tan\delta_{PSi}$  και  $\sigma_{PSi}$ , όπως αυτά παρουσιάζονται στις παρακάτω εικόνες.

Από αυτές συμπεραίνουμε ότι οι παράμετροι  $\epsilon'_{r,PSi}$  and  $\tan\delta_{PSi}$  είναι αρκετά σταθερές στις συχνότητες άνω των 15 GHz, πράγμα το οποίο συνδέεται και με τις παρατηρήσεις της προηγούμενης παραγράφου. Όσον αφορά την ειδική αγωγιμότητα του PSi ( $\sigma_{PSi}^{AC}$ ), πρέπει να τονίσουμε ότι οι τιμές αφορούν την ενεργό αγωγιμότητα του PSi αν το θεωρήσουμε σαν ένα ομογενές και ισοτροπικό υλικό. Παρόλα αυτά, το PSi, που είναι κατασκευασμένο σε p<sup>+</sup>-Si, είναι ένα ανισοτροπικό υλικό που επιδεικνύει επίσης ανισοτροπική ηλεκτρική συμπεριφορά, όπου η κατακόρυφη ειδική αγωγιμότητα είναι 10-100 φορές μεγαλύτερη από την οριζόντια [2]. Αυτό εξηγεί την αύξηση της ειδικής αγωγιμότητας του PSi στις μεγαλύτερες συχνότητες, αφού αυξάνεται το βάθος διείσδυσης του ΗΜ πεδίου και συνεπώς αλλάζει και ο λόγος της συνεισφοράς της κάθετης και της οριζόντιας αγωγιμότητας.

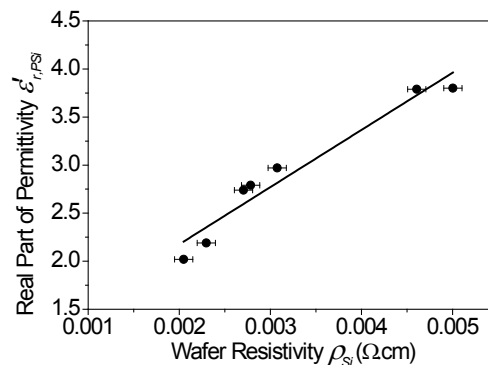


Εικόνα 4.15: (α) Πραγματικό μέρος της σχετικής επιτρεπτότητας του PSi ( $\epsilon'_{r,PSi}$ ) ως συνάρτηση της συχνότητας για τα δείγματα PSi1 με PSi7. (β) Η εφαπτομένη απωλειών του PSi ( $\tan\delta_{D,PSi}$ ) εξαιτίας της πύλωσης των μορίων στα δείγματα PSi1 με PSi7 ως συνάρτηση της συχνότητας.



Εικόνα 4.16: Η ειδική αντίσταση του PSi ( $\sigma_{PSi}$ ) στα δείγματα PSi1 με PSi7 ως συνάρτηση της συχνότητας

Οι διαφορές που παρατηρούνται μεταξύ των δειγμάτων αποδίδονται στη διαφορετική δομή, μορφολογία και πορώδες μεταξύ των υμενίων PSi που προκύπτουν από δισκία Si με ελαφρώς διαφορετική ειδική αντίσταση ( $\rho_{Si}$ ). Όπως φαίνεται και στην Εικόνα 4.17, για το εύρος  $1 \text{ m}\Omega\cdot\text{cm} < \rho_{Si} < 5 \text{ m}\Omega\cdot\text{cm}$  υπάρχει μία σχεδόν γραμμική σχέση μεταξύ της σχετικής επιτρεπτότητας του PSi και της ειδικής αντίστασης του αρχικού δισκιδίου Si. Όπως έχει παρατηρηθεί για μεγαλύτερο εύρος ειδικής αντίστασης η συνάρτηση αυτή είναι πολύ πιο πολύπλοκη. Αυτή η αύξηση οφείλεται πιθανότατα στη μείωση του πορώδους στα στρώματα PSi από δισκία Si υψηλότερης ειδικής αντίστασης [47]. Τέλος, δε βρέθηκε καμία συγκεκριμένη μαθηματική σχέση που να συνδέει τα  $\tan\delta_{PSi}$  και  $\sigma_{PSi}^{AC}$  με την ειδική αντίσταση του αρχικού Si.



Εικόνα 4.17: Το πραγματικό μέρος της σχετικής επιτρεπτότητας του PSi στα 40GHz, ως συνάρτηση της ειδικής αντίστασης του δισκιδίου Si. Παρατηρούμε ότι η σχέση εξάρτησης είναι σχεδόν γραμμική, πράγμα που καθιστά εύκολη την πρόγνωση του  $\epsilon'_{r,PSi}$

Τα παραπάνω αποτελέσματα αποδεικνύουν ότι η ειδική αντίσταση του δισκιδίου Si είναι ένας σημαντικός παράγοντας που επηρεάζει όχι μόνο τη μορφολογία και τη δομή, αλλά και τις διηλεκτρικές ιδιότητες του PSi. Αυτό το φαινόμενο παρατηρείται ακόμη και σε πολύ μικρές μεταβολές του  $\rho_{Si}$ , μεταξύ 1-5 mΩ.cm. Γίνεται λοιπόν προφανές, ότι για να σχεδιαστούν και να κατασκευαστούν διατάξεις RF σε PSi, τοπικά σχηματισμένο στο δισκίδιο Si, είναι πολύ σημαντικό να γνωρίζουμε επακριβώς την ειδική αντίσταση του αρχικού δισκιδίου Si. Μόνο έτσι μπορεί να υπάρξει επαναλήψιμη Παρασκευή των επιθυμητών στρωμάτων PSi. Πολλές από τις αποκλίσεις που παρατηρούνται στη βιβλιογραφία μεταξύ των διηλεκτρικών παραμέτρων του PSi, μπορούν να αποδοθούν στη διαφορά της ειδικής αντίστασης του αρχικού δισκιδίου Si.

### Εξάρτηση των διηλεκτρικών παραμέτρων από το πορώδες

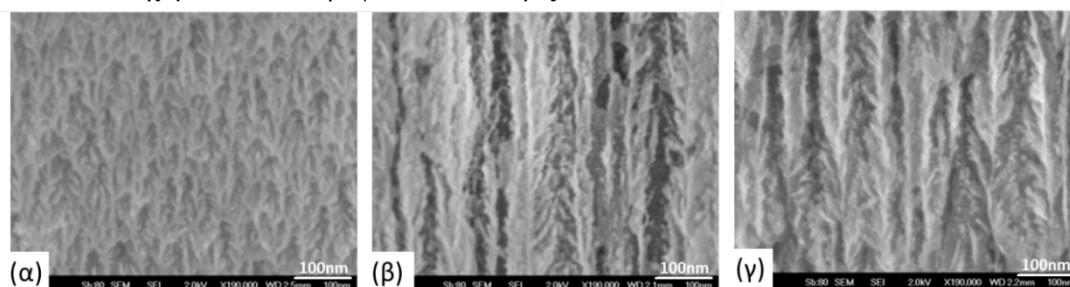
Όπως περιγράφηκε στην Ενότητα 4.2, οι διηλεκτρικές παράμετροι του PSi συνδέονται με το πορώδες αυτού. Ειδικά, η επιτρεπτότητα του PSi μπορεί να συνδεθεί με το πορώδες μέσα από τα διάφορα θεωρητικά μοντέλα, που παρουσιάστηκαν παραπάνω. Παρόλα αυτά, τα μοντέλα δεν ανταποκρίνονται επακριβώς στις πειραματικές τιμές. Για το λόγο αυτό, παρακάτω παρουσιάζουμε τα αποτελέσματα της εξαγόμενης επιτρεπτότητας σε συνάρτηση με το πορώδες και τη μορφολογία του υλικού.

Τα δείγματα PSi παρασκευάστηκαν από το ίδιο δισκίδιο Si ( $\rho_{Si} = 4.6 \text{ m}\Omega\cdot\text{cm}$ ) για να αποφύγουμε τις διαφοροποιήσεις που θα προέκυπταν στη διαφορετική ειδική αντίσταση του Si. Το διάλυμα που χρησιμοποιήθηκε ήταν 2 HF(50%) : 3 EtOH (99.99%) ενώ χρησιμοποιήθηκαν τρεις διαφορετικές τιμές πυκνότητας ρεύματος,  $J = 20, 40$  και  $60 \text{ mA/cm}^2$ . Το πορώδες των δειγμάτων προσδιορίστηκε με τη μέθοδο των τριών ζυγίσεων, όπως αυτή περιγράφεται στο Κεφάλαιο 3. Το πάχος και το πορώδες των δειγμάτων PSi φαίνεται στον Πίνακα 4.IV.

**Πίνακας 4.IV**  
Δείγματα PSi με διαφορετικό πορώδες και πάχος υμενίου, που παρασκευάστηκαν με διαφορετική πυκνότητα ρεύματος

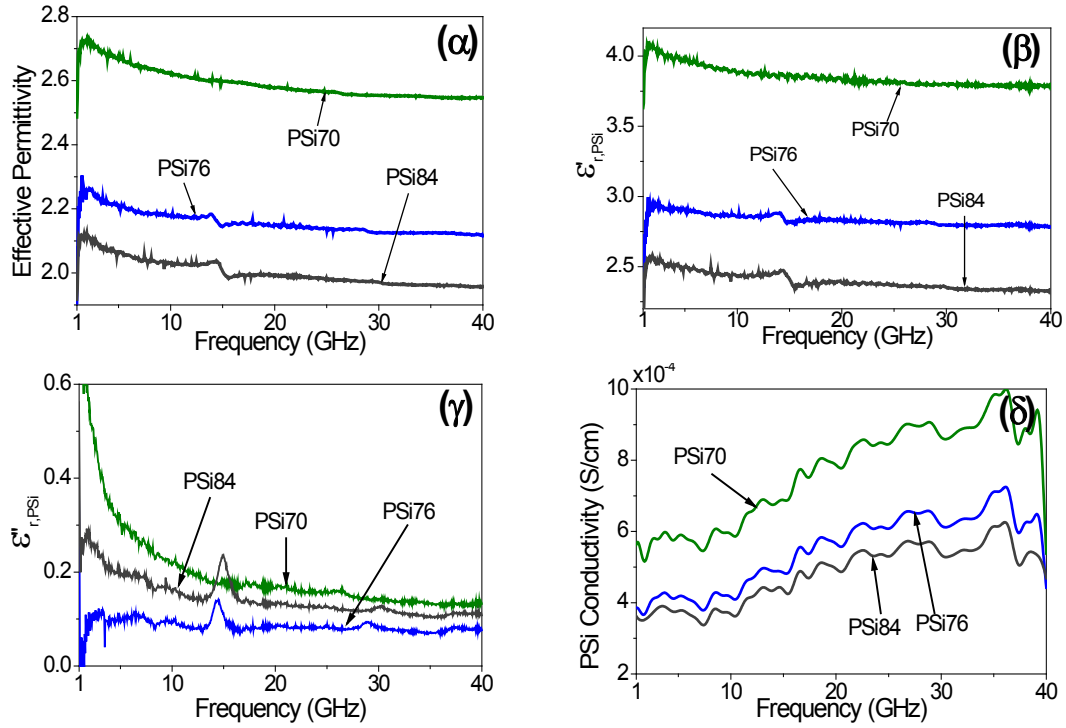
Όνομα	$J$ (mA/cm <sup>2</sup> )	Διάλυμα	P (%)	Πάχος PSi (μm)
PSi70	20	2HF : 3EtOH	70 ±5	155
PSi76	40	2HF : 3EtOH	76 ±3	138
PSi84	60	2HF : 3EtOH	84 ±3	145

Η μορφολογία των στρωμάτων PSi μελετήθηκε με SEM και αντιπροσωπευτικές απεικονίσεις αυτών φαίνονται στην Εικόνα 4.18. Όπως μπορεί να παρατηρηθεί, το πορώδες και η διάμετρος των πόρων αυξάνεται με τη μεγαλύτερη πυκνότητα ρεύματος, ενώ οι διακλαδώσεις μειώνονται και οι πόροι γίνονται πιο λείοι. Τα δείγματα με μεγαλύτερο πορώδες (76% and 84%) έχουν μεγαλύτερους πόρους με πιο κιονοειδή μορφή και λεία τοιχώματα, ενώ το δείγμα με 70% πορώδες έχει πιο δενδριτική δομή, και οι πόροι εκτείνονται όχι μόνο κατακόρυφα αλλά και οριζόντια.

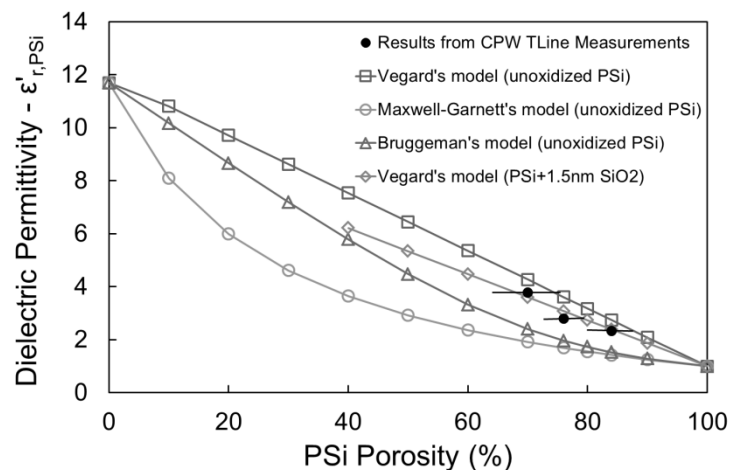


**Εικόνα 4.18:** Αντιπροσωπευτικές μικρογραφίες SEM από στρώματα PSi παρασκευασμένα με διαφορετικές πυκνότητες ρεύματος (a)  $J=20\text{mA/cm}^2$ , porosity 70% (b)  $J=40\text{mA/cm}^2$ , porosity 76% και (c)  $J=60\text{mA/cm}^2$ , porosity 84%

Οι διηλεκτρικές παράμετροι των διαφορετικών στρωμάτων PSi παρουσιάζονται στην Εικόνα 4.19. Συγκεκριμένα στην Εικόνα 4.19δ φαίνεται ότι το δείγμα PSi84 ( $P=84\%$ ) έχει τις μικρότερες απώλειες διαρροής. Όσον αφορά, όμως, τις απώλειες που οφείλονται στη διηλεκτρική πόλωση (βλ. Εικόνα 4.19γ) το PSi84 έχει μεγαλύτερες από το PSi76 ( $P=76\%$ ), πράγμα το οποίο πιθανώς να οφείλεται στην αλλαγή της μορφολογίας του υλικού.



Εικόνα 4.19: Παράμετροι των υποστρωμάτων και των διατάξεων ως συνάρτηση της συχνότητας, για διαφορετικά είδη PSi ( $P= 70\%$ ,  $76\%$  και  $84\%$ ) (α) Ενεργός επιτρεπτότητα του CPW (β) Το πραγματικό μέρος της επιτρεπτότητας του PSi (γ) Το φανταστικό μέρος της επιτρεπτότητας του PSi. (δ) Η ειδική αγωγιμότητα του PSi.



Εικόνα 4.20: Σχετική επιτρεπτότητα του πορώδους Si ως συνάρτηση του πορώδους. ●: οι μετρημένες τιμές του  $\epsilon_{PSi}$ . □: αποτελέσματα από το μοντέλο του Vegard για μη οξειδωμένο PSi. Ανοιχτοί κύκλοι ○: αποτελέσματα από το μοντέλο του Maxwell-Garnett για μη οξειδωμένο PSi. Δ: αποτελέσματα από το μοντέλο του Bruggeman για μη οξειδωμένο PSi. ◇: αποτελέσματα από το μοντέλο του Vegard για οξειδωμένο PSi με 1.5 nm επιφανειακό οξείδιο.

Σχετικά με την σχετική επιτρεπτότητα του υλικού (Εικόνα 4.19β), αυτή είναι μικρότερη για τα δείγματα με μεγαλύτερο πορώδες, όπως άλλωστε ήταν αναμενόμενο. Στην Εικόνα 4.20 φαίνονται οι τιμές της σχετικής επιτρεπτότητας του PSi. Παρατηρούμε ότι οι πειραματικές τιμές δεν ταιριάζουν με κανένα από τα μοντέλα των Vegard, Maxwell-Garnett και Bruggeman. Στην περίπτωση που στο μοντέλο του Vegard προστεθεί ένα στρώμα 1.5 nm φυσικού οξειδίου σε όλη την επιφάνεια των νανοδομών του PSi (~ 500 m<sup>2</sup>/cm<sup>3</sup>) και το  $\epsilon'_{r,PSi}$  υπολογιστεί σύμφωνα με το [16], τότε η σύμπτωση βελτιώνεται αισθητά.

Οι τιμές των  $\epsilon_{r,PSi}$ ,  $\tan\delta_{PSi}$  και  $\sigma_{PSi}^{AC}$  στα 40 GHz παρουσιάζονται στον Πίνακα 4.V.

**Πίνακας 4.V**  
Παράμετροι των δειγμάτων PSi70, PSi76 και PSi84 όπως εξήχθησαν με τη μέθοδο της Ενότητας 4.3.4

Sample Name	Porosity (%)	Conformal Mapping Method		
		$\epsilon_{r,PSi}$	$\tan\delta_{D,PSi}$	$\sigma_{PSi}^{AC}$ ( $\times 10^{-4}$ S/cm)
PSi70	70	3.79	0.035	8.8
PSi76	76	2.79	0.028	6.2
PSi84	84	2.33	0.047	5.3

#### 4.4.2 Σύγκριση με αποτελέσματα προσομοιώσεων

Στις προηγούμενες παραγράφους παρουσιάστηκε η μέθοδος εξαγωγής των διηλεκτρικών παραμέτρων, καθώς και οι τιμές αυτών των παραμέτρων για διάφορα στρώματα PSi. Στο πλαίσιο της χρήσης αυτών των παραμέτρων στη σχεδίαση παθητικών στοιχείων πάνω σε PSi, είναι πολύ σημαντικό να ελεγχθεί αν χρησιμοποιώντας τις σωστές διηλεκτρικές παραμέτρους σε εμπορικά προγράμματα προσομοιώσεων μπορούν να αναπαραχθούν και να προβλεφθούν τα πειραματικά δεδομένα. Προς αυτήν την κατεύθυνση πραγματοποιήθηκαν δύο διαφορετικά τεστ [39]. Στο πρώτο συγκρίθηκαν οι προσομοιώσεις με τις μετρήσεις για πολλά CPW πάνω σε PSi, ώστε να ελεγχθεί η αξιοπιστία και η επαναληψιμότητα της μεθόδου μας, όχι μόνο για ένα, αλλά για πολλά δείγματα. Στο δεύτερο, χρησιμοποιήθηκε ένα δείγμα PSi με διαφορετικές διατάξεις πάνω σε αυτό, όπως CPW διαφορετικών χαρακτηριστικών αντιστάσεων και πηνία. Οι προσομοιώσεις αυτών των διατάξεων γίνονται με χρήση των παραμέτρων που εξήχθησαν με την προηγούμενη μέθοδο.

Για όλες τις προσομοιώσεις χρησιμοποιήθηκε το πρόγραμμα Ansoft HFSS [24], το οποίο είναι ένα πρόγραμμα 3D επίλυσης του HM πεδίου που στηρίζεται στη μέθοδο πεπερασμένων στοιχείων (finite element method – FEM). Όλα τα γεωμετρικά στοιχεία των διατάξεων, καθώς και η ειδική αγωγιμότητα του Al και του Si είχαν συμπεριληφθεί στα μοντέλα των προσομοιώσεων. Οι μόνες μεταβλητές ήταν η σχετική επιτρεπτότητα και η εφαπτομένη απωλειών του PSi, οι οποίες εξήχθησαν με τη μέθοδο που περιγράφηκε παραπάνω (βλ. Ενότητα 4.3.4).

#### Έλεγχος της αξιοπιστίας της μεθόδου εξαγωγής

Για τον έλεγχο της αξιοπιστίας χρησιμοποιήθηκαν τα CPW ( $Z_c = 145 \Omega$ ) πάνω στα δείγματα PSi2-PSi7 του Πίνακα 4.III και εξήχθησαν τα  $\epsilon'_{r,PSi}$  και  $\tan\delta_{PSi}$  με βάση την προαναφερθείσα μέθοδο.

Όπως προαναφέρθηκε στην Ενότητα 4.4.1, τα στρώματα PSi έχουν παρασκευαστεί στις ίδιες συνθήκες, αλλά από δισκία Si διαφορετικής ειδικής αγωγιμότητας. Τα αποτελέσματα για τη συχνότητα των 40 GHz φαίνονται στον Πίνακα 4.VI και θεωρούνται αντιπροσωπευτικά για όλο το εύρος συχνοτήτων από 5-40 GHz.

Οι τιμές του Πίνακα 4.VI χρησιμοποιήθηκαν στις προσομοιώσεις των CPW και τα αποτελέσματα αυτών συγκρίθηκαν με τις αντίστοιχες μετρήσεις. Συγκεκριμένα, συγκρίναμε τις S-παραμέτρους που προκύπτουν από τις προσομοιώσεις και τις μετρήσεις και μελετήσαμε τη μέση απόκλισή τους ( $E_{ij}$ ), όπως αυτή ορίζεται από την εξίσωση (4.33).

$$E_{ij} = \text{average} \left\{ \left| S_{ij}^M - S_{ij}^S \right| \right\}, \quad i, j = 1, 2 \quad (4.33)$$



όπου το  $S_{ij}$  είναι οι S-παράμετροι των διατάξεων σε dB και οι εκθέτες  $M$  και  $S$  υποδηλώνουν τις μετρήσεις και τις προσομοιώσεις αντίστοιχα.

**Πίνακας 4.VI**  
Οι εξαχθείσες διηλεκτρικές παράμετροι των στρωμάτων PSi. Οι τιμές αναφέρονται στα 40 GHz.

Όνομα δείγματος PSi	Ειδική αντίσταση Si [mΩ.cm]	$\epsilon'_{r,PSi}$	$\tan\delta_{PSi}$	Όνομα διατάξεων CPW
PSi2	2.3 ± 0.1	2.19	0.035	CPW2
PSi3	2.7 ± 0.1	2.74	0.050	CPW3
PSi4	2.8 ± 0.1	2.83	0.035	CPW4
PSi5	3.1 ± 0.1	2.98	0.085	CPW5
PSi6	4.6 ± 0.1	3.72	0.026	CPW6
PSi7	5.0 ± 0.1	3.77	0.041	CPW7

Οι τιμές που προκύπτουν για τα  $E_{11}$  και  $E_{12}$  για τα έξι CPW φαίνονται στον Πίνακα 4.VII. Παρατηρούμε ότι για όλα τα CPW η απόκλιση είναι πολύ μικρή, συγκεκριμένα  $E_{11} < 1.3$  dB και  $E_{12} < 0.6$  dB, μία συνθήκη που αποδεικνύει ότι η σύμπτωση μετρήσεων και προσομοιώσεων είναι καλή και επαναλαμβανόμενη.

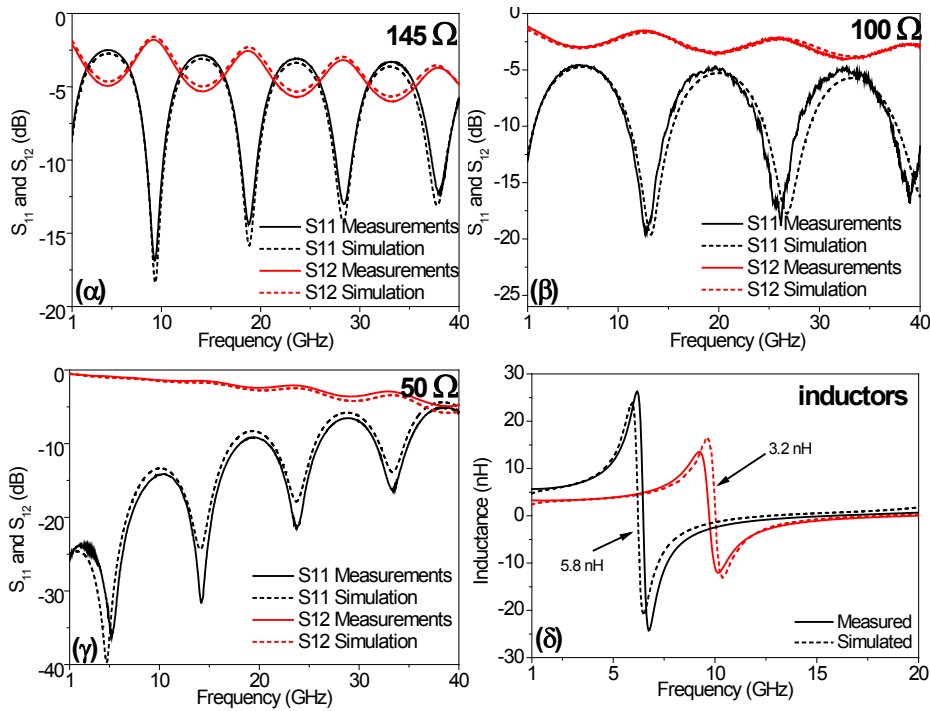
**Πίνακας 4.VII**  
Εκτίμηση της σύμπτωσης μεταξύ προσομοιώσεων και μετρήσεων

Integrated CPW Device	Zc [Ω]	E <sub>11</sub> [dB]	E <sub>12</sub> [dB]
CPW2	145	1.2	0.4
CPW3	145	1.1	0.5
CPW4	145	1.0	0.3
CPW5	145	0.6	0.3
CPW6	145	0.5	0.3
CPW7	145	0.5	0.2

#### Έλεγχος της αξιοπιστίας της μεθόδου για διαφορετικές διατάξεις

Στην προηγούμενη παράγραφο αποδείχθηκε η αξιοπιστία και η επαναληψιμότητα της μεθόδου σε διατάξεις CPW, οι οποίες και χρησιμοποιούνται για να εξαχθούν οι διηλεκτρικές παράμετροι του PSi. Σε αυτήν την παράγραφο χρησιμοποιείται ένα δείγμα PSi πάνω στο οποίο ολοκληρώθηκαν γραμμές μεταφοράς CPW των 50 Ω, 100 Ω, 145 Ω, καθώς και πηνία των 3.2 nH και 5.8 nH. Η διεργασία της ολοκλήρωσης των πηνίων περιγράφεται αναλυτικά στο Κεφάλαιο 6. Ένα CPW των 145 Ω χρησιμοποιήθηκε για την εξαγωγή των παραμέτρων του PSi,  $\epsilon'_{r,PSi}$  και  $\tan\delta_{PSi}$ . Τα αποτελέσματα αυτής της εξαγωγής χρησιμοποιήθηκαν στις προσομοιώσεις των υπόλοιπων διατάξεων, οι οποίες με τη σειρά τους συγκρίθηκαν με τις μετρήσεις. Αξίζει να σημειωθεί ότι το CPW 145 Ω που χρησιμοποιήθηκε για την εξαγωγή των παραμέτρων είναι διαφορετικό από αυτό του οποίου συγκρίνονται οι μετρήσεις.

Στην Εικόνα 4.21 παρουσιάζεται η σύγκριση που περιγράφηκε παραπάνω. Το CPW των 145 Ω που παρουσιάζεται στην Εικόνα 4.21α, είναι διαφορετικό από αυτό που χρησιμοποιήθηκε για την εξαγωγή των παραμέτρων. Παρατηρούμε ότι υπάρχει πολύ καλή σύμπτωση προσομοιώσεων και μετρήσεων για όλες τις γραμμές CPW. Η μικρή απόκλιση που παρατηρείται στα πηνία (βλ. Εικόνα 4.21δ) οφείλεται μάλλον σε κατασκευαστικές λεπτομέρειες που δεν μπορέσαμε να ενσωματώσουμε στις προσομοιώσεις, όπως για παράδειγμα ατέλειες στα νίσι ή πιθανώς διαφορετικές ιδιότητες του ενδιάμεσου SiO<sub>2</sub>. Σε κάθε περίπτωση όμως η σύμπτωση είναι αποδεκτή.



Εικόνα 4.21. Σύγκριση των προσομοιώσεων-μετρήσεων διαφόρων διατάξεων. Με διακεκομμένη γραμμή είναι οι προσομοιώσεις, ενώ με συνεχή οι μετρήσεις. (α) S-παράμετροι ενός CPW 145 Ω (β) S-παράμετροι ενός CPW 100 Ω (γ) S-παράμετροι ενός CPW 50 Ω (δ) Επαγωγή δύο πηνίων 3.2 nH και 5.8 nH

#### 4.5 Συμπεράσματα κεφαλαίου

Σε αυτό το κεφάλαιο παρουσιάστηκε η μέθοδος εξαγωγής των διηλεκτρικών παραμέτρων του PSi. Αυτή η μέθοδος στηρίζεται στην τεχνική του conformal mapping και παρέχει αναλυτικές σχέσεις για την απευθείας εξαγωγή της σχετικής επιτρεπτότητας, της εφαπτομένης απωλειών και της ειδικής αντίστασης από τις μετρήσεις S-παραμέτρων μίας γραμμής CPW.

Η ακρίβεια και η επαναληψιμότητα της μεθόδου επιβεβαιώθηκε μέσα από σύγκριση των πειραματικών μετρήσεων με 3D ηλεκτρομαγνητικές προσομοιώσεις, που χρησιμοποιούσαν τις εξαχθείσες διηλεκτρικές παραμέτρους. Η σύγκριση έγινε για διατάξεις CPW και πηνίων και έδωσε πολύ κοντινά αποτελέσματα. Αυτό διευκολύνει τους σχεδιαστές να χρησιμοποιήσουν τις εξαγόμενες τιμές κατευθείαν σε εμπορικά πακέτα προσομοιώσεων, μειώνοντας κατά πολύ τον χρόνο και το κόστος κατασκευής των επιθυμητών διατάξεων πάνω σε PSi.

Το κύριο τμήμα της μελέτης ασχολήθηκε με PSi που προκύπτει από p<sup>+</sup>-Si (1-5 mΩ.cm). Οι τιμές οι οποίες εξήχθησαν για το  $\epsilon_{r,PSi}$  και το  $\tan\delta_{PSi}$  ήταν μεταξύ 2-4 και 0.025-0.07 αντίστοιχα. Όπως φάνηκε από τα πειράματα, η τιμή του  $\epsilon_{r,PSi}$  επηρεάζεται πάρα πολύ από την ειδική αντίσταση του αρχικού δισκιδίου Si. Βρέθηκε ότι για τις ίδιες συνθήκες ανοδίσωσης, μεγαλύτερη ειδική αντίσταση Si οδηγεί σε μεγαλύτερο  $\epsilon_{r,PSi}$  στο προκύπτον στρώμα PSi. Επίσης μελετήθηκε και η επίδραση του πορώδους πάνω στις διηλεκτρικές παραμέτρους. Μελετήθηκαν δείγματα υψηλού πορώδους, 70%, 76% και 84%. Εδώ επιβεβαιώθηκε το γνωστό συμπέρασμα ότι μεγαλύτερο πορώδες οδηγεί σε χαμηλότερο  $\epsilon_{r,PSi}$ . Τα πειραματικά αποτελέσματα δεν ακολουθούσαν επακριβώς κανένα από τα τυπικά μοντέλα ενεργού μέσου, αλλά ανταποκρίνονταν καλά στο μοντέλο του Vegard, προσαρμοσμένο με 1.5 nm επιφανειακού οξειδίου. Όσον αφορά το  $\tan\delta$ , εξήχθη ότι το δείγμα PSi με 76% πορώδες ήταν αυτό με το χαμηλότερο  $\tan\delta$ . Αυτό έρχεται σε μερική αντίθεση με το αναμενόμενο αποτέλεσμα που ήταν ότι για το μεγαλύτερο porosity (84%) θα έχουμε το μικρότερο  $\tan\delta$ . Πιθανή εξήγηση για το φαινόμενο αυτό είναι η διαφορά στη μορφολογία των δύο στρωμάτων PSi, μιας και το 84% έχει πιο κιονοειδή δομή, ενώ το 76% πιο δενδριτική.

# Κεφάλαιο 5

## Συγκριτική Μελέτη Γραμμών Μεταφοράς CPW πάνω σε PSi και σε άλλα Υποστρώματα

### 5.1 Εισαγωγή

Όπως έχει αναφερθεί, η απόδοση των γραμμών μεταφοράς CPW πάνω σε LR-Si είναι πολύ περιορισμένη. Αυτό οφείλεται στη χαμηλή ειδική αντίσταση του LR-Si, η οποία οδηγεί σε υψηλές απώλειες. Για την αντιμετώπιση των υψηλών απωλειών υποστρώματος έχουν προταθεί διάφορες λύσεις. Μία κατηγορία περιλαμβάνει την προσθήκη μεταλλικής θωράκισης κάτω από το CPW, τα λεγόμενα Shielded-CPW (S-CPW) [1]–[3]. Αυτό οδηγεί σε αλλαγή των χαρακτηριστικών των CPW, οδηγώντας σε δομές, οι οποίες αν και έχουν υψηλό συντελεστή ποιότητας [2], [4], δεν είναι οι βέλτιστες για την επίτευξη υψηλών χαρακτηριστικών αντιστάσεων. Αυτό οφείλεται στη σμίκρυνση του πλάτους της γραμμής του σήματος και συνεπώς την αύξηση των απωλειών. Μία άλλη λογική είναι η χρήση μεθόδων MEMS ώστε τα παθητικά στοιχεία να ολοκληρωθούν πάνω σε αιωρούμενες μεμβράνες, που κατασκευάζονται αφαιρώντας το LR-Si κάτω από τη μεμβράνη [5]. Μία πιο απλή θεώρηση περιλαμβάνει την κατασκευή αιωρούμενων γραμμών μεταφοράς [6], είτε την ολοκλήρωσή τους πάνω στη συσκευασία του chip [7]. Από τις παραπάνω μεθόδους η μόνη συμβατή με την τεχνολογία CMOS είναι η μέθοδος των S-CPW με τα συνακόλουθα προβλήματα. Γίνεται λοιπόν σαφές, ότι για να κατασκευαστούν γραμμές CPW πολύ υψηλής απόδοσης, πρέπει να στραφούμε στο υπόστρωμα και να ερευνήσουμε τεχνολογίες, που είτε τροποποιούν το LR-Si, προσδίδοντας του τα επιθυμητά χαρακτηριστικά, είτε το αντικαθιστούν με ένα άλλο συμβατό με το CMOS υπόστρωμα.

Σε αυτό το κεφάλαιο θα παρουσιαστούν οι εξαιρετικές επιδόσεις CPW ολοκληρωμένων πάνω σε PSi, οι οποίες μέχρι τη στιγμή συγγραφής της διατριβής ήταν ανάμεσα στις κορυφαίες [8]. Όπως φαίνεται στη συνέχεια του κεφαλαίου, το PSi περιορίζει τις απώλειες εντός του υποστρώματος εξαιτίας τις διηλεκτρικής του φύσης και επίσης διευκολύνει την κατασκευή CPW μεγάλης χαρακτηριστικής αντίστασης ( $\sim 145 \Omega$ ) με πολύ καλή απόδοση, πράγμα το οποίο είναι δύσκολο να επιτευχθεί όταν το υπόστρωμα είναι LR-Si. Τα αποτελέσματα συγκρίνονται με CPW ολοκληρωμένα πάνω σε LR-Si, πάνω σε HR-Si με στρώμα πλούσιο σε παγίδες φορτίου (trap-rich HR-Si), καθώς και πάνω σε quartz. Οι τεχνικές του PSi και του παθητικοποιημένου HR-Si μοιάζουν σήμερα να είναι οι μόνες ρεαλιστικές λύσεις για την αντιμετώπιση των απωλειών του υποστρώματος [9]–[11]. Τέλος, οι επιδόσεις των CPW πάνω σε PSi συγκρίνονται με τις επιδόσεις αιχμής άλλων γραμμών μεταφοράς υψηλής απόδοσης, που ολοκληρώνονται πάνω στο Si χρησιμοποιώντας τεχνικές όχι απαραίτητα συμβατές με την τεχνολογία CMOS [12].

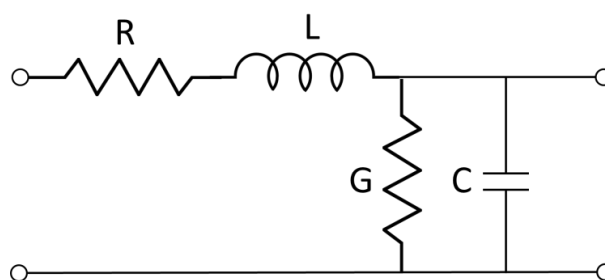
### 5.2 Μεγέθη Αναφοράς

Για να μπορέσουμε να συγκρίνουμε την απόδοση μίας γραμμής μεταφοράς CPW πρέπει να ορίσουμε κάποια μεγέθη αναφοράς. Αυτά πρέπει να είναι συγκρίσιμα ανεξαρτήτως της σχεδίασης του CPW, καθώς και ανεξαρτήτως του μηχανημάτων και των μεθόδων χαρακτηρισμού. Εξαιτίας όμως της πληθώρας των κατασκευαστικών παραμέτρων (διαστάσεις CPW, είδος μετάλλου, πάχος μετάλλου, υπόστρωμα) που επηρεάζουν την απόδοση του CPW, παρατηρείται μία πολύ μεγάλη διασπορά των αποτελεσμάτων αιχμής, ώστε να μην μπορεί να προσδιοριστεί με σαφήνεια ποιο είναι μέχρι τώρα το καλύτερο αποτέλεσμα.

Παρακάτω θα προσπαθήσουμε να παρουσιάσουμε διάφορα χαρακτηριστικά μεγέθη των CPW που βοηθάνε στο να συγκριθούν τα αποτελέσματα που προκύπτουν από διαφορετικές ερευνητικές εργασίες. Επίσης θα παρουσιαστούν κάποια μεγέθη που είναι χρήσιμα για την ανάλυση της επίδρασης του υποστρώματος στη συμπεριφορά του CPW και στη σύγκριση των διαφορετικών υποστρωμάτων που χρησιμοποιήθηκαν.

### 5.2.1 Χαρακτηριστικά Μεγέθη Ομοεπίπεδων Κυματοδηγών

Όπως προαναφέρθηκε στην Ενότητα 4.3 για να χαρακτηρίσουμε τα CPW χρησιμοποιούμε μεγέθη που είναι κοινά για όλες τις γραμμές μεταφοράς, όπως τη χαρακτηριστική αντίσταση  $Z_c$ , την ενεργό επιτρεπτότητα ( $\epsilon_{eff}$ ) και τη σταθερά διάδοσης ( $\gamma = \alpha + j\beta$ ), που αποτελείται από τη σταθερά εξασθένισης ( $\alpha$ ) και τη φασική σταθερά ( $\beta$ ). Πέρα όμως από τα κυματικά μεγέθη, το CPW μπορεί να μοντελοποιηθεί σε ένα RLCG κύκλωμα (Εικόνα 5.1), υπό την προϋπόθεση ότι η διάδοση του σήματος γίνεται με εγκάρσιο ηλεκτρομαγνητικό ρυθμό, δηλαδή ρυθμό TEM.



Εικόνα 5.1. Τυπικό μοντέλο RLCG που περιγράφει μία γραμμή μεταφοράς

Οι κυματικές παράμετροι συνδέονται με το RLCG μοντέλο μέσα από τις παρακάτω σχέσεις:

$$Z_c = \sqrt{\frac{R + j\omega C}{G + j\omega L}} \quad (5.1)$$

$$\gamma = \sqrt{(R + j\omega C)(G + j\omega L)} \quad (5.2)$$

Από τις παραπάνω παραμέτρους η πιο συχνά χρησιμοποιούμενη είναι η σταθερά εξασθένισης. Αυτή περιγράφει την ανά μονάδα μήκους εξασθένιση του σήματος καθώς αυτό διατρέχει τον κυματοδηγό. Όπως αναφέρθηκε στο Κεφάλαιο 4, το  $\alpha$  μπορεί να διαχωριστεί στα τμήματα που οφείλονται στις ωμικές απώλειες των αγωγών ( $\alpha_c$ ), στις απώλειες υποστρώματος ( $\alpha_s$ ), καθώς και στις απώλειες λόγω ακτινοβολίας, που είναι μηδαμινές στις συχνότητες που εξετάζουμε [13]. Σε συνθήκες χαμηλών απωλειών και υψηλών συχνοτήτων το  $\alpha$  μπορεί να γραφεί ως:

$$\alpha \approx \frac{\sqrt{LC}}{2} \left( \frac{R}{L} + \frac{G}{C} \right) \quad (5.3)$$

$$\alpha = \frac{R}{2 \cdot Z_c} + \frac{G}{2} Z_c \quad (5.4)$$

Ένα ακόμη χρήσιμο μέγεθος είναι η απώλεια ισχύος (Power Loss - PL), η οποία για συμμετρικές και αντιστρέψιμες δομές ορίζεται ως εξής:

$$PL = 1 - |S_{11}|^2 - |S_{21}|^2 \quad (5.5)$$

Ο υπολογισμός αυτού του μεγέθους στηρίζεται στην αρχή διατήρησης της ενέργειας και περιγράφει επίσης τη συνολική απώλεια ισχύος που οφείλεται στις απώλειες αγωγού, στις απώλειες υποστρώματος, καθώς και στις απώλειες ακτινοβολίας (αμελητέες στην περίπτωση αυτή). Το μέγεθος αυτό εξαρτάται από τη σχεδίαση του CPW και κυρίως από το υπόστρωμα και τις διαστάσεις του μετάλλου. Παρόλα αυτά είναι ανεξάρτητο της χαρακτηριστικής αντίστασης του CPW. Το τελευταίο σημαίνει ότι η PL, σε συνδυασμό με τη χρήση μίας σταθερής σχεδίασης CPW, μπορεί να χρησιμοποιηθεί για τη σύγκριση διαφορετικών υλικών υποστρώματος ή επιμετάλλωσης.

Ένα άλλο μέγεθος που θα παρουσιαστεί είναι η ενεργός επιτρεπτότητα (effective permittivity), η οποία είναι ένα μέγεθος που εκφράζει τον τρόπο που αλληλεπιδρά το περιβάλλον του CPW με τη διάδοση του κύματος. Όπως περιγράφηκε στο Κεφάλαιο 4, στην περίπτωση των CPW συνδέεται κυρίως με τη σχετική επιτρεπτότητα του υποστρώματος και λιγότερο με τη γεωμετρία. Ο ορισμός της φαίνεται στην εξίσωση (5.6).

$$\varepsilon_{r,eff} = \sqrt{c/v_{ph}} = (c \cdot \beta / \omega)^2 \quad (5.6)$$

Όμως, η πιο σημαντική παράμετρος είναι ο συντελεστής ποιότητας (quality factor -  $Q$ ) της γραμμής μεταφοράς, ο οποίος περιέχει πληροφορία και για τη φασική σταθερά και για τη σταθερά απωλειών και ορίζεται από τη σχέση:

$$Q = \frac{\beta}{2\alpha} \quad (5.7)$$

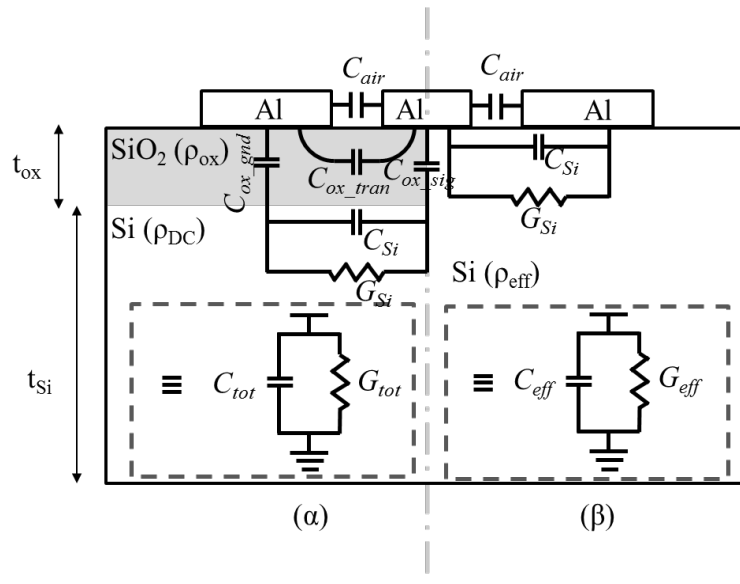
Το  $Q$  είναι ανάλογο της φασικής σταθεράς και αντιστρόφως ανάλογο της σταθεράς απωλειών. Στη σχεδίαση μίας γραμμής μεταφοράς προσπαθούμε να επιτύχουμε όσο το δυνατόν μεγαλύτερη στροφή φάσης ανά μονάδα μήκους (δηλαδή μεγάλο  $\beta$ ) με όσο το δυνατόν μικρότερες απώλειες (δηλαδή μικρό  $\alpha$ ). Συνεπώς η επίτευξη μεγάλων τιμών για το  $Q$  είναι σημαντική για την πετυχημένη σχεδίαση μίας γραμμής μεταφοράς, που θα συνδυάζει οικονομία χώρου και χαμηλές απώλειες.

## 5.2.2 Άλλα χρήσιμα μεγέθη για τη σύγκριση υποστρωμάτων

Ένα άλλο πολύ χρήσιμο μέγεθος είναι η ενεργός ειδική αντίσταση ( $\rho_{eff}$ ), της οποίας ο ορισμός περιγράφηκε στην Ενότητα 2.2.2. Εν συντομία, η  $\rho_{eff}$  εκφράζει την ειδική αντίσταση την οποία θα έπρεπε να έχει ένα ομοιογενές στρώμα Si για να έχει απώλειες υποστρώματος ίσες με αυτές που παρατηρούμε στο σύνθετο υπόστρωμα που εξετάζουμε [14]. Αυτό το μέγεθος είναι χρήσιμο για να έχουμε μία ευθεία σύγκριση της ειδικής αντίστασης υποστρωμάτων με διαφορετική επιτρεπτότητα. Το παραπάνω περιγράφεται σχηματικά στην Εικόνα 5.2, όπου δίνεται και η ανάλυση των παραμέτρων C και G από το μοντέλο RLCG μίας γραμμής μεταφοράς CPW. Αριστερά φαίνεται το σύνθετο υπόστρωμα, ενώ στα δεξιά το ισοδύναμο υπόστρωμα.

Η ολική αρμονική παραμόρφωση (Total Harmonic Distortion - THD) είναι ένα μέγεθος που περιγράφει την ισχύ που περιέχεται στις υπόλοιπες αρμονικές πέραν της κύριας. Ορίζεται σαν ο λόγος του αθροίσματος της ισχύος των  $n$  αρμονικών προς την ισχύ της πρώτης αρμονικής. Όπως έχει παρατηρηθεί, η αρμονική παραμόρφωση εξαιτίας της μη γραμμικότητας του υποστρώματος Si, κυριαρχείται από τη 2<sup>η</sup> αρμονική [15]. Συνεπώς, στη συνέχεια του κεφαλαίου θα επικεντρωθούμε στη μέτρηση και την ανάλυση της 2<sup>ης</sup> αρμονικής και τα εξαγόμενα συμπεράσματα θα ισχύουν για το σύνολο του THD.

Η τελευταία παράμετρος, η οποία θα εξεταστεί, είναι η συνακρόαση (crosstalk) η οποία περιγράφει την παρασιτική παρεμβολή που μπορεί να προκύψει μεταξύ γειτονικών γραμμών μεταφοράς. Αυτό θα μετρηθεί με ειδικές διατάξεις που ολοκληρώνονται πάνω στο υπόστρωμα, όπως θα εξηγηθεί στη συνέχεια του κεφαλαίου (Ενότητα 5.5.2).



Εικόνα 5.2. Σχηματική επεξήγηση του ορισμού της ενεργού ειδικής αντίστασης όπως αυτή έχει περιγραφεί στο [14]. Δίνονται και τα ηλεκτρικά ανάλογα για τις παραμέτρους C και G σε σύνθετο υπόστρωμα (α) και στο αντίστοιχο υπόστρωμα (β)

### 5.3 Βιβλιογραφικά Αποτελέσματα από Γραμμές Μεταφοράς CPW Ολοκληρωμένες σε PSi

Η μελέτη της ολοκλήρωσης γραμμών μεταφοράς CPW πάνω σε δισκίδιο Si με τοπικά σχηματισμένο PSi δεν είναι κάτι που άρχισε τα τελευταία χρόνια. Οι πρώτες έρευνες για την εφαρμογή του PSi σε παθητικές διατάξεις RF χρονολογούνται στα τέλη της δεκαετίας του 1990 και στις αρχές του 2000 [16]–[18]. Οι έρευνες αυτές συνδέονται κυρίως με την ανάλυση γραμμών CPW και πηνίων, αφού αυτές οι διατάξεις επηρεάζονται πολύ από το υπόστρωμα και επίσης είναι εύκολες στην κατασκευή και στη μέτρηση. Για αυτήν την εφαρμογή, έχουν μελετηθεί διάφοροι τύποι PSi: μακροπορώδες [19], μεσοπορώδες [20]–[23] ή μικροπορώδες PSi, οξειδωμένο [24], [25] ή μη [20]–[23], παρασκευασμένο στην μπροστινή [20]–[25] ή στην πίσω πλευρά του δισκιδίου Si [26].

Ο κύριος παράγοντας που επηρεάζει την απόδοση των ολοκληρωμένων σε PSi CPW είναι το πάχος του PSi. Η αύξηση του πάχους οδηγεί σε μείωση των απωλειών, καθώς και αύξηση του συντελεστή ποιότητας. Αυτό έγινε εμφανές από τα αποτελέσματα διαφόρων ερευνητικών εργασιών [18], [21], [27]. Όπως έχει δείχθει από προηγούμενες έρευνες στο πλαίσιο της ομάδας μας [21] για την περίπτωση του PSi από  $p^+$ -Si, η βελτίωση που επιτυγχάνεται με την αύξηση του πάχους του PSi φτάνει σε έναν κορεσμό για πάχη μεγαλύτερα από 150  $\mu\text{m}$ . Η παραπάνω παρατήρηση έγινε για CPW με διαστάσεις  $\{w, s, w_g\} = \{96, 33, 800\}$ . Όμως, αυτό το κρίσιμο πάχος δεν είναι το ίδιο για κάθε σχεδίαση CPW, αφού η διείδυση του HM πεδίου του CPW εντός του υποστρώματος εξαρτάται καίρια από την απόσταση της γραμμής σήματος από τη γείωση.

Ένας δεύτερος παράγοντας που επηρεάζει την απόδοση των CPW είναι το πορώδες του PSi, το οποίο επηρεάζει άμεσα την επιτρεπτότητα και την εφαπτομένη απωλειών του υλικού (βλ. Κεφάλαιο 4). Στο παρελθόν έχουν γίνει αρκετές μελέτες για το πώς επηρεάζει το πορώδες του PSi την απόδοση των CPW πάνω σε αυτό [28], [29].

Ένας τρίτος παράγοντας που επηρεάζει την απόδοση του CPW είναι το αν αυτό έχει ολοκληρωθεί πάνω σε επιφάνεια PSi που καταλαμβάνει ολόκληρο το δισκίδιο ή αν έχει ολοκληρωθεί πάνω σε τοπικά σχηματισμένο PSi. Όταν το CPW είναι ολοκληρωμένο πάνω σε τοπικά σχηματισμένο PSi, τότε υφίστανται και απώλειες που προκύπτουν από την πλάγια εγγύτητα του LR-Si. Το αναγκαίο πλάτος της περιοχής του PSi για την πλήρη απομόνωση στα πλάγια του CPW δεν έχει μελετηθεί εκτενώς. Σίγουρα πάντως αυτό το πλάτος θα εξαρτάται από τις πλάγιες διαστάσεις του CPW.

Ένας τέταρτος παράγοντας είναι η επεξεργασία που έχει υποστεί το PSi πριν την ολοκλήρωση των διατάξεων RF, καθώς και το πάχος του διηλεκτρικού στρώματος που τοποθετείται πάνω από το PSi. Έχει αποδειχθεί ότι το οξειδωμένο PSi έχει χαμηλότερες απώλειες από το μη οξειδωμένο [25], [30]. Παρόλα αυτά, εξαιτίας των μηχανικών τάσεων που αναπτύσσονται κατά την οξείδωση, το πάχος του οξειδωμένου PSi που μπορεί να επιτευχθεί είναι σχετικά μικρό (~50 μm). Για το λόγο αυτό, όπως άλλωστε εξηγήθηκε και στο Κεφάλαιο 3, ενδιαφερόμαστε μόνο για το μη οξειδωμένο PSi, το οποίο έχει υποστεί παθητικοποίηση μέσα από ανόπτηση σε χαμηλή θερμοκρασία (~300-400 °C). Όσον αφορά την κάλυψη του PSi από κάποιο διηλεκτρικό, αυτή γίνεται κυρίως για να σταθεροποιηθεί το PSi ως προς τη μεταβολή των περιβαλλοντικών παραγόντων (κυρίως της υγρασίας) και να αποφευχθούν φαινόμενα γήρανσης. Τα λεπτά στρώματα διηλεκτρικού, που εναποτίθενται πάνω στο PSi, δεν επηρεάζουν πολύ την απόδοση, ενώ τα παχιά στρώματα έχει βρεθεί ότι βελτιώνουν αρκετά τη συμπεριφορά του CPW [17]. Το διηλεκτρικό που χρησιμοποιείται συνήθως στις ερευνητικές εργασίες είναι είτε SiO<sub>2</sub> (PECVD ή LPCVD) είτε Si<sub>3</sub>N<sub>4</sub>, πάχους 0.5-1 μm. Παρόλα αυτά το συνολικό πάχος της στοίβας BEOL είναι ~4-10 μm, ανάλογα με την τεχνολογία, πράγμα το οποίο σημαίνει ότι η απόδοση των CPW, που θα ολοκληρωθούν στα ανώτερα επίπεδα του BEOL, θα είναι ακόμη μεγαλύτερη.

Τέλος, ο πέμπτος παράγοντας που επηρεάζει την απόδοση του CPW είναι το πάχος και το είδος του μετάλλου που χρησιμοποιείται για την κατασκευή του CPW. Όπως είναι λογικό, όσο πιο παχύ είναι το μέταλλο τόσο πιο μειωμένες είναι οι ωμικές απώλειες. Μέχρι τώρα, έχουν χρησιμοποιηθεί διάφορα μέταλλα, όπως Au, Cu και Al, με πάχος το μεταξύ 1-10 μm. Παρόλα αυτά, το τυπικό πάχος των ανώτερων επιπέδων της στοίβας BEOL, που είναι και τα πιο παχιά, είναι 1-2.5 μm. Αυτός είναι ο κύριος λόγος που η πιο συχνή επιμετάλλωση είναι με Al πάχους 1 μm.

Στον Πίνακα 5.1 γίνεται μία σύνοψη των ερευνητικών αποτελεσμάτων σχετικά με γραμμές CPW ολοκληρωμένες πάνω σε υποστρώμα PSi. Όπως παρατηρείται, οι αρχικές σχεδιάσεις CPW σε PSi (μέχρι το 2005) περιορίζονταν σε μικρά πάχη πορώδους πυριτίου (μέχρι 75 μm), ενώ για την επιμετάλλωση χρησιμοποιήθηκαν διάφορα μέταλλα, και κυρίως Au και Cu. Από αυτά τα πρώτα αποτελέσματα, παρατηρούμε ότι ακόμη και μικρά πάχη PSi (~15 μm), μειώνουν πολύ τις απώλειες σε σχέση με το LR-Si [18], [28]. Ένα άλλο σημείο άξιο προσοχής, είναι η σχέση πλάγιων διαστάσεων του CPW και πάχους του PSi. Στο [31] παρατηρείται ότι για σταθερό πάχος PSi, οι μεγαλύτερες πλάγιες διαστάσεις των CPW οδηγούν σε μεγαλύτερες απώλειες, πράγμα που οφείλεται στη βαθύτερη διείσδυση του ΗΜ πεδίου εντός του υποστρώματος. Σε πιο πρόσφατες ερευνητικές εργασίες [21], [27] μελετάται η επίδραση του πάχους του PSi στην απόδοση των CPW και επιβεβαιώνεται ότι για μεγαλύτερα πάχη επιτυγχάνονται καλύτερες αποδόσεις. Για πάχη μεγαλύτερα των 150 μm, αυτές οι αποδόσεις είναι καλύτερες από τις αντίστοιχες πάνω σε παθητικοποιημένο ή μη HR-Si και συγκρίσιμες με αυτές πάνω σε quartz [27], [32]. Αξίζει να σημειωθεί, ότι στις τελευταίες ερευνητικές εργασίες έχει υιοθετηθεί επιμετάλλωση Al πάχους 1 μm, πράγμα που διευκολύνει τη σύγκριση των απωλειών υποστρώματος μεταξύ των αποτελεσμάτων διαφορετικών ερευνητικών εργασιών. Το καλύτερο αποτέλεσμα για τα 40 GHz, μέχρι τώρα, αποκτήθηκε στο πλαίσιο της παρούσας έρευνας και παρουσιάζει  $\alpha=0.19$  dB/mm και  $Q=26$  [29]. Αυτό ανταποκρίνεται σε PSi με πορώδες 76%. Παρόμοια στρώματα PSi, που έχουν κατασκευαστεί από την ομάδα μας, έχουν επιδειξει  $\alpha=0.5$  dB/mm και  $Q=31$  στα 110 GHz και  $\alpha=1.2$  dB/mm και  $Q=30$  στα 210 GHz. Εδώ, πρέπει να σημειωθεί ότι τα  $\alpha$  και  $Q$  αυξάνονται με τη συχνότητα μέχρι ενός σημείου όπου επέρχεται κορεσμός, όπως φάνηκε και στο [33]

**Πίνακας 5.1**  
**Σύνοψη των κυριότερων αποτελεσμάτων από ερευνητικές εργασίες που χρησιμοποιούν το PSI ως υπόστρωμα για την ολοκλήρωση CPW<sup>3</sup>.**

Πρώτος Συγγραφέας (Αναφορά)	$\rho_{Si}$ ( $\Omega \cdot cm$ ) [porosity]	Porosity [permittivity]	Πλάτος PSI ( $\mu m$ ) <sup>4</sup>	Επεξεργασία PSI	Μέταλλο (πάχος $\mu m$ )	Διαστάσεις CPW [ $\mu m$ ]		f [GHz]	Zc [ $\Omega$ ]	a [dB/mm]	Q	IL [dB/mm]	PL [dB/mm]
						w/s	w <sub>g</sub> (L)						
Welty et al., 1998, [18]	p, 1-3	[-6]	1-F	dry O <sub>2</sub> , 300°C, 1h + 200 nm PECVD SiO <sub>2</sub>	Ti/Au (0.24)	7	5/2.5/- (1000)	40	59	3	-	-	-
			7-F										
			15-F										
Nam et al., 1998, [34]	p, 8-10	fully oxidized	LR-Si	dry O <sub>2</sub> , 350°C, 30 min + wet O <sub>2</sub> , 1060°C, 3min	Ti/Au (2.5)	100/40/- (2000)	10	50	0.1	-	-	0.12	-
			20-F										
Peterson et al., 2001 [17]	p, 14-21	56%	HR-Si	dry O <sub>2</sub> , 350°C, 30 min	Au (4)	94/53/400 (15000)	40	63	0.51	1.68	-	-	-
			26-F										
D.-W. Kim et al., 2002, [35]	p, 14-21	56%	HR-Si	dry O <sub>2</sub> , 350°C, 30 min + 480 nm PECVD SiO <sub>2</sub>	Au (4)	94/53/400 (15000)	40	69.9	0.49	1.08	-	-	-
			26-F										
You et al., 2003, [36]	p, 0.01	-	HR-Si	-	Cu (10)	50/20/-	4	50	-	-	-	0.03	-
			25-L										
Itotia et al., 2002 [28]	p, 10-25	85% 51% 65%	LR-Si	RTO, 350°C, 30min + 480nm PECVD SiO <sub>2</sub>	Ti/Au (4)	33/18/140	50	~50	0.7	0.7	-	-	-
			20-F										
			34-F										
Park et al., 2003 [37]	p, 0.8-1.2	partially oxidized 56%	HR-Si	wet O <sub>2</sub> , 500°C, 1 h + dry O <sub>2</sub> , 1050°C, 2min	Au/Cu (0.25/2.25)	15/30/- 15/40/- (2000)	35	-	-	-	-	0.4	-
			70-F										
Ponchak et al., 2003, [31]	p, 12-17	-	HR-Si	RTO, 350°C, 30min + 20 $\mu m$ polyimide (PI-2611)	Ti/Au (1.47)	34/5/102 46/7/138	50	63	0.48	0.48	-	-	-
			20-F										
Molinerio et al., 2005, [30]	p, 1-10	66%	HR-Si	dry O <sub>2</sub> , 500°C, 30 min + dry O <sub>2</sub> , 900°C, 5min	Ti/Au (1)	100/25/300	1-35	-	0.2-0.8	-	-	-	-
			10-L										

<sup>3</sup> Η «-» σημαίνει ότι στις εκάστοτε δημοσιεύσεις δεν περιλαμβάνονται στοιχεία για αυτήν την παράμετρο.

<sup>4</sup> Η σήμανση F σημαίνει ότι το πορώδες πυρίτιο έχει παρασκευαστεί σε μεγάλη επιφάνεια, ενώ η σήμανση L σημαίνει ότι έχει παρασκευαστεί τοπικά.



**Πίνακας 5.1 (Συνέχεια)**  
**Σύνοψη των κυριότερων αποτελεσμάτων από ερευνητικές εργασίες που χρησιμοποιούν το PSI ως υπόστρωμα για την ολοκλήρωση CPW.**

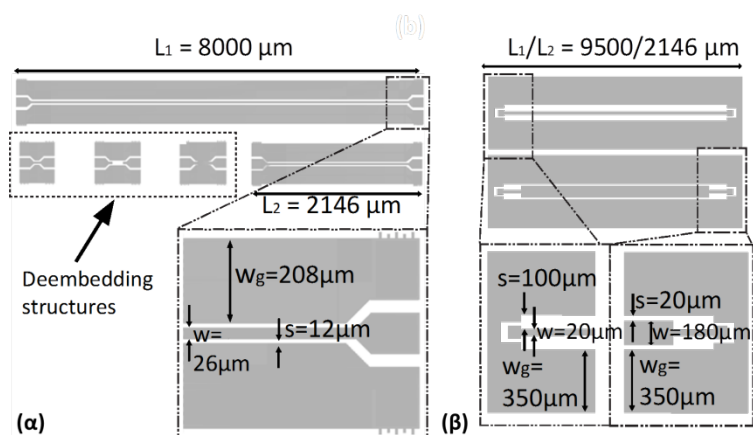
Πρώτος Συγγραφέας (Αναφορά)	$\rho_{Si}$ ( $\Omega \cdot cm$ ) [porosity]	Porosity [permittivity]	Πάχος PSi ( $\mu m$ )	Επεξεργασία PSi	Μέταλλο (πάχος $\mu m$ )	Διαστάσεις		Zc [ $\Omega$ ]	$\alpha$ [dB/mm]	Q	IL [dB/mm]	PL [dB/mm]	
						CPW [ $\mu m$ ]	w/s/w <sub>g</sub> (L)						
Contopanagos et al., 2008, [22]	p, 6.85	-	LR-Si	N <sub>2</sub> , 320°C, 3h + N <sub>2</sub> , 420°C, 1h + 500 nm TEOS SiO <sub>2</sub>	Al (1)	80/35/780 (5000)	10	~50	-	-	-	0.92	
			25-F		Al (1)							0.78	
			50-F		Al (1)							0.36	
			Al <sub>2</sub> O <sub>3</sub>		Al (1)							0.12	
Zacharatos et al., 2009, [21]	p <sup>+</sup> , 0.045	-	10-F	N <sub>2</sub> , 320°C, 2h + N <sub>2</sub> , 420°C, 1h + 500 nm TEOS SiO <sub>2</sub>	Al	96/33/800 (5000)	20	~50	-	-	-	0.62	
			25-F		Al							0.46	
			50-F		(1)							0.26	
			100-F		(1)							0.18	
Issa et al., 2011, [38]	p <sup>+</sup> , 0.001-0.005	-	150	500 nm TEOS SiO <sub>2</sub>	Al	180/20/250 20/180/250	110	50	0.6	27	-	-	
			LR-Si		(1)								0.5
Capelle et al., 2013, [27]	p <sup>+</sup> , 0.02	40-50%	20-F	N <sub>2</sub> , 300°C, 1h + 500nm PECVD SiO <sub>2</sub>	Al	70/20/- 70/20/- 70/20/- 70/20/- 10/20/- 10/20/- (500)	20	-	8	-	-	-	0.7
			50-F		Al								0.34
			100-L		(1)								0.43
			160-F		(1)								0.23
			HR-Si										0.9
			Glass										0.16
Sarafis et al., 2013, [29]	p <sup>+</sup> , 0.0046	70% 76% 84%	LR-Si	500 nm TEOS SiO <sub>2</sub>	Al	20/100/350 (9500, 2400)	40	-	4	0.25	22	-	2
			155		(1)								0.19
			138		(1)								0.22
			145										0.11
			Quartz										51
Sarafis et al., 2013, [32]	p <sup>+</sup> , 0.001-0.005	-	LR-Si	500 nm TEOS SiO <sub>2</sub>	Al	26/12/208 (8000, 2146)	40	100	34	12	1	-	1
			200-L		(1)								0.23
			Trap-rich HR-Si		(1)								0.37
			Quartz										78
			Quartz										24.9
Sarafis et al., 2014, [33]	p <sup>+</sup> , 0.001-0.005	-	LR-Si	500 nm TEOS SiO <sub>2</sub>	Al	26/12/208 (8000, 2146)	210	-	4.8	5	-	-	
			200-L		(1)								1.2
			Trap-rich HR-Si		(1)								1.6
			Quartz					0.7	55				

## 5.4 Μελέτη γραμμών CPW Ολοκληρωμένων πάνω σε PSi

### 5.4.1 Απόδοση των γραμμών CPW πάνω σε PSi

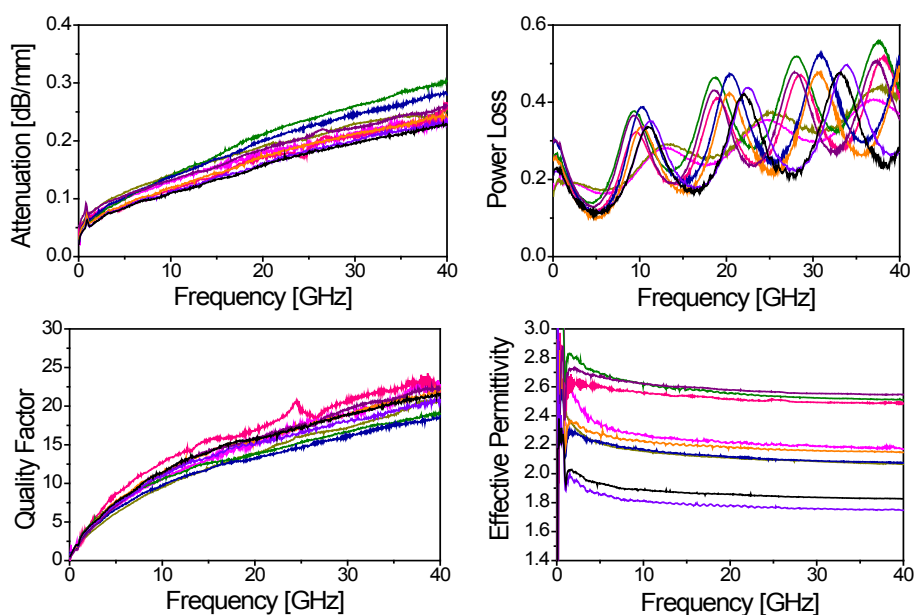
#### Αποτελέσματα για πορώδες ~70%

Σκοπός αυτής της ενότητας είναι να δείξει ότι το παχύ στρώμα PSi καταφέρνει να ρίξει τις απώλειες υποστρώματος πάρα πολύ και να δώσει CPW με πάρα πολύ καλή απόδοση. Γι' αυτό το λόγο χρησιμοποιήσαμε PSi σχηματισμένο από διαφορετικά δισκία  $p^+$  (1-5  $m\Omega \cdot cm$ ) χρησιμοποιώντας πάντα ηλεκτρολύτη 3 HF(50%) : 2 EtOH(99.99%) και  $J=20 \text{ mA/cm}^2$ . Τα πάχη των στρώματων PSi ήταν όλα μεταξύ 150 $\mu\text{m}$  και 160  $\mu\text{m}$ . Τα στρώματα αυτά καλύφθηκαν με 500 nm TEOS  $\text{SiO}_2$ . Πάνω σε αυτά ολοκληρώθηκαν CPW δύο διαφορετικών σχεδιάσεων (βλέπε Εικόνα 5.3), χρησιμοποιώντας επιμετάλλωση Al πάχους 1  $\mu\text{m}$ .



Εικόνα 5.3. Δύο διαφορετικές σχεδιάσεις γραμμών μεταφοράς CPW με τις διαστάσεις των μεταλλικών αγωγών.

Όπως παρατηρείται στην Εικόνα 5.4 τα χαρακτηριστικά όλων των CPW είναι πολύ καλά.



Εικόνα 5.4. (α) Εξασθένιση, (β) απώλειες ισχύος, (γ) συντελεστής ποιότητας και (δ) ενεργός επιτρεπτικότητα γραμμών CPW που έχουν ολοκληρωθεί πάνω σε PSi με πορώδες ~70%. Τα στρώματα έχουν κατασκευαστεί από διαφορετικά δισκία  $p^+$ -Si με τις ίδιες ηλεκτροχημικές συνθήκες.

Συγκεκριμένα, σε όλες τις δομές επιτυγχάνεται  $\alpha < 0.3$  dB/mm και  $Q > 18$ , ανεξαρτήτως της σχεδίασης που υιοθετήθηκε. Παρατηρούμε επίσης ότι τα χαρακτηριστικά των γραμμών είναι πολύ κοντά το ένα στο άλλο. Προκύπτει μόνο μία μικρή διαφοροποίηση που οφείλεται στην ελαφρώς διαφορετική ειδική αντίσταση του αρχικού δισκιδίου p<sup>+</sup>-Si. Αυτή η διαφορά οδηγεί σε διαφοροποίηση της σχετικής επιτρεπτότητας του προκύπτοντος στρώματος PSi, πράγμα το οποίο φαίνεται και στην Εικόνα 5.4δ. Εκτενής ανάλυση αυτού του φαινομένου έχει γίνει στο Κεφάλαιο 4.

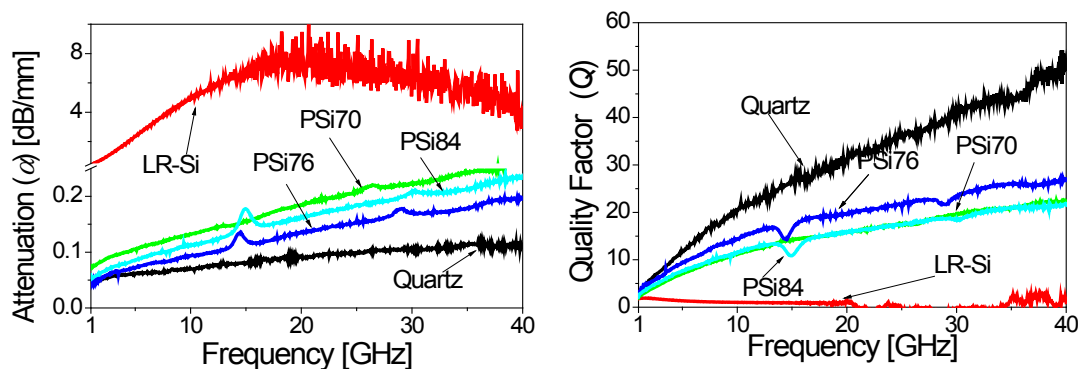
#### Επίδραση του πορώδους – Συγκριτικά αποτελέσματα για πορώδες 70, 76 και 84%

Σε αυτήν την ενότητα παρουσιάζεται η επίδραση του πορώδους του PSi, πάνω στα χαρακτηριστικά των CPW. Όπως έχει αναφερθεί και σε προηγούμενες έρευνες [28], [29], [38], αυξάνοντας το πορώδες βελτιώνονται τα χαρακτηριστικά των CPW. Για να μελετηθεί η επίδραση του πορώδους στην απόδοση των CPW, ολοκληρώθηκε το ίδιο CPW πάνω σε 3 διαφορετικά υποστρώματα με πορώδες 70%, 76% και 84%, τα οποία είναι τα ίδια που χρησιμοποιήθηκαν για την εξαγωγή των διηλεκτρικών παραμέτρων του PSi διαφορετικού πορώδους (βλέπε Ενότητα 4.4.1). Τα χαρακτηριστικά και οι συνθήκες σχηματισμού των δειγμάτων PSi φαίνονται στον Πίνακα 5.Π. Εξαιτίας, του γεγονότος ότι ο συνδυασμός υψηλού πορώδους και μεγάλου πάχους δημιουργεί πολύ εύθραυστες δομές, οι περιοχές του PSi ήταν σχηματισμένες σε περιοχές με μέγιστη επιφάνεια 4.4 mm x 5.2 mm. Το ποσοστό της συνολικής επιφάνειας του Si που ανοδιωνόταν ήταν ~25% .

Πίνακας 5.Π. Δείγματα PSi με διαφορετικό porosity

Όνομα δείγματος	$\rho_{Si}$ (m $\Omega$ .cm)	$J$ (mA/cm <sup>2</sup> )	Solution	P (%)	PSi layer thickness ( $\mu$ m)
PSi70	1-5	20	2HF : 3EtOH	70 $\pm$ 5	155
PSi76	1-5	40	2HF : 3EtOH	76 $\pm$ 3	138
PSi84	1-5	60	2HF : 3EtOH	84 $\pm$ 3	145

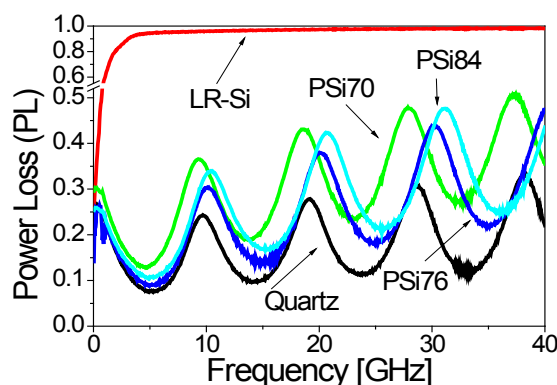
Πάνω σε αυτά τα υποστρώματα ολοκληρώσαμε τα CPW της Εικόνας 5.3β, έτσι ώστε να έχουμε τις ίδιες ωμικές απώλειες σε όλα και να επικεντρώσουμε στην επίδραση του υποστρώματος. Το ίδιο έγινε και πάνω σε υποστρώματα LR-Si (p, 1-10) και quartz.



Εικόνα 5.5. Η εξασθένιση του σήματος ( $\alpha$ ) και ο συντελεστής ποιότητας ( $\beta$ ) CPW ολοκληρωμένων στα δείγματα του Πίνακα 5.Π ως συνάρτηση της συχνότητας. Τα δείγματα συγκρίνονται με τα αποτελέσματα των ίδιων γραμμών πάνω σε LR-Si (p, 1-10  $\Omega$ .cm) και πάνω σε quartz

Όπως φαίνεται καθαρά στην Εικόνα 5.5α, όταν γίνεται χρήση του υποστρώματος PSi, το  $\alpha$  μειώνεται πάρα πολύ σε σύγκριση με το LR-Si και πλησιάζει την απόδοση του quartz. Το ίδιο παρατηρείται και στο συντελεστή ποιότητας  $Q$ . Παρόλα αυτά το  $\alpha$  δεν μειώνεται μονοτονικά με την αύξηση του πορώδους. Συγκεκριμένα, μπορεί να φανεί ότι η γραμμή CPW πάνω στο PSi76 παρουσιάζει καλύτερη συμπεριφορά σε σχέση με τα άλλα δύο υποστρώματα. Η απόδοση είναι καλύτερη από αυτήν που αναφέρθηκε στο [38] κατά 12% στο  $Q$  και κατά 10% στο  $\alpha$ . Επιπλέον είναι εμφανές ότι η απόδοση του PSi84 είναι χειρότερη

από αυτήν του PSi76. Αυτά τα συμπεράσματα φαίνονται και στην απώλεια ισχύος που παρουσιάζεται στην Εικόνα 5.6. Παρόλες τις ταλαντώσεις που εμφανίζονται εξαιτίας του μεγάλου μήκους της γραμμής (9.6 mm), φαίνεται ότι η απώλεια ισχύος του PSi76 είναι μικρότερη από όλα τα άλλα υποστρώματα πορώδους Si, πράγμα το οποίο προκύπτει από τις χαμηλότερες απώλειες του διηλεκτρικού.



**Εικόνα 5.6.** Η απώλεια ισχύος γραμμών μεταφοράς CPW στα υποστρώματα PSi του Πίνακα 5.Π ως συνάρτηση της συχνότητας. Τα δείγματα συγκρίνονται με τα αποτελέσματα των ίδιων γραμμών πάνω σε LR-Si (p, 1-10 Ω.cm) και πάνω σε quartz. Οι ταλαντώσεις οφείλονται στο μεγάλο μήκος της γραμμής (9.6 mm).

Αυτό το αποτέλεσμα έρχεται σε αντίθεση με τον ισχυρισμό [15], [38] ότι για μεγαλύτερο πορώδες έχουμε χαμηλότερες απώλειες υποστρώματος. Η αιτιολόγηση αυτού του φαινομένου μπορεί να στηρίζεται σε δύο φαινόμενα: το πρώτο είναι το κάπως μειωμένο πάχος του PSi84, όπως φαίνεται και στον Πίνακα 5.Π, το οποίο επιτρέπει στο HM πεδίο να εισέλθει στο p<sup>+</sup>-Si υπόστρωμα. Ο δεύτερος λόγος μπορεί να αφορά τη μορφολογία και τη δομή του PSi84 σε σχέση με τα δύο άλλα δείγματα. Στο PSi84, αν και ο λόγος *αέρα* : Si αυξάνεται, οι πόροι παρουσιάζονται με λιγότερες διακλαδώσεις και αυξημένη ανισοτροπία. Αυτή η έλλειψη τυχαίας κατανομής των διακλαδώσεων μπορεί και επιτρέπει την ανάπτυξη ασθενών δινορευμάτων εντός του υποστρώματος. Εν αντιθέσει, στο PSi76 επιτυγχάνεται μία χρυσή τομή αυτών των δύο στοιχείων, όπου συνδυάζονται αυξημένο πορώδες διατηρώντας την έντονα δενδριτική δομή, που εμποδίζει τα δινορεύματα.

#### 5.4.2 Εξάρτηση της απόδοσης των CPW σε PSi από την πόλωση της γραμμής

Ένας άλλος παράγοντας που είναι σημαντικός για τις ολοκληρωμένες γραμμές μεταφοράς είναι κατά πόσο αυτές διατηρούν την ίδια συμπεριφορά ανεξαρτήτως της πόλωσης που επιβάλλεται ανάμεσα στη γραμμή του σήματος και τη γείωση. Όπως έχει παρουσιαστεί στα [41], [42], όταν γραμμές μεταφοράς CPW ολοκληρώνονται απευθείας πάνω σε HR-Si, τότε υπάρχει μία μεγάλη εξάρτηση των απωλειών από την πόλωση που εφαρμόζεται. Αυτό το φαινόμενο παρουσιάστηκε και στο Κεφάλαιο 2 και είναι ένα από τα μεγάλα μειονεκτήματα αυτής της μεθόδου. Αμα χρησιμοποιηθεί ένα στρώμα διηλεκτρικού ανάμεσα στο HR-Si και το CPW, τότε αυτή η εξάρτηση μειώνεται, αυξάνοντας όμως πολύ τις απώλειες.

Σε αντίθεση με τα παραπάνω υποστρώματα, τα CPW που είναι ολοκληρωμένα πάνω σε PSi δεν παρουσιάζουν εξάρτηση της απόδοσής τους από την τάση πόλωσης που εφαρμόζεται σε αυτά [31], [42]. Η σταθερότητα αυτή των CPW έχει δοκιμαστεί μέχρι τα ± 30 V, παρουσιάζοντας μηδαμινή διακύμανση στην τιμή του *a*, μικρότερη του ±0.03 dB/mm.

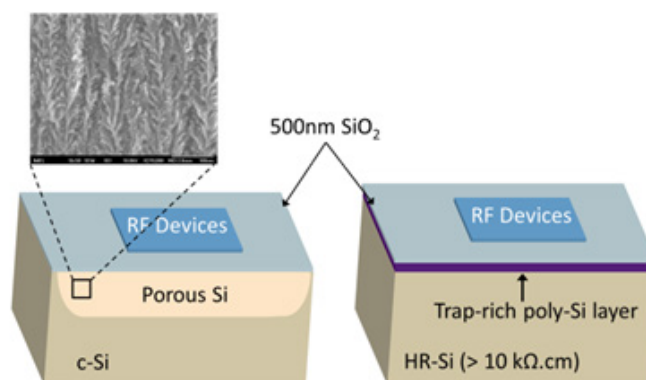
## 5.5 Συγκριτική Μελέτη μεταξύ της Απόδοσης των CPW σε Πορώδες Πυρίτιο και σε άλλα Υποστρώματα

### 5.5.1 Κατασκευή και περιγραφή δομών

Σε αυτήν την ενότητα παρουσιάζεται η σύγκριση της συμπεριφοράς των CPW πάνω σε PSi με άλλα χαρακτηριστικά υποστρώματα: το trap-rich HR-Si, το LR-Si και το quartz.

Το PSi που χρησιμοποιείται σε αυτή την ενότητα είναι παρασκευασμένο από  $p^+$ -Si (1-5 mΩ.cm), με διάλυμα 2 HF : 3 EtOH και πυκνότητα ρεύματος  $J=20$  mA/cm<sup>2</sup>. Το πάχος του PSi το οποίο χρησιμοποιήθηκε είναι 200 μm, το οποίο είναι ικανό να απομονώσει πλήρως το CPW από το  $p^+$  υπόστρωμα. Η σχετική επιτρεπτότητά του είναι 3.3, όπως αυτή εξήχθη σύμφωνα με τη μέθοδο του Κεφαλαίου 4.

Η κύρια σύγκριση γίνεται με το trap-rich HR-Si<sup>5</sup>. Το υπόστρωμα αποτελείται από Si υψηλής ειδικής αντίστασης (> 10 kΩ.cm) καλυμμένο από ένα στρώμα 500nm poly-Si (LPCVD, 625 °C) που είναι πλούσιο σε παγίδες φορτίου. Αυτό το στρώμα είναι αναγκαίο για να εξαλειφθούν τα φαινόμενα της παρασιτικής επιφανειακής αγωγής (parasitic surface conduction - PSC), όπως αυτά περιγράφηκαν στο Κεφάλαιο 2. Το σύνθετο υπόστρωμα καλύφθηκε από 500 nm TEOS SiO<sub>2</sub>, πάνω στο οποίο ολοκληρώθηκαν τα CPW. Ο λόγος για τον οποίο επιλέχθηκε αυτό το υπόστρωμα είναι, ότι θεωρείται ως μία από τις τεχνολογίες αιχμής για την ολοκλήρωση RFIC υψηλής απόδοσης [9], [43], [44], η οποία μάλιστα έχει πολύ πρόσφατα εμπορικοποιηθεί [45].



Εικόνα 5.7. Σχηματική αναπαράσταση της τομής τοπικά σχηματισμένου πορώδους πυριτίου (αριστερά) και του HR-Si με στρώμα πλούσιο σε παγίδες φορτίου (δεξιά)

Τα υπόλοιπα δύο υποστρώματα είναι το LR-Si (τύπου p, 1-10 Ω.cm) και το quartz. Το πρώτο επιλέχθηκε επειδή είναι το τυπικό υπόστρωμα της CMOS τεχνολογίας, έτσι ώστε να καταδειχθεί η βελτίωση που επιτυγχάνεται με τη χρήση του PSi. Το quartz επιλέχθηκε ως ένα πολύ διαδεδομένο υπόστρωμα με σχεδόν μηδαμινές απώλειες. Χρησιμοποιείται σε off-chip τεχνολογίες, αλλά και ως υπόστρωμα αναφοράς από διάφορες ερευνητικές ομάδες παγκοσμίως. Και τα δύο υποστρώματα καλύφθηκαν από ένα στρώμα 500 nm TEOS SiO<sub>2</sub>.

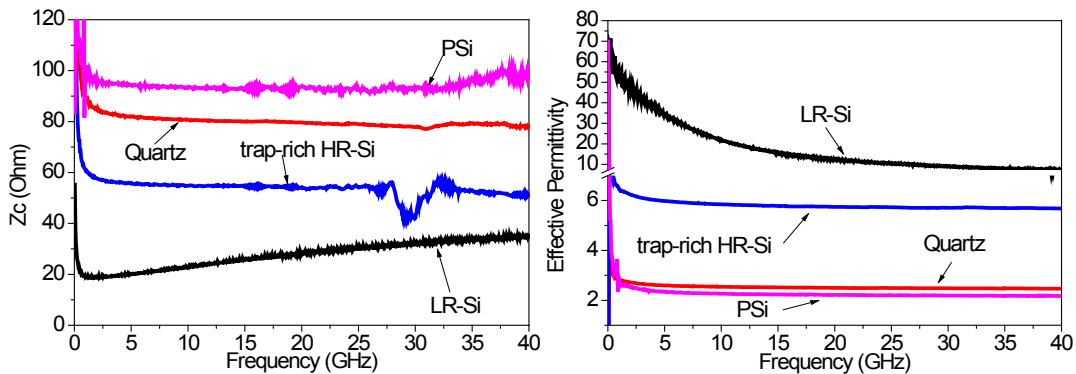
Πάνω στα προαναφερθέντα υποστρώματα ολοκληρώθηκαν πανομοιότυπες γραμμές μεταφοράς CPW κατασκευασμένες στον ίδιο κύκλο διεργασιών. Αυτό έγινε έτσι ώστε όλες οι γραμμές μεταφοράς να έχουν τις ίδιες απώλειες αγωγού και συνεπώς οι διαφορές οι οποίες θα παρατηρήσουμε να οφείλονται αμιγώς στις απώλειες υποστρώματος. Οι διαστάσεις του CPW, καθώς και οι δομές de-embedding, φαίνονται στην Εικόνα 5.3α, ενώ σαν μέταλλο χρησιμοποιήθηκε Al πάχους 1 μm.

<sup>5</sup> Τα υποστρώματα παρασκευάστηκαν στο Universite Catholique de Louvain, Louvain-la-Neuve, Belgium

## 5.5.2 Σύγκριση υποστρώματος PSi με LR-Si, trap-rich HR-Si και quartz

### Σύγκριση της απόδοσης των CPW στις συχνότητες 40 MHz – 40 GHz και 140 – 210 GHz

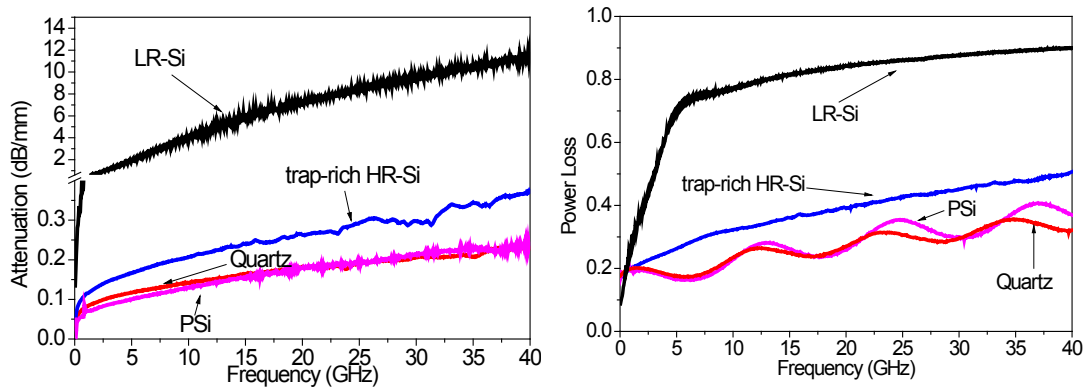
Οι παράμετροι οι οποίες αναλύουμε αρχικά είναι το  $Z_c$  και το  $\epsilon_{eff}$ , οι οποίες παρουσιάζονται συναρτήσει της συχνότητας στην Εικόνα 5.8α και Εικόνα 5.8β, αντίστοιχα. Μπορούμε να δούμε ότι το CPW έχει  $Z_c$  ίσο με 50 Ω όταν είναι πάνω σε HR-Si, ενώ όταν είναι πάνω σε PSi και quartz έχει αντίστοιχα 80 Ω και 95 Ω. Η διαφορά αυτή οφείλεται στο διαφορετικό  $\epsilon_r$  του υποστρώματος ( $\epsilon_{r,PSi} \sim 3.3$ ,  $\epsilon_{r,quartz} \sim 3.9$  και  $\epsilon_{r,Si} \sim 11.9$ ), πράγμα το οποίο άλλωστε φαίνεται και στο  $\epsilon_{eff}$  της Εικόνας 5.8β (η σχέση που συνδέει το  $\epsilon_{eff}$  με το  $\epsilon_r$  έχει περιγραφεί στο Κεφάλαιο 4). Όσον αφορά το CPW πάνω στο LR-Si, παρατηρείται αύξηση της  $Z_c$  και μείωση του  $\epsilon_{eff}$  σε υψηλότερες συχνότητες, πράγμα το οποίο οφείλεται στα παρασιτικά φαινόμενα που συμβαίνουν λόγω της υψηλής αγωγιμότητας του υποστρώματος.



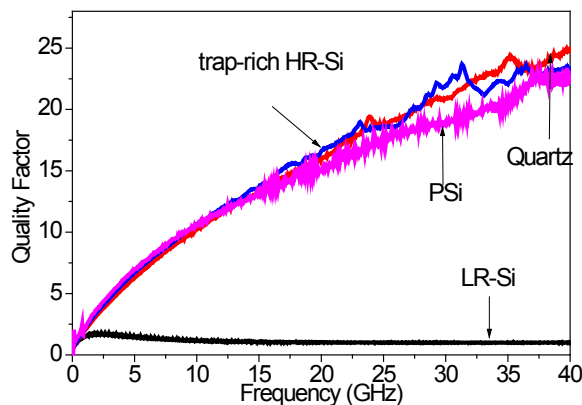
**Εικόνα 5.8. (α) Η χαρακτηριστική αντίσταση και (β) η ενεργός επιτρεπτότητα πανομοιότυπων γραμμών CPW ολοκληρωμένων πάνω σε PSi, trap-rich HR-Si, quartz και LR-Si ( $\rho$ , 1–10 Ω.cm) ως συνάρτηση της συχνότητας. Παρατηρούμε ότι το  $\epsilon_{eff}$  του Si είναι αρκετά υψηλό. Αυτό οφείλεται στη χαμηλή ειδική αντίσταση που επιτρέπει τη δημιουργία ενός παρασιτικού στρώματος στην επιφάνεια, το οποίο επιτρέπει τη διέγερση επιπλέον ρυθμών πέραν του εγκάρσιου (TEM).**

Η άλλες παράμετροι που αξίζει να κοιτάξουμε είναι το  $\alpha$  και το PL, όπως αυτά φαίνονται στην Εικόνα 5.9. Όπως έχει προαναφερθεί, το  $\alpha$  αποτελείται από τις απώλειες υποστρώματος ( $\alpha_d$ ) και τις απώλειες αγωγού ( $\alpha_c$ ), οι οποίες σε αυτό το πείραμα είναι οι ίδιες. Συνεπώς, οι διαφορές που παρατηρούνται στην Εικόνα 5.9α, οφείλονται στο υπόστρωμα. Όπως φαίνεται, η χρήση PSi οδηγεί σε μία σημαντική μείωση του  $\alpha$  σε σύγκριση με το LR-Si, αλλά και σε σχέση με το trap-rich HR-Si, πλησιάζοντας την τιμή που έχει το CPW πάνω στο quartz. Πιο συγκεκριμένα, το  $\alpha$  πάνω στο HR-Si είναι 0.37 dB/mm στα 40 GHz, ενώ είναι 0.24 dB/mm στην ίδια συχνότητα για το CPW πάνω στο PSi, μία βελτίωση της τάξης του 30%. Παρόλα αυτά, πρέπει να τονιστεί ότι η μείωση του  $\alpha$  δε σχετίζεται μόνο με την υψηλότερη ειδική αντίσταση του υποστρώματος, αλλά και με τη διαφορετική  $Z_c$  της γραμμής (βλέπε εξίσωση (5.4)). Μία καλύτερη σύγκριση θα επιτυγχανόταν αν χρησιμοποιούσαμε γραμμές των 50 Ω, αλλά εκεί θα άλλαζε η σειριακή αντίσταση της γραμμής ( $R$  στην εξίσωση (5.4)). Όπως έχει αναφερθεί προηγουμένως, ένα καλύτερο μέτρο για τις απώλειες υποστρώματος είναι το PL που παρουσιάζεται στην Εικόνα 5.9β. Παρατηρούμε ότι όντως οι απώλειες του PSi είναι συγκρίσιμες με του quartz και κατά 30-40 % μειωμένες σε σχέση με το trap-rich HR-Si. Αυτό το γράφημα επιβεβαιώνει ότι οι απώλειες υποστρώματος εντός του PSi είναι μειωμένες σε τέτοιο βαθμό που είναι συγκρινόμενες με το quartz.

Στην Εικόνα 5.10 φαίνεται ο συντελεστής ποιότητας  $Q$  των γραμμών CPW ως συνάρτηση της συχνότητας. Μπορούμε να δούμε ότι οι τιμές του  $Q$  που επιτυγχάνονται για τα υποστρώματα PSi, trap-rich HR-Si και quartz είναι συγκρίσιμες μεταξύ τους και μεγαλύτερες από 20, που περιγράφει μία πολύ καλή απόδοση. Παρατηρούμε ότι οι τιμές του  $Q$  για το CPW πάνω στο LR-Si είναι εμφανώς μικρότερες και μη ικανοποιητικές για πολλές από τις προδιαγραφές των RFIC.



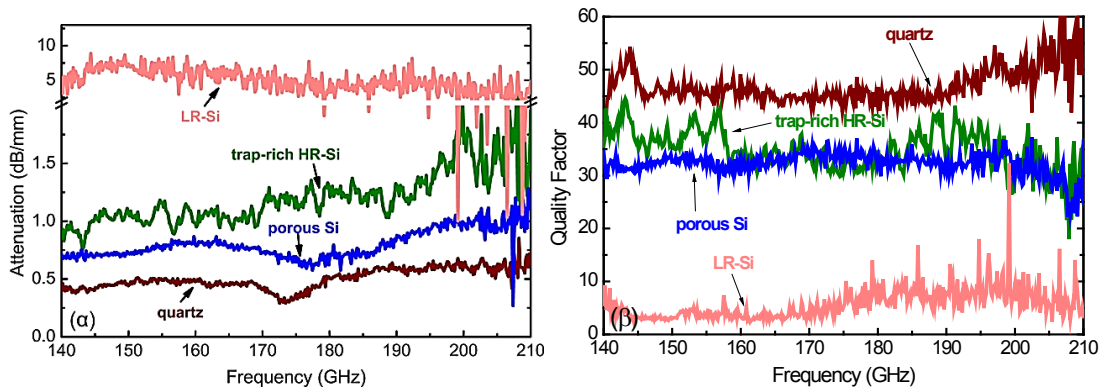
**Εικόνα 5.9. (α) Η εξασθένιση του σήματος και (β) οι απώλειες ισχύος πανομοιότυπων γραμμών CPW ολοκληρωμένων πάνω σε PSi, trap-rich HR-Si, quartz και LR-Si (ρ-τύπου, 1–10 Ω.cm) ως συνάρτηση της συχνότητας. Παρατηρούμε ότι οι απώλειες των CPW πάνω σε PSi είναι συγκρινόμενες με αυτές των CPW πάνω σε quartz.**



**Εικόνα 5.10. Ο συντελεστής ποιότητας ( $Q$ ) πανομοιότυπων γραμμών CPW ολοκληρωμένων πάνω σε PSi, trap-rich HR-Si, quartz και LR-Si (ρ-τύπου, 1–10 Ω.cm) ως συνάρτηση της συχνότητας**

Η παραπάνω σύγκριση μεταξύ των τεσσάρων υποστρωμάτων (PSi, trap-rich HR-Si, quartz και LR-Si) επεκτάθηκε και στο εύρος συχνοτήτων 140–210 GHz [33] έτσι ώστε να ελεγχθεί αν το PSi και το trap-rich HR-Si αποτελούν αποτελεσματική διηλεκτρική μόνωση και σε αυτές τις συχνότητες. Για το λόγο αυτό, χρησιμοποιήθηκαν τα προαναφερθέντα CPW, τα οποία μετρήθηκαν στις εγκαταστάσεις του VTT, Ελσίνκι, Φιλανδία (για λεπτομέρειες του εξοπλισμού βλ την Ενότητα 4.3.3) και τα αποτελέσματα παρουσιάζονται παρακάτω.

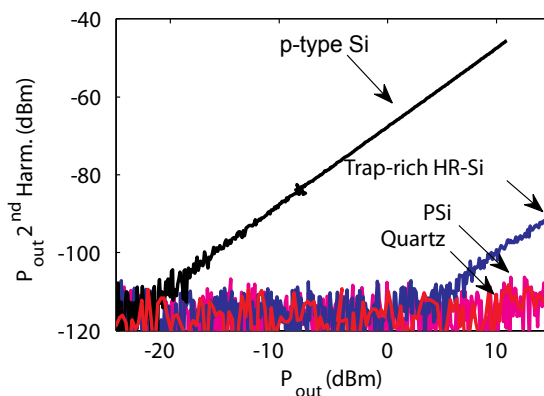
Στην Εικόνα 5.11α παρουσιάζεται η εξασθένιση ανά μονάδα μήκους του σήματος στο CPW. Όπως φαίνεται η εξασθένιση του LR-Si στα 210 GHz είναι πολύ υψηλή (~ 5 dB/mm). Σε αντίθεση, τα υποστρώματα PSi και trap-rich HR-Si παρουσιάζουν αποτελέσματα συγκρίσιμα με αυτά του quartz. Πιο συγκεκριμένα, το CPW πάνω στο PSi παρουσιάζει μικρότερες απώλειες από το trap-rich HR-Si, πιο συγκεκριμένα στα 210 GHz παρουσιάζει 1.2 dB/mm και 1.7 dB/mm αντίστοιχα. Το quartz παρουσιάζει απώλειες γύρω στα 0.7 dB/mm. Όσον αφορά την Εικόνα 5.11β, παρατηρούμε ότι, αν και το PSi έχει χαμηλότερη σχετική επιτρεπτικότητα από το HR-Si (και συνεπώς μικρότερο  $\beta$ ), ο συντελεστής ποιότητας των CPW πάνω στα δύο υποστρώματα είναι συγκρίσιμος ( $Q \approx 33$ ) και ελαφρώς χαμηλότερος από αυτόν του CPW πάνω στο quartz ( $Q \approx 50$ ).



Εικόνα 5.11. (α) Η εξασθένηση του σήματος και (β) ο συντελεστής ποιότητας των πανομοιότυπων γραμμών CPW, ολοκληρωμένων πάνω σε PSi, trap-rich HR-Si, quartz και LR-Si (p-τύπου, 1–10 Ω.cm) ως συνάρτηση της συχνότητας.

### Μελέτη της μη γραμμικής συμπεριφοράς

Η μη γραμμική συμπεριφορά του υποστρώματος μετρήθηκε χρησιμοποιώντας μία πειραματική διάταξη μίας συχνότητας [46] βασισμένη πάνω σε έναν 4-θρο VNA (Agilent PNA-X) [15]<sup>6</sup>. Η αρμονική παραμόρφωση των γραμμών φαίνεται στην Εικόνα 5.12. Η ολική αρμονική παραμόρφωση (total harmonic distortion - THD) εδώ αντιστοιχεί στη 2<sup>η</sup> αρμονική που μετρείται στην έξοδο του CPW, μήκους 2146 μm, όταν στην είσοδο αυτού εισάγουμε έναν παλμό 900 MHz. Όπως ήταν αναμενόμενο, η παραμόρφωση στο LR-Si είναι υπερβολικά υψηλή, (THD > -40 dBm για  $P_{out} = 15$  dBm). Από την άλλη μεριά, και οι δύο εναλλακτικές τεχνολογίες υποστρωμάτων έχουν πολύ χαμηλότερο επίπεδο παρεμβολών και είναι κατάλληλες για την ολοκλήρωση συστημάτων πομποδεκτών για τις σύγχρονες τεχνολογίες κινητής τηλεφωνίας [47]. Πιο συγκεκριμένα, βλέπουμε ότι το PSi έχει ακόμη μικρότερο THD από το trap-rich HR-Si κατά τουλάχιστον 20 dB, καθώς και ότι αυτό είναι συγκρίσιμο με του quartz και στα όρια θορύβου (NF = -110 dBm) του μετρητικού μηχανήματος.



Εικόνα 5.12. Η 2<sup>η</sup> αρμονική παραμόρφωση (αντιπροσωπευτική του THD) της γραμμής των 2146 μm ως συνάρτηση της ανιχνευόμενης εξόδου του CPW στη θεμελιώδη συχνότητα των 900 MHz.

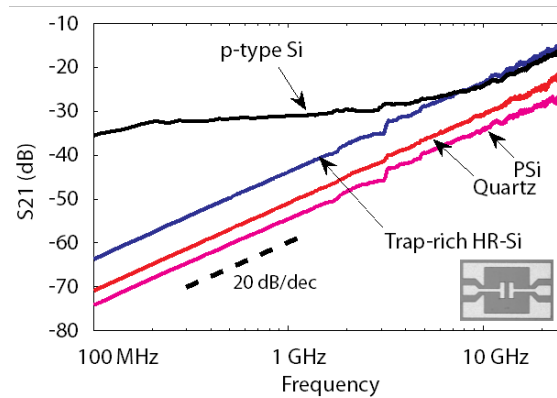
### Μετρήσεις της Συνακρόασης (Crosstalk)

Για τις μετρήσεις της συνακρόασης<sup>7</sup> χρησιμοποιήθηκαν οι δομές που φαίνονται στο ένθετο της Εικόνας 5.13.

<sup>6</sup> Οι μετρήσεις έγιναν στο Universite Catholique de Louvain, Louvain-la-Neuve, Belgium

<sup>7</sup> Οι μετρήσεις έγιναν στο Universite Catholique de Louvain, Louvain-la-Neuve, Belgium



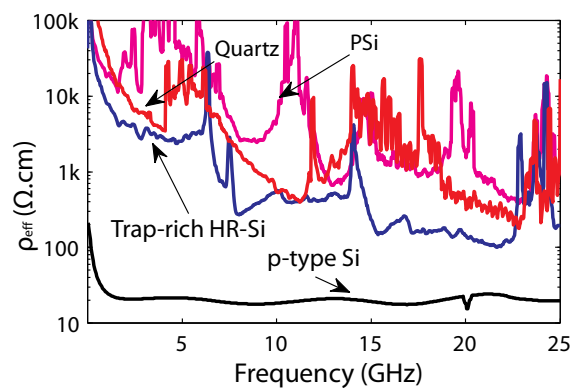


**Εικόνα 5.13.** Χαρακτηρισμός του συνακρόασης των δομών που φαίνονται στο ένθετο ολοκληρωμένων πάνω σε PSi, trap-rich HR-Si, quartz και LR-Si (p-τύπου, 1–10 Ω.cm). Η δοκιμαστική δομή έχει μεταλλικά πόδια ίσα με 100 μm x 150 μm, με κενό 30 μm.

Όπως φαίνεται, εξαιτίας των χαμηλών απωλειών και στα τρία υποστρώματα (PSi, trap-rich HR-Si και quartz), η συνακρόαση παρουσιάζει μία τυπική συμπεριφορά 20 dB/dec σε όλο το εύρος από 100 MHz – 25 GHz [47], πράγμα που δείχνει ότι η παρασιτική σύζευξη μέσω αγωγίμων καναλιών είναι μηδαμινή. Σε αυτήν την περίπτωση, η ακρόαση επηρεάζεται μόνο από τη χωρητική σύζευξη μέσω του υποστρώματος. Το τελευταίο αναδεικνύει και άλλο ένα πλεονέκτημα του PSi, το οποίο εξαιτίας της πολύ χαμηλής σχετικής επιτρεπτότητας έχει και το χαμηλότερο επίπεδο συνακρόασης. Αναφορικά, το επίπεδο της συνακρόασης στο PSi είναι 10 dB μικρότερο από αυτό του trap-rich HR-Si και 4 dB μικρότερο από αυτό του quartz.

### Ενεργός Ειδική Αντίσταση

Για την ποσοτική σύγκριση ανάμεσα στα υποστρώματα, ένα άλλο μέγεθος είναι η ενεργός ειδική αντίσταση του υποστρώματος ( $\rho_{eff}$ ), όπως αυτή περιγράφηκε στην Ενότητα 5.2.2 και στο [14]. Η σχετική επιτρεπτότητα που χρησιμοποιήθηκε για την εξαγωγή του  $\rho_{eff}$  ήταν 3.3 για το PSi και 11.7 για το trap-rich HR-Si. Ο υπολογισμός λαμβάνει υπόψη όχι μόνο τα διαφορετικά προφίλ της ειδικής αντίστασης, αλλά και τη διείσδυση του HM πεδίου εντός του υποστρώματος. Τα αποτελέσματα<sup>8</sup> παρουσιάζονται στην Εικόνα 5.14, όπου μπορούμε να δούμε ότι το  $\rho_{eff}$  του PSi είναι υψηλότερο κατά μέσο όρο από αυτό του trap-rich HR-Si και συγκρίσιμο με αυτό του quartz.



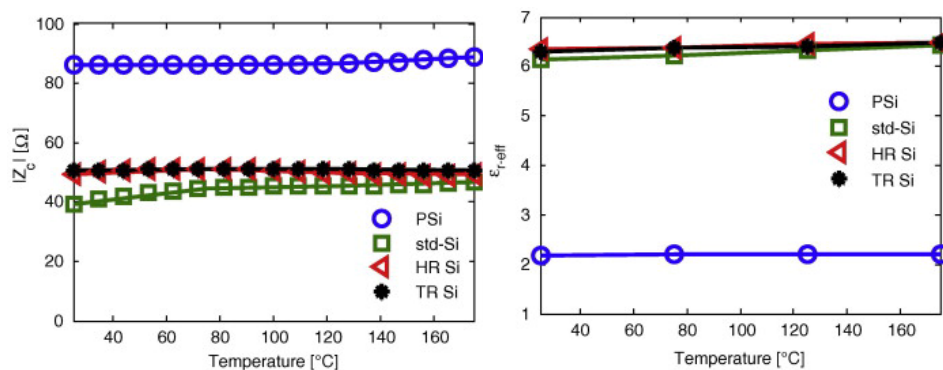
**Εικόνα 5.14.** Ενεργός ειδική αντίσταση ( $\rho_{eff}$ ) πανομοιότυπων γραμμών CPW ολοκληρωμένων πάνω σε PSi, trap-rich HR-Si, quartz και LR-Si (τύπου-p, 1–10 Ω.cm) ως συνάρτηση της συχνότητας

<sup>8</sup> Ο υπολογισμός των παραμέτρων του  $\rho_{eff}$  και οι μετρήσεις σε διάφορες θερμοκρασίες έγιναν στο Universite Catholique de Louvain, Louvain-la-Neuve, Belgium

## 5.6 Εξάρτηση από τη θερμοκρασία

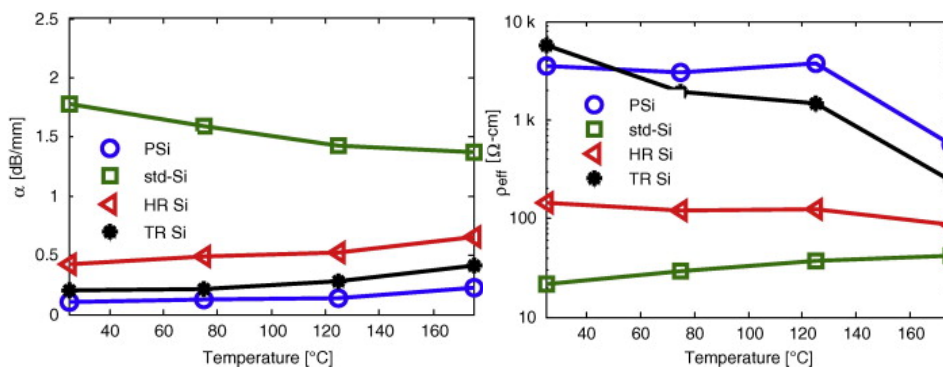
Για να μελετηθεί η συμπεριφορά των παραπάνω υποστρωμάτων σε σχέση με τη θερμοκρασία, έγιναν μετρήσεις  $RF^4$  στο εύρος 25-175 °C. Σε αυτές τις μετρήσεις, αντί του δείγματος με το quartz μετρήθηκε ένα δείγμα με μη παθητικοποιημένο HR-Si, έτσι ώστε να διαπιστωθεί η βελτίωση που προκύπτει από την παθητικοποίηση με το trap-rich layer. Οι μετρήσεις έγιναν στο Université Catholique de Louvain, Louvain-la-Neuve, Belgium και τα αποτελέσματα είναι δημοσιευμένα στο [48]. Ο έλεγχος της θερμοκρασίας έγινε μέσω μίας θερμικής βάσης από την Temptronics. Για τις μετρήσεις των S-παραμέτρων χρησιμοποιήθηκαν συμβατές ακίδες GSG, τύπου  $|Z|$  από την Cascade Microtech Ltd.

Όπως είναι γνωστό, η επιτρεπτικότητα του Si δεν αλλάζει με τη μεταβολή της θερμοκρασίας στο εύρος το οποίο μας ενδιαφέρει. Συνεπώς αναμένουμε και την επιτρεπτικότητα των trap-rich HR-Si και του PSi να είναι σταθερές με τη θερμοκρασία, οδηγώντας σε σταθερό  $\epsilon_{eff}$  και  $Z_C$ . Πράγματι, όπως μπορεί να φανεί στην Εικόνα 5.15, το  $Z_C$  και το  $\epsilon_{eff}$  είναι σταθερά σε όλο το εύρος θερμοκρασιών 10-175 °C.



Εικόνα 5.15. Μεταβολή της χαρακτηριστικής αντίστασης (α) και της ενεργού επιτρεπτότητας (β) της γραμμής CPW σε σχέση με τη θερμοκρασία. Και οι δύο τιμές αναφέρονται στα 5 GHz και παρουσιάζονται και για τα υποστρώματα LR-Si, HR-Si, trap-rich HR-Si (TR-Si) και PSi

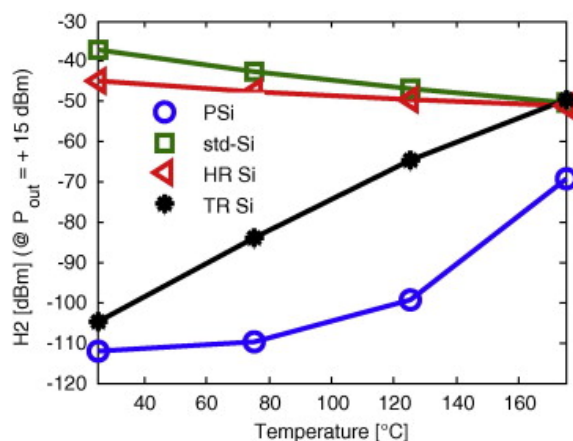
Στην Εικόνα 5.16α παρουσιάζεται η τιμή του  $a$  στα 5 GHz ως συνάρτηση της θερμοκρασίας. Είναι εμφανές ότι τα υποστρώματα trap-rich HR-Si και PSi παραμένουν με λιγότερες απώλειες από τα LR-Si και HR-Si καθόλες τις θερμοκρασίες. Όπως φαίνεται, στις υψηλότερες θερμοκρασίες παρουσιάζεται μία μικρή πτώση του  $a$  για το LR-Si, η οποία οφείλεται στη μείωση της κινητικότητας των φορέων και συνεπώς στην αύξηση της ειδικής αντίστασης του Si. Για όλα τα άλλα υποστρώματα υπάρχει μία αύξηση του  $a$  στις υψηλότερες θερμοκρασίες, η οποία οφείλεται κυρίως στη μείωση της ενεργού αντίστασης του υποστρώματος ( $\rho_{eff}$ ), όπως αυτό φαίνεται και στην Εικόνα 5.16β.



Εικόνα 5.16. Μεταβολή των απωλειών της γραμμής CPW μήκους 2146  $\mu\text{m}$  (α) και της ενεργού ειδικής αντίστασης του υποστρώματος (β) σε σχέση με τη θερμοκρασία. Και οι δύο τιμές αναφέρονται στα 5 GHz και παρουσιάζονται και για τα υποστρώματα LR-Si, HR-Si, trap-rich HR-Si (TR-Si) και PSi

Η αύξηση των απωλειών του μετάλλου αυξάνει επίσης το  $a$ , αλλά σε μικρότερο βαθμό. Όπως έχει αποδειχθεί για το trap-rich HR-Si [49], οι απώλειες υποστρώματος γίνονται ο κύριος μηχανισμός απωλειών στους 175°C. Αυτό οφείλεται στην αύξηση των ενδογενών φορέων, καθώς και στη μείωση του εύρους απογύμνωσης κάτω από τους μεταλλικούς αγωγούς του CPW. Η μείωση της ειδικής αντίστασης του υποστρώματος έχει τονιστεί και για υποστρώματα HR-Si [50], όπου η τιμή της συγκέντρωσης των φορέων πάνω από τους 175°C είναι ανεξάρτητη της νόθευσης του υποστρώματος.

Όσον αφορά την ολική αρμονική παραμόρφωση (THD), η μείωση της ειδικής αντίστασης των υποστρωμάτων οδηγεί σε αύξηση των μη-γραμμικοτήτων. Αυτό άλλωστε φαίνεται και στην Εικόνα 5.17. Παρατηρούμε ότι στους 175°C το THD του trap-rich HR-Si γίνεται ίσο με αυτό του HR-Si και του LR-Si. Αντιστοίχως το THD του PSi αυξάνεται με τη θερμοκρασία, παραμένοντας όμως χαμηλότερο κατά 20 dB σε σχέση με τα υπόλοιπα υποστρώματα.



Εικόνα 5.17. Η αρμονική παραμόρφωση της γραμμής CPW μήκους 2146 μm σε σχέση με τη θερμοκρασία. Οι τιμές παρουσιάζονται για τα υποστρώματα LR-Si, HR-Si, trap-rich HR-Si (TR-Si) και PSi και αναφέρονται σε αρμονική διέγερση 900 MHz

## 5.7 Σύγκριση με άλλες Τεχνολογίες Μονοψηφιδικής Ολοκλήρωσης Κυκλωμάτων RF

Η απόδοση των CPW που παρουσιάστηκαν σε αυτό το κεφάλαιο είναι πολύ καλή και ικανοποιεί πλήρως τις προδιαγραφές για γραμμές μεταφοράς ολοκληρωμένες με τεχνικές συμβατές με την τεχνολογία CMOS. Όπως αποδείχθηκε, η διηλεκτρική μόνωση που επιτυγχάνεται με το PSi είναι παρόμοια με αυτήν του quartz, πράγμα που φανερώνει ότι οι αποδόσεις που επιτυγχάνονται με το PSi είναι συγκρίσιμες ακόμη και με off-chip τεχνολογίες. Άλλωστε, όπως έχει αποδειχθεί στην εργασία [51], όταν η ενεργός ειδική αντίσταση ενός υποστρώματος είναι υψηλότερη του 1kΩ, οι απώλειες του υποστρώματος γίνονται αμελητέες και κυριαρχεί ο ρόλος των απωλειών των αγωγών.

Παρακάτω (Πίνακας 5.III) παρουσιάζεται ένας πίνακας με τα αποτελέσματα αυτού του κεφαλαίου, καθώς και άλλων τεχνολογιών αιχμής για την ολοκλήρωση ομοεπίπεδων γραμμών μεταφοράς (CPW και S-CPW) με τεχνικές συμβατές με την τεχνολογία CMOS. Από τον πίνακα λείπουν τα υπόλοιπα αποτελέσματα της βιβλιογραφίας με CPW πάνω σε PSi, αφού αυτά παρουσιάστηκαν στον Πίνακα 5.I. Επίσης παρατίθενται και κάποια αποτελέσματα με μικροταινίες (microstrips), καθώς και με CPW κατασκευασμένα με τεχνολογία MEMS, για λόγους σύγκρισης.

Πίνακας 5.111.

Σύνοψη των κυριότερων αποτελεσμάτων από ερευνητικές εργασίες που παρουσιάζουν CPW με απόδοση αγωγής χρησιμοποιώντας τεχνικές σφιδάτες με την τεχνολογία CMOS.

Πρόσος Συγγραφείς [Αναφορά]	Σχεδίαση	Υπόστρωμα	Περιγραφή Τεχνολογίας	Μέταλλο CPW (πάχος [μm])	w/s/w <sub>s</sub> [μm]	Z <sub>c</sub> (Ω)	ξ <sub>eff</sub>	Attenuation [dB/mm] / Quality Factor			
								40 GHz	60 GHz	110 GHz 210 GHz	
Porous Silicon	CPW	150-200 μm PSI on p <sup>-</sup> -Si (1-5 mΩ.cm)	+ 500 nm TEOS SiO <sub>2</sub>	Al (1)	26/12/208	78	2.17	0.24 / 22	-	-	1.2 / 30
Porous Silicon	CPW	150 μm PSI on p <sup>-</sup> -Si (1-5 mΩ.cm)	+ 500 nm TEOS SiO <sub>2</sub>	Al (1)	180/20/250	50	2.5	0.30 / 19	0.40 / 22	0.63 / 27	-
Montuliseat et al., 2006, [55]	CPW	> 1kΩ.cm HR-SOI	-	Cu	30/11/90	50	-	0.40 / -	0.6 / -	-	-
High Resistivity SOI	CPW	1kΩ.cm HR-SOI (HR Unibond by SOITEC)	SOI STM CMOS 130nm	Cu	10/5 / -	50	-	0.60 / -	0.75 / -	1.0 / -	1.4 / -
High Resistivity SOI	CPW	HR-SOI (~3 kΩ.cm)	LP SOI HR STM CMOS 65nm	M6 & Alucap (-)	-	50	-	0.60 / -	0.70 / -	0.95 / -	-
Gianesello et al., 2010, [59]	CPW	HR-SOI	SOI STM CMOS 65nm	Cu on M1-M6 (~5)	6/7/215	50	-	~0.9 / -	~1.3 / -	~2.5 / -	~4.5 / -
Proton	CPW	10 Ω.cm with 200μm deep proton bombardment	200 μm, 5-10 MeV + 1.5 μm SiO <sub>2</sub>	Al (4)	-	-	-	-	Comparable to GaAs	-	-

Πίνακας 5.111 (Συνέχεια)

Σύνοψη των κυριότερων αποτελεσμάτων από ερευνητικές εργασίες που παρουσιάζουν CPW με απόδοση αλγμής χρησιμοποιώντας τεχνικές συμβατές με την τεχνολογία CMOS.

Πρόσος Συγγραφέας [Αναφορά]	Σχεδίαση	Υπόστρωμα	Περιγραφή Τεχνολογίας	Μέταλλο CPW (πάχος [μm])	w/s/w <sub>g</sub> [μm]	Z <sub>c</sub> (Ω)	ε <sub>eff</sub>	Attenuation [dB/mm] / Quality Factor		
								40 GHz	60 GHz	110 GHz
Vecchi et al., 2009, [58]	CPW S-CPW	LR-Si	S-lines on M1&M2 STM CMOS 65nm	Al on M7 (thick)	-	50	-	0.80 / -	1.00 / -	-
								0.55 / -	0.65 / -	-
Franc et al., 2012, [62]	S-CPW	Low-resistivity SiGe	500 nm Cu on M1 STM 130 nm BiCMOS-9MW	Al on M6 (3)	-	35	25.6	0.45 / 41	0.66 / 43	1.49 / 39
								0.38 / 34	0.49 / 42	0.94 / 35
								0.32 / 30	0.44 / 35	0.78 / 33
Avenier et al., 2009, [61]	microstrip	SiGe	BiCMOS 130nm	Cu (3μm) on M6 & Alucap (~1.5μm) GND at M1 & M2 ILD: 8.3μm	-	71	-	-	-	-
								0.42 / -	0.52 / -	-
Lin et al., 2010, [64]	CMOS compatible MEMS CPW	HR-Si (15 kΩ.cm)	Deep trenches (~200 μm) between signal and ground covered with Cu on their sides	Cu (6)	-	20/40/-	-	@ 50 GHz : 0.081 / -		
								-	-	-

Παρατηρούμε ότι με το πορώδες πυρίτιο επιτυγχάνονται CPW που έχουν χαμηλότερες απώλειες από όλες τις υπόλοιπες τεχνολογίες αιχμής πλην αυτής των MEMS πάνω σε HR-Si. Πιο συγκεκριμένα με το PSi επιτυγχάνονται γραμμές μεταφοράς 145Ω με απώλειες ίσες με 0.19 dB/mm στα 40 GHz ενώ για τις γραμμές των 50Ω οι απώλειες ανέρχονται στα 0.3 dB/mm. Και οι δύο αυτές τιμές είναι πολύ χαμηλές και οφείλονται κυρίως στις απώλειες του μετάλλου. Αν αντί για Al πάχους 1μm χρησιμοποιηθούν 6μm Cu, αυτές οι απώλειες μπορούν να μειωθούν ακόμη περισσότερο και να γίνουν 0.2 dB/mm (για τα 50Ω) [38]. Οι τιμές αυτές είναι οι μισές από τις αντίστοιχες που παρατηρούνται στην περίπτωση χρήσης μικροταινιακών γραμμών μεταφοράς, ακόμη και αν αυτές έχουν πολύ παχύ μέταλλο. Οι τόσο χαμηλές απώλειες επιτρέπουν τη χρήση των CPW πάνω σε PSi για διασυνδέσεις μεγάλου μήκους, όπως ο διαμοιρασμός του ρολογιού εντός της ψηφίδας. Επίσης η χαμηλή ενεργός επιτρεπτότητα ( $\epsilon_{eff}$ ) δείχνει ότι δεν υπάρχει μεγάλη χωρητικότητα στη γραμμή, γεγονός που μειώνει την καθυστέρηση του σήματος

Κοιτώντας τον συντελεστή ποιότητας των CPW μπορούμε να συμπεράνουμε ότι τα CPW πάνω σε PSi έχουν  $Q > 20$ , πράγμα που ικανοποιεί τις σύγχρονες προδιαγραφές των κυκλωμάτων RF. Συγκρίνοντας όμως την τεχνολογία των CPW πάνω σε PSi με την τεχνολογία των S-CPW, παρατηρείται ότι το  $Q$  των S-CPW είναι αρκετά υψηλότερο. Αυτό επιτυγχάνεται με κόστος την σχετικά αυξημένη σταθερά απωλειών που παρατηρείται. Αυτή η συμπεριφορά είναι απολύτως αναμενόμενη εξαιτίας του φαινομένου “αργού κύματος (slow wave)” [52] στο οποίο στηρίζεται η σχεδίαση των S-CPW [53]. Στις δομές S-CPW η φασική ταχύτητα είναι πολύ μειωμένη, όπως άλλωστε αποδεικνύεται από το υψηλό τους  $\epsilon_{eff}$  (μέχρι και 25.6). Με τη σειρά της, η μείωση της φασικής ταχύτητας οδηγεί σε μειωμένα μήκη κύματος για κάθε συχνότητα λειτουργίας, καθιστώντας τις δομές S-CPW ιδανικές για την κατασκευή μικροκυματικών στοιχείων με μειωμένο μέγεθος π.χ. μετατροπέων  $\lambda/4$ . Παρόλα αυτά οι δομές S-CPW παρουσιάζουν αυξημένη καθυστέρηση του σήματος και για το λόγο αυτό δεν ενδείκνυνται για γραμμές μεταφοράς με μεγάλο μήκος.

Αξίζει να σημειωθεί, ότι στα 210 GHz η παρούσα εργασία είναι η μόνη που έχει ασχοληθεί με το χαρακτηρισμό του PSi. Όπως φαίνεται, ο συντελεστής απωλειών των CPW σε PSi είναι ο χαμηλότερος ( $\alpha=1.2$  dB/mm) από όλες τις υπόλοιπες τεχνολογίες που υπάρχουν στη βιβλιογραφία, ενώ παράλληλα επιτυγχάνεται και αρκετά υψηλός συντελεστής ποιότητας  $Q=30$ .

## 5.8 Συμπεράσματα Κεφαλαίου

Σε αυτό το κεφάλαιο παρουσιάστηκε η βελτιωμένη απόδοση των CPW που ολοκληρώνονται πάνω σε PSi σε σύγκριση με άλλα RF υποστρώματα. Η εξασθένηση του σήματος που παρατηρήθηκε είναι από τις χαμηλότερες από αυτές που έχουν παρουσιαστεί μέχρι τώρα όχι μόνο σε υπόστρωμα PSi αλλά και σε άλλα υποστρώματα συμβατά με την τεχνολογία CMOS. Ο συντελεστής ποιότητας είναι επίσης πολύ καλός για CPW σε PSi.

Επιβεβαιώθηκε ότι το πορώδες του στρώματος του PSi επηρεάζει την απόδοση του CPW. Όπως παρατηρήθηκε η απόδοση του CPW δεν βελτιώνεται απαραίτητα για μεγαλύτερες τιμές του πορώδους. Όπως φάνηκε, η απόδοση ήταν βέλτιστη για  $P=76\%$ , ακόμη και σε σύγκριση με PSi με πορώδες ίσο με 84%. Αυτό οφείλεται κατά πάσα πιθανότητα στην τελείως κατακόρυφη μορφή των πόρων στα υψηλότερα porosity.

Από τη σύγκριση της απόδοσης των CPW πάνω στα υποστρώματα PSi, trap-rich HR-Si, LR-Si και quartz, φαίνεται ότι το PSi βελτιώνει τη συμπεριφορά του CPW σε σχέση με το trap-rich HR-Si, επιτυγχάνοντας απόδοση παρόμοια με του quartz. Αυτό ισχύει για τα εύρη συχνοτήτων 40 MHz – 40 GHz και 140 GHz – 210 GHz. Συγκεκριμένα για το PSi, στα 40 GHz επιτυγχάνεται  $\alpha=0.24$  dB/mm και  $Q=22$ , ενώ στα 210 GHz  $\alpha=1.2$  dB/mm και  $Q=30$ .

Τέλος, από τις μετρήσεις του ολικής αρμονικής παραμόρφωσης (THD) και της συνακρόασης (crosstalk) τονίστηκε και το πλεονέκτημα της χαμηλής σχετικής επιτρεπτότητας του PSi, το οποίο οδηγεί σε χαμηλή χωρητική σύζευξη των διατάξεων μέσω του υποστρώματος. Αυτό το πλεονέκτημα θα μας απασχολήσει και στο Κεφάλαιο 6 για την ολοκλήρωση πηνίων πάνω σε υπόστρωμα Si.

# Κεφάλαιο 6

## Ολοκληρωμένα Πηνία πάνω σε PSi & Σύγκριση με άλλα Υποστρώματα

### 6.1 Εισαγωγή

Στα μέσα της δεκαετίας του 1990, με την επικράτηση της τεχνολογίας BiCMOS ως κύριας επιλογής για την κατασκευή ολοκληρωμένων συστημάτων RF, το ζήτημα των παθητικών ολοκληρωμένων στοιχείων ξαναήρθε στην επιφάνεια. Πέρα όμως από τους ολοκληρωμένους αντιστάτες και πυκνωτές, έγινε αναγκαία και η χρήση ολοκληρωμένων πηνίων για τη ρύθμιση της συχνότητας λειτουργίας. Η ολοκλήρωση των τελευταίων πάνω σε ψηφίδα Si αποτελεί ακόμη σημαντική τεχνολογική πρόκληση εξαιτίας των μεγάλων απωλειών εντός του υποστρώματος Si.

Η πιο διαδεδομένη σχεδίαση ολοκληρωμένων πηνίων είναι αυτή των τετραγωνικών σπειροειδών πηνίων που χρησιμοποιούν τα μέταλλα του BEOL και βρίσκονται πάνω από ένα υπόστρωμα LR-Si. Τα πρώτα πηνία πάνω σε υπόστρωμα LR-Si ολοκληρώθηκαν στις αρχές του 1990 [1], αλλά τα πρώτα χρησιμοποιήσιμα πηνία πάνω σε Si αναπτύχθηκαν το 1995 [2], με τη χρήση πολλών επιπέδων μετάλλων. Το 1997 [3] αναπτύχθηκαν για πρώτη φορά πηνία πάνω σε Si με  $Q > 20$  χρησιμοποιώντας επιμετάλλωση Cu και υπόστρωμα HR-Si.

Εκτοτε υπάρχει μεγάλη ερευνητική προσπάθεια για την ολοκλήρωση και τη μοντελοποίηση πηνίων υψηλής απόδοσης εντός των ψηφίδων Si. Αυτή η προσπάθεια στοχεύει στο να αναπτυχθούν ρεαλιστικά μοντέλα [4], [5] που θα διευκολύνουν τη σχεδίαση ολοκληρωμένων συστημάτων RF. Σε αυτό το κεφάλαιο θα περιγράψουμε τις παραμέτρους σχεδίασης ενός ολοκληρωμένου πηνίου, καθώς και τα οφέλη τα οποία επιτυγχάνονται από τη χρήση του PSi ως υπόστρωμα. Επίσης, θα παρουσιαστεί η απόκριση δοκιμαστικών πηνίων πάνω σε PSi και θα συγκριθεί με τη συμπεριφορά των ίδιων πηνίων πάνω σε τρία διαφορετικά υποστρώματα: το LR-Si, το trap-rich HR-Si και το quartz, όπως αυτά περιγράφηκαν στα Κεφάλαια 2 και 5.

### 6.2 Ολοκληρωμένα Πηνία

#### 6.2.1 Μοντελοποίηση και συμπεριφορά των ολοκληρωμένων πηνίων

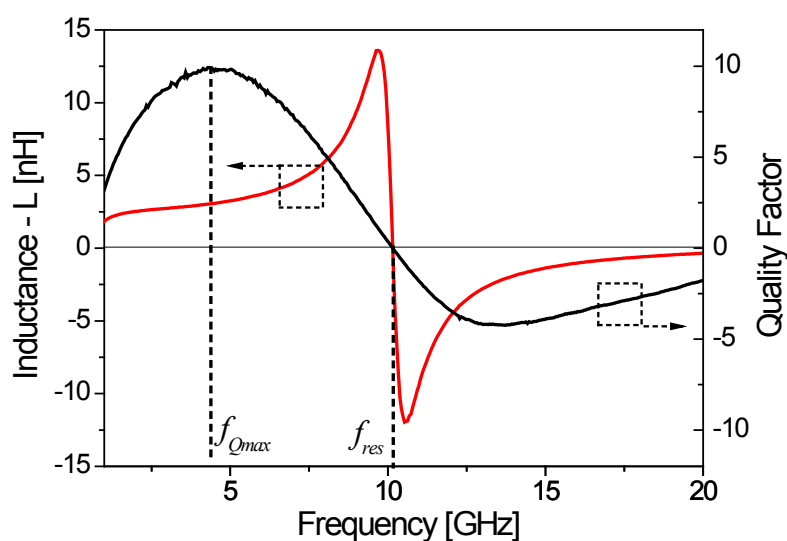
Οι βασικές παράμετροι που μας ενδιαφέρουν για το χαρακτηρισμό των πηνίων είναι η επαγωγή ( $L$ ) και ο συντελεστής ποιότητας ( $Q$ ). Αυτές προσδιορίζονται μέσα από τις μετρήσεις των S-παραμέτρων των πηνίων και ορίζονται ως:

$$L = \frac{\text{Im}(1/Y_{11})}{2\pi f} \quad (6.1)$$

$$Q = \frac{\text{Im}(1/Y_{11})}{\text{Re}(1/Y_{11})} \quad (6.2)$$

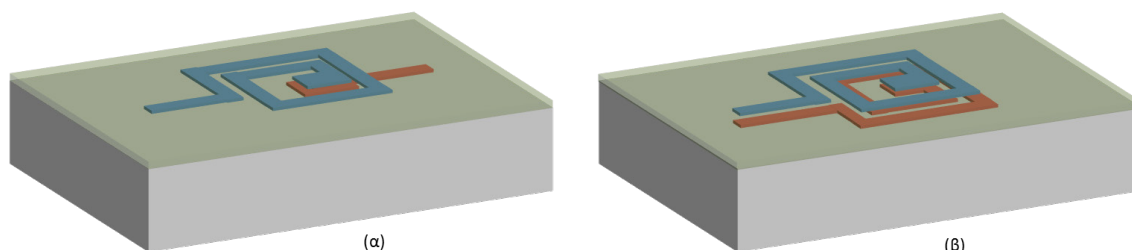
όπου το  $Y_{11}$  είναι το στοιχείο 11 του πίνακα των Y-παραμέτρων που προκύπτουν από μετασχηματισμό των S-παραμέτρων. Σημαντικές παράμετροι είναι επίσης η συχνότητα

συντονισμού ( $f_{res}$ ), όπου παύει η επαγωγική συμπεριφορά του πηνίου και αρχίζει να επικρατεί η χωρητική, καθώς και η συχνότητα όπου το  $Q$  γίνεται μέγιστο ( $f_{Qmax}$ ). Οι παράμετροι αυτές φαίνονται στην Εικόνα 6.1.



Εικόνα 6.1. Απόκριση τυπικού σπειροειδούς πηνίου πάνω σε υπόστρωμα Si

Τα πηνία που είναι ολοκληρωμένα σε τεχνολογία CMOS ακολουθούν τους κανόνες σχεδίασης ολοκληρωμένων κυκλωμάτων (design rules) και έχουν συνήθως τη μορφή τετραγωνικών σπειροειδών πηνίων ενός ή περισσοτέρων επιπέδων (βλ. Εικόνα 6.2). Οι γεωμετρικές παράμετροι που επηρεάζουν την απόκριση του πηνίου είναι το πάχος του μετάλλου που χρησιμοποιείται ( $t$ ), το πλάτος της γραμμής ( $w$ ), η απόσταση μεταξύ των σπειρών ( $s$ ), η εσωτερική ακτίνα ( $R_{int}$ ), ο αριθμός των σπειρών ( $N$ ), καθώς και ο αριθμός των επιπέδων μετάλλου που χρησιμοποιούνται.



Εικόνα 6.2. Σχηματικό διάγραμμα σπειροειδών πηνίων (α) ενός επιπέδου και (β) δύο επιπέδων. Τα επίπεδα συνδέονται μεταξύ τους με κατακόρυφες διασυνδέσεις (vias). Τα πηνία πολλαπλών επιπέδων γίνονται με τρόπο όμοιο με τα αντίστοιχα πηνία των δύο επιπέδων.

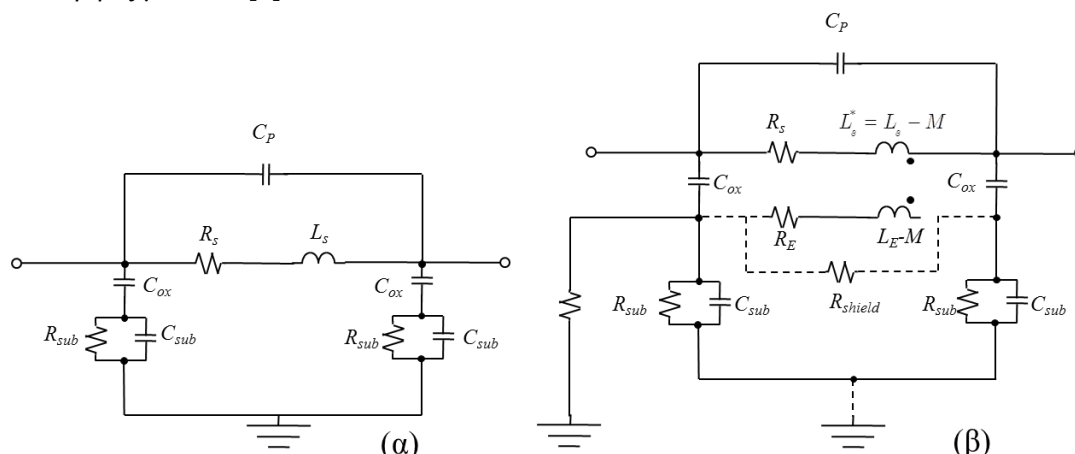
Το πιο συχνά χρησιμοποιούμενο μοντέλο για τα ολοκληρωμένα σε Si σπειροειδή πηνία είναι αυτό που φαίνεται στην Εικόνα 6.2α. Τα στοιχεία  $L_s$  και  $R_s$  είναι η σε σειρά επαγωγή και αντίσταση,  $C_{ox}$  η παρασιτική χωρητικότητα μεταξύ του μετάλλου και του υποστρώματος και  $R_{sub}$  και  $C_{sub}$  η αντίσταση και η χωρητικότητα του υποστρώματος αντίστοιχα. Χρησιμοποιώντας, αυτό το μοντέλο μπορούμε να πούμε ότι το  $Q$  περιορίζεται από το  $R_s$  στις χαμηλές συχνότητες και από το  $C_{ox}$  και το  $C_{sub}$  στις υψηλότερες συχνότητες. Η  $f_{res}$  είναι ίση με:

$$f_{res} = 1 / \left( 2\pi \sqrt{L_s C_P} \right) \quad (6.3)$$

και επηρεάζεται κυρίως από τη χωρητικότητα μεταξύ των αγωγών και συνήθως είναι αρκετά μεγαλύτερη από την  $f_{Qmax}$ . Τέλος τα  $Q_{max}$  και το  $f_{Qmax}$  μπορούν να ρυθμιστούν μέσω των



όρων  $\omega L_s/R_s$  και  $1/\omega C_{sub}R_{sub}$ . Στην Εικόνα 6.3β παρουσιάζεται ένα πιο πολύπλοκο, αλλά και πιο ακριβές μοντέλο [6].



**Εικόνα 6.3. (α) Τυπικό μοντέλο πηνίου πάνω σε υπόστρωμα Si (β) Μοντέλο που αναφέρεται σε σπειροειδές πηνίο πολλών επιπέδων πάνω σε LR-Si· είτε με τέλεια είτε με ατελή επαφή υποστρώματος, όπως αυτό παρουσιάζεται στο [6]**

Κοιτώντας την Εικόνα 6.1 και αναλύοντας το μοντέλο της Εικόνας 6.3β, μπορούμε να διακρίνουμε τρεις διαφορετικούς τρόπους λειτουργίας των πηνίων αναλόγως με τη ζώνη λειτουργίας [6]:

- I. Σε χαμηλές συχνότητες το  $\omega L_s$  είναι μικρό, ενώ τα  $1/\omega C_P$  και  $1/\omega C_{ox} + 1/\omega C_{sub}$  είναι μεγαλύτερα, οδηγώντας το ΗΜ σήμα να περάσει κυρίως μέσα από το  $L_s$ , δηλαδή μέσα από το πηνίο. Σε αυτήν την περιοχή το  $Q$  αλλάζει αναλόγως με το  $\omega L_s/R_s$ .
- II. Σε συχνότητες  $f_{Qmax} < f < f_{res}$  το  $\omega L_s$  είναι μεγαλύτερο από το  $2/(\omega C_{ox} + 2/(R_{sub} // C_{sub}))$  αλλά μικρότερο από το  $1/\omega C_P$ , γεγονός το οποίο συμβαίνει επειδή  $C_{ox} \gg C_P, C_{sub}$ . Τώρα, το μεγαλύτερο μέρος του ΗΜ σήματος περνάει μέσα από το  $C_{ox}$ , δηλαδή από το υπόστρωμα, προκαλώντας τη μείωση του  $Q$ . Εδώ πρέπει να επισημανθεί ότι το επιδερμικό φαινόμενο και το φαινόμενο συνωστισμού (skin-effect and crowding-effect) προκαλούν επίσης μείωση του  $Q$ , αλλά συνήθως, όταν ως υπόστρωμα έχουμε LR-Si, επισκιάζονται από τις απώλειες υποστρώματος.
- III. Σε ακόμη υψηλότερες συχνότητες ( $f > f_{res}$ ), το πηνίο λειτουργεί σαν ένα κύκλωμα LC και συντονίζεται μέσα από τα  $L_s$  και  $C_P$

Αν δούμε τις τρεις αυτές περιοχές λειτουργίας από τη σκοπιά της ειδικής αντίστασης του υποστρώματος, τότε σύμφωνα με το [6] μπορούμε να διακρίνουμε τρεις συνθήκες:

Λειτουργία πηνίου: Για ειδική αντίσταση Si ( $\rho_{Si}$ ) μεγαλύτερη των 10 Ω.cm το υπόστρωμα συμπεριφέρεται ως διηλεκτρικό. Η αντίσταση του υποστρώματος  $R_{sub}$  ( $\propto \rho_{Si} \epsilon_{Si} / C_{sub}$ ) είναι αρκετά μεγάλη για να μειώσει την επίδραση του  $C_{ox}$  στο συντονισμό, ο οποίος επιτυγχάνεται μέσω των σπειρών ( $C_P$ ) και του υποστρώματος ( $C_{sub}$ ). Όσο αυξάνεται η  $\rho_{Si}$ , τόσο αυξάνονται τα  $Q_{max}$ ,  $f_{Qmax}$  και  $f_{res}$ .

Λειτουργία συντονιστή: Για  $\rho_{Si}$  μικρότερη των 10 Ω.cm, παρατηρείται μία μεγάλη μείωση της  $f_{res}$ , που οφείλεται στο συντονισμό μέσω της χωρητικότητας  $C_{ox}$ . Σε αυτή τη λειτουργία, η μείωση του  $\rho_{Si}$  οδηγεί σε αύξηση του  $Q_{max}$  μέχρι το σημείο που γίνεται έντονη η ύπαρξη δινορευμάτων.

Λειτουργία με δινορευμάτα: Όταν η  $\rho_{Si}$  είναι πολύ μικρή ( $< 0.2$  Ω.cm) διευκολύνεται η ανάπτυξη δινορευμάτων εντός του υποστρώματος με αποτέλεσμα να μειώνεται και το  $Q_{max}$  και το  $L$ .

Πέρα όμως από το υπόστρωμα υπάρχουν και άλλοι παράγοντες που επηρεάζουν τη συμπεριφορά των πηνίων, οι οποίοι περιγράφονται στον Πίνακα 6.1, σύμφωνα με τα ευρήματα που παρουσιάζονται στο [5].

**Πίνακας 6.1**  
**Επίδραση της μεταβολής των παραμέτρων των πηνίων πάνω στο συντελεστή ποιότητας ( $Q$ ), στην επαγωγή ( $L$ ), και στη συχνότητα συντονισμού ( $f_{res}$ )**

Παράμετρος	Μεταβολή	Επίδραση		
		$Q_{max}$	L	$f_{res}$ (GHz)
Πάχος μετάλλου (t)	↗	↗	-	-
Αγωγιμότητα μετάλλου	↗	↗	-	-
Πάχος SiO <sub>2</sub>	↗	↗	-	↗
Αγωγιμότητα υποστρώματος (ρ <sub>si</sub> )	↗	↘↗	-	↗
Επιφάνεια	↗	↘	↗	↘
Αριθμός σπειρών	↗	↘	↗	↘
Πλάτος γραμμής	↗	↗	↘	↘
Επιπλέον επίπεδο	↗	↘	↗	↘

↗: αύξηση, ↘: μείωση, -: σχεδόν σταθερό, ↘↗: παρουσιάζει ελάχιστο

Αν και οι παραπάνω παράγοντες είναι πολύ σημαντικοί για τη σχεδίαση ολοκληρωμένων πηνίων, εμείς θα ασχοληθούμε κυρίως με το ζήτημα του υποστρώματος. Για το λόγο αυτό, θα χρησιμοποιήσουμε κάποια τυπικά δοκιμαστικά πηνία με τετραγωνικές σπείρες ενός επιπέδου και χωρίς κάποια ιδιαίτερη σχεδίαση. Αν και απλά θα μας δώσουν τη δυνατότητα να διερευνήσουμε την επίδραση του υποστρώματος απεμπλεγμένη από την πολυπλοκότητα που θα εμπεριείχε μία πιο σύνθετη σχεδίαση πηνίου.

### **Το ζήτημα του υποστρώματος**

Από τα παραπάνω γίνεται εμφανές ότι το ζήτημα του υποστρώματος είναι πάρα πολύ σημαντικό για την απόδοση των ολοκληρωμένων πηνίων. Η λύση η οποία χρησιμοποιείται σήμερα στη βιομηχανία είναι η χρήση μεταλλικής θωράκισης κάτω από τα πηνία, έτσι ώστε να απομονώνεται το ΗΜ πεδίο του πηνίου από το υπόστρωμα [6]–[8]. Όμως, η εισαγωγή αυτής της μεταλλικής θωράκισης διευκολύνει την ανάπτυξη δινορευμάτων εντός αυτής μειώνοντας πολύ το  $Q$  και το  $L$ . Η σχηματοποίηση αυτής της μεταλλικής θωράκισης [8] μοιάζει σήμερα να είναι η πιο ισορροπημένη λύση, μιας και μειώνει τα δινορεύματα, ενώ ταυτόχρονα απομονώνει μερικώς το υπόστρωμα [9].

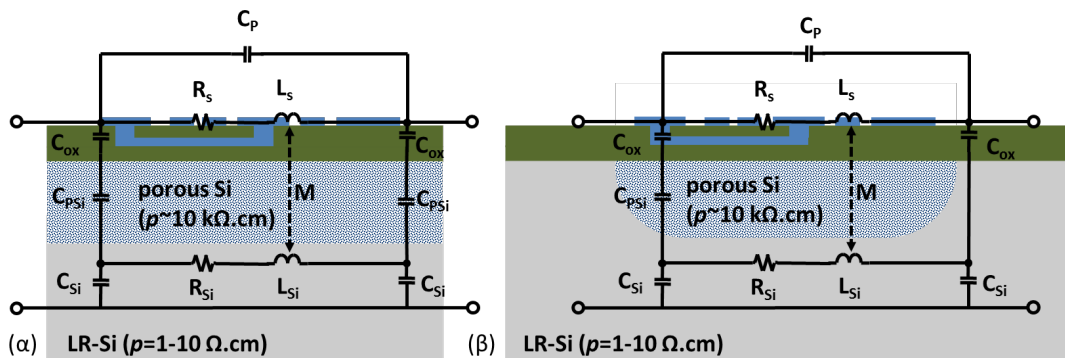
Η παραπάνω λύση όμως, ενώ είναι συμβατή με την τεχνολογία CMOS, δε δίνει τα βέλτιστα αποτελέσματα. Για το λόγο αυτό, είναι απαραίτητο να χρησιμοποιηθούν τεχνικές που είτε θα απομακρύνουν τα πηνία από το υπόστρωμα LR-Si είτε θα τροποποιούν το υπόστρωμα τοπικά, ώστε να μειωθούν οι απώλειες αυτού. Η λογική είναι παρόμοια με αυτή των CPW που περιγράφηκε στο Κεφάλαιο 5. Προς αυτήν την κατεύθυνση έχουν εργαστεί αρκετές ομάδες, οι οποίες ασχολούνται με την κατασκευή αιωρούμενων πηνίων [10], [11], την απομάκρυνση από το υπόστρωμα μέσω παχέων υμενίων [12], [13] και την αφαίρεση [14] ή την τροποποίηση [15] του LR-Si κάτω από τα πηνία. Αυτές οι τεχνικές, συνήθως, απαιτούν μεθόδους που συνήθως είναι πολύπλοκες και μη συμβατές με την τεχνολογία CMOS. Προκύπτει λοιπόν η ανάγκη μελέτης εναλλακτικών υλικών, τα οποία θα έχουν χαμηλές απώλειες και είναι εν δυνάμει συμβατά με την τεχνολογία CMOS. Μία από τις

καλύτερες λύσεις που έχουν προταθεί μέχρι τώρα είναι το PSi, το οποίο και θα αναλύσουμε παρακάτω ως υπόστρωμα για υψηλής απόδοσης πηνία.

### 6.2.2 Η τεχνολογία αιχμής στα ολοκληρωμένα πηνία σε PSi

Η τεχνολογία του PSi χρησιμοποιήθηκε για πρώτη φορά σε ολοκληρωμένα πηνία από τον Nam et al, το 1997 [16]. Όπως προαναφέρθηκε, το PSi είναι ένα υπόστρωμα με υψηλή ειδική αντίσταση και χαμηλή σχετική επιτρεπτότητα ( $\epsilon_r$ ), η οποία μπορεί να ρυθμιστεί κατά βούληση. Ο συνδυασμός αυτών των δύο ιδιοτήτων είναι ιδανικός για τη βελτίωση της απόδοσης των σπειροειδών πηνίων. Πιο συγκεκριμένα, η υψηλή ειδική αντίσταση παρεμποδίζει τη δημιουργία δινορευμάτων [17], [18], αυξάνοντας το  $Q$  των πηνίων, ενώ το χαμηλό  $\epsilon_r$  μειώνει τη χωρητική σύζευξη μεταξύ σπειρών-υποστρώματος και των σπειρών μεταξύ τους, οδηγώντας στην αύξηση του  $Q$  αλλά και στη μετατόπιση προς μεγαλύτερες συχνότητες της  $f_{res}$ , επιτρέποντας τη λειτουργία σε υψηλότερες συχνότητες [19]. Από το 1997 μέχρι σήμερα έχουν αναπτυχθεί κάποια πηνία πάνω σε υπόστρωμα PSi, ώστε να μελετηθεί καλύτερα η συμπεριφορά και η αλληλεπίδραση αυτών με το υπόστρωμα. Οι πιο ολοκληρωμένες ερευνητικές εργασίες όσον αφορά τα ολοκληρωμένα πηνία πάνω σε PSi παρουσιάζονται στον Πίνακα 6.Π. Αν και τα αποτελέσματα δεν είναι εύκολο να συγκριθούν μεταξύ τους εξαιτίας της μεγάλης ανομοιογένειας των κατασκευαστικών λεπτομερειών, θα προσπαθήσουμε να διατυπώσουμε κάποια γενικά συμπεράσματα. Όπως φαίνεται στις περισσότερες ερευνητικές εργασίες χρησιμοποιούνται στρώματα PSi με μεγάλο πάχος, τα οποία δίνουν αρκετά υψηλό  $Q_{max}$ . Πιο συγκεκριμένα, με τη χρήση πορώδους πυριτίου μεγάλου πάχους και με κατάλληλη σχεδίαση του πηνίου, επιτυγχάνονται  $Q_{max} > 15$ , ενώ για κάποια  $Q_{max} > 25$ . Επίσης παρατηρούμε ότι η συχνότητα συντονισμού ( $f_{res}$ ) είναι αρκετά υψηλή όχι μόνο στα πηνία με μικρό  $L$  ( $\sim 1$  nH), αλλά και στα πηνία με υψηλότερο  $L$  ( $\sim 5$  nH). Αυτό, οφείλεται στη μειωμένη σχετική επιτρεπτότητα του PSi, η οποία μειώνει πολύ τη χωρητική σύζευξη μέσω του υποστρώματος. Σε αυτό το σημείο πρέπει να αναφέρουμε, ότι τα περισσότερα από τα πηνία που έχουν ολοκληρωθεί πάνω στο PSi είναι κυρίως δοκιμαστικά πηνία και δεν ακολουθούν σχεδιάσεις αιχμής. Γι'αυτόν τον λόγο, η απόδοσή τους καλύτερα να εξετάζεται σε σύγκριση με αυτήν των ίδιων πηνίων πάνω σε άλλα υποστρώματα, παρά ως αυτούσια. Κανένα από τα παρακάτω πηνία δεν έχει χρησιμοποιηθεί, μέχρι τώρα, σε εμπορικό προϊόν. Πρόσφατα όμως, αναπτύχθηκε πειραματικά ένα κύκλωμα ηλεκτροστατικής αποφόρτισης (electrostatic discharge), το οποίο ταυτόχρονα συνδυάζει την ολοκλήρωση μίας διόδου σε  $p^+$ -Si μαζί με ένα πηνίο σε PSi [20].

Με την ανάπτυξη του στρώματος του PSi, ουσιαστικά απομακρύνεται η κοντινή στο πηνίο επιφάνεια του LR-Si, ενώ ο χώρος αντικαθίσταται από ένα παχύ διηλεκτρικό χαμηλών απωλειών. Για να περιγραφεί και να μοντελοποιηθεί καλύτερα η λειτουργία του PSi είναι χρήσιμο να αναθεωρηθεί το μοντέλο της Εικόνας 6.3α. Το μοντέλο, που προκύπτει για σπειροειδή πηνία πάνω σε τοπικά σχηματισμένο ή μη PSi, παρουσιάζεται αντίστοιχα στις Εικόνες 6.4β και 6.4α.



Εικόνα 6.4. (α) Τυπικό μοντέλο σπειροειδούς πηνίου πάνω σε υπόστρωμα PSi που εκτείνεται άπειρα γύρω από το πηνίο (β) Τυπικό μοντέλο σπειροειδούς πηνίου πάνω σε υπόστρωμα PSi που είναι τοπικά σχηματισμένο γύρω από το πηνίο.

Η χρήση του PSi βελτιώνει την απόδοση των πηνίων σε ποσοστό 200-300%. Αυτά τα ποσοστά, αν και ενδεικτικά, δεν είναι πάντα τα ίδια. Για να επιτευχθεί η βέλτιστη χρήση του PSi, χρειάζεται πάντα μελέτη και βελτιστοποίηση για το είδος, το πάχος και το πλάτος του στρώματος PSi που θα χρησιμοποιηθεί. Αυτό οφείλεται στο γεγονός ότι το μαγνητικό πεδίο διεισδύει βαθιά μέσα στο υπόστρωμα, αλληλεπιδρώντας με το LR-Si ακόμη και όταν αυτό είναι πολλά  $\mu\text{m}$  μακριά από το πηνίο.

**Πίνακας 6.Π**  
Σύνοψη των κυριότερων αποτελεσμάτων από ερευνητικές εργασίες που χρησιμοποιούν το PSi ως υπόστρωμα για την ολοκλήρωση πηνίων.

Πρώτος Συγγραφέας (Αναφορά)	$\rho_{Si}$ ( $\Omega\cdot\text{cm}$ ) [porosity]	Πάχος PSi ( $\mu\text{m}$ )	Μέταλλο (πάχος) [ $\mu\text{m}$ ]	IMD (πάχος) [ $\mu\text{m}$ ]	Rint	w	s	N	L (nH)	$L_{\square}$ (nH/mm <sup>2</sup> )	$Q_{max}$	$f_{Qmax}$ (GHz)	$f_{res}$ (GHz)	
Nam, 1997 [16]	p, 5-7 oxidized	25	Au (2.3)	-	-	5	5	4.5	6.3	321.4	13.3	4.6	13.8	
Yu, 2000 [24]	5-10	bulk	Au (6)	-	-	25	25	1.5	1.3	-	3.4	3	>10	
		1							1.3		3.9	3		
		2							1.3		4.8	3		
H.S. Kim, 2001 [19]	p, 0.007-0.0077	54	Al (4)	-	-	100	10	2	7.6	7.6	3.5	0.57	2.95	
		109				100	10	2	7.6	7.6	6	1.29	3.6	
		200				100	10	2	7.6	7.6	14	1.74	3.7	
		110				10	2	6	5.6	140	18.5	7.5	>17.5	
Royet, 2003 [21]	0.015	150 300	Cu (3)	-	150	100	50	3.5	11.4	9.3	6 16	1 3	-	
Chong, 2005 [25]	p, 0.005-0.02	200	Ti/Al (3)	SiO <sub>2</sub> , PECVD (1)	-	60	12		5.5	4.52	96.9	11.4	4.86	13.4
						60	6		5.5	4.27	175.5	10.2	9	18.4
						60	24		5.5	5.4	47.8	9.6	3.1	8.1
						60	12	4	2.5	0.89	61.8	16.5	15.9	> 20
						60	12		11.5	28.52	171.3	8.7	1.6	3.4
						30	12		5.5	3.09	89.3	11	8	17.7
120	12		5.5	7.91	103.8	11.9	4	8.6						
Chang, 2005 [26]	p, 8-12 [68%] [77%]	2.2 3.6	Al (2)	i- $\alpha$ -Si (1.5)	600	40	10	4	6	6	13	5.4	> 20	
Billoue, 2011 [27]	p, 30-50 [60%]	0	Cu (3)	SiO <sub>2</sub> , 3layers	75	30	10	2.5	1.4	20.5	19.92	3	14	
		5									21.2	3.2	14.2	
		50									25.5	4.2	14.4	
		100									28	4.7	15.2	
Capelle, 2011 [28]	n, 0.015	20	Al (1)	SiO <sub>2</sub> , PECVD (0.5)	-	80	30		1.5	1	28.6	6	4.5	
						78	50		1.5	1	14.1	5.1	2.5	
						130	10		3.5	7	17.1	2.5	1.7	
						30	50	10	3.5	3.5	10.3	3.6	1.3	-
						150	10		4.5	12.5	21.6	2	1	
						175	50		5.5	22	15.8	1.6	0.25	
150	50		6.5	28	36.9	1.6	0.25							
Capelle, 2012 [23]	p, 0.02 [20%]	100	Al (1)	SiO <sub>2</sub> , PECVD (0.5)	-	78	50		5.5	1.2	2.5	10.6	6.6	18.2
						30	50		3.5	3.5	18.6	6.0	2.3	7
						30	10	10	5.5	5.3	108	7.2	4.7	-
						130	30		3.5	7	48.2	6.3	3.7	-
	80	10		5.5	10.2	144.4	6.3	3.0	-					
	175	50		5.5	21	52	3.8	0.6	2.1					
	p, 0.02	200	Al (1)	SiO <sub>2</sub> , PECVD (0.5)	-	78	50		5.5	1.2	2.5	17.5	8	17
						30	50		3.5	3.5	18.6	7.5	3	6.5
30						10	10	5.5	5.3	108	8.7	5.4	15.3	
130						30		3.5	7	48.2	7.7	4	14.5	
80	10		5.5	10.2	144.4	7.8	3.2	10.5						
175	50		5.5	21	52	-	-	-						
Sarafis, 2014 [29]	p, 0.001-0.005	200	Al (1.3)	SiO <sub>2</sub> , LTO (0.65)	180	20	10	1.5 2.5 3.5	1.23 3.2 5.8	8.3 30.4 82.9	11.2 9.8 5.8	7.7 4.8 2.7	20.4 10.2 6.2	

### Επίδραση του πάχους του PSi

Σε προηγούμενες ερευνητικές εργασίες έχει παρουσιαστεί ότι το μαγνητικό πεδίο μπορεί να διαπερνά το στρώμα του PSi, ακόμα και όταν αυτό είναι σχετικά παχύ (~ 25  $\mu\text{m}$ ), να

αλληλεπιδρά με το LR-Si που βρίσκεται κάτω από το PSi και να δημιουργούνται δινορεύματα [21]. Σύμφωνα με τον κανόνα του Lenz, τα δινορεύματα έχουν τέτοια φορά ώστε να δημιουργείται ένα μαγνητικό πεδίο αντίθετο με αυτό του πηνίου, οδηγώντας στη μείωση του  $L$  και του  $Q$  του πηνίου. Όπως είναι λογικό, η αύξηση του πάχους του PSi βελτιώνει πολύ τον συντελεστή απόδοσης του πηνίου [22]. Αυτό συμβαίνει μέχρι ένα κρίσιμο πάχος του PSi, πέραν του οποίου η περαιτέρω βελτίωση είναι μηδαμινή. Αυτό το κρίσιμο πάχος εξαρτάται καίρια από τη σχεδίαση του πηνίου και κυρίως από την επιφάνεια που αυτό καταλαμβάνει [19]. Σε ένα τυπικό πηνίο ( $w=30\ \mu\text{m}$ ,  $s=20\ \mu\text{m}$ ,  $R_{int}=75\ \mu\text{m}$ ,  $N=3.5$ ), όπως αυτό που περιγράφεται στο [22], παρουσιάζεται βελτίωση της απόδοσης ακόμη και μετά από  $300\ \mu\text{m}$  PSi.

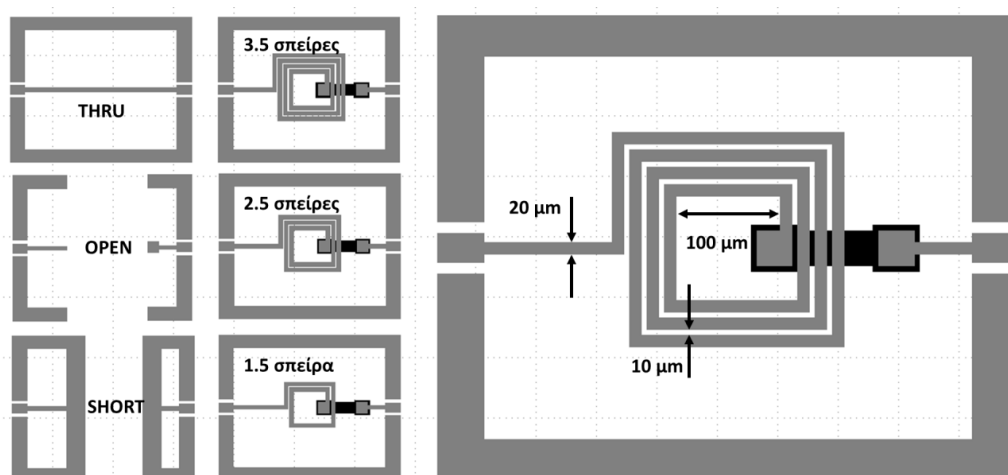
### Επίδραση του πλάτους του PSi

Παρόμοιο πρόβλημα παρουσιάζεται όταν η περιοχή του PSi δεν εκτείνεται απείρως γύρω από το πηνίο, αλλά περιορίζεται σε μία λιθογραφημένη περιοχή γύρω από αυτό [23]. Στην περίπτωση που η λιθογραφημένη περιοχή δεν είναι αρκούντως μεγάλη, εξαιτίας της εγγύτητας μεταξύ των σπειρών του πηνίου και του LR-Si που εκτείνεται στα πλάγια, δημιουργούνται δινορεύματα πλευρικά του πηνίου τα οποία μειώνουν το  $L$  και το  $Q$ . Η διαπλάτυνση της περιοχής του PSi, εξετάζεται ανάλογα με τις διαστάσεις, λαμβάνοντας ταυτόχρονα υπόψη ότι η χρήση μεγαλύτερης επιφάνειας από το δισκίδιο Si έχει μεγαλύτερο κόστος στην κατασκευή ενός IC. Συνεπώς, για την κάθε διαφορετική σχεδίαση πηνίου πρέπει να γίνεται μία βελτιστοποίηση της επιφάνειας PSi, που είναι αναγκαία για την επίτευξη ικανοποιητικής απόδοσης του πηνίου.

## 6.3 Απόδοση Ολοκληρωμένων Πηνίων σε Υπόστρωμα PSi και Σύγκριση με άλλα Υποστρώματα

### 6.3.1 Κατασκευή ολοκληρωμένων πηνίων

Στα παρακάτω πειράματα χρησιμοποιήθηκαν τετραγωνικά σπειροειδή πηνία ενός επιπέδου, τα οποία ολοκληρώθηκαν πάνω σε τέσσερα υποστρώματα: το PSi, το trap-rich HR-Si, το LR-Si και το quartz (fused silica). Η παρασκευή των υποστρωμάτων έγινε όπως περιγράφηκε στην Ενότητα 5.5.1, με μοναδική διαφορά τη σχετική επιτρεπτότητα του PSi που μετρήθηκε ίση με 4.1.

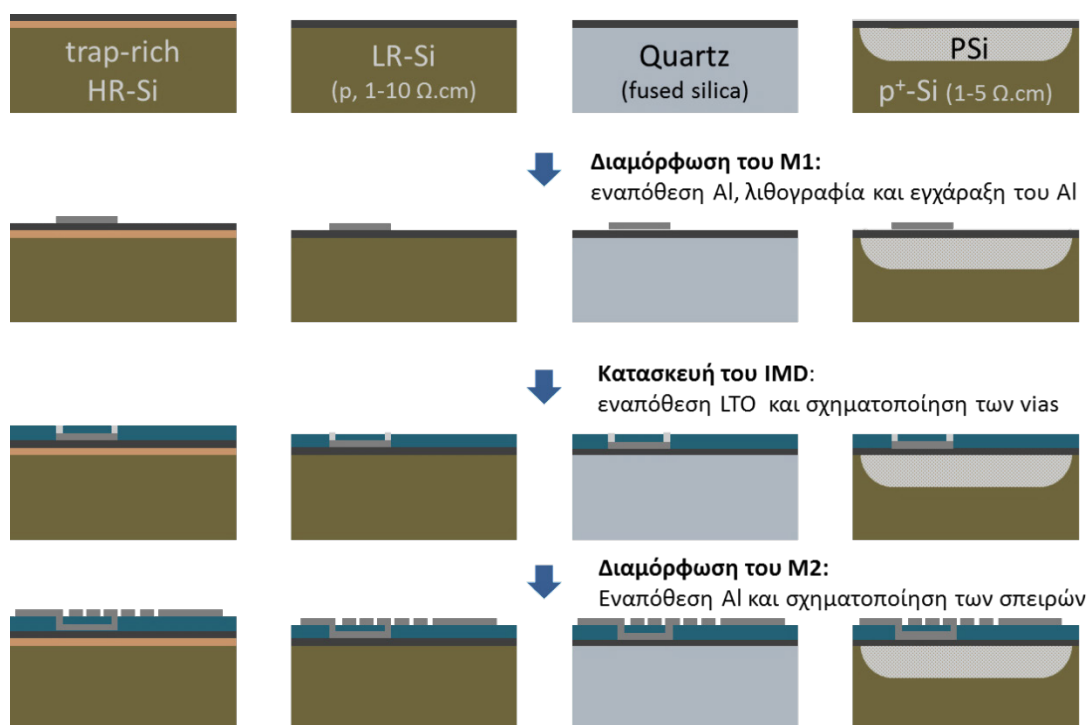


Εικόνα 6.5: (α) Σχηματικό και διαστάσεις των πειραματικών πηνίων που κατασκευάστηκαν πάνω στο PSi (β) Εικόνα από οπτικό μικροσκόπιο των κατασκευασμένων πηνίων

Τα πηνία επιλέχθηκαν να είναι απλά και να επηρεάζονται αρκετά από το υπόστρωμα, έτσι ώστε να είναι εμφανής η επίδραση του υποστρώματος στη συμπεριφορά τους.

Χρησιμοποιήθηκαν πηνία με 1.5, 2.5 και 3.5 σπείρες, των οποίων οι διαστάσεις φαίνονται στο σχηματικό της Εικόνας 6.5α. Όπως βλέπουμε, η εσωτερική διάμετρος είναι 180  $\mu\text{m}$ , το πλάτος της γραμμής 20  $\mu\text{m}$ , ενώ το διάκενο μεταξύ των σπειρών 10  $\mu\text{m}$ . Η συνολική επιφάνεια που καταλαμβάνει το κάθε πηνίο είναι 280x250  $\mu\text{m}^2$ , 370x310  $\mu\text{m}^2$  και 400x370  $\mu\text{m}^2$  για τα πηνία 1.5, 2.5 και 3.5 σπειρών, αντιστοίχως. Τέλος, μαζί με τα πηνία ολοκληρώθηκαν και δομές open, short και thru (βλέπε Εικόνα 6.5α) για την αποεμπέδωση των παρασιτικών στοιχείων των μετρήσεων RF [30].

Τα πηνία απαιτούν δύο επίπεδα επιμετάλλωσης. Το πρώτο μέταλλο (M1) ήταν Al πάχους 500 nm, το οποίο καλύφθηκε με 650 nm  $\text{SiO}_2$  χαμηλής θερμοκρασίας εναπόθεσης (low temperature oxide – LTO). Το LTO εγχυράχθηκε τοπικά με πλάσμα στα σημεία που πρόκειται να σχηματιστούν κατακόρυφες μεταλλικές διασυνδέσεις (vias), έτσι ώστε να ενωθεί το πρώτο επίπεδο μετάλλου με το δεύτερο. Το δεύτερο μέταλλο (M2) που χρησιμοποιήθηκε ήταν επίσης Al, πάχους 1.3  $\mu\text{m}$ . Η διεργασία κατασκευής των πηνίων στα τέσσερα προαναφερθέντα υποστρώματα φαίνεται στην Εικόνα 6.6:



Εικόνα 6.6. Διεργασία κατασκευής των πηνίων πάνω στα τέσσερα υποστρώματα

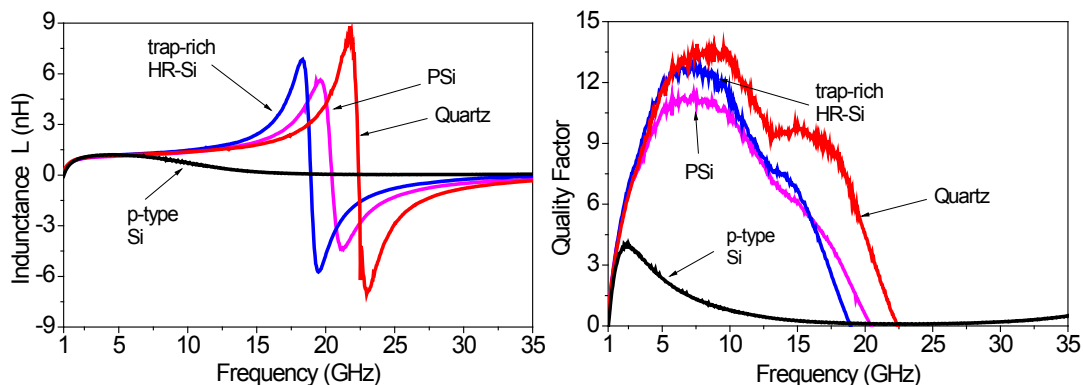
### 6.3.2 Συμπεριφορά των πηνίων πάνω σε PSi και σύγκριση με άλλα υποστρώματα

Για να μπορέσουμε να εξετάσουμε τα πλεονεκτήματα του υποστρώματος PSi ανεξαρτήτως από τη σχεδίαση του πηνίου, ολοκληρώσαμε τα ίδια σπειροειδή πηνία που περιγράψαμε παραπάνω πάνω σε τέσσερα διαφορετικά υποστρώματα, τα οποία, όπως προαναφέρθηκε, είναι το PSi, το trap-rich HR-Si, το LR-Si και το quartz (fused silica).

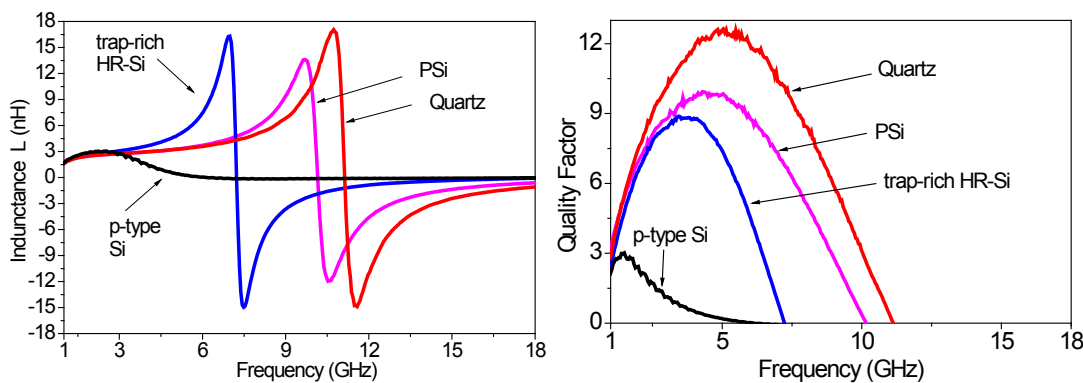
Αρχικά μετρήθηκαν οι S-παράμετροι των πηνίων στο εύρος 40 MHz – 40 GHz. Οι συχνότητες ενδιαφέροντος όμως είναι πιο περιορισμένες, αφού στην περιοχή μετά τη συχνότητα συντονισμού παύει η επαγωγική συμπεριφορά των πηνίων και κυριαρχεί η χωρητική. Συνεπώς παρακάτω περιοριζόμαστε στο εύρος συχνοτήτων που μας ενδιαφέρει για κάθε πηνίο. Στη συνέχεια έγινε η αποεμπέδωση των μετρήσεων από παρασιτικά στοιχεία, καταλήγοντας στις αποεμπεδωμένες S-παραμέτρους. Η μέθοδος που ακολουθήθηκε ονομάζεται «μέθοδος τριών βημάτων (3-step)» και περιγράφεται στις αναφορές [30], [31].

Όπως προαναφέρθηκε, οι βασικές παράμετροι που χαρακτηρίζουν την απόδοση ενός πηνίου είναι η επαγωγή ανά μονάδα επιφάνειας ( $L_s$ ), ο συντελεστής ποιότητας ( $Q$ ), η

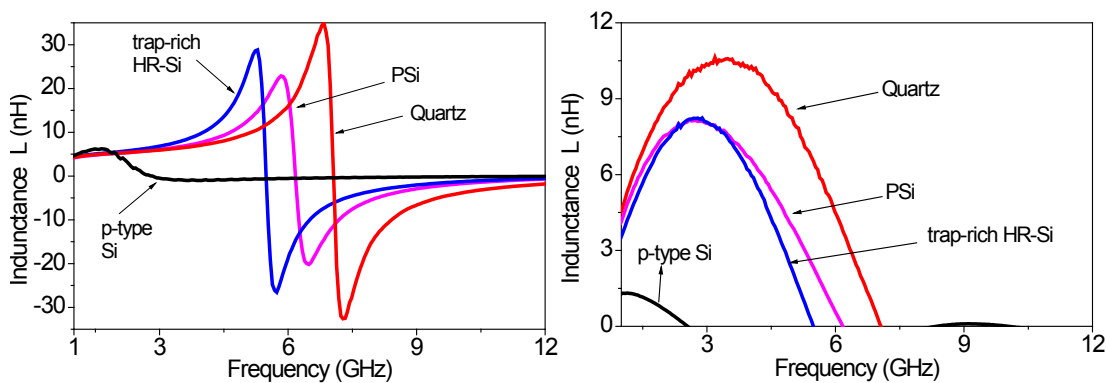
συχνότητα συντονισμού ( $f_{res}$ ) και η συχνότητα μεγιστοποίησης του  $Q$  ( $f_{Qmax}$ ). Στις Εικόνες 6.7-6.9 μπορούμε να δούμε πως συμπεριφέρονται η επαγωγή ( $L$ ) και το  $Q$  ως συνάρτηση της συχνότητας. Οι αρνητικές τιμές του  $L$  περιγράφουν την απώλεια της επαγωγικής συμπεριφοράς και την επικράτηση της χωρητικής. Δηλαδή στις συχνότητες που το  $L < 0$  το πηνίο παύει να λειτουργεί ως πηνίο και λειτουργεί ως πυκνωτής.



Εικόνα 6.7: (α) Επαγωγή και (β) συντελεστής ποιότητας του πηνίου των 1.5 σπειρών ως συνάρτηση της συχνότητας. Τα υποστρώματα που παρουσιάζονται είναι το PSi, trap-rich HR-Si, το LR-Si (1-10 Ω.cm) καθώς και το quartz.



Εικόνα 6.8: (α) Επαγωγή και (β) συντελεστής ποιότητας του πηνίου των 2.5 σπειρών ως συνάρτηση της συχνότητας. Τα υποστρώματα που παρουσιάζονται είναι το PSi, trap-rich HR-Si, το LR-Si (1-10 Ω.cm) καθώς και το quartz.



Εικόνα 6.9: (α) Επαγωγή και (β) συντελεστής ποιότητας του πηνίου των 3.5 σπειρών ως συνάρτηση της συχνότητας. Τα υποστρώματα που παρουσιάζονται είναι το PSi, trap-rich HR-Si, το LR-Si (1-10 Ω.cm) καθώς και το quartz.

Τα αποτελέσματα που εξάγονται από τις παραπάνω εικόνες συνοψίζονται στον Πίνακα 6.III.

**Πίνακας 6.III**  
Χαρακτηριστικά μεγέθη των ολοκληρωμένων πηνίων πάνω σε διαφορετικά υποστρώματα

# of turns	Substrate	<i>De-embedded characteristics</i>				
		$L$ (nH)	$L_{\square}$ (nH/mm <sup>2</sup> )	$Q$	$f_{res}$ (GHz)	$f_{Qmax}$ (GHz)
1.5	Quartz	1.29	9.1	13.5	22.4	8.5
	Porous Si	1.23	8.3	11.2	20.4	7.7
	Trap-rich HR-Si	1.32	9.3	12.7	18.8	7.7
	LR-Si (1-10 Ω.cm)	1.1	7.8	4.0	12.7	2.4
2.5	Quartz	3.24	30.8	12.6	11.1	5.0
	Porous Si	3.2	30.4	9.8	10.16	4.8
	Trap-rich HR-Si	3.4	32.3	8.8	7.23	3.6
	LR-Si (1-10 Ω.cm)	2.6	24.7	3.0	6.1	1.5
3.5	Quartz	6.5	92.9	10.6	7.1	3.5
	Porous Si	5.8	82.9	8.1	6.17	2.7
	Trap-rich HR-Si	6.3	90.1	8.1	5.49	2.7
	LR-Si (1-10 Ω.cm)	5.2	74.3	2.6	2.8	1.1

Όπως φαίνεται στον Πίνακα 6.III η τιμή της επαγωγής είναι περίπου η ίδια για όλα τα πηνία, πάνω στα υποστρώματα χαμηλών απωλειών. Αυτό είναι αναμενόμενο, αφού αυτά τα υποστρώματα παρεμποδίζουν την ανάπτυξη δινορευμάτων, τα οποία μειώνουν την επαγωγική συμπεριφορά. Αυτό σημαίνει ότι το  $L$  καθορίζεται αμιγώς από το  $L_s$ , δηλαδή από τη σχεδίαση και το μήκος των σπειρών. Αντιθέτως οι τιμές του  $L$  για τα πηνία πάνω στο LR-Si είναι μειωμένες, πράγμα το οποίο οφείλεται στην ανάπτυξη εντός του των προαναφερθέντων δινορευμάτων. Οι τιμές που επιτυγχάνονται είναι κατά μέσο όρο ~1.3 nH, ~3.3 nH και ~6.2 nH για τα πηνία με 1.5, 2.5 και 3.5 σπείρες.

Όσον αφορά το  $f_{res}$ , παρατηρείται μία ξεκάθαρη μετατόπιση σε υψηλότερες τιμές καθώς μειώνεται η σχετική επιτρεπτότητα του υποστρώματος. Αυτό το συμπέρασμα είναι σε συμφωνία με τα αποτελέσματα που παρουσιάστηκαν από τον Kim στην αναφορά [19]. Λαμβάνοντας υπόψιν ότι η σχετική επιτρεπτότητα του PSi μπορεί να ρυθμιστεί κατά βούληση μεταξύ 2 και 9 [32], [33], το τελευταίο αποτέλεσμα παρουσιάζει μεγάλο ενδιαφέρον. Αυτό προκύπτει γιατί δίνεται η δυνατότητα επέκτασης της περιοχής λειτουργίας των πηνίων ίδιας γεωμετρίας σε υψηλότερες συχνότητες, βελτιώνοντας παράλληλα και τον συντελεστή απόδοσης. Επίσης, όπως έχει καταδειχθεί στην αναφορά [19], στην περίπτωση των πηνίων ολοκληρωμένων σε PSi, το  $f_{res}$  και το  $f_{Qmax}$  δεν επηρεάζονται πολύ από την  $C_{sub}$  αλλά κυρίως από το  $C_p$ . Αυτό σημαίνει ότι ρυθμίζοντας την απόσταση μεταξύ των σπειρών, μπορείς να επιτύχεις τα επιθυμητά  $f_{res}$  και το  $f_{Qmax}$ .

Οι τιμές του  $Q$  των πηνίων είναι παρόμοιες για τα δύο υποστρώματα trap-rich HR-Si και PSi, και συγκρίσιμες με το  $Q$  των πηνίων πάνω σε quartz. Το όχι και τόσο υψηλό  $Q$  που επιτεύχθηκε οφείλεται στην απλή σχεδίαση του πηνίου και στο περιορισμένο πάχος της επιμετάλλωσης. Αν πάρουμε υπόψη και το γεγονός ότι τα πηνία ήταν σχεδιασμένα για χρήση πάνω σε Si και όχι σε PSi, μπορούμε να υποθέσουμε ότι υπάρχουν αρκετά περιθώρια βελτίωσης. Άλλωστε στην περίπτωση των CPW οι απώλειες του PSi ήταν πολύ κοντινές με αυτές του quartz. Η μικρή απόκλιση που υπάρχει στην περίπτωση των πηνίων οφείλεται στη βαθύτερη διείσδυση του HM πεδίου εντός του υποστρώματος. Παχύτερο στρώμα PSi θα οδηγούσε σε καλύτερα αποτελέσματα. Συνοψίζοντας τα παραπάνω, μπορούμε να καταλήξουμε ασφαλώς στο συμπέρασμα ότι τα πηνία πάνω στο PSi είναι ελαφρώς καλύτερα από αυτά πάνω στο trap-rich HR-Si.



## 6.4 Συμπεράσματα Κεφαλαίου

Σε αυτό το κεφάλαιο έχουν περιγραφεί οι βασικές παράμετροι σχεδίασης ενός ολοκληρωμένου πηνίου. Τονίστηκε, επίσης, η αναγκαιότητα παρέμβασης στο υπόστρωμα του LR-Si, έτσι ώστε να βελτιστοποιηθεί η απόδοση των πηνίων. Στη συνέχεια παρουσιάστηκαν ολοκληρωμένα σπειροειδή πηνία 1.5, 2.5 και 3.5 σπειρών πάνω σε PSi. Η απόδοσή τους συγκρίθηκε με την απόδοση των ίδιων πηνίων, ολοκληρωμένων σε υποστρώματα LR-Si, trap-rich HR-Si και quartz. Σημαντικό συμπέρασμα είναι η αύξηση της  $f_{res}$ , εξαιτίας της μείωσης της σχετικής επιτρεπτότητας του υποστρώματος. Η μείωση της σχετικής επιτρεπτότητας  $\epsilon_r$  οδηγεί σε μείωση της χωρητικότητας του υποστρώματος, με αποτέλεσμα τα  $f_{res}$  και  $f_{Qmax}$  να ελέγχονται κυρίως από τη σχεδίαση, και πιο συγκεκριμένα από την απόσταση μεταξύ των σπειρών.

Καταλήγοντας, παρουσιάζεται ότι το τοπικά σχηματισμένο PSi είναι ένα κατάλληλο υπόστρωμα για ολοκλήρωση πηνίων σε δισκίο Si, το οποίο μπορεί να βοηθήσει πολύ στη μείωση των απωλειών υποστρώματος, στη βελτίωση της απόδοσης των πηνίων και στην αύξηση του εύρους λειτουργίας τους.



# Κεφάλαιο 7

## Ολοκλήρωση Διπολικών Κεραιών σε PSi

### 7.1 Εισαγωγή

Όπως είναι γνωστό οι πρώτες συσκευές ασύρματης επικοινωνίας (π.χ. ραδιόφωνο, τηλεόραση) χρησιμοποιούσαν μεγάλες και διακριτές κεραίες. Στις σύγχρονες όμως διατάξεις, εξαιτίας της χρήσης υψηλότερων συχνοτήτων, αλλά και την ανάπτυξη της τεχνολογίας των τυπωμένων κυκλωμάτων, ήδη από τις αρχές της δεκαετίας του 1980, υπήρξε μία στροφή προς τη μελέτη και την κατασκευή επίπεδων κεραιών [1]–[3]. Αυτές οι κεραίες συνήθως έχουν διαστάσεις μικρότερες από 10 cm και μπορούν να ολοκληρωθούν πάνω σε διάφορα υποστρώματα, όπως η  $Al_2O_3$ , το FR-4 και διάφορα άλλα υλικά που έχουν συντεθεί για ακριβώς αυτόν τον σκοπό (π.χ. υλικά της εταιρείας Rogers). Ακόμη και σήμερα, εξαιτίας του μεγάλου τους μεγέθους, οι περισσότερες κεραίες δεν κατασκευάζονται εντός των chip, αλλά πάνω στην πλακέτα PCB ή στα πλαστικά μέρη των συσκευών. Άλλωστε, μέχρι τώρα η λογική που κυριαρχεί για την κατασκευή συστημάτων ασύρματης μετάδοσης αποτελείται από τη χρήση διακριτών ψηφίδων για τα διαφορετικά συστήματα (RF front-end, RF integrated circuit, baseband conversion layer). Αν και η χρήση διακριτών στοιχείων διασφαλίζει τη βέλτιστη χρήση υλικών, ώστε να επιτευχθούν επιμέρους καλές αποδόσεις, η συνολική επίδοση παραμένει χαμηλή εξαιτίας των απωλειών των διασυνδέσεων. Πέραν αυτού, αυξάνεται η πολυπλοκότητα της σχεδίασης, αλλά και το κόστος μαζικής παραγωγής. Με την ανάπτυξη των MIC και των MMIC άρχισαν να χρησιμοποιούνται υποστρώματα GaAs για την ολοκλήρωση πάνω σε αυτά ολόκληρων μικροκυματικών συστημάτων συμπεριλαμβανομένων και των κεραιών. Η χρήση MIC και MMIC βελτίωσε αρκετά την απόδοση των μικροκυματικών κυκλωμάτων και επίσης μείωσε κατά πολύ το κόστος τους. Το επόμενο βήμα είναι η ταυτόχρονη ολοκλήρωση κεραιών, του συστήματος RF και λογικών κυκλωμάτων μέσα στην ίδια ψηφίδα πυριτίου [4]–[6]. Μάλιστα, σήμερα με τη χρήση όλο και υψηλότερων συχνοτήτων, το τελευταίο γίνεται όλο και πιο εφικτό, αφού και το μήκος κύματος, και συνεπώς οι διαστάσεις των κεραιών, γίνονται συγκρίσιμες με τις διαστάσεις των ολοκληρωμένων συστημάτων.

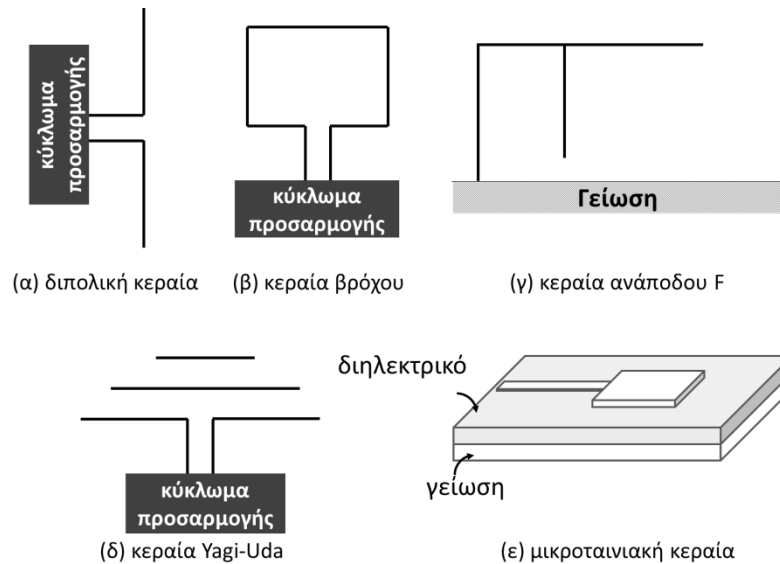
Παρόλα αυτά, ο δρόμος για την ολοκλήρωση κεραιών στο Si δεν είναι εύκολος, καθώς ανακύπτουν διάφορα προβλήματα εξαιτίας της χαμηλής ειδικής αντίστασης του Si και της υψηλής του επιτρεπτότητας [4], [7]. Το ξεπέρασμα των προβλημάτων, που εισάγονται εξαιτίας του LR-Si είναι αντικείμενο συστηματικής έρευνας [5]–[12], μιας και η ανάπτυξη αυτής της τεχνολογίας μειώνει κατά πολύ το κόστος και επιπλέον ανοίγει το δρόμο για νέες εφαρμογές, όπως η επικοινωνία μεταξύ γειτονικών chip (inter-chip communications) [10], [13] αλλά και σε πιο αποδοτικές διασυνδέσεις εντός του ίδιου chip (intra-chip communications) [10], [12], [14], [15]. Τέλος, η σχεδίαση και υλοποίηση των κεραιών πάνω στο Si ανοίγει τον δρόμο προς την ταυτόχρονη σχεδίαση ολόκληρου του συστήματος RF με άρση του περιορισμού των 50Ω που είχε επικρατήσει για την εύκολη προσαρμογή των διαφόρων διατάξεων.

### 7.2 Περιγραφή του πεδίου των επίπεδων διπολικών κεραιών

#### 7.2.1 Περιγραφή

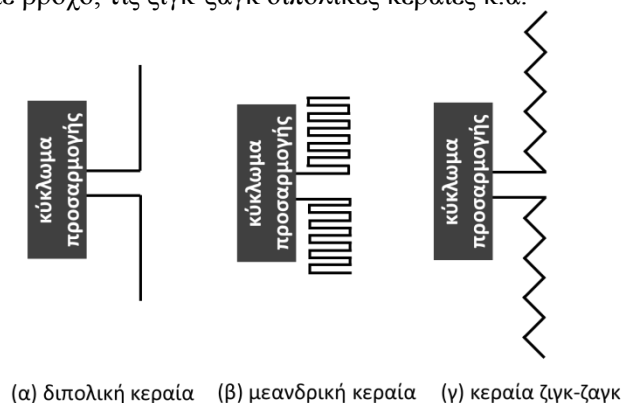
Τα είδη των επίπεδων κεραιών είναι αρκετά και περιγράφονται στην Εικόνα 7.1. Σε αυτό το κεφάλαιο θα ασχοληθούμε με τις διπολικές κεραίες, μιας και η απλή σχεδίασή τους μας επιτρέπει να επικεντρώσουμε στο υπόστρωμα και όχι στις διάφορες σχεδιαστικές

παραμέτρους της κεραίας. Έχουν χρησιμοποιηθεί διάφορα ήδη επίπεδων κεραιών σε σχεδιάσεις ολοκληρωμένων συστημάτων, όπως δίπολα, μονόπολα, κεραιές ανάποδου-F, κεραιές Yagi, ορθογώνιες κεραιές (patch antennas) και σχισμοκεραίες (slot antennas). Ανάμεσα σε αυτές οι πιο συνήθεις κατηγορίες ολοκληρωμένων κεραιών που χρησιμοποιούνται στη βιβλιογραφία είναι οι διπολικές και οι Yagi [5] εξαιτίας της διαφορετικής τους οδήγησης που διασφαλίζει την ποιότητα του σήματος χωρίς τη χρήση μετατροπέων συμμετρικού-ασύμμετρου σήματος (baluns).



**Εικόνα 7.1.** Διάφορα είδη επίπεδων κεραιών που μπορούν να ολοκληρωθούν είτε σε PCB είτε εντός της ψηφίδας πυριτίου

Πιο συγκεκριμένα, σε αυτό το κεφάλαιο θα ασχοληθούμε με την ολοκλήρωση διπολικών κεραιών πάνω σε μονοστρωματικό υπόστρωμα LR-Si ή διστρωματικό υπόστρωμα PSi – Si. Οι διπολικές κεραιές με τη σειρά τους μπορούν να έχουν διάφορους σχεδιασμούς ανάλογα με τις εκάστοτε ανάγκες. Για παράδειγμα έχουμε τις μαιανδρικές διπολικές κεραιές, τις διπολικές κεραιές με βρόχο, τις ζιγκ-ζαγκ διπολικές κεραιές κ.α.

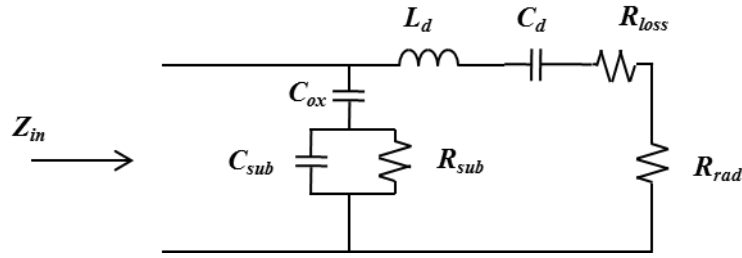


**Εικόνα 7.2.** Διαφορετικές σχεδιάσεις διπολικών κεραιών (α) τυπική διπολική κεραία (β) μεανδρική διπολική κεραία για μείωση του μήκους της κεραίας (γ) κεραία ζιγκ-ζαγκ για μείωση του μήκους της κεραίας

## 7.2.2 Χαρακτηριστικά μεγέθη κεραιών

Το κυκλωματικό μοντέλο των επίπεδων διπολικών κεραιών πάνω σε υπόστρωμα με πεπερασμένες απώλειες περιγράφεται στην Εικόνα 7.3. Τα  $C_{ox}$ ,  $C_{sub}$ ,  $R_{sub}$  είναι η χωρητικότητα του διηλεκτρικού ( $SiO_2$ ), η χωρητικότητα του υποστρώματος και η αντίσταση του υποστρώματος αντίστοιχα. Τα μεγέθη  $C_d$  και  $L_d$  είναι η επαγωγή και η

χωρητικότητα του διπόλου. Το  $R_{loss}$  είναι οι ωμικές απώλειες της κεραίας και το  $R_{rad}$  είναι η αντίσταση ακτινοβολίας της κεραίας.



Εικόνα 7.3. Κυκλωματικό μοντέλο διπολικών κεραίων πάνω σε υπόστρωμα με πεπερασμένες απώλειες, όπως π.χ. το Si καλυμμένο από ένα διηλεκτρικό όπως το SiO<sub>2</sub> [5]

Τα χαρακτηριστικά μεγέθη που θα χρησιμοποιήσουμε για το χαρακτηρισμό των επίπεδων διπολικών κεραίων είναι τα παρακάτω [16]:

### Σύνθετη αντίσταση εισόδου της κεραίας

Ο ορισμός της σύνθετης αντίστασης εισόδου μιας κεραίας φαίνεται στην Εικόνα 7.3 και μπορεί να αναλυθεί σε φανταστικό ( $X_{in}$ ) και πραγματικό μέρος ( $R_{in}$ ) σύμφωνα με το παραπάνω μοντέλο και το [5] σε:

$$Z_{in} = R_{in} + jX_{in} = \frac{\left[1 - \omega^2 (C_d C_s R_d R_s + C_d L_d)\right] + j\omega \left[C_d R_d + C_s R_s (1 - \omega^2 C_d L_d)\right]}{-\omega^2 C_d C_s (R_d + R_s) + j\omega (C_d + C_s - \omega^2 C_d C_s L_d)} \quad (7.1)$$

όπου

$$\begin{aligned} R_d &= R_{rad} + R_{loss} \\ R_s &= R_p / (1 + \omega^2 R_p^2 C_p^2) \\ C_s &= C_p (1 + 1 / \omega^2 R_p^2 C_p^2) \end{aligned}$$

με

$$\begin{aligned} R_p &= \left[1 + \omega^2 R_{sub}^2 (C_{sub} + C_{ox})\right] / \omega^2 R_{sub} C_{ox}^2, \\ C_p &= \left[\omega C_{ox} + \omega^2 R_{sub}^2 C_{sub} C_{ox} (C_{sub} + C_{ox})\right] / \left[1 + \omega^2 R_{sub}^2 (C_{ox} + C_{sub})^2\right] \end{aligned}$$

Είναι σημαντικό να αναφερθεί ότι στη συχνότητα συντονισμού το  $X_{in} = 0$  και συνεπώς  $Z_{in} = R_{in} = R_{loss} + R_{rad}$ .

### Απόδοση της κεραίας

Η ολική απόδοση ( $e_0$ ) της κεραίας είναι ένα μέγεθος που περιγράφει το ποσοστό της ισχύος που ακτινοβολείται από την κεραία σε σχέση με την ισχύ που της παρέχεται. Συνήθως εκφράζεται από τη σχέση (7.2):

$$e_0 = e_r e_c e_d \quad (7.2)$$

όπου:

$e_r$  είναι η απόδοση προσαρμογής και είναι ίση με

$$1 - |S_{11}|^2 = 1 - \left| \frac{Z_{in} - Z_0}{Z_{in} + Z_0} \right|^2 \quad (7.3)$$

$e_c$  είναι η απόδοση των ωμικών απωλειών του αγωγού

$e_d$  είναι η απόδοση των απωλειών του υποστρώματος

Τα  $e_c$  και  $e_d$  είναι δύσκολο να προσδιοριστούν και αδύνατο να διαχωριστούν μέσω των μετρήσεων. Γι'αυτό το λόγο χρησιμοποιείται κυρίως ο όρος  $e_{cd}$  που ονομάζεται απόδοση ακτινοβολίας της κεραίας. Μία βολική έκφραση αυτού του μεγέθους είναι μέσω της αντίστασης ακτινοβολίας ( $R_{rad}$ ) και της αντίστασης των απωλειών ( $R_{loss}$ ) μέσω της σχέσης (7.4).

$$e_{cd} = \frac{R_{rad}}{R_{rad} + R_{loss}} \quad (7.4)$$

### **Εύρος ζώνης**

Εύρος ζώνης (bandwidth -  $BW$ ) είναι η περιοχή των συχνοτήτων όπου ικανοποιούνται οι εκάστοτε προδιαγραφές λειτουργίας της κεραίας. Στη συνέχεια του κεφαλαίου θα χρησιμοποιώντας τον όρο  $BW$ , θα εννοούμε το εύρος συχνοτήτων γύρω από τη συχνότητα συντονισμού, όπου το  $S_{11} > -10$  dB.

### **Κατευθυντικότητα της κεραίας**

Η κατευθυντικότητα της κεραίας ( $D$ ) είναι ένα μέγεθος που περιγράφει το λόγο της πυκνότητας ισχύος που εκπέμπει η κεραία σε συγκεκριμένη διεύθυνση προς την ισχύ που θα εξέπεμπε ένας ισοτροπικός ακτινοβολητής αντίστοιχης συνολικής ισχύος. Η κατευθυντικότητα εξαρτάται από τις γωνίες  $\theta$  και  $\varphi$  που εκφράζουν την ανύψωση και το αζιμούθιο του σημείου ενδιαφέροντος. Αν συμβολίσουμε με  $U(\varphi, \theta)$  την ένταση της ακτινοβολίας στο σημείο  $(\varphi, \theta)$  και σαν  $P_{tot}$  τη συνολική ισχύ, τότε η κατευθυντικότητα ορίζεται ως:

$$D(\varphi, \theta) = 4\pi \frac{U(\varphi, \theta)}{P_{tot}} \quad (7.5)$$

### **Κέρδος της κεραίας**

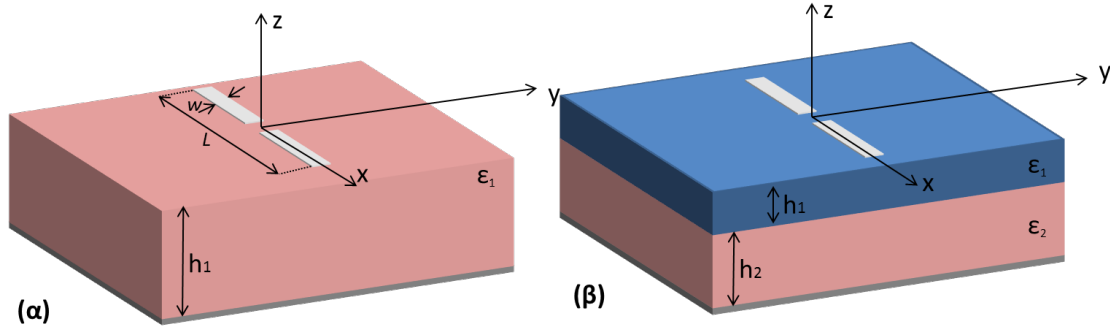
Το κέρδος μιας κεραίας ( $G$ ) είναι ένα μέγεθος που περιγράφει πόσο καλά η κεραία μετασχηματίζει το ηλεκτρικό ρεύμα σε ΗΜ ακτινοβολία. Το κέρδος συνδυάζει την απόδοση της κεραίας με την κατευθυντικότητα της κεραίας και συνεπώς εξαρτάται από την κατεύθυνση (γωνίες  $\theta$ ,  $\varphi$ , δηλαδή ύψος και αζιμούθιο) που αναφερόμαστε. Το κέρδος ορίζεται από τον εξής τύπο:

$$G(\varphi, \theta) = e_0 \cdot D(\varphi, \theta) \quad (7.6)$$

Συνήθως, όταν δεν αναφέρεται η κατεύθυνση, αναφερόμαστε στο μέγιστο κέρδος της κεραίας. Το κέρδος συνήθως περιγράφεται με κυκλικά διαγράμματα για τις γωνίες  $\theta$  και  $\varphi$ , που λέγονται διαγράμματα ακτινοβολίας.

## **7.2.3 Επίλυση του πεδίου διπολικής κεραίας πάνω σε μονοστρωματικό ή διστρωματικό υπόστρωμα**

Παρακάτω θα αναλύσουμε το ηλεκτρομαγνητικό πεδίο που δημιουργείται από τη σημειακή διαταραχή μιας διπολικής κεραίας πάνω σε μονοστρωματικό και διστρωματικό υπόστρωμα. Η επίλυση του ΗΜ πεδίου σε αυτήν την περίπτωση μπορεί να γίνει είτε μέσα από αναλυτικές είτε μέσα από αριθμητικές μεθόδους, οι οποίες όμως είναι αρκετά σύνθετες και δεν θα παρουσιαστούν στο πλαίσιο αυτής της διατριβής. Παρακάτω παρουσιάζουμε κάποια ποιοτικά αποτελέσματα, τα οποία αφορούν τις δυνατότητες ολοκλήρωσης των κεραίων σε μία ψηφίδα CMOS.



**Εικόνα 7.4.** Διπολική κεραία πάνω σε μονοστρωματικό (α) και διστρωματικό (β) υπόστρωμα. Στην κάτω μεριά των υποστρωμάτων παρατηρείται η οπίσθια επιμετάλλωση των διατάξεων. Στις εικόνες περιγράφονται τα γεωμετρικά μεγέθη που θα μας απασχολήσουν στην παρακάτω ανάλυση

Το πρώτο βασικό στοιχείο είναι η συχνότητα συντονισμού της κεραίας. Όπως είναι γνωστό οι συντονισμοί της διπολικής κεραίας εξαρτώνται από το μήκος της, καθώς και από το υπόστρωμα. Πιο συγκεκριμένα ο συντονισμός ( $f_0$ ) περιγράφεται από την εξίσωση (7.7)

$$f_0 = 0.47 \frac{c_0}{L\sqrt{\epsilon_{eff}}} \quad (7.7)$$

όπου  $c_0$  η ταχύτητα του φωτός στο κενό,  $L$  το μήκος του διπόλου και  $\epsilon_{eff}$  είναι η ενεργός επιτρεπτικότητα. Η τελευταία, για την περίπτωση του μονοστρωματικού υποστρώματος, προσεγγίζεται από:

$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left[ \left(1 + 12h/w\right)^{-1/2} + 0.04(1 - w/h)^2 \right] \quad (7.8)$$

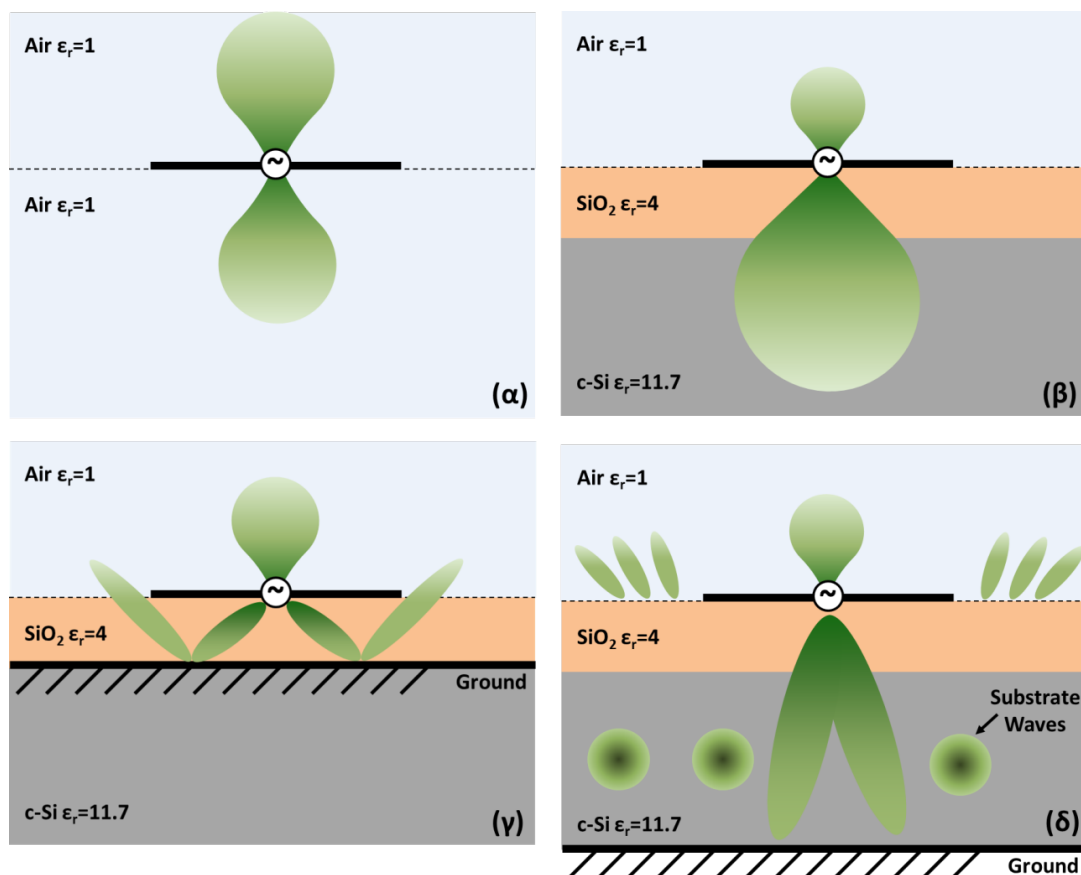
όπου  $\epsilon_r$  είναι η διηλεκτρική σταθερά του υποστρώματος,  $h$  το πάχος του υποστρώματος και  $w$  το πλάτος της κεραίας.

Μία ποιοτική παρουσίαση του διαγράμματος ακτινοβολίας της επίπεδης διπολικής κεραίας φαίνεται στην Εικόνα 7.5. Συγκεκριμένα, στην Εικόνα 7.5α φαίνεται το διάγραμμα ακτινοβολίας ενός διπόλου στον ελεύθερο χώρο. Όπως είναι γνωστό το πεδίο του διπόλου είναι σε τοροειδή μορφή και εκτείνεται γύρω από τον άξονα του διπόλου σε κυλινδρική συμμετρία. Στην Εικόνα 7.5β η κεραία βρίσκεται πάνω σε ένα άπειρο υπόστρωμα, ενώ στο πάνω μέρος της καλύπτεται από αέρα. Όπως φαίνεται, η ένταση του ΗΜ πεδίου είναι μεγαλύτερη εντός του διηλεκτρικού υποστρώματος (κυρίως στο Si, αφού συνήθως το SiO<sub>2</sub> είναι πολύ λεπτό) παρά στον αέρα, φτάνοντας σε μεγάλο βάθος μέσα σε αυτό. Σύμφωνα με το [17], ο λόγος της ακτινοβολούμενης προς τη συνολική ισχύ είναι ίσος με αυτόν της (7.9).

$$\frac{P_{air}}{P_{total}} = \frac{1}{\epsilon^{3/2}} \quad (7.9)$$

Ένας τρόπος για να μειωθεί η ισχύς που ξοδεύεται στο υπόστρωμα είναι η εισαγωγή μεταλλικής θωράκισης-γείωσης κάτω από το SiO<sub>2</sub>, όπως φαίνεται και στην Εικόνα 7.5γ. Αυτή η διάταξη μπορεί να μελετηθεί με την τεχνική των ειδώλων, όπως περιγράφεται στο [16]. Σε μία τέτοια διάταξη, η απόσταση μεταξύ της γείωσης και της κεραίας παίζει πολύ μεγάλο ρόλο στην αντίσταση ακτινοβολίας και στο διάγραμμα ακτινοβολίας της κεραίας. Δυστυχώς, στην τεχνολογία CMOS το πάχος των διηλεκτρικών της στοίβας των διασυνδέσεων (BEOL) είναι το πολύ 15 μm, απόσταση που είναι πολύ μικρή και οδηγεί σε ισχυρή σύζευξη μεταξύ της κεραίας και της γείωσης. Αυτό οδηγεί σε πάρα πολύ μειωμένη αντίσταση ακτινοβολίας. Για παράδειγμα, για ένα δίπολο με διαστάσεις (πάχος × πλάτος × μήκος) 4 μm × 20 μm × 1150 μm, το οποίο βρίσκεται πάνω σε 15μm SiO<sub>2</sub> και έχει από κάτω μεταλλική γείωση, η αντίσταση ακτινοβολίας περιορίζεται στο 0.1Ω, οδηγώντας σε απόδοση

~5% [7]. Σύμφωνα με την ίδια πηγή, για την ίδια κεραία η ελάχιστη αναγκαία απόσταση μεταξύ γείωσης και κεραίας, έτσι ώστε να επιτευχθεί  $R_{rad} = 10\Omega$  και απόδοση >90%, είναι 180  $\mu\text{m}$ .



Εικόνα 7.5. Σχηματικά διαγράμματα που περιγράφουν σε αδρές γραμμές τα διαγράμματα ακτινοβολίας διαφορετικών διατάξεων κεραιών και ανακλαστήρα-γείωσης

Ένας τρόπος για να αυξηθεί η απόσταση μεταξύ κεραίας και γείωσης είναι η τοποθέτηση της μεταλλικής θωράκισης στο πίσω μέρος του chip, κάτω από το υπόστρωμα Si (βλ. Εικόνα 7.5δ). Στις σύγχρονες τεχνολογίες CMOS χρησιμοποιούνται δισκίδια LR-Si διαμέτρου 12" και πάχους 775 $\mu\text{m}$ , που είναι αρκετό ώστε να αυξηθεί αρκετά η  $R_{rad}$ . Εξαιτίας όμως του μεγάλου πάχους και του υψηλού  $\epsilon_r$  του Si, δημιουργούνται εντός του υποστρώματος επιφανειακά κύματα με σχετικά χαμηλές συχνότητες εμφάνισης. Γενικά, για ένα μονοστρωματικό υπόστρωμα τα επιφανειακά κύματα υπολογίζονται από τις παρακάτω σχέσεις:

$$f_c = \frac{nc_0}{2h\sqrt{\epsilon_r - 1}}, \quad n=0,1,2, \dots \text{ for TM}_n \text{ modes} \quad (7.10)$$

$$f_c = \frac{(2n - 1)c_0}{4h\sqrt{\epsilon_r - 1}}, \quad n=1,2, \dots \text{ for TE}_n \text{ modes} \quad (7.11)$$

όπου  $h$  είναι το πάχος του διηλεκτρικού και  $c_0$  είναι η ταχύτητα του φωτός στο κενό.

Όπως έχει δείχθει στο [7] η ισχύς των επιφανειακών κυμάτων μπορεί να είναι τριπλάσια της ενέργειας που ακτινοβολείται στον αέρα. Επιπλέον, στα υποστρώματα με απώλειες η ενέργεια των επιφανειακών κυμάτων επανακτινοβολείται από τις ακμές του υποστρώματος,



προκαλώντας ανεπιθύμητη ακτινοβολία, ή γίνεται θερμότητα ανεβάζοντας ουσιαστικά τη συνολική θερμοκρασία του δισκιδίου.

## **7.3 Ολοκλήρωση διπολικών κεραιών πάνω σε υπόστρωμα πυριτίου**

### **7.3.1 Εφαρμογές**

Όπως έχει περιγραφεί εκτενώς προηγουμένως, η ταυτόχρονη ολοκλήρωση κεραιών στην ίδια ψηφίδα μαζί με το αναλογικό σύστημα RF και τα ψηφιακά κυκλώματα προκαλεί μία σημαντική βελτίωση στην απόδοση του συστήματος και ανοίγει το πεδίο για νέες εφαρμογές. Η ολοκλήρωση αυτή δίνει τη δυνατότητα για την ανάπτυξη νέων τεχνολογιών, όπως οι ενδοψηφιδική (intra-chip) και οι διαψηφιδική (inter-chip) επικοινωνία. Προϋπόθεση σε όλα αυτά αποτελεί η χρήση των δισκιδίων LR-Si ως υποστρωμάτων για τις κεραίες.

Όσον αφορά την ενδοψηφιδική επικοινωνία (βλέπε και Εικόνα 1.12α), αυτή αναφέρεται στη μετάδοση του σήματος μεταξύ κεραιών οι οποίες βρίσκονται εντός της ίδιας ψηφίδας. Η χρήση αυτή των κεραιών είναι ένας από τους πιθανούς τρόπους επίλυσης της μειωμένης απόδοσης εξαιτίας των αργών διασυνδέσεων. Το πρόβλημα ανακύπτει από την αυξημένη πυκνότητα ολοκλήρωσης και πολυπλοκότητα στους σημερινούς μικροεπεξεργαστές, η οποία απαιτεί μεταλλικές διασυνδέσεις με μεγάλο μήκος και μικρή διατομή. Το μεγάλο μήκος παρατηρείται κυρίως στις global διασυνδέσεις (π.χ. ρολόι) και οφείλεται στην ανάγκη κάλυψης περισσότερων τρανζίστορ. Η μικρή διατομή είναι αποτέλεσμα της αυξημένης πυκνότητας ολοκλήρωσης (συνεπώς μικρές πλάγιες διαστάσεις) και της προσπάθειας μετριασμού της χωρητικότητας μεταξύ των γραμμών (μικρό πάχος γραμμών). Ο συνδυασμός μεγάλου μήκους και μικρής διατομής, αυξάνει το R και C των γραμμών Cu προκαλώντας μεγάλη RC καθυστέρηση [18], [19]. Ως λύση έχουν προταθεί διάφορες μέθοδοι όπως οι οπτικές διασυνδέσεις, οι RF διασυνδέσεις, η 3D ολοκλήρωση και οι ασύρματες διασυνδέσεις [20]–[22]. Η ασύρματες διασυνδέσεις στηρίζονται στην ύπαρξη ενός δικτύου κεραιών για τη μετάδοση του σήματος μεταξύ μακρινών περιοχών και στη συνέχεια αυτό θα διαμοιράζεται μέσω των τοπικών μεταλλικών διασυνδέσεων. Σε αυτήν την εφαρμογή μπορεί να γίνει χρήση όχι μόνο του μεταδιδόμενου στον αέρα ΗΜ σήματος, αλλά και αυτού που διαδίδεται μέσα από επιφανειακά κύματα εντός του υποστρώματος. Παρόλα αυτά, η μετάδοση μέσω των επιφανειακών κυμάτων αλληλεπιδρά με τα υπόλοιπα ηλεκτρονικά στοιχεία (τρανζίστορ, δίοδοι, παθητικά στοιχεία RF) και για αυτό είναι πολύ σύνθετη και καλό είναι να αποφεύγεται.

Μία άλλη ανάγκη που μπορεί να καλύψει η ολοκλήρωση κεραιών εντός της ψηφίδας είναι η διαψηφιδική επικοινωνία (βλέπε και Εικόνα 1.12β). Σε αυτήν την περίπτωση οι κεραίες βοηθάνε στην επικοινωνία κοντινών ολοκληρωμένων κυκλωμάτων, χωρίς να παρεμβάλλονται οι μεταλλικές διασυνδέσεις (wirebonds, solder bumps, τεχνολογία flip-chip κτλ), οι οποίες συνήθως έχουν μεγάλες απώλειες [10], [23]. Εδώ, η διάδοση του ΗΜ κύματος συνήθως γίνεται μέσω του αέρα ή του υλικού που περιβάλλει τα chips. Γι' αυτό το λόγο, χρειάζονται κεραίες οι οποίες να εκπέμπουν όσο το δυνατόν λιγότερο εντός του υποστρώματος.

Η δυνατότητα υλοποίησης αυτών των συστημάτων πάνω σε υποστρώματα LR-Si, καθώς και τα προβλήματα που ανακύπτουν προς αυτήν την κατεύθυνση, θα αναλυθούν στην επόμενη παράγραφο.

### **7.3.2 Προβλήματα που ανακύπτουν κατά την ολοκλήρωση κεραιών πάνω στο Si**

Στην περίπτωση της ολοκλήρωσης κεραιών σε LR-Si ακολουθώντας την τεχνολογία CMOS, προκύπτουν διάφορα νέα προβλήματα. Όπως έχει περιγραφεί, η σημερινή τεχνολογία CMOS χρησιμοποιεί δισκία LR-Si διαμέτρου 12" και πάχους 775μm. Πάνω από το LR-Si, υπάρχει η στρώση του BEOL, η οποία αποτελείται από εναλλάξ στρώματα μετάλλου και διηλεκτρικού (συνήθως είναι κάποιο είδος low-k SiO<sub>2</sub>) με συνολικό πάχος 10-15μm. Η συνήθης πρακτική είναι οι κεραίες να ολοκληρώνονται στο τελευταίο μέταλλο του

BEOL, το οποίο είναι πιο παχύ και απέχει περισσότερο από το υπόστρωμα. Η επίδραση του υποστρώματος LR-Si αναλύθηκε στην ενότητα 7.2.3 και ως πιο άρτια σχεδιαστική λύση φαίνεται να είναι αυτή της γείωσης κάτω από το υπόστρωμα του Si (βλ. Εικόνα 7.5δ), την οποία άλλωστε θα υλοποιήσουμε και θα αναλύσουμε. Παρακάτω αναλύεται η επίδραση των δύο κύριων ιδιοτήτων του LR-Si, που μειώνουν την απόδοση της κεραίας: η χαμηλή ειδική αντίσταση του υποστρώματος LR-Si (συνήθως 1-10 Ω.cm) και η υψηλή σχετική επιτρεπτότητά του ( $\epsilon_{r,Si} = 11.7$ ).

### **Χαμηλή ειδική αντίσταση του υποστρώματος Si**

Όσον αφορά τη χαμηλή ειδική αντίσταση του LR-Si, αυτή επιτρέπει την ανάπτυξη δινορευμάτων που μειώνουν το εκπεμπόμενο ΗΜ κύμα και συνεπώς το κέρδος της κεραίας. Για να αντιμετωπιστεί το φαινόμενο των απωλειών στο υπόστρωμα, πολλές σχεδιάσεις υιοθετούν δισκίδια HR-SOI πάνω στα οποία οι ολοκληρωμένες κεραίες παρουσιάζουν κατά πολύ μικρότερες απώλειες [5], [24]. Παρόλα αυτά, η υιοθέτηση υποστρωμάτων HR-SOI αντί για LR-Si αυξάνει αρκετά το κόστος του κατασκευής.

### **Υψηλή ειδική επιτρεπτότητα του υποστρώματος Si**

Η δεύτερη ιδιότητα του LR-Si που αποτελεί πρόβλημα για την ολοκλήρωση κεραίων πάνω σε αυτό είναι η υψηλή σχετική επιτρεπτότητά του ( $\epsilon_{r,Si} = 11.7$ ). Όπως εξηγήθηκε στην ενότητα 7.2.3, το βασικό πρόβλημα που προκύπτει είναι ότι το ΗΜ πεδίο συγκεντρώνεται εντός του υποστρώματος αντί να εκπέμπεται προς τον αέρα (ή προς τη συσκευασία του chip), όπως χαρακτηριστικά φαίνεται στην Εικόνα 7.5δ. Χαρακτηριστικά, σύμφωνα με την εξίσωση (7.9), για μονοστρωματικό υπόστρωμα Si ( $\epsilon_r = 11.7$ ) το ποσοστό της εκπεμπόμενης στον αέρα ισχύος είναι ~3% ενώ το υπόλοιπο 97% περνά στο υπόστρωμα.

Επιπλέον, η υψηλή  $\epsilon_{r,Si}$  σε συνδυασμό με το μεγάλο πάχος των 12" δισκιδίων (775 μm) μικραίνουν την κρίσιμη συχνότητα εμφάνισης ( $f_c$ ) των επιφανειακών κυμάτων. Όπως προαναφέρθηκε, η εμφάνιση των επιφανειακών κυμάτων μπορεί να επηρεάσει δραματικά την απόδοση της κεραίας, αφού οδηγεί σε απώλεια ισχύος σε ρυθμούς κυματοδηγούμενους εντός του υποστρώματος. Στον παρακάτω πίνακα φαίνονται οι θεωρητικές τιμές  $f_c$  για δισκίδια LR-Si 12", καθώς και για δισκίδια LR-Si 4", τα οποία και θα χρησιμοποιήσουμε παρακάτω. Οι τιμές υπολογίστηκαν με βάση τις σχέσεις (7.10) και (7.11).

**Πίνακας 7.1. Συχνότητες εμφάνισης των επιφανειακών ρυθμών κυματοδηγησης  $TM_1$ ,  $TE_1$  και  $TE_2$  για δισκίδια Si διαμέτρου 4" και 12"**

Wafer diameter	Thickness (μm)	$\epsilon_r$	$f_{c,TE1}$ (GHz)	$f_{c,TM1}$ (GHz)	$f_{c,TE2}$ (GHz)
4"	525	11.7	43	87	131
12"	775	11.7	29	59	88

## **7.4 Ολοκλήρωση και χαρακτηρισμός κεραίων πάνω σε PSi**

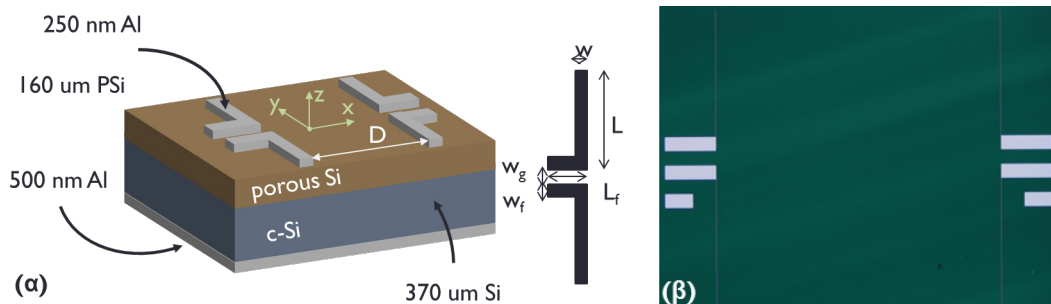
### **7.4.1 Κατασκευή**

Όπως και στα προηγούμενα παθητικά στοιχεία RF, έτσι και στις κεραίες το PSi χρησιμοποιείται για τις χαμηλές του απώλειες. Η αυξημένη ειδική αντίσταση εμποδίζει την ανάπτυξη δινορευμάτων και περιορίζει τις απώλειες υποστρώματος. Επιπλέον, το PSi βελτιώνει περαιτέρω την απόδοση των κεραίων εξαιτίας της χαμηλής διηλεκτρικής του σταθεράς, μειώνοντας έτσι την ισχύ που καταναλώνεται εντός του υποστρώματος και αυξάνοντας τις κρίσιμες συχνότητες εμφάνισης των επιφανειακών κυμάτων [25], [26]. Πιο συγκεκριμένα, σύμφωνα με την (7.9) το ποσοστό που ακτινοβολείται στον αέρα είναι γύρω στο 15% σε αντίθεση με το 3% που επιτυγχάνεται όταν έχουμε υπόστρωμα Si. Στον Πίνακα 7.11 παρουσιάζονται οι κρίσιμες συχνότητες εμφάνισης των επιφανειακών κυμάτων.

**Πίνακας 7.II.** Συχνότητες εμφάνισης των επιφανειακών ρυθμών κυματοδήγησης  $TM_1$ ,  $TE_1$  και  $TE_2$  για διπολικές κεραίες πάνω σε μονοστρωματικό PSi ( $\epsilon_r = 3.5$ ) πάχους 525  $\mu\text{m}$  και 775  $\mu\text{m}$  και διστρωματική δομή PSi (150 $\mu\text{m}$ ) – Si (375  $\mu\text{m}$ ) διαμέτρου 4" και 12"

Material	Thickness ( $\mu\text{m}$ )	$\epsilon_r$	$f_{c,TE1}$ (GHz)	$f_{c,TM1}$ (GHz)	$f_{c,TE2}$ (GHz)
Si	525	11.7	43	86	130
Si	775	11.7	29	58	88
PSi	525	3.5	90	181	271
PSi	775	3.5	61	122	184
PSi-Si	160-365	3.5-11.7	>43	>43	>43

Οι κεραίες ολοκληρώθηκαν πάνω σε διστρωματικό υπόστρωμα PSi – Si με πάχος 160  $\mu\text{m}$  και 370  $\mu\text{m}$  αντίστοιχα. Το PSi έχει σχηματιστεί σε υπόστρωμα p<sup>+</sup>-Si (1-5 m $\Omega$ .cm) με πυκνότητα ρεύματος  $J = 20 \text{ mA/cm}^2$  και διάλυμα με αναλογία 3 HF (50%) : 2 EtOH (99.9%). Ο λόγος που επιλέχθηκε αυτό το πάχος πορώδους πυριτίου, συνδέεται με τη σταθερότητα αυτού του υλικού, αλλά και με το γεγονός ότι για όλες τις προηγούμενες διατάξεις χρησιμοποιήθηκε αυτό ακριβώς το υλικό με πολύ καλά αποτελέσματα. Οι κεραίες κατασκευάστηκαν με την εναπόθεση Al πάχους 250 nm, έτσι ώστε να συμφωνούν με τα πάχη των μετάλλων των κατώτερων επιπέδων του BEOL. Στο πίσω μέρος του Si τοποθετήθηκαν 500 nm Al, ώστε να λειτουργήσουν ως ανακλαστήρας, σύμφωνα με τη λογική της Εικόνα 7.5δ. Οι κεραίες ολοκληρώθηκαν σε ζεύγη πανομοιότυπων μεταξύ τους διπόλων, έτσι ώστε να καταστεί δυνατή η ανάλυσή τους μέσω on-wafer μετρήσεων. Πανομοιότυπες κεραίες ολοκληρώθηκαν και σε LR-Si (1-10  $\Omega$ .cm) για λόγους σύγκρισης. Το σχηματικό και οι διαστάσεις των κεραιών που κατασκευάστηκαν φαίνονται στην Εικόνα 7.6 και στον Πίνακα 7.III.



**Εικόνα 7.6.** (α) Σχηματικό των επιπέδων διπολικών κεραιών πάνω σε διστρωματικό υπόστρωμα (β) Εικόνα της κεραίας A3 από το οπτικό μικροσκόπιο

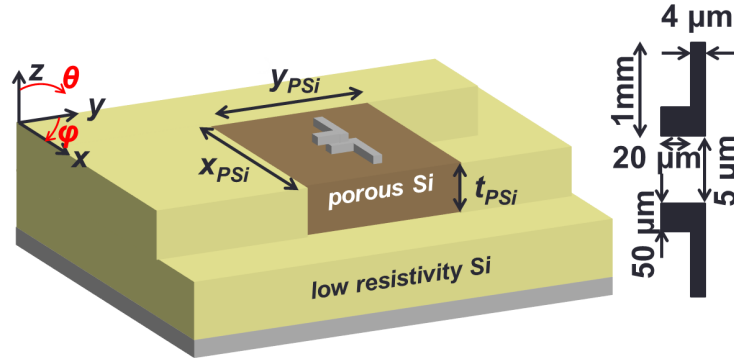
**Πίνακας 7.III.** Διαστάσεις των κεραιών που ολοκληρώθηκαν πάνω σε υπόστρωμα PSi – Si και σε υπόστρωμα Si

Σετ Κεραιών	$L$ ( $\mu\text{m}$ )	$L_f$ ( $\mu\text{m}$ )	$w$ ( $\mu\text{m}$ )	$w_f$ ( $\mu\text{m}$ )	$w_g$ ( $\mu\text{m}$ )	$D$ ( $\mu\text{m}$ )
A1	1000	20	4	50	5	1000
A2	1000	250	3	50	50	1000
A3	500	80	2	50	50	500

#### 7.4.2 Προσομοιώσεις των παραμέτρων του πορώδους πυριτίου

Παρακάτω περιγράφονται οι προσομοιώσεις που έγιναν πάνω στην κεραία A1 του Πίνακα 7.III, καθώς και η ανάλυση που μπορέσαμε να κάνουμε μέσα από αυτές. Για τη διεξαγωγή προσομοιώσεων χρησιμοποιήθηκε το πρόγραμμα Ansys HFSS, όπως και στην περίπτωση των CPW και των πηνίων. Το μοντέλο της προσομοίωσης αποτελείται από μία διπολική κεραία ολοκληρωμένη σε μία τοπικά σχηματισμένη περιοχή πορώδους πυριτίου. Το μέταλλο της κεραίας είναι Al πάχους 250 nm, ενώ στο πίσω μέρος του υποστρώματος υπάρχει επίσης

επιμετάλλωση Al πάχους 500 nm. Οι παράμετροι που μελετήθηκαν είναι το μήκος της περιοχής του PSi ( $x_{PSi}$ ), το πλάτος της ( $y_{PSi}$ ), το πάχος του στρώματος του PSi ( $t_{PSi}$ ) και η σχετική επιτρεπτότητα αυτού ( $\epsilon_{r,PSi}$ ). Θα επικεντρώσουμε την ανάλυσή μας στις διευθύνσεις  $\varphi=0^\circ$ ,  $\theta=0^\circ$  και  $\varphi=0^\circ$ ,  $\theta=90^\circ$  που ανταποκρίνονται στη διαηγηφιδική επικοινωνία κατακόρυφα τοποθετημένων ψηφιδών και στην ενδοψηφιδική επικοινωνία, αντίστοιχα. Η αναπαράσταση του προσομοιωμένου μοντέλου φαίνεται στην Εικόνα 7.7.

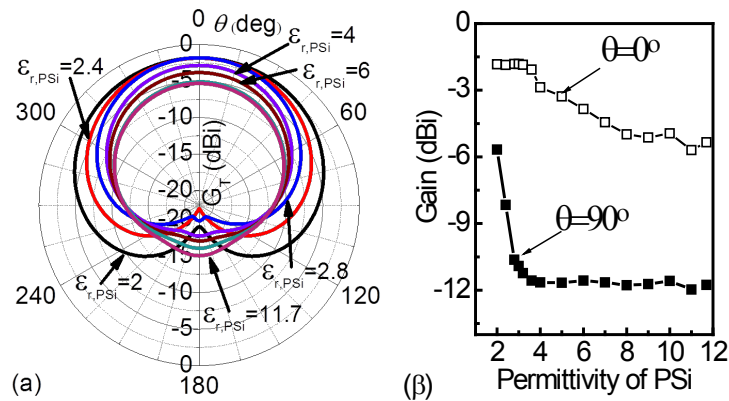


Εικόνα 7.7. Σχηματική αναπαράσταση των δομών που προσομοιώθηκαν. Πιο συγκεκριμένα, προσομοιώθηκε μία διπολική κεραία, της οποίας οι διαστάσεις φαίνονται στο ένθετο, ολοκληρωμένη σε τοπικά σχηματισμένο PSi, ενώ γύρω υπάρχει LR-Si (5 mΩ.cm). Το μέταλλο της κεραίας είναι 250 nm Al, ενώ το πάχος της οπίσθιας επιμετάλλωσης είναι 500 nm Al.

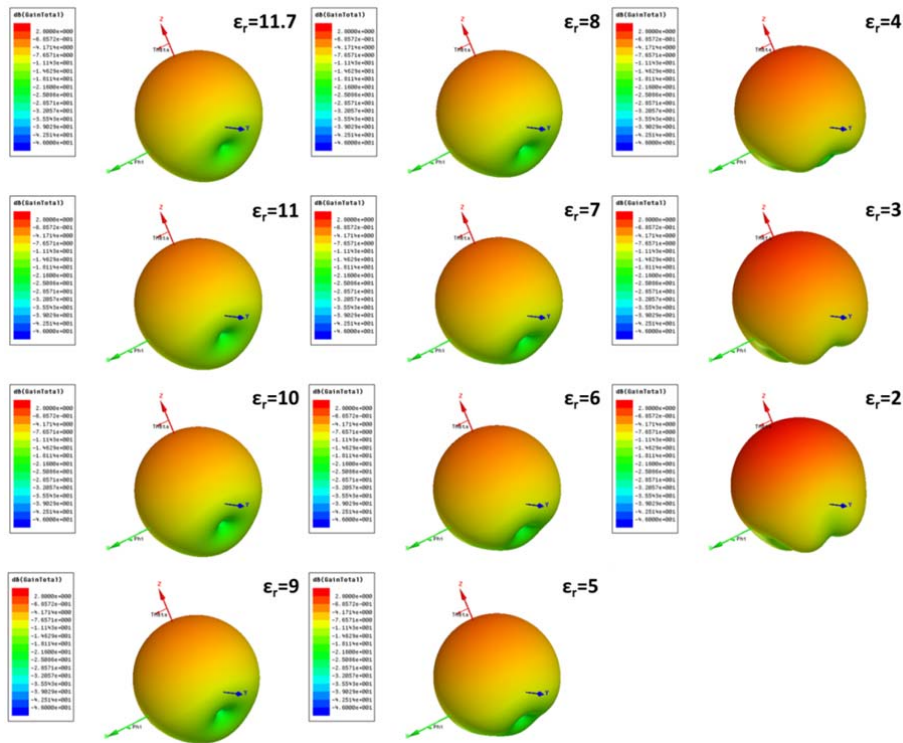
### Επίδραση της επιτρεπτότητας του υποστρώματος PSi

Για να μελετήσουμε την επίδραση της σχετικής επιτρεπτότητας του PSi, κρατήσαμε σταθερές τις απώλειες του PSi ( $\tan\delta_{PSi}=0.03$ ), το πάχος του  $t_{PSi}=150 \mu\text{m}$ , ενώ θεωρήσαμε πολύ μεγάλες (σχεδόν άπειρες) τις διαστάσεις  $x_{PSi}$  και  $y_{PSi}$ .

Στην Εικόνα 7.8α παρατηρούμε το διάγραμμα μακρινού πεδίου του κέρδους της κεραίας ( $G_\theta$ ) για  $\varphi=0^\circ$  και διαφορετικά  $\theta$ . Βλέπουμε ότι όσο μειώνεται το  $\epsilon_{r,PSi}$ , αυξάνεται το κέρδος για  $\theta=0^\circ$  και αλλάζει το διάγραμμα ακτινοβολίας της κεραίας. Εκεί που υπήρχε ένας λοβός στο υπόστρωμα με κέντρο  $\theta=180^\circ$ , τώρα υπάρχουν δύο, περίπου στις  $120^\circ$  και  $240^\circ$ . Αυτή η μεταβολή του ακτινοβολούμενου HM πεδίου φαίνεται πιο ξεκάθαρα στην Εικόνα 7.9. Εστιάζοντας στις διευθύνσεις  $\varphi=0^\circ$ ,  $\theta=0^\circ$  και  $\varphi=0^\circ$ ,  $\theta=90^\circ$ , βλέπουμε στην Εικόνα 7.8β, ότι η μικρότερη  $\epsilon_{r,PSi}$  οδηγεί σε αύξηση του κέρδους στις διευθύνσεις που μας ενδιαφέρουν. Επίσης, παρατηρείται ότι για  $\epsilon_{r,PSi} < 4$ , το κέρδος στη κατεύθυνση  $\theta=0^\circ$  έχει φτάσει σε ένα κορεσμό στην τιμή -1.5 dBi. Αντιθέτως, στη διεύθυνση  $\theta=90^\circ$  το κέρδος είναι σταθερό για  $\epsilon_{r,PSi} > 4$ , ενώ για  $\epsilon_{r,PSi} < 4$  αυξάνεται εκθετικά. Σαν συμπέρασμα λοιπόν, μπορούμε να πούμε ότι η μείωση του  $\epsilon_{r,PSi}$  ενισχύει το HM πεδίο που βρίσκεται εκτός του υποστρώματος και μας είναι χρήσιμη και για την περίπτωση των ενδοψηφιδικών και των διαηγηφιδικών επικοινωνιών.



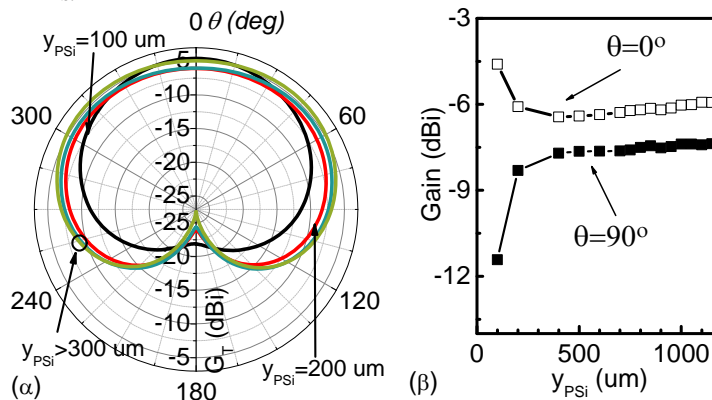
Εικόνα 7.8. (α) Μεταβολή του κέρδους της κεραίας ( $G_\theta$ ) σε σχέση με το  $\theta$ , για διαφορετικές τιμές της σχετικής επιτρεπτότητας του PSi (β) Μεταβολή του κέρδους της κεραίας ως προς τη σχετική επιτρεπτότητα του PSi για  $\theta=0^\circ$  και  $\theta=90^\circ$ . Τα γραφήματα αναφέρονται σε  $\varphi=0^\circ$ ,  $d_{PSi}=150 \mu\text{m}$  και άπειρα  $x_{PSi}$ ,  $y_{PSi}$ .



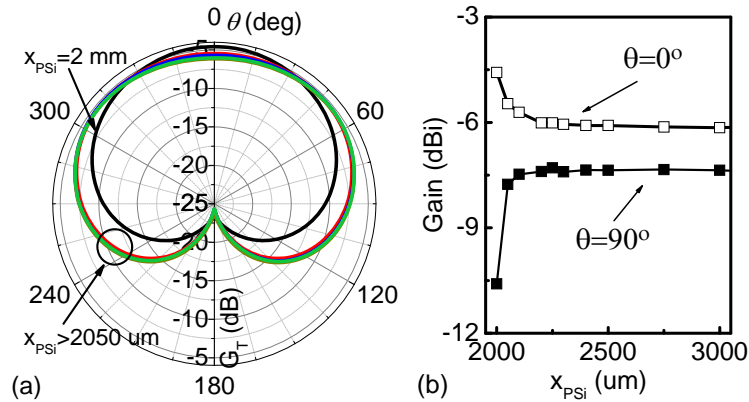
Εικόνα 7.9. Τρισδιάστατο διάγραμμα ακτινοβολίας της παραπάνω διπολικής κεραίας για διαφορετικές τιμές της διηλεκτρικής επιτρεπτότητας του  $PSi$ . Τα διαγράμματα αναφέρονται σε  $d_{PSi}=150 \mu m$  και άπειρα  $x_{PSi}, y_{PSi}$ .

### Επίδραση του έκτασης της περιοχής του $PSi$

Όπως είναι λογικό, η περιοχή του  $PSi$  πρέπει να καλύπτει τουλάχιστον όλη την επιφάνεια της κεραίας. Το ερώτημα λοιπόν που προκύπτει είναι ποια είναι η ελάχιστη επιφάνεια  $PSi$  που οδηγεί σε βέλτιστη απόδοση της κεραίας. Στις Εικόνες 7.11 και 7.12 παρουσιάζονται τα αποτελέσματα για μεταβαλλόμενα  $x_{PSi}$  και  $y_{PSi}$ , ενώ παραμένουν σταθερά τα  $t_{PSi}=150 \mu m$ ,  $\epsilon_{r,PSi}=2.8$  και  $\tan\delta_{PSi}=0.03$ .



Εικόνα 7.10. (α) Μεταβολή του κέρδους της κεραίας ( $G_0$ ) ως προς το  $\theta$ , για διαφορετικές τιμές του  $y_{PSi}$ ; (β) Μεταβολή του κέρδους της κεραίας ( $G_0$ ) ως προς  $y_{PSi}$ , για  $\theta=0^\circ$  και  $\theta=90^\circ$ . Τα γραφήματα αναφέρονται σε  $\phi=0^\circ$ ,  $\epsilon_{r,PSi}=2.8$ ,  $\tan\delta_{PSi}=0.03$  και  $x_{PSi}=4000 \mu m$ .



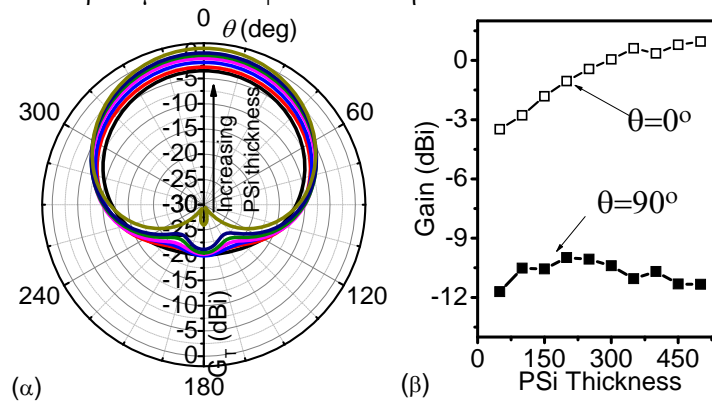
Εικόνα 7.11. (α) Μεταβολή του κέρδους της κεραίας ( $G_0$ ) ως προς το  $\theta$ , για διαφορετικές τιμές του  $x_{PSi}$ . (β) Μεταβολή του κέρδους της κεραίας ( $G_0$ ) ως προς  $x_{PSi}$ , για  $\theta=0^\circ$  και  $\theta=90^\circ$ . Τα γραφήματα αναφέρονται σε  $\varphi=0^\circ$ ,  $\epsilon_{r,PSi}=2.8$ ,  $\tan\delta_{PSi}=0.03$  και  $y_{PSi}=1000\mu\text{m}$ .

Όπως παρατηρείται στην Εικόνα 7.10β, όταν αυξάνεται το μήκος της περιοχής  $PSi$ , τότε μειώνεται το κέρδος για  $\theta=0^\circ$ , ενώ αυξάνεται για  $\theta=90^\circ$ . Αυτή η μεταβολή φτάνει σε κορεσμό όταν  $y_{PSi} > 400 \mu\text{m}$ , το οποίο ανταποκρίνεται σε απόσταση  $\sim 200 \mu\text{m}$  εκατέρωθεν του διπόλου. Όσον αφορά το πλάτος της περιοχής  $PSi$ , μπορούμε να δούμε την επίδραση που έχει στην Εικόνα 7.11β. Παρατηρούμε ότι για  $x_{PSi} < 2150 \mu\text{m}$  το κέρδος της κεραίας μειώνεται στην κατεύθυνση  $\theta=0^\circ$ , ενώ αυξάνεται για  $\theta=90^\circ$ , όπως συνέβαινε και με το  $y_{PSi}$ . Εδώ πρέπει να αναφέρουμε ότι το συνολικό μήκος της κεραίας είναι 2105  $\mu\text{m}$ . Για  $x_{PSi} > 2150 \mu\text{m}$  το κέρδος παραμένει σταθερό και στις δύο κατευθύνσεις  $\theta=0^\circ$  και  $\theta=90^\circ$ . Συνεπώς,  $\sim 75 \mu\text{m}$  εκατέρωθεν των άκρων της κεραίας αρκούν για να επιτευχθεί σταθερή συμπεριφορά.

Συμπερασματικά, μπορούμε να πούμε ότι μικρή περιοχή  $PSi$  κάνει την κεραία πιο κατευθυντική, αυξάνοντας το κέρδος για  $\theta=0^\circ$ , ενώ η μεγαλύτερη περιοχή κάνει την ακτινοβολία πιο ομοιόμορφη και το κέρδος αυξάνεται για  $\theta=90^\circ$ , πράγμα το οποίο βοηθά στη χρήση για ενδοψηφιδικές επικοινωνίες. Επίσης, όπως παρατηρούμε και στις δύο εικόνες, η μεγαλύτερη περιοχή  $PSi$ , αυξάνει συνολικά την ακτινοβολούμενη ισχύ, αφού μειώνονται ουσιαστικά οι απώλειες λόγω του LR-Si.

### Επίδραση του πάχους του $PSi$

Για να μελετήσουμε την επίδραση του πάχους του  $PSi$  στην κεραία, θεωρήσαμε ότι τα  $x_{PSi}$  και  $y_{PSi}$  είναι άπειρα, ενώ παραμένουν σταθερά τα  $\epsilon_{r,PSi}=2.8$  και  $\tan\delta_{PSi}=0.03$ . Τα αποτελέσματα των προσομοιώσεων φαίνονται στην Εικόνα 7.12.



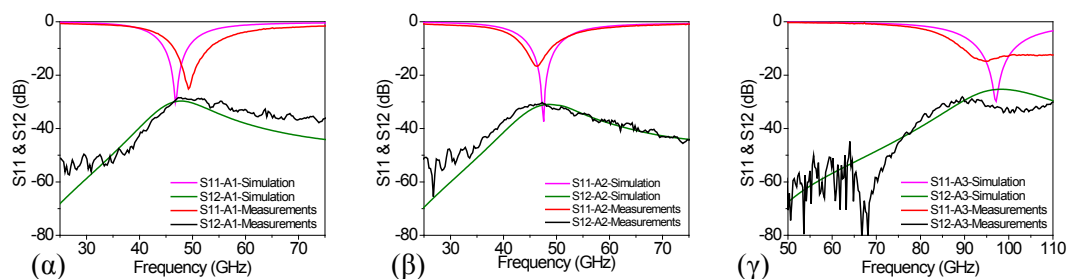
Εικόνα 7.12. (α) Μεταβολή του κέρδους της κεραίας ( $G_0$ ) ως προς το  $\theta$ , για διαφορετικές τιμές του πάχους του  $PSi$  ( $t_{PSi}$ ) (β) Μεταβολή του κέρδους της κεραίας ( $G_0$ ) ως προς  $t_{PSi}$ , για  $\theta=0^\circ$  και  $\theta=90^\circ$ . Τα γραφήματα αναφέρονται σε  $\varphi=0^\circ$ ,  $\epsilon_{r,PSi}=2.8$ ,  $\tan\delta_{PSi}=0.03$  και άπειρα εκτεινόμενα  $y_{PSi}$  και  $x_{PSi}$ .

Παρατηρούμε ότι η αύξηση του πάχους του PSi οδηγεί σε αύξηση του κέρδους στη διεύθυνση  $\theta=0^\circ$ , ενώ το κέρδος στη διεύθυνση  $\theta=90^\circ$  παραμένει ανεπηρέαστο. Το κέρδος που επιτυγχάνεται, για  $t_{PSi}=150$   $\mu\text{m}$ , είναι  $-1.8$  dBi, ενώ όταν το πάχος είναι πάνω από 350  $\mu\text{m}$  το κέρδος της κεραίας φτάνει στο 1 dB, χωρίς όμως να μεταβάλλεται επιπλέον. Συνεπώς, μπορούμε να θεωρήσουμε το πάχος των 350  $\mu\text{m}$  ως το βέλτιστο πάχος, το οποίο συνδυάζει την άριστη απόδοση της κεραίας μαζί με σταθερή δομή του υλικού.

### 7.4.3 Μετρήσεις

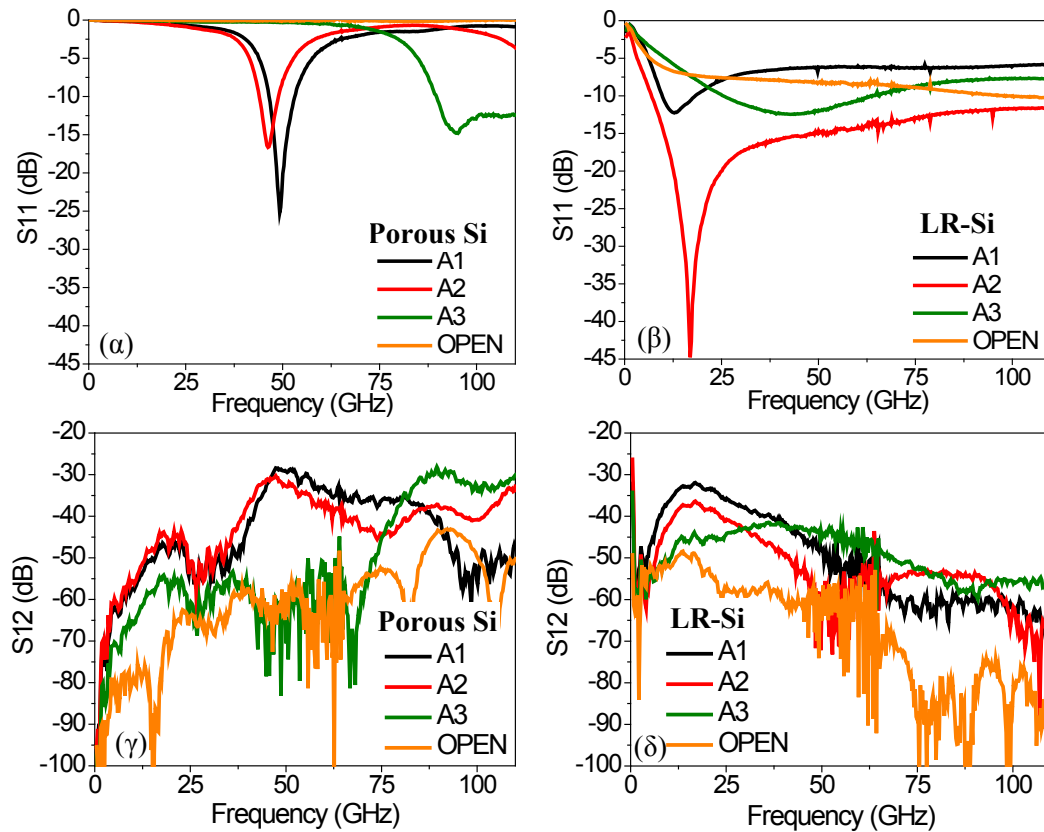
Οι μετρήσεις έγιναν με τα συστήματα τα οποία περιγράφηκαν στην ενότητα 4.3.3. Σε σχέση με τις μετρήσεις των CPW και των πηνίων, οι μετρήσεις των κεραιών έχουν την ιδιαιτερότητα ότι επηρεάζονται πολύ από το περιβάλλον. Γι' αυτό το λόγο οι μετρήσεις συνήθως γίνονται σε ανηχοϊκό θάλαμο, ενώ χρησιμοποιούνται ειδικά κατασκευασμένα probes που να μην επηρεάζουν πολύ την ακτινοβολία των κεραιών. Η έλλειψη αυτού του εξοπλισμού για συχνότητες άνω των 5 GHz, μας εμπόδισε να εξάγουμε πειραματικά το διάγραμμα ακτινοβολίας και το κέρδος των κεραιών. Η μέθοδος χαρακτηρισμού που χρησιμοποιούσαμε βασίστηκε στην ολοκλήρωση δύο πανομοιότυπων κεραιών πάνω στο ίδιο υπόστρωμα, εκ των οποίων η μία λειτουργεί σαν πομπός και η άλλη σαν δέκτης. Οι κεραίες είναι τοποθετημένες αντικριστά κατά τον άξονα x όπως φαίνεται και στην Εικόνα 7.6. Με αυτή τη μέθοδο μπορούμε, μετρώντας τις S-παραμέτρους, να εξάγουμε συμπεράσματα σχετικά με τη συμπεριφορά των κεραιών.

Στην Εικόνα 7.13 παρουσιάζεται η σύγκριση μεταξύ των προσομοιώσεων και των μετρήσεων και όπως παρατηρείται η σύμπτωση είναι αρκετά καλή αν και όχι τέλεια. Οι διαφοροποιήσεις προκαλούνται όχι μόνο από τις κατασκευαστικές αποκλίσεις, αλλά και από τη διαδικασία των μετρήσεων, η οποία, όπως σχολιάστηκε πριν, επηρεάζει αρκετά τη συμπεριφορά των κεραιών.



Εικόνα 7.13. Σύγκριση προσομοιώσεων και μετρήσεων για τις κεραίες (α) A1, (β) A2 και (γ) A3

Στην Εικόνα 7.14 παρουσιάζονται οι S-παράμετροι στο εύρος 0-110 GHz των κεραιών A1, A2, A3 και ενός Open πάνω σε υπόστρωμα PSi. Μέσω του  $S_{11}$  παρατηρείται ότι οι κεραίες A1 και A2 συντονίζονται στις συχνότητες 49.2 GHz και 46.2 GHz, αντίστοιχα. Σε αυτές τις συχνότητες, όπως παρατηρείται στην Εικόνα 7.14β, η διάδοση του σήματος ( $S_{12}$ ) είναι κατά 30 dB πιο υψηλή από το Open. Όσον αφορά την κεραία A3, παρατηρούμε ότι αυτή συντονίζεται στα 94.4 GHz, αλλά στις υψηλότερες συχνότητες διατηρεί χαμηλό  $S_{11}$  και υψηλό  $S_{12}$ . Αυτό πιθανώς οφείλεται στη διάδοση μέσω των επιφανειακών κυμάτων. Πιο συγκεκριμένα, όπως φαίνεται στον Πίνακα 7.Π, η διάδοση του ρυθμού  $TE_1$  ξεκινά μεταξύ των συχνοτήτων 43-90 GHz. Αυτό το συμπέρασμα μπορεί να ερμηνεύσει και το υψηλό  $S_{12}$  που παρατηρείται στις κεραίες A1 και A2 μετά το συντονισμό.



Εικόνα 7.14. (α), (γ) Οι παράμετροι (α)  $S_{11}$  και (γ)  $S_{12}$  των κεραιών A1, A2 και A3 πάνω σε PSi. (β), (δ) Οι παράμετροι (β)  $S_{11}$  και (δ)  $S_{12}$  των κεραιών A1, A2 και A3 πάνω σε LR-Si. Σε όλα τα γραφήματα παρουσιάζεται ως αναφορά και μία open διάταξη

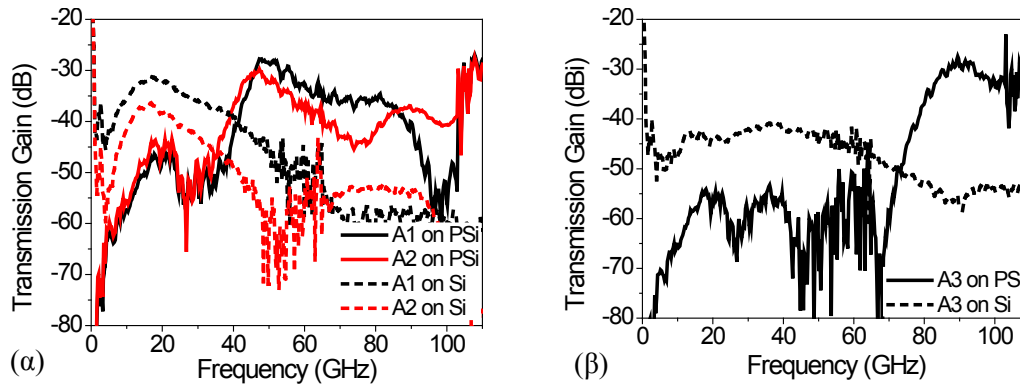
Για λόγους σύγκρισης, στη δεξιά στήλη της Εικόνας 7.14 παρουσιάζεται η συμπεριφορά των ίδιων κεραιών πάνω σε υποστρώμα LR-Si (1-10  $\Omega \cdot \text{cm}$ ). Παρατηρούμε ότι οι κεραιές πάνω στο Si έχουν χαμηλότερη συχνότητα συντονισμού, καθώς και ότι μετά τη συχνότητα συντονισμού τα  $S_{11}$  και  $S_{12}$  παραμένουν χαμηλά σε σύγκριση με αυτά των κεραιών πάνω στο PSi. Το τελευταίο οφείλεται στις υψηλές απώλειες υποστρώματος του LR-Si εν συγκρίσει με το PSi και φανερώνει τα πλεονεκτήματα της χρήσης του PSi ως υποστρώματος για ολοκληρωμένες σε Si κεραιές. Η σύγκριση των δύο υποστρωμάτων γίνεται καλύτερα αν χρησιμοποιήσουμε το μέγεθος του κέρδους μετάδοσης (transmission gain -  $G_a$ ), το οποίο ορίζεται από την παρακάτω σχέση:

$$G_a = \frac{|S_{21}|^2}{(1 - |S_{11}|^2)(1 - |S_{22}|^2)} = G_{rec} G_{trans} \left( \frac{4\pi D}{\lambda} \right)^2 e^{-2\alpha D} \quad (7.12)$$

όπου  $G_{rec}$ ,  $G_{trans}$  είναι το κέρδος του δέκτη και του πομπού,  $\lambda$  είναι το μήκος κύματος,  $D$  η απόσταση μεταξύ των κεραιών και  $\alpha$  είναι ο συντελεστής εξασθένησης του διαδιδόμενου κύματος.

Το υπολογισθέν κέρδος μετάδοσης φαίνεται στην Εικόνα 7.15. Παρατηρούμε ότι οι κεραιές, ως ήταν αναμενόμενο, εμφανίζουν μέγιστο κέρδος μετάδοσης στις συχνότητες συντονισμού. Όπως φαίνεται, το  $G_a$  των κεραιών πάνω στο PSi είναι υψηλότερο από αυτών πάνω στο LR-Si κατά 3 dB, 7 dB και 10 dB για τις A1, A2 και A3, αντίστοιχα. Επίσης, χρήζει επισήμανσης και η διαφοροποίηση της κεραιάς A1 σε σύγκριση με την κεραιά A2. Αυτές οι κεραιές έχουν το ίδιο μήκος και την ίδια απόσταση  $D$ , αλλά διαφέρουν στο πλάτος  $w$  και στο  $L_f$ . Το πρώτο οδηγεί σε αυξημένο κέρδος  $G_a$  για την περίπτωση της κεραιάς A1, ενώ το δεύτερο οδηγεί στη μεγαλύτερη συχνότητα συντονισμού της A2.





Εικόνα 7.15. Το κέρδος μετάδοσης των κεραιών (α) A1, A2 και της κεραιάς (β) A3 πάνω σε υπόστρωμα PSi και LR-Si

Τα παραπάνω αποτελέσματα φαίνονται συνοπτικά και στον Πίνακα 7.IV. Εδώ πρέπει να τονίσουμε ότι το κέρδος της κεραιάς A1 είναι σε καλή αντιστοιχία με αυτό που υπολογίστηκε από τις προσομοιώσεις (βλέπε Εικόνα 7.12 για  $t_{PSi}=150 \mu\text{m}$ ).

Πίνακας 7.IV. Χαρακτηριστικά των κεραιών A1, A2, A3 πάνω σε PSi και πάνω σε LR-Si

	A1		A2		A3	
	PSi	Si	PSi	Si	PSi	Si
$f_r$ (GHz)	49.2	12.3	46.2	16.9	94.4	43
$S_{11}$ @ $f_r$ (dB)	-24.3	-12.2	-16.4	-44.8	-14.8	-12.5
$G_a$ @ $f_r$ (dBi)	-27.5	-31	-29.5	-36.5	-27.5	-37.5
$Z_c$ @ $f_r$ ( $\Omega$ )	49.5	82.6	67.8	50.7	72.9	81.4
<b>BW</b> (GHz)	6.7	8.5	5	>100	5.4	out of limits
$[S_{11}<10 \text{ dB}]$	6.7	8.5	5	>100	5.4	limits

## 7.5 Συμπεράσματα κεφαλαίου

Σε αυτό το κεφάλαιο μελετήσαμε την ολοκλήρωση διπολικών κεραιών σε υβριδικό υπόστρωμα PSi/LR-Si. Στην αρχή αναλύθηκαν τα προβλήματα που ανακύπτουν από την ύπαρξη του LR-Si και η χρήση τοπικά σχηματισμένου PSi ως πιθανή λύση. Πιο συγκεκριμένα, μελετήθηκε η επίδραση διαφόρων παραγόντων, όπως η επιφάνεια, το πάχος και η σχετική επιτρεπτότητα του PSi. Βρέθηκε ότι η περιοχή του PSi αρκεί να εκτείνεται 200  $\mu\text{m}$  και 75  $\mu\text{m}$  εκατέρωθεν της κεραιάς στο πλάτος και στο μήκος της, αντίστοιχα, ώστε να επιτυγχάνεται καλή απόδοση, ιδιαίτερα για  $\theta=90^\circ$ . Πιο κρίσιμη φάνηκε να είναι η επίδραση του πάχους του PSi, μιας και μεγάλο πάχος οδηγεί σε μεγάλη αύξηση του κέρδους. Βρέθηκε ότι για πάχη μεγαλύτερα από 350  $\mu\text{m}$  επιτυγχάνονται κέρδη  $\sim 1$  dBi. Όσον αφορά τη σχετική επιτρεπτότητα, βρέθηκε ότι μικρότερες τιμές οδηγούν σε μεγαλύτερο κέρδος, αλλά αυτή η βελτίωση στη διεύθυνση  $\theta=0^\circ$  φτάνει σε κορεσμό για  $\epsilon_{r,PSi} < 4$ . Τα αποτελέσματα των προσομοιώσεων επιβεβαιώθηκαν με μετρήσεις που έγιναν σε κεραιές ολοκληρωμένες σε PSi. Τέλος, η απόδοση των κεραιών σε PSi συγκρίθηκε με αυτήν των ίδιων κεραιών πάνω σε LR-Si και βρέθηκε ότι το PSi βελτιώνει αρκετά το κέρδος της εκάστοτε κεραιάς.

Συμπερασματικά, μπορούμε να πούμε ότι ο τοπικός σχηματισμός PSi είναι μία πολύ καλή λύση για την κατασκευή όχι μόνο ολοκληρωμένων γραμμών μεταφοράς και πηνίων στο Si, αλλά και ολοκληρωμένων κεραιών. Συνεπώς, η έρευνα για την κατασκευή ενός πλήρους συστήματος λήψης/εκπομπής σε υβριδικό υπόστρωμα PSi/LR-Si είναι πολλά υποσχόμενη.



# Συμπεράσματα

Σε αυτή τη διατριβή ασχοληθήκαμε με την χρήση τοπικού υποστρώματος πορώδους πυριτίου για την ολοκλήρωση παθητικών διατάξεων RF. Αρχικά μελετήσαμε την τάση που υπάρχει για την ολοκλήρωση ενός ολόκληρου συστήματος σε ψηφίδα Si, και πιο συγκεκριμένα, εντοπίσαμε τα προβλήματα που ανακύπτουν από την ολοκλήρωση παθητικών στοιχείων RF πάνω σε LR-Si. Αυτά τα προβλήματα συνδέονται με τη χαμηλή ειδική αντίσταση και την υψηλή σχετική επιτρεπτότητα του Si που χρησιμοποιείτε στην τεχνολογία CMOS, οι οποίες οδηγούν σε υψηλές απώλειες εντός του υποστρώματος ή σε υψηλή χωρητική σύζευξη μεταξύ των διατάξεων. Αυτές οι δύο ιδιότητες δυσκολεύουν πολύ την κατασκευή υψηλής ποιότητας παθητικών στοιχείων RF, γεγονός που αποτελεί και τη βασική τροχοπέδη για την ολοκλήρωση σε Si συστημάτων πομποδεκτών υψηλής απόδοσης.

Σε αυτό το πλαίσιο έπρεπε να εξεταστούν οι υπάρχουσες λύσεις της βιβλιογραφία ώστε να εξεταστούν τα πλεονεκτήματα και τα μειονεκτήματά τους. Η πιο διαδεδομένη από τις υπάρχουσες λύσεις είναι η χρήση μεταλλικής θωράκισης κάτω από τις διατάξεις RF. Αυτή η τεχνική αποτελεί μία ισορροπημένη λύση, που συνδυάζει ευκολία υλοποίησης και χαμηλές απώλειες, οι οποίες όμως δεν είναι οι βέλτιστες. Για την επίτευξη ακόμη χαμηλότερων απωλειών, υπάρχει η ανάγκη χρήσης διαφορετικών υποστρωμάτων από το LR-Si. Αναλύθηκαν υποστρώματα Si υψηλής ειδικής αντίστασης (HR-Si), παθητικοποιημένα (trap-rich) HR-Si, LR-Si με βαθιά αμορφοποίηση μέσω πρωτονίων  $H^+$ , καθώς και ο τοπικός σχηματισμός πορώδους πυριτίου (PSi). Από αυτά επικεντρώσαμε την έρευνά μας στο PSi και το παθητικοποιημένο HR-Si, εξαιτίας των πολύ καλών αποτελεσμάτων που είχαν μέχρι τώρα παρατηρηθεί και της συμβατότητάς τους με τις διεργασίες της τεχνολογίας Si. Επιπλέον, το PSi συνδυάζει υψηλή ειδική αντίσταση και χαμηλή σχετική επιτρεπτότητα, δύο ιδιότητες που είναι πολύ χρήσιμες για τη σχεδίαση πηνίων, γραμμών μεταφοράς και κεραίων. Πέραν από αυτά όμως, το μεγάλο πλεονέκτημα της τεχνολογίας PSi είναι ότι μπορεί να σχηματίζεται τοπικά σε LR-Si, αφήνοντας το υπόλοιπο δισκίδιο Si ανέπαφο για την ολοκλήρωση των διατάξεων CMOS.

Έχοντας επικεντρώσει στο PSi, περιγράψαμε το σχηματισμό αυτού, υπό το πρίσμα της χρήσης του για παθητικές διατάξεις RF. Σε αυτό το πλαίσιο παρουσιάστηκαν οι διάφορες διαθέσιμες επιλογές για την παρασκευή PSi, ενώ εστίασαμε στη μέθοδο της ηλεκτροχημικής ανοδίσωσης, η οποία, σε συνδυασμό με τη χρήση κατάλληλων μασκών, μπορεί να οδηγήσει σε ομοιόμορφες και επαναλήψιμες τοπικά σχηματισμένες περιοχές στρωμάτων πορώδους Si μεγάλου πάχους. Στη συνέχεια παρουσιάστηκαν οι παράμετροι παρασκευής, που είναι κρίσιμες ώστε να επιτευχθούν στρώματα PSi μεγάλου πάχους και με αντοχή στην καταπόνηση από τις διεργασίες CMOS. Αυτό είναι ένα πολύ κρίσιμο σημείο, μιας και η επίτευξη μεγάλου πάχους PSi είναι πάρα πολύ σημαντική για τη βελτίωση της απόδοσης των ολοκληρωμένων διατάξεων RF.

Αφού έγινε η ανάπτυξη των τοπικά σχηματισμένων στρωμάτων PSi, το πρώτο μας μέλημα ήταν ο χαρακτηρισμός του και η εξαγωγή των διηλεκτρικών του παραμέτρων. Στο πλαίσιο αυτό, αναπτύχθηκε μία μέθοδος ευρυζωνικού χαρακτηρισμού, η οποία στηρίζεται στην ολοκλήρωση γραμμών μεταφοράς CPW πάνω σε PSi και στη μέτρηση των S-παραμέτρων αυτών. Από τις μετρήσεις εξήχθησαν η ενεργός επιτρεπτότητα της γραμμής καθώς και η σταθερά διάδοσης, από τις οποίες μπορέσαμε να εξαγάγουμε τη σχετική επιτρεπτότητα, την επαπτομένη απωλειών και την ειδική αντίσταση χρησιμοποιώντας τη μέθοδο του conformal mapping. Η ακρίβεια και η επαναληψιμότητα της μεθόδου επιβεβαιώθηκε μέσα από σύγκριση των πειραματικών μετρήσεων με 3D ηλεκτρομαγνητικές προσομοιώσεις, που χρησιμοποιούσαν τις εξαχθείσες διηλεκτρικές παραμέτρους. Η σύγκριση έγινε για διάφορες διατάξεις CPW και πηνίων και έδωσε πολύ κοντινά αποτελέσματα. Αναφορικά, η μέγιστη απόκλιση που παρατηρήθηκε για τις S-παραμέτρους των CPW είναι 1.2 dB και 0.5 dB για το  $S_{11}$  και  $S_{12}$  αντίστοιχα. Μέσω, λοιπόν, αυτής της μεθόδου διευκολύνονται οι σχεδιαστές συστημάτων RF στη χρήση των παραμέτρων του PSi απευθείας σε εμπορικά πακέτα προσομοιώσεων, μειώνοντας κατά πολύ τον χρόνο και το κόστος κατασκευής των επιθυμητών διατάξεων πάνω σε PSi.

Τα στρώματα PSi που μελετήθηκαν, προέκυψαν από ανοδίωση Si τύπου p (1-5 mΩ.cm) και οι τιμές οι οποίες εξήχθησαν για το  $\epsilon_{r,PSi}$  και το  $\tan\delta_{PSi}$  ήταν μεταξύ 2-4 και 0.02-0.07 αντίστοιχα. Από τα πειράματα φάνηκε ότι η τιμή του  $\epsilon_{r,PSi}$  επηρεάζεται πάρα πολύ από την ειδική αντίσταση του αρχικού δισκιδίου Si, ενώ βρέθηκε ότι για τις ίδιες συνθήκες ανοδίωσης, μεγαλύτερη ειδική αντίσταση Si οδηγεί σε μεγαλύτερο  $\epsilon_{r,PSi}$  του προκύπτοντος στρώματος PSi. Αυτή η παρατήρηση είναι πολύ σημαντική για την επαναληψιμότητα της παρασκευής στρωμάτων PSi με προκαθορισμένες ιδιότητες. Επιπλέον, μελετήθηκε και η επίδραση του πορώδους του υλικού στις διηλεκτρικές παραμέτρους, και πιο συγκεκριμένα μελετήθηκαν δείγματα υψηλού πορώδους, 70%, 76% και 84%. Εδώ, επιβεβαιώθηκε το γνωστό συμπέρασμα ότι μεγαλύτερο πορώδες οδηγεί σε χαμηλότερο  $\epsilon_{r,PSi}$ . Τα πειραματικά αποτελέσματα δεν ακολουθούσαν επακριβώς κανένα από τα τυπικά μοντέλα ενεργού μέσου (Vegard, Bruggeman, Maxwell-Garnett), αλλά ανταποκρίνονταν καλά στο μοντέλο του Vegard, προσαρμοσμένο με 1.5 nm επιφανειακού οξειδίου. Όσον αφορά την εφαιπτομένη απωλειών ( $\tan\delta$ ), εξήχθη ότι το δείγμα PSi με 76% πορώδες ήταν αυτό με το χαμηλότερο  $\tan\delta$ . Αυτό έρχεται σε μερική αντίθεση με το αναμενόμενο αποτέλεσμα, που ήταν ότι για το μεγαλύτερο πορώδες (84%) θα έχουμε το μικρότερο  $\tan\delta$ . Πιθανή εξήγηση για το φαινόμενο αυτό είναι η διαφορά στη μορφολογία των δύο στρωμάτων PSi, μιας και το 84% έχει πιο κιονοειδή δομή, ενώ το 76% πιο δενδριτική.

Μετά τον χαρακτηρισμό των στρωμάτων του PSi, ασχοληθήκαμε με την ολοκλήρωση σε αυτά παθητικών διατάξεων RF (CPW, πηνία) και κεραιών και τη σύγκριση της απόδοσης αυτών με την απόδοση διατάξεων ολοκληρωμένων σε υποστρώματα LR-Si, παθητικοποιημένου HR-Si και quartz.

Όσον αφορά τις γραμμές μεταφοράς, παρουσιάστηκε η βελτιωμένη απόδοση των CPW που ολοκληρώνονται πάνω σε PSi σε σύγκριση με άλλα RF υποστρώματα. Η μετρηθείσα εξασθένιση του σήματος, είναι από τις χαμηλότερες σε σύγκριση με αυτές που έχουν παρουσιαστεί μέχρι τώρα, όχι μόνο σε τεχνολογία PSi, αλλά και σε άλλες τεχνολογίες συμβατές με την CMOS. Επιπροσθέτως, ο συντελεστής ποιότητας των CPW ολοκληρωμένων σε PSi είναι πολύ υψηλός. Από τα πειράματα, επιβεβαιώθηκε το αποτέλεσμα ότι το πορώδες του στρώματος του PSi επηρεάζει την απόδοση του CPW. Πιο συγκεκριμένα, η απόδοση του CPW δεν βελτιώνεται απαραίτητα για μεγαλύτερες τιμές του πορώδους. Όπως φάνηκε, η καλύτερη απόδοση ήταν για P=76%, ακόμη και σε σύγκριση με PSi πορώδους ίσου με 84%, ένα αποτέλεσμα που συνάδει με την παρατήρηση που έγινε παραπάνω για την εφαιπτομένη απωλειών. Η εξήγηση είναι ίδια με αυτήν που περιγράφηκε για την εφαιπτομένη απωλειών και αποδίδεται στον εκφυλισμό της δενδριτικής δομής σε κιονοειδή για μεγαλύτερο πορώδες του υλικού. Από τη σύγκριση της απόδοσης των CPW πάνω στα υποστρώματα PSi, trap-rich HR-Si, LR-Si και quartz, φαίνεται ότι το PSi βελτιώνει τη συμπεριφορά του CPW σε σχέση με το trap-rich HR-Si, επιτυγχάνοντας απόδοση παρόμοια με του quartz. Αυτό ισχύει για τα εύρη συχνοτήτων 40 MHz – 40 GHz και 140 GHz – 210 GHz. Πιο συγκεκριμένα για το PSi, στα 40 GHz επιτυγχάνεται  $\alpha=0.24$  dB/mm και  $Q=22$ , ενώ στα 210 GHz επιτυγχάνεται  $\alpha=1.2$  dB/mm και  $Q=30$ . Τέλος, από τις μετρήσεις της ολικής αρμονικής παραμόρφωσης (THD) και της συνακρόασης (crosstalk) τονίστηκε και επιβεβαιώθηκε το πλεονέκτημα της χαμηλής σχετικής επιτρεπτότητας του PSi, το οποίο οδηγεί σε χαμηλή χωρητική σύζευξη των διατάξεων μέσω του υποστρώματος.

Όσον αφορά τα ολοκληρωμένα πηνία, εξετάστηκαν οι βασικές παράμετροι σχεδίασης που επηρεάζουν την απόδοση ενός πηνίου και τονίστηκε η αναγκαιότητα παρέμβασης στο υπόστρωμα του LR-Si, έτσι ώστε να βελτιστοποιηθεί η απόδοση των πηνίων. Στη συνέχεια παρουσιάστηκαν ολοκληρωμένα σπειροειδή πηνία 1.5, 2.5 και 3.5 σπειρών πάνω σε PSi. Η απόδοσή τους συγκρίθηκε με την απόδοση των ίδιων πηνίων, ολοκληρωμένων σε υποστρώματα LR-Si, trap-rich HR-Si και quartz. Παρατηρήθηκε ότι τα πηνία σε PSi είχαν μεγαλύτερο συντελεστή ποιότητας σε σχέση με τα πηνία πάνω σε LR-Si και trap-rich HR-Si, ενώ ήταν συγκρινόμενος με αυτόν πάνω σε quartz. Σημαντικό συμπέρασμα είναι η αύξηση της  $f_{res}$ , εξαιτίας της μείωσης της σχετικής επιτρεπτότητας του υποστρώματος. Η μείωση της σχετικής επιτρεπτότητας οδηγεί σε μείωση της χωρητικότητας του υποστρώματος, με αποτέλεσμα τα  $f_{res}$  και  $f_{Qmax}$  να ελέγχονται κυρίως από τη σχεδίαση, και πιο συγκεκριμένα από την απόσταση μεταξύ των σπειρών. Καταλήγοντας, παρουσιάζεται ότι το τοπικά

σχηματισμένο PSi είναι ένα κατάλληλο υπόστρωμα για ολοκλήρωση πηνίων σε δισκίο Si, το οποίο μπορεί να βοηθήσει πολύ στη μείωση των απωλειών υποστρώματος, στη βελτίωση της απόδοσης των πηνίων και στην αύξηση του εύρους λειτουργίας τους.

Στο τελευταίο μέρος αυτής της διατριβής μελετήσαμε την ολοκλήρωση διπολικών κεραιών σε διστρωματικό υπόστρωμα PSi/LR-Si. Στην αρχή αναλύθηκαν τα προβλήματα που ανακύπτουν από την ύπαρξη του LR-Si και εξετάστηκε η χρήση τοπικά σχηματισμένου PSi ως πιθανή λύση για τις ολοκληρωμένες κεραιές. Πιο συγκεκριμένα, μελετήθηκε η επίδραση διαφόρων παραγόντων, όπως η επιφάνεια, το πάχος και η σχετική επιτρεπτότητα του PSi. Βρέθηκε ότι η περιοχή του PSi αρκεί να εκτείνεται 200  $\mu\text{m}$  και 75  $\mu\text{m}$  εκατέρωθεν της κεραιάς στο πλάτος και στο μήκος της κεραιάς, αντίστοιχα, ώστε να επιτυγχάνεται καλή απόδοση, ιδιαίτερα για  $\theta=90^\circ$ . Πιο κρίσιμη φάνηκε να είναι η επίδραση του πάχους του PSi, μιας και μεγαλύτερο πάχος οδηγεί σε μεγάλη αύξηση του κέρδους. Βρέθηκε, ότι για πάχη μεγαλύτερα από 350  $\mu\text{m}$  επιτυγχάνεται κέρδος περίπου ίσο με 1 dBi. Όσον αφορά τη σχετική επιτρεπτότητα, βρέθηκε ότι μικρότερες τιμές οδηγούν σε μεγαλύτερο κέρδος, το οποίο όσον αφορά τη διεύθυνση  $\theta=0^\circ$ , φτάνει σε κορεσμό για  $\epsilon_{r,PSi} < 4$ . Τα αποτελέσματα των προσομοιώσεων επιβεβαιώθηκαν με μετρήσεις που έγιναν σε κεραιές ολοκληρωμένες σε PSi. Τέλος, η απόδοση των κεραιών σε PSi συγκρίθηκε με αυτήν των ίδιων κεραιών πάνω σε LR-Si και βρέθηκε ότι το PSi βελτιώνει αρκετά το κέρδος της εκάστοτε κεραιάς.

Συνοψίζοντας, μπορούμε να πούμε ότι ο τοπικός σχηματισμός PSi είναι μία πολύ καλή λύση για την ολοκλήρωση υψηλής ποιότητας παθητικών διατάξεων RF και κεραιών σε Si. Όσον αφορά τη μελλοντική έρευνα πάνω στο αντικείμενο, τη στιγμή που γράφονται αυτές οι γραμμές, η έρευνα συνεχίζεται προς δύο κατευθύνσεις. Η μία είναι η περαιτέρω μελέτη των ιδιοτήτων και της διαδικασίας παρασκευής PSi προς την κατεύθυνση επαναλήψιμης παρασκευής ενός βελτιστοποιημένου στρώματος PSi. Η δεύτερη είναι προς την ολοκλήρωση νέων διατάξεων σε PSi και στο χαρακτηρισμό αυτών. Βραχυπρόθεσμος στόχος είναι η κατασκευή ενός πλήρους συστήματος λήψης/εκπομπής σε υβριδικό υπόστρωμα PSi/LR-Si που θα αποδεικνύει και θα αναδεικνύει τα πλεονεκτήματα του PSi στο σύνολο του συστήματος, και όχι σε μεμονωμένες διατάξεις. Σε αυτό το πλαίσιο, το πιο κρίσιμο βήμα είναι η ενσωμάτωση της διαδικασίας παρασκευής του PSi στις βιομηχανικού επιπέδου διεργασίες CMOS (12ιντσα δισκία, βιομηχανικές προδιαγραφές κ.τ.λ.).



# Αναφορές

*Παρακάτω παρατίθενται οι αναφορές του κάθε κεφαλαίου.*

## Κεφάλαιο 1

- [1] J. C. Maxwell, “A Dynamical Theory of the Electromagnetic Field,” *Philos. Trans. R. Soc. London*, vol. 155, no. January, pp. 459–512, Jan. 1865.
- [2] E. Adler, “Here’s Why ‘The Internet Of Things’ Will Be Huge, And Drive Tremendous Value For People And Businesses,” *Business Insider*. [Online]. Available: <http://www.businessinsider.com/growth-in-the-internet-of-things-2013-10>. [Accessed: 26-Jun-2014].
- [3] R. S. Pengelly and J. A. Turner, “Monolithic broadband GaAs f.e.t. amplifiers,” *Electron. Lett.*, vol. 12, no. 10, p. 251, May 1976.
- [4] G. Ghione, F. Bonani, R. Quay, and E. Kasper, “RF and Microwave Semiconductor Technologies,” in *Guide to State-of-the-Art Electron Devices*, J. N. Burghartz, Ed. Sussex: John Wiley & Sons Ltd, 2013.
- [5] Y. S. Yung, “A tutorial on GaAs vs silicon,” in [1992] *Proceedings. Fifth Annual IEEE International ASIC Conference and Exhibit, 2007*, pp. 281–287.
- [6] “MMIC - Wikipedia.” [Online]. Available: [http://en.wikipedia.org/wiki/Monolithic\\_microwave\\_integrated\\_circuit](http://en.wikipedia.org/wiki/Monolithic_microwave_integrated_circuit). [Accessed: 07-Oct-2014].
- [7] A. K. Ezzeddine, “Advances in Microwave & Millimeter-wave Integrated Circuits,” in *2007 National Radio Science Conference, 2007*, no. Mmic, pp. 1–8.
- [8] J. R. Long, Y. Zhao, W. Wu, M. Spirito, L. Vera, and E. Gordon, “Passive Circuit Technologies for mm-Wave Wireless Systems on Silicon,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 59, no. 8, pp. 1680–1693, Aug. 2012.
- [9] D. Belot, “Millimeter-wave design in silicon technologies,” in *2010 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2010*, pp. 232–238.
- [10] A. Cathelin and B. Martineau, “Design for millimeter-wave applications in silicon technologies,” *Solid State Circuits ...*, no. 1, pp. 464–471, 2007.
- [11] “Intel 22 nm Technology.” [Online]. Available: <http://www.intel.com/content/www/us/en/silicon-innovations/intel-22nm-technology.html?wapkw=22+nm>. [Accessed: 10-Oct-2014].
- [12] “Intel 14 nm Technology.” [Online]. Available: <http://www.intel.com/content/www/us/en/silicon-innovations/intel-14nm-technology.html?wapkw=22+nm>. [Accessed: 10-Oct-2014].
- [13] ITRS, “Interconnect,” 2011.
- [14] F. Gianesello, D. Gloria, S. Montusclat, C. Raynaud, S. Boret, G. Dambrine, S. Lepilliet, B. Martineau, and R. Pilard, “1.8 dB insertion loss 200 GHz CPW band pass filter integrated in HR SOI CMOS Technology,” in *2007 IEEE/MTT-S International Microwave Symposium, 2007*, pp. 453–456.
- [15] F. Vecchi, M. Repposi, W. Eyssa, P. Arcioni, and F. Svelto, “Design of Low-Loss Transmission Lines in Scaled CMOS by Accurate Electromagnetic Simulations,” *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2605–2615, Sep. 2009.
- [16] J. R. Long, Y. Zhao, Y. Jin, W. Wu, and M. Spirito, “Circuit technologies for mm-wave wireless systems on silicon,” in *2011 IEEE Custom Integrated Circuits Conference (CICC), 2011*, pp. 1–8.
- [17] W. Arden, M. Brillouet, P. Coge, M. Graef, B. Huizing, and Mahnkopfg Reinhard, “More-than-Moore,” 2010.
- [18] ITRS, “Front End Processes,” 2011.

- [19] S. Pinel, M. Davis, a. Sutono, a. Obatoynbo, J. Laskar, E. M. Tantzaris, and R. Tummala, "RF-system-on-package (SOP) for wireless communications," *IEEE Microw. Mag.*, vol. 3, no. 1, pp. 88–99, Mar. 2002.
- [20] ITRS, "Assembly and Packaging," 2011.
- [21] K. K. Samanta and I. D. Robertson, "Advanced Multilayer Thick-Film System-on-Package Technology for Miniaturized and High Performance CPW Microwave Passive Components," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 1, no. 11, pp. 1695–1705, Nov. 2011.
- [22] C. Trigas, "System-In-Package or System-On-Chip? | EE Times," 2003. [Online]. Available: [http://www.eetimes.com/document.asp?doc\\_id=1202950](http://www.eetimes.com/document.asp?doc_id=1202950). [Accessed: 25-Jun-2014].
- [23] J. N. Burghartz, Ed., *Guide to State-of-the-Art Electron Devices*. Sussex: John Wiley & Sons Ltd, 2013.
- [24] D. Lederer and J.-P. Raskin, "Substrate loss mechanisms for microstrip and CPW transmission lines on lossy silicon wafers," *Solid. State. Electron.*, vol. 47, no. 11, pp. 1927–1936, Nov. 2003.
- [25] J. Burghartz, "Progress in RF inductors on silicon-understanding substrate losses," in *International Electron Devices Meeting 1998. Technical Digest (Cat. No.98CH36217)*, 1998, pp. 523–526.
- [26] X. Huo, P. C. H. Chan, K. J. Chen, and H. C. Luong, "A Physical Model for On-Chip Spiral Inductors With Accurate Substrate Modeling," *IEEE Trans. Electron Devices*, vol. 53, no. 12, pp. 2942–2949, Dec. 2006.
- [27] ITRS, "RF & A/MS Technologies for Wireless Communications," 2009.
- [28] Y. K. Koutsoyannopoulos and Y. Papananos, "Systematic analysis and modeling of integrated inductors and transformers in RF IC design," *IEEE Trans. Circuits Syst. II Analog Digit. Signal Process.*, vol. 47, no. 8, pp. 699–713, 2000.
- [29] T. S. D. Cheung and J. R. Long, "Shielded Passive Devices for Silicon-Based Monolithic Microwave and Millimeter-Wave Integrated Circuits," *IEEE J. Solid-State Circuits*, vol. 41, no. 5, pp. 1183–1200, May 2006.
- [30] C. Yue and S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," *Solid-State Circuits, IEEE J.*, vol. 33, no. 5, pp. 743–752, 1998.
- [31] H. M. Cheema and A. Shamim, "The last barrier: on-chip antennas," *IEEE Microw. Mag.*, vol. 14, no. 1, pp. 79–91, Jan. 2013.
- [32] Z. M. Chen and Y. P. Zhang, "Inter-Chip Wireless Communication Channel: Measurement, Characterization, and Modeling," *IEEE Trans. Antennas Propag.*, vol. 55, no. 3, pp. 978–986, Mar. 2007.
- [33] J. A. Nossek, P. Russer, T. Noll, A. Mezghani, M. T. Ivrlač, M. Korb, F. Mukhtar, H. Yordanov, and J. A. Russer, "Chip-to-Chip and On-Chip Communications," in *Ultra-Wideband Radio Technologies for Communications, Localization and Sensor Applications*, R. Thom, Ed. InTech, 2013, pp. 75–108.
- [34] K. K. O, "On-chip wireless interconnection with integrated antennas," in *International Electron Devices Meeting 2000. Technical Digest. IEDM (Cat. No.00CH37138)*, 2000, pp. 485–488.
- [35] K. K. O, K. Kim, B. Floyd, J. Mehta, H. Yoon, C.-M. Hung, D. Bravo, T. Dickson, X. Guo, R. Li, N. Trichy, J. Caserta, W. Bomstad, J. Branch, D.-J. Yang, J. Bohorquez, J. Chen, E.-Y. Seok, L. Gao, a. Sugavanam, J.-J. Lin, S. Yu, C. Cao, M.-H. Hwang, Y.-P. Ding, S.-H. Hwang, H. Wu, N. Zhang, and J. E. Brewer, "The feasibility of on-chip interconnection using antennas," *ICCAD-2005. IEEE/ACM Int. Conf. Comput. Des. 2005.*, pp. 979–984, 2005.
- [36] A. Triantafyllou, A. Farcy, P. Benech, F. Ndagijimana, O. Exshaw, C. Tinella, O. Richard, C. Raynaud, and J. Torres, "Intra-chip wireless interconnections based on high performances integrated antennas," *Solid. State. Electron.*, vol. 49, no. 9, pp. 1477–1483, Sep. 2005.



- [37] P. Benech, F. Ndagijimana, A. Triantafyllou, A. Farcy, and J. Torres, "Design and performance of integrated antennas for wireless intra chip interconnections," in *IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics, 2006*, pp. 2953–2957.
- [38] J. N. Burghartz, "Silicon RF Technology - The Two Generic Approaches," no. 914.
- [39] M. Capelle, J. Billoué, J. Concord, P. Poveda, and G. Gautier, "Monolithic integration of common mode filters with electrostatic discharge protection on silicon/porous silicon hybrid substrate," *Appl. Phys. Lett.*, vol. 104, no. 7, p. 072104, Feb. 2014.

## Κεφάλαιο 2

- [1] D. Lederer and J.-P. Raskin, "Substrate loss mechanisms for microstrip and CPW transmission lines on lossy silicon wafers," *Solid. State. Electron.*, vol. 47, no. 11, pp. 1927–1936, Nov. 2003.
- [2] J. N. Burghartz, D. C. Edelstein, K. A. Jenkiin, and Y. H. Kwark, "Spiral inductors and transmission lines in silicon technology using copper-damascene interconnects and low-loss substrates," *IEEE Trans. Microw. Theory Tech.*, vol. 45, no. 10, pp. 1961–1968, 1997.
- [3] J. Burghartz, "Progress in RF inductors on silicon-understanding substrate losses," in *International Electron Devices Meeting 1998. Technical Digest (Cat. No.98CH36217)*, 1998, pp. 523–526.
- [4] D. Schaubert, D. M. Pozar, and A. Adrian, "Effect of microstrip antenna substrate thickness and permittivity: comparison of theories with experiment," *IEEE Trans. Antennas Propag.*, vol. 37, no. 6, pp. 677–682, Jun. 1989.
- [5] F. Zacharatos, H. F. Contopanagos, and A. G. Nassiopoulou, "Optimized Porous Si Microplate Technology for On-Chip Local RF Isolation," *IEEE Trans. Electron Devices*, vol. 56, no. 11, pp. 2733–2738, Nov. 2009.
- [6] K. T. Chan, A. Chin, Y. D. Lin, C. Y. Chang, C. X. Zhu, M. F. Li, D. L. Kwong, S. McAlister, D. S. Duh, and W. J. Lin, "Integrated antennas on Si with over 100 GHz performance, fabricated using an optimized proton implantation process," *IEEE Microw. Wirel. Components Lett.*, vol. 13, no. 11, pp. 487–489, Nov. 2003.
- [7] D. Lederer and C. Desrumeaux, "High resistivity SOI substrates: how high should we go?," in *2003 IEEE International Conference on Robotics and Automation (Cat No 03CH37422) SOI-03*, 2003, vol. 2, pp. 50–51.
- [8] B. Rong, J. N. Burghartz, L. K. Nanver, B. Rejaei, and M. VanderZwan, "Surface-Passivated High-Resistivity Silicon Substrates for RFICs," *IEEE Electron Device Lett.*, vol. 25, no. 4, pp. 176–178, Apr. 2004.
- [9] J. Raskin, "SOI Technology: An Opportunity for RF Designers?," *8th Diagnostics Yield Symp.*, pp. 3–17, 2009.
- [10] J. Buechler, E. Kasper, P. Russer, and K. M. Strohm, "Silicon High-Resistivity-Substrate Millimeter-Wave Technology," *IEEE Trans. Microw. Theory Tech.*, vol. 34, no. 12, pp. 1516–1521, Dec. 1986.
- [11] F. Gianesello, D. Gloria, C. Raynaud, S. Montusclat, S. Boret, C. Clement, C. Tinella, P. Benech, J. M. Fournier, and G. Dambrine, "State of the art integrated millimeter wave passive components and circuits in advanced thin SOI CMOS technology on High Resistivity substrate," in *2005 IEEE International SOI Conference Proceedings*, 2005, pp. 52–53.
- [12] K. Ali, C. R. Neve, A. Gharsallah, and J. Raskin, "RF Performance of SOI CMOS Technology on Commercial 200-mm Enhanced Signal Integrity High Resistivity SOI Substrate," *IEEE Trans. Electron Devices*, vol. 61, no. 3, pp. 722–728, Mar. 2014.
- [13] H. S. Kim, D. Zheng, A. J. Becker, and Y.-H. Xie, "Spiral inductors on Si p/p/sup +/ substrates with resonant frequency of 20 GHz," *IEEE Electron Device Lett.*, vol. 22, no. 6, pp. 275–277, Jun. 2001.
- [14] P. Sarafis, E. Hourdakakis, A. G. Nassiopoulou, C. Roda Neve, K. Ben Ali, and J.-P. Raskin, "Advanced Si-based substrates for RF passive integration: Comparison between

- local porous Si layer technology and trap-rich high resistivity Si,” *Solid. State. Electron.*, vol. 87, pp. 27–33, Sep. 2013.
- [15] M. Capelle, J. Billoué, J. Concord, P. Poveda, and G. Gautier, “Monolithic integration of common mode filters with electrostatic discharge protection on silicon/porous silicon hybrid substrate,” *Appl. Phys. Lett.*, vol. 104, no. 7, p. 072104, Feb. 2014.
- [16] D. D. Tang, W. C. Lin, L. S. Lai, C. H. Wang, L. P. Lee, H. M. Hsu, C. M. Wu, C. W. Chang, W. Y. Lien, C. P. Chao, C. Y. Lee, G. J. Chern, J. C. Guo, C. S. Chang, Y. C. Sun, D. S. Du, K. C. Lan, and L. F. Lin, “The integration of proton bombardment process into the manufacturing of mixed-signal/RF chips,” in *IEEE International Electron Devices Meeting 2003*, 2003, pp. 28.6.1–28.6.4.
- [17] Y. Wu, A. Chin, K. Shih, C. C. Wu, C. P. Liao, S. C. Pai, and C. C. Chi, “Fabrication of very high resistivity Si with low loss and cross talk,” *IEEE Electron Device Lett.*, vol. 21, no. 9, pp. 442–444, Sep. 2000.
- [18] G. E. Ponchak, “RF Transmission Lines on Silicon Substrates,” in *29th European Microwave Conference, 1999*, 1999, vol. 1, pp. 158–161.
- [19] A. C. Reyes, S. M. El-Ghazaly, and M. Dydyk, “Theoretical and experimental investigation of bias and temperature effects on high resistivity silicon substrates for RF applications,” in *1998 IEEE MTT-S International Microwave Symposium Digest (Cat. No.98CH36192)*, 1998, vol. 2, pp. 1069–1072.
- [20] Z. R. Hu, V. F. Fusco, Y. Wu, H. G. Gamble, B. M. Armstrong, and J. A. C. Stewart, “Contact effects on HF loss of CPW high resistivity silicon lines,” in *1996 IEEE MTT-S International Microwave Symposium Digest*, 1996, vol. 1, pp. 299–302.
- [21] J. Buechler, E. Kasper, P. Russer, and K. M. Strohm, “Silicon High-Resistivity-Substrate Millimeter-Wave Technology,” *IEEE Trans. Microw. Theory Tech.*, vol. 34, no. 12, pp. 1516–1521, Dec. 1986.
- [22] Y. Wu, H. Gamble, B. M. Armstrong, V. F. Fusco, and J. A. C. Stewart, “SiO<sub>2</sub>/sub 2/ interface layer effects on microwave loss of high-resistivity CPW line,” *IEEE Microw. Guid. Wave Lett.*, vol. 9, no. 1, pp. 10–12, 1999.
- [23] N. Bharatula, S. Farris, and S. Colpo, “Integrated Transmission lines of high resistivity silicon considering biasing effects,” *Proc. SAFE ( ...)*, pp. 8–11.
- [24] D. Lederer and J.-P. Raskin, “Effective resistivity of fully-processed SOI substrates,” *Solid. State. Electron.*, vol. 49, no. 3, pp. 491–496, Mar. 2005.
- [25] C. Schollhorn, M. Morschbach, and E. Kasper, “Attenuation mechanisms of aluminum millimeter-wave coplanar waveguides on silicon,” *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 740–746, Mar. 2003.
- [26] M. Norling and D. Kuylentierna, “Comparison of high-resistivity silicon surface passivation methods,” *2007. EuMIC 2007*, no. October, pp. 215–218, 2007.
- [27] A. B. M. Jansman, J. T. M. van Beek, M. H. W. M. van Delden, A. L. a. M. Kemmeren, A. den Dekker, and F. P. Widdershoven, “Elimination of accumulation charge effects for high-resistive silicon substrates,” in *Electrical Performance of Electrical Packaging (IEEE Cat. No. 03TH8710)*, pp. 3–6.
- [28] C. Liu, M. Weng, and J. Lin, “Rapid Thermal Treatment for Improving Thermal Processing Stability of Ar-Implanted Surface Passivated High-Resistivity Silicon,” *IEEE Microw. Wirel. Components Lett.*, vol. 21, no. 7, pp. 365–367, Jul. 2011.
- [29] G. Posada, G. Carchon, P. Soussan, G. Poesen, B. Nauwelaers, and W. Raedt, “Ar Implantation, a Passivation Technique for High-Resistivity Silicon within the MCM-D Technology,” in *2006 European Microwave Integrated Circuits Conference*, 2006, no. September, pp. 21–24.
- [30] A. Botula, A. Joseph, J. Slinkman, R. Wolf, Z.-X. He, D. Ioannou, L. Wagner, M. Gordon, M. Abou-Khalil, R. Phelps, M. Gautsch, W. Abadeer, D. Harmon, M. Levy, J. Benoit, and J. Dunn, “A Thin-Film SOI 180nm CMOS RF Switch Technology,” in *2009 IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, 2009, pp. 1–4.

- [31] C.-J. Chen, R.-L. Wang, Y.-K. Su, and T.-J. Hsueh, "A Nanocrystalline Silicon Surface-Passivation Layer on an HR-Si Substrate for RFICs," *IEEE Electron Device Lett.*, vol. 32, no. 3, pp. 369–371, Mar. 2011.
- [32] H. S. Gamble, B. M. Armstrong, S. J. N. Mitchell, Y. Wu, V. F. Fusco, and J. A. C. Stewart, "Low-loss CPW lines on surface stabilized high-resistivity silicon," *IEEE Microw. Guid. Wave Lett.*, vol. 9, no. 10, pp. 395–397, 1999.
- [33] D. Lederer and J. Raskin, "New substrate passivation method dedicated to HR SOI wafer fabrication with increased substrate resistivity," *IEEE Electron Device Lett.*, vol. 26, no. 11, pp. 805–807, Nov. 2005.
- [34] H.-T. Lue, T.-Y. Tseng, and G.-W. Huang, "A method to characterize the dielectric and interfacial properties of metal–insulator–semiconductor structures by microwave measurement," *J. Appl. Phys.*, vol. 91, no. 8, p. 5275, 2002.
- [35] D. Lederer and J.-P. Raskin, "RF Performance of a Commercial SOI Technology Transferred Onto a Passivated HR Silicon Substrate," *IEEE Trans. Electron Devices*, vol. 55, no. 7, pp. 1664–1671, Jul. 2008.
- [36] H. S. Gamble, B. M. Armstrong, S. J. N. Mitchell, Y. Wu, V. F. Fusco, and J. A. C. Stewart, "Low-loss CPW lines on surface stabilized high-resistivity silicon," *IEEE Microw. Guid. Wave Lett.*, vol. 9, no. 10, pp. 395–397, 1999.
- [37] F. T. Film, D. Kuylenstierna, M. Norling, A. Vorobiev, K. Reimant, D. Lederer, J. Raskin, and S. Gevorgian, "Performance of Coplanar Waveguides on Surface Passivated Resistive Silicon by," pp. 2055–2058, 2007.
- [38] E. P. Donovan, F. Spaepen, D. Turnbull, J. M. Poate, and D. C. Jacobson, "Calorimetric studies of crystallization and relaxation of amorphous Si and Ge prepared by ion implantation," *J. Appl. Phys.*, vol. 57, no. 6, p. 1795, Mar. 1985.
- [39] S. Jagar, K. C. Poon, S. Shivani, and P. K. Ko, "SOI formation from amorphous silicon by metal-induced-lateral-crystallization (MILC) and subsequent high temperature annealing," in *1999 IEEE International SOI Conference. Proceedings (Cat. No.99CH36345)*, 1999, pp. 112–113.
- [40] C. R. Neve, "Small- and large-signal characterization of trap-rich HR-Si/HR-SOI wafers for SoC applications," Universite Catholique de Louvain, 2012.
- [41] T. Kamins, *Polycrystalline Silicon for Integrated Circuit Applications*, vol. 45. Boston, MA: Springer US, 1988.
- [42] J.-P. Raskin and É. Desbonnets, "SOITEC and UCL boost the RF performance of SOI substrates," *Advanced Substrate News*, 2013. .
- [43] SOITEC, "Innovative RF-SOI Wafers for Wireless Applications," 2009.
- [44] Y. H. Wu, A. Chin, K. H. Shih, C. C. Wu, C. P. Liao, S. C. Pai, and C. C. Chi, "RF loss and crosstalk on extremely high resistivity (10 k-1 MΩ-cm) Si fabricated by ion implantation," in *2000 IEEE MTT-S International Microwave Symposium Digest (Cat. No.00CH37017)*, 2000, vol. 1, pp. 221–224.
- [45] K. T. Chan, A. Chin, S. P. McAlister, C. Y. Chang, J. Liu, S. C. Chien, D. S. Duh, and W. J. Lin, "Low RF noise and power loss for ion-implanted Si having an improved implantation process," *IEEE Electron Device Lett.*, vol. 24, no. 1, pp. 28–30, Jan. 2003.
- [46] K. Imai, "A new dielectric isolation method using porous silicon," *Solid. State. Electron.*, vol. 24, no. 2, pp. 159–164, Feb. 1981.
- [47] V. Yakovtseva, L. Dolgyi, N. Vorozov, N. Kazuchits, and V. Bondarenko, "Oxidized Porous Silicon: From Dielectric Isolation to Integrated Optical Waveguides," *J. Porous Mater.*, vol. 7, no. 1–3, pp. 215–222, 2000.
- [48] J. Park, "Characterization of 10 $\mu$ m thick porous silicon dioxide obtained by complex oxidation process for RF application," *Mater. Chem. Phys.*, vol. 82, no. 1, pp. 134–139, Sep. 2003.
- [49] D. Molinero, E. Valera, A. Lazaro, D. Girbau, A. Rodriguez, L. Pradell, and R. Alcubilla, "Properties of oxidized porous silicon as insulator material for RF applications," in *Conference on Electron Devices, 2005 Spanish*, 2005, pp. 131–133.

- [50] H.-S. Kim, Y.-H. Xie, M. DeVincentis, T. Itoh, and K. a. Jenkins, "Unoxidized porous Si as an isolation material for mixed-signal integrated circuit applications," *J. Appl. Phys.*, vol. 93, no. 7, p. 4226, 2003.
- [51] A. G. Nassiopoulou, E. Hourdakis, P. Sarafis, P. Ferrari, H. Issa, J.-P. Raskin, C. Roda Neve, and K. Ben Ali, "Porous Si as a substrate material for RF passive integration," in *2013 14th International Conference on Ultimate Integration on Silicon (ULIS)*, 2013, pp. 89–93.
- [52] G. Gautier and P. Leduc, "Porous silicon for electrical isolation in radio frequency devices: A review," *Appl. Phys. Rev.*, vol. 1, no. 1, p. 011101, 2014.
- [53] S. Borini, L. Boarino, and G. Amato, "Anisotropic resistivity of (100)-oriented mesoporous silicon," *Appl. Phys. Lett.*, vol. 89, no. 13, p. 132111, 2006.
- [54] R. Welty, S. Park, P. M. Asbeck, K.-P. S. Dancil, and M. J. Sailor, "Porous silicon technology for RF integrated circuit applications," in *1998 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems. Digest of Papers (Cat. No.98EX271)*, 1998, pp. 160–163.
- [55] J. J. Yon, K. Barla, R. Herino, and G. Bomchil, "The kinetics and mechanism of oxide layer formation from porous silicon formed on p-Si substrates," *J. Appl. Phys.*, vol. 62, no. 3, p. 1042, 1987.
- [56] A. Loni, "Capping of Porous Silicon," in *"Properties of porous silicon" Emis Datareviews. Ser. No18, IEE, an INSPEC Publ.UK, L. . Canham, Ed. pp. 51–58.*
- [57] G. Kaltsas and A. Nassiopoulou, "Frontside bulk silicon micromachining using porous-silicon technology," *Sensors Actuators A Phys.*, vol. 65, pp. 175–179, 1998.
- [58] M. Capelle, J. Billoué, P. Poveda, and G. Gautier, "RF performances of inductors integrated on localized p+-type porous silicon regions.," *Nanoscale Res. Lett.*, vol. 7, no. 1, p. 523, Jan. 2012.
- [59] E. Hourdakis and A. G. Nassiopoulou, "Single photoresist masking for local porous Si formation," *J. Micromechanics Microengineering*, vol. 24, no. 11, p. 117002, Nov. 2014.
- [60] H.-S. Kim, K. Chong, Y.-H. Xie, M. Devinentis, T. Itoh, A. J. Becker, and K. A. Jenkins, "A porous Si based novel isolation technology for mixed-signal integrated circuits," in *2002 Symposium on VLSI Technology. Digest of Technical Papers (Cat. No.01CH37303)*, 2002, pp. 160–161.
- [61] N. Bacci, a. Diligenti, and G. Barillaro, "Fabrication, electrical characterization, and modeling of fully-porous pn junctions," *J. Appl. Phys.*, vol. 110, no. 3, p. 036106, 2011.
- [62] K. D. Hirschman, L. Tsybeskov, S. P. Duttagupta, and P. M. Fauchet, "Silicon-based visible light-emitting devices integrated into microelectronic circuits," *Nature*, vol. 384, no. 6607, pp. 338–341, Nov. 1996.
- [63] J. N. Burghartz, M. Bartek, B. Rejaei, P. M. Sarro, A. Polyakov, N. P. Pham, E. Boullaard, and K. T. Ng, "Substrate options and add-on process modules for monolithic RF silicon technology," in *Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting*, 2002, pp. 17–23.
- [64] H. Issa, P. Ferrari, E. Hourdakis, and A. G. Nassiopoulou, "On-Chip High-Performance Millimeter-Wave Transmission Lines on Locally Grown Porous Silicon Areas," *IEEE Trans. Electron Devices*, vol. 58, no. 11, pp. 3720–3724, Nov. 2011.
- [65] P. Sarafis, E. Hourdakis, and A. G. Nassiopoulou, "Dielectric Permittivity of Porous Si for Use as Substrate Material in Si-Integrated RF Devices," *IEEE Trans. Electron Devices*, vol. 60, no. 4, pp. 1436–1443, Apr. 2013.
- [66] P. Sarafis, C. Hsu, G. Ardila, P. Benech, and A. Nassiopoulou, "On-chip Integrated Millimeter-wave Antennas on a Local Porous Si Substrate," 2013, vol. 49, no. 9, pp. 3–4.
- [67] H. M. Cheema and A. Shamim, "The last barrier: on-chip antennas," *IEEE Microw. Mag.*, vol. 14, no. 1, pp. 79–91, Jan. 2013.
- [68] H. Hasegawa and H. Okizaki, "MIS and Schottky slow-wave coplanar striplines on GaAs substrates," *Electron. Lett.*, vol. 13, no. 22, pp. 663–664, 1977.
- [69] H. Hasegawa, M. Furukawa, and H. Yanai, "Slow wave propagation along a microstrip line on Si-SiO<sub>2</sub> systems," *Proc. IEEE*, vol. 59, no. 2, pp. 297–299, 1971.

- [70] T. S. D. Cheung and J. R. Long, "Shielded Passive Devices for Silicon-Based Monolithic Microwave and Millimeter-Wave Integrated Circuits," *IEEE J. Solid-State Circuits*, vol. 41, no. 5, pp. 1183–1200, May 2006.
- [71] A.-L. Franc, E. Pistono, D. Gloria, and P. Ferrari, "High-Performance Shielded Coplanar Waveguides for the Design of CMOS 60-GHz Bandpass Filters," *IEEE Trans. Electron Devices*, vol. 59, no. 5, pp. 1219–1226, May 2012.

## Κεφάλαιο 3

- [1] A. Uhler, "Electrolytic Shaping of Germanium and Silicon," *Bell Syst. Tech. J.*, vol. 35, no. 2, pp. 333–347, Mar. 1956.
- [2] W. Lang, P. Steiner, and H. Sandmaier, "Porous silicon: A novel material for microsystems," *Sensors Actuators A Phys.*, vol. 51, no. 1, pp. 31–36, Oct. 1995.
- [3] L. Canham, Ed., "*Properties of porous silicon*" *Emis Datareviews. Ser. No18, IEE, an INSPEC Publ.UK, edited by L.T.Canham. 1997.* 1997.
- [4] M. J. Sailor, *Porous Silicon in Practice: Preparation, Characterization and Applications - Sailor - Wiley Online Library.* 2012.
- [5] L. Canham, *Handbook of Porous Silicon.* Springer International Publishing, 2015, p. 1000.
- [6] L. T. Canham, "Silicon quantum wire array fabrication by electrochemical and chemical dissolution of wafers," *Appl. Phys. Lett.*, vol. 57, no. 10, p. 1046, 1990.
- [7] P. M. Fauchet, L. Tsybeskov, C. Peng, S. P. Duttagupta, J. von Behren, Y. Kostoulas, J. M. V. Vandyshev, and K. D. Hirschman, "Light-emitting porous silicon: materials science, properties, and device applications," *IEEE J. Sel. Top. Quantum Electron.*, vol. 1, no. 4, pp. 1126–1139, 1995.
- [8] R. T. Collins, P. M. Fauchet, and M. a. Tischler, "Porous Silicon: From Luminescence to LEDs," *Phys. Today*, vol. 50, no. 1, p. 24, 1997.
- [9] G. Barillaro, a. Diligenti, L. M. Strambini, E. Comini, and G. Faglia, "NO<sub>2</sub> adsorption effects on p<sup>+</sup>-n silicon junctions surrounded by a porous layer," *Sensors Actuators B Chem.*, vol. 134, no. 2, pp. 922–927, Sep. 2008.
- [10] T. Jalkanen, E. Mäkilä, A. Määtänen, J. Tuura, M. Kaasalainen, V.-P. Lehto, P. Ihalainen, J. Peltonen, and J. Salonen, "Porous silicon micro- and nanoparticles for printed humidity sensors," *Appl. Phys. Lett.*, vol. 101, no. 26, p. 263110, 2012.
- [11] G. Kaltsas and A. G. Nassiopoulou, "Novel C-MOS compatible monolithic silicon gas flow sensor with porous silicon thermal isolation," *Sensors And Actuators*, pp. 133–138, 1999.
- [12] E. Hourdakis, P. Sarafis, and A. Nassiopoulou, "Novel Air Flow Meter for an Automobile Engine Using a Si Sensor with Porous Si Thermal Isolation," *Sensors*, vol. 12, no. 11, pp. 14838–14850, Nov. 2012.
- [13] G. Kaltsas, A. G. Nassiopoulou, M. Siakavellas, and E. Anastassakis, "Stress effect on suspended polycrystalline silicon membranes fabricated by micromachining of porous silicon," *Sensors Actuators A Phys.*, vol. 68, no. 1–3, pp. 429–434, Jun. 1998.
- [14] W. Lang, P. Steiner, A. Richter, K. Maruszyk, G. Weimann, and H. Sandmaier, "Application of porous silicon as a sacrificial layer," *Sensors Actuators A Phys.*, vol. 43, no. 1–3, pp. 239–242, May 1994.
- [15] T. Bell, P. Gennissen, D. DeMunter, and M. Kuhl, "Porous silicon as a sacrificial material," *J. Micromechanics Microengineering*, vol. 6, p. 361, 1996.
- [16] G. Kaltsas, D. N. Pagonis, and G. G. Nassiopoulou, "Planar cmos compatible process for the fabrication of buried microchannels in silicon, using porous-silicon technology," *J. Microelectromechanical Syst.*, vol. 12, no. 6, pp. 863–872, Dec. 2003.
- [17] H. A. Santos, Ed., *Porous Silicon for Biomedical Applications.* Cambridge, UK: Woodhead Publishing, 2014, p. 558.

- [18] H. A. Santos and J. Hirvonen, "Nanostructured porous silicon materials: potential candidates for improving drug delivery.," *Nanomedicine (Lond)*, vol. 7, no. 9, pp. 1281–4, Sep. 2012.
- [19] E. J. Anglin, L. Cheng, W. R. Freeman, and M. J. Sailor, "Porous silicon in drug delivery devices and materials.," *Adv. Drug Deliv. Rev.*, vol. 60, no. 11, pp. 1266–77, Aug. 2008.
- [20] V. Lehmann and U. Gösele, "Porous silicon formation: A quantum wire effect," *Appl. Phys. Lett.*, vol. 58, no. 8, p. 856, 1991.
- [21] X. G. Zhang, "Morphology and Formation Mechanisms of Porous Silicon," *J. Electrochem. Soc.*, vol. 151, no. 1, p. C69, 2004.
- [22] Halimaoui A., "Porous Silicon Formation by Anodization," in *Properties of Porous Silicon*, IEE INSPEC., L. Canham, Ed. London, United Kingdom: The Institution of Electrical Engineers, 1997, p. 12.
- [23] R. L. Smith and S. D. Collins, "Porous silicon formation mechanisms," *J. Appl. Phys.*, vol. 71, no. 8, p. R1, 1992.
- [24] R. J. Archer, "Stain films on silicon," *J. Phys. Chem. Solids*, vol. 14, pp. 104–110, Jul. 1960.
- [25] S. Shih, K. H. Jung, T. Y. Hsieh, J. Sarathy, J. C. Campbell, and D. L. Kwong, "Photoluminescence and formation mechanism of chemically etched silicon," *Appl. Phys. Lett.*, vol. 60, no. 15, p. 1863, Apr. 1992.
- [26] A. Splinter, J. Stürmann, and W. Benecke, "Novel porous silicon formation technology using internal current generation," *Mater. Sci. Eng. C*, vol. 15, no. 1–2, pp. 109–112, Aug. 2001.
- [27] S. P. Scheeler, S. Ullrich, S. Kudera, and C. Pacholski, "Fabrication of porous silicon by metal-assisted etching using highly ordered gold nanoparticle arrays.," *Nanoscale Res. Lett.*, vol. 7, no. 1, p. 450, Jan. 2012.
- [28] X. Li and P. W. Bohn, "Metal-assisted chemical etching in HF/H<sub>2</sub>O<sub>2</sub> produces porous silicon," *Applied Physics Letters*, vol. 77, no. 16, p. 2572, 2000.
- [29] A. G. Nassiopoulou, "Local Formation and Patterning of Porous Silicon," in *"Properties of porous silicon" Emis Datareviews. Ser. No18, IEE, an INSPEC Publ.UK, edited by L.T.Canham. 1997, 1997.*
- [30] G. Kaltsas and A. Nassiopoulou, "Frontside bulk silicon micromachining using porous-silicon technology," *Sensors Actuators A Phys.*, vol. 65, pp. 175–179, 1998.
- [31] E. Hourdakis and a G. Nassiopoulou, "Single photoresist masking for local porous Si formation," *J. Micromechanics Microengineering*, vol. 24, no. 11, p. 117002, Nov. 2014.
- [32] A. G. Nassiopoulos, S. Grigoropoulos, L. Canham, A. Halimaoui, I. Berbezier, E. Gogolides, and D. Papadimitriou, "Sub-micrometre luminescent porous silicon structures using lithographically patterned substrates," *Thin Solid Films*, vol. 255, no. 1–2, pp. 329–333, Jan. 1995.
- [33] T. Defforge, M. Capelle, F. Tran-Van, and G. Gautier, "Plasma-deposited fluoropolymer film mask for local porous silicon formation.," *Nanoscale Res. Lett.*, vol. 7, no. 1, p. 344, Jan. 2012.
- [34] D. Brumhead, L. T. Canham, D. M. Seekings, and P. J. Tufton, "Gravimetric analysis of pore nucleation and propagation in anodised silicon," *Electrochim. Acta*, vol. 38, no. 2–3, pp. 191–197, Feb. 1993.
- [35] A. Halimaoui, "Determination of the specific surface area of porous silicon from its etch rate in HF solutions," *Surface Science*, vol. 306, no. 94, pp. L550–L554, 1994.
- [36] K. Valalaki and A. G. Nassiopoulou, "Low thermal conductivity porous Si at cryogenic temperatures for cooling applications," *J. Phys. D: Appl. Phys.*, vol. 46, no. 29, p. 295101, Jul. 2013.
- [37] C. A. Charitidis, A. Skarmoutsou, A. G. Nassiopoulou, and A. Dragoneas, "Nanomechanical properties of thick porous silicon layers grown on p- and p+-type bulk crystalline Si," *Mater. Sci. Eng. A*, vol. 528, no. 29–30, pp. 8715–8722, Nov. 2011.
- [38] P. Sarafis, E. Hourdakis, A. G. Nassiopoulou, C. Roda Neve, K. Ben Ali, and J.-P. Raskin, "Advanced Si-based substrates for RF passive integration: Comparison between

- local porous Si layer technology and trap-rich high resistivity Si,” *Solid. State. Electron.*, vol. 87, pp. 27–33, Sep. 2013.
- [39] P. Sarafis, E. Hourdakis, and A. G. Nassiopoulou, “Dielectric Permittivity of Porous Si for Use as Substrate Material in Si-Integrated RF Devices,” *IEEE Trans. Electron Devices*, vol. 60, no. 4, pp. 1436–1443, Apr. 2013.
- [40] M. Capelle, J. Billoué, P. Poveda, and G. Gautier, “N-Type Porous Silicon Substrates for Integrated RF Inductors,” *IEEE Trans. Electron Devices*, vol. 58, no. 11, pp. 4111–4114, Nov. 2011.
- [41] A. Halimaoui, “Influence of wettability on anodic bias induced electroluminescence in porous silicon,” *Appl. Phys. Lett.*, vol. 63, no. 9, p. 1264, Aug. 1993.
- [42] L. T. Canham, A. G. Cullis, C. Pickering, O. D. Dosser, T. I. Cox, and T. P. Lynch, “Luminescent anodized silicon aerocrystal networks prepared by supercritical drying,” *Nature*, vol. 368, no. 6467, pp. 133–135, Mar. 1994.
- [43] U. Grüning and A. Yelon, “Capillary and Van der Waals forces and mechanical stability of porous silicon,” *Thin Solid Films*, vol. 255, no. 1–2, pp. 135–138, Jan. 1995.
- [44] O. Belmont, D. Bellet, and Y. Bréchet, “Study of the cracking of highly porous p+ type silicon during drying,” *J. Appl. Phys.*, vol. 79, no. 10, p. 7586, May 1996.
- [45] D. Bellet, “Drying of Porous Silicon,” in “*Properties of porous silicon*” *Emis Datareviews. Ser. No18, IEE, an INSPEC Publ.UK, edited by L.T.Canham. 1997, .*
- [46] S. Frohnhoff, R. Arens-Fischer, T. Heinrich, J. Fricke, M. Arntzen, and W. Theiss, “Characterization of supercritically dried porous silicon,” *Thin Solid Films*, vol. 255, no. 1–2, pp. 115–118, Jan. 1995.
- [47] J. Von Behren, P. M. Fauchet, E. H. Chimowitz, and C. T. Lira, “Optical Properties of Free-Standing Ultrahigh Porosity Silicon Films Prepared by Supercritical Drying,” *MRS Proc.*, vol. 452, p. 565, Feb. 1996.
- [48] C. Populaire, B. Remaki, V. Lysenko, D. Barbier, H. Artmann, and T. Pannek, “On mechanical properties of nanostructured meso-porous silicon,” *Appl. Phys. Lett.*, vol. 83, no. 7, p. 1370, 2003.
- [49] A. G. Nassiopoulou and G. Kaltsas, “Porous Silicon as an Effective Material for Thermal Isolation on Bulk Crystalline Silicon,” *Phys. status solidi*, vol. 182, no. 1, pp. 307–311, Nov. 2000.
- [50] M. Capelle, J. Billoué, P. Poveda, and G. Gautier, “RF performances of inductors integrated on localized p+-type porous silicon regions.,” *Nanoscale Res. Lett.*, vol. 7, no. 1, p. 523, Jan. 2012.
- [51] K. Barla, R. Herino, and G. Bomchil, “Stress in oxidized porous silicon layers,” *J. Appl. Phys.*, vol. 59, no. 2, p. 439, 1986.
- [52] A. E. Pap, K. Kordás, G. Tóth, J. Levoska, A. Uusimäki, J. Vähäkangas, S. Leppävuori, and T. F. George, “Thermal oxidation of porous silicon: Study on structure,” *Appl. Phys. Lett.*, vol. 86, no. 4, p. 041501, 2005.
- [53] K. Barla, R. Herino, G. Bomchil, J. C. Pfister, and A. Freund, “Determination of lattice parameter and elastic properties of porous silicon by X-ray diffraction,” *J. Cryst. Growth*, vol. 68, no. 3, pp. 727–732, Oct. 1984.
- [54] H.-S. Kim, E. C. Zouzounis, and Y.-H. Xie, “Effective method for stress reduction in thick porous silicon films,” *Appl. Phys. Lett.*, vol. 80, no. 13, p. 2287, 2002.
- [55] M. Capelle, J. Billoué, J. Concord, P. Poveda, and G. Gautier, “Monolithic integration of common mode filters with electrostatic discharge protection on silicon/porous silicon hybrid substrate,” *Appl. Phys. Lett.*, vol. 104, no. 7, p. 072104, Feb. 2014.

## Κεφάλαιο 4

- [1] V. Lehmann and U. Gösele, “Porous silicon formation: A quantum wire effect,” *Appl. Phys. Lett.*, vol. 58, no. 8, p. 856, 1991.

- [2] S. Borini, L. Boarino, and G. Amato, "Anisotropic resistivity of (100)-oriented mesoporous silicon," *Appl. Phys. Lett.*, vol. 89, no. 13, p. 132111, 2006.
- [3] V. Lehmann, F. Hofmann, F. Möller, and U. Grüning, "Resistivity of porous silicon: a surface effect," *Thin Solid Films*, vol. 255, no. 1–2, pp. 20–22, Jan. 1995.
- [4] M. Ben-Chorin, F. Möller, F. Koch, W. Schirmacher, and M. Eberhard, "Hopping transport on a fractal: ac conductivity of porous silicon," *Phys. Rev. B*, vol. 51, no. 4, pp. 2199–2213, Jan. 1995.
- [5] V. . Parkhutik, "Residual electrolyte as a factor influencing the electrical properties of porous silicon," *Thin Solid Films*, vol. 276, no. 1–2, pp. 195–199, Apr. 1996.
- [6] M. Ben-Chorin, "Resistivity of Porous Silicon," in "Properties of porous silicon" *Emis Datareviews. Ser. No18, IEE, an INSPEC Publ.UK, edited by L.T.Canham. 1997*, pp. 165–175.
- [7] M. Ben-Chorin, F. Möller, and F. Koch, "Nonlinear electrical transport in porous silicon," *Phys. Rev. B*, vol. 49, no. 4, pp. 2981–2984, Jan. 1994.
- [8] P. Forsh, D. Zhigunov, L. Osminkina, V. Timoshenko, and P. Kashkarov, "Strong anisotropy of lateral electrical transport in (110) porous silicon films," *Phys. status solidi*, vol. 2, no. 9, pp. 3404–3408, Jun. 2005.
- [9] H.-S. Kim, Y.-H. Xie, M. DeVincentis, T. Itoh, and K. a. Jenkins, "Unoxidized porous Si as an isolation material for mixed-signal integrated circuit applications," *J. Appl. Phys.*, vol. 93, no. 7, p. 4226, 2003.
- [10] A. M. Campos, J. Torres, and J. J. Giraldo, "Porous Silicon Dielectric Function Modeling From Effective Medium Theories," *Surf. Rev. Lett.*, vol. 09, no. 05n06, pp. 1631–1635, Oct. 2002.
- [11] W. Theiß, S. Henkel, and M. Arntzen, "Connecting microscopic and macroscopic properties of porous media: choosing appropriate effective medium concepts," *Thin Solid Films*, vol. 255, no. 1–2, pp. 177–180, Jan. 1995.
- [12] E. Astrova and V. Tolmachev, "Effective refractive index and composition of oxidized porous silicon films," *Mater. Sci. Eng. B*, vol. 69–70, pp. 142–148, Jan. 2000.
- [13] M. Khardani, M. Bouaïcha, and B. Bessaïs, "Bruggeman effective medium approach for modelling optical properties of porous silicon: comparison with experiment," *Phys. Status Solidi*, vol. 4, no. 6, pp. 1986–1990, May 2007.
- [14] S. Ramani, A. Cheville, J. Escorcia Garcia, and V. Agarwal, "Conductivity of free-standing porous silicon layers using Terahertz differential time-domain spectroscopy," *Phys. status solidi*, vol. 4, no. 6, pp. 2111–2115, May 2007.
- [15] P. Sarafis, E. Hourdakis, and A. G. Nassiopoulou, "Dielectric Permittivity of Porous Si for Use as Substrate Material in Si-Integrated RF Devices," *IEEE Trans. Electron Devices*, vol. 60, no. 4, pp. 1436–1443, Apr. 2013.
- [16] M. Theodoropoulou, D. N. Pagonis, A. G. Nassiopoulou, C. A. Krontiras, and S. N. Georga, "Dielectric characterization of macroporous thick silicon films in the frequency range 1 Hz-1 MHz," *Phys. status solidi*, vol. 5, no. 12, pp. 3597–3600, Dec. 2008.
- [17] W. Theiß, "The dielectric function of porous silicon — how to obtain it and how to use it," *Thin Solid Films*, vol. 276, no. 1–2, pp. 7–12, Apr. 1996.
- [18] H.-S. Kim, K. Chong, and Y.-H. Xie, "The promising role of porous Si in mixed-signal integrated circuit technology," *Phys. status solidi*, vol. 197, no. 1, pp. 269–274, May 2003.
- [19] D. Williams, J. Belquin, G. Dambriane, and R. Fenton, "On-wafer measurement at millimeter wave frequencies," in *1996 IEEE MTT-S International Microwave Symposium Digest*, 1996, vol. 3, pp. 1683–1686.
- [20] S. Menard, A. Fevre, M. Capelle, T. Defforge, J. Billoue, and G. Gautier, "Dielectric behaviour of porous silicon grown from p-type substrates," in *International Conference on Porous Semiconductors - Science and Technology*, 2014, vol. 0, pp. 122–123.
- [21] H. Contopanagos, D. N. Pagonis, and a. G. Nassiopoulou, "Broadband electrical characterization of macroporous silicon at microwave frequencies," *Phys. Status Solidi*, vol. 205, no. 11, pp. 2548–2551, Nov. 2008.



- [22] F. Zacharatos, H. F. Contopanagos, and A. G. Nassiopoulou, "Optimized Porous Si Microplate Technology for On-Chip Local RF Isolation," *IEEE Trans. Electron Devices*, vol. 56, no. 11, pp. 2733–2738, Nov. 2009.
- [23] H. Contopanagos, F. Zacharatos, and A. G. Nassiopoulou, "RF characterization and isolation properties of mesoporous Si by on-chip coplanar waveguide measurements," *Solid. State. Electron.*, vol. 52, no. 11, pp. 1730–1734, Nov. 2008.
- [24] "Ansoft HFSS, HFSS v.13." [Online]. Available: <http://www.ansoft.com/products/hf/hfss>.
- [25] R. N. Simons, *Coplanar Waveguide Circuits, Components, and Systems*, vol. 7. New York, USA: John Wiley & Sons, Inc., 2001.
- [26] E. Carlsson and S. Gevorgian, "Conformal mapping of the field and charge distributions in multilayered substrate CPWs," *Microw. Theory Tech. ...*, vol. 47, no. 8, pp. 1544–1552, 1999.
- [27] G. Matthaei and K. Kiziloglu, "The nature of the charges, currents, and fields in and about conductors having cross-sectional dimensions of the order of a skin depth," *Microw. Theory ...*, vol. 38, no. 8, pp. 1031–1036, 1990.
- [28] C. Schollhorn, M. Morschbach, and E. Kasper, "Attenuation mechanisms of aluminum millimeter-wave coplanar waveguides on silicon," *IEEE Trans. Electron Devices*, vol. 50, no. 3, pp. 740–746, Mar. 2003.
- [29] C.-Y. Hung and M.-H. Weng, "Investigation of the Silicon Substrate With Different Substrate Resistivities for Integrated Filters With Excellent Performance," *IEEE Trans. Electron Devices*, vol. 59, no. 4, pp. 1164–1171, Apr. 2012.
- [30] R. Collin, *Foundations for Microwave Engineering*, 2nd ed. Wiley-IEEE Press, 2000, p. 944.
- [31] W. Heinrich, "Full-wave analysis of conductor losses on MMIC transmission lines," *IEEE Trans. Microw. Theory Tech.*, vol. 38, no. 10, pp. 1468–1472, 1990.
- [32] A. M. Mangan, S. P. Voinigescu, and M. Tazlauanu, "De-embedding transmission line measurements for accurate modeling of IC designs," *IEEE Trans. Electron Devices*, vol. 53, no. 2, pp. 235–241, Feb. 2006.
- [33] T. E. Kolding, "On-wafer calibration techniques for giga-hertz CMOS measurements," *ICMTS 1999. Proc. 1999 Int. Conf. Microelectron. Test Struct. (Cat. No.99CH36307)*, no. March, pp. 105–110, 1999.
- [34] J. Kim, M. Choi, and S. Lee, "A ' Thru-Short-Open ' De-embedding Method for Accurate On-Wafer RF Measurements of Nano-Scale MOSFETs," vol. 12, no. 1, pp. 53–58, 2012.
- [35] H. Ito and K. Masuy, "A simple through-only de-embedding method for on-wafer S-parameter measurements up to 110 GHz," in *2008 IEEE MTT-S International Microwave Symposium Digest*, 2008, pp. 383–386.
- [36] E. P. Vandamme, D. M. M. P. Schreurs, and G. Van Dinther, "Improved three-step de-embedding method to accurately account for the influence of pad parasitics in silicon on-wafer RF test-structures," *IEEE Trans. Electron Devices*, vol. 48, no. 4, pp. 737–742, Apr. 2001.
- [37] H. Cho and D. Burk, "A Three-step method for the de-embedding of high-frequency S-parameter measurements," *IEEE Trans. Electron Devices*, vol. 38, no. 6, pp. 1371–1375, Jun. 1991.
- [38] A. Franc, D. Kaddour, H. Issa, E. Pistono, N. Corrao, J. M. Fournier, and P. Ferrari, "Slow-wave high performance shielded CPW transmission lines: A lossy model," in *Microwave Conference, 2009. EuMC 2009. European*, 2009, no. October, pp. 185–188.
- [39] P. Sarafis, E. Hourdakis, and A. G. Nassiopoulou, "Porous Si dielectric parameter extraction for use in RF passive device integration : Measurements and simulations," in *43rd European Solid-State Device Research Conference*, 2013, no. 257375, pp. 99–102.
- [40] M. Ouaddari, S. Delprat, F. Vidal, and M. Chaker, "Microwave characterization of ferroelectric thin-film materials," *IEEE Trans. Microw. Theory Tech.*, vol. 53, no. 4, pp. 1390–1397, Apr. 2005.

- [41] J. W. Lamb, “Miscellaneous data on materials for millimetre and submillimetre optics,” *Int. J. Infrared Millimeter Waves*, vol. 17, no. 12, pp. 1997–2034, Dec. 1996.
- [42] J. Krupka, S. Member, J. Breeze, A. Centeno, N. Alford, and T. Claussen, “Measurements of Permittivity, Dielectric Loss Tangent, and Resistivity of Float-Zone Silicon at Microwave Frequencies,” *Microw. Theory Tech. IEEE Trans.*, vol. 54, no. 11, pp. 3995–4001, 2006.
- [43] A. R. Barron, “CVD of Nonmetals,” in *CVD of Nonmetals*, W. S. R. Rees Jr, Ed. NY, USA: VCH Publishers, Inc, 1996, p. 272.
- [44] H. Issa, P. Ferrari, E. Hourdakis, and A. G. Nassiopoulou, “On-Chip High-Performance Millimeter-Wave Transmission Lines on Locally Grown Porous Silicon Areas,” *IEEE Trans. Electron Devices*, vol. 58, no. 11, pp. 3720–3724, Nov. 2011.
- [45] P. Sarafis and A. G. Nassiopoulou, “Dielectric properties of porous silicon for use as a substrate for the on-chip integration of millimeter-wave devices in the frequency range 140 to 210 GHz,” *Nanoscale Res. Lett.*, vol. 9, no. 1, p. 418, Jan. 2014.
- [46] H.-J. Cheng, J. F. Whitaker, T. M. Weller, and L. P. B. Katehi, “Terahertz-bandwidth characteristics of coplanar transmission lines on low permittivity substrates,” *IEEE Trans. Microw. Theory Tech.*, vol. 42, no. 12, pp. 2399–2406, 1994.
- [47] L. Canham, Ed., “*Properties of porous silicon*” *Emis Datareviews. Ser. No18, IEE, an INSPEC Publ.UK, edited by L.T.Canham. 1997.* 1997.

## Κεφάλαιο 5

- [1] A.-L. Franc, E. Pistono, D. Gloria, and P. Ferrari, “High-Performance Shielded Coplanar Waveguides for the Design of CMOS 60-GHz Bandpass Filters,” *IEEE Trans. Electron Devices*, vol. 59, no. 5, pp. 1219–1226, May 2012.
- [2] T. S. D. Cheung and J. R. Long, “Shielded Passive Devices for Silicon-Based Monolithic Microwave and Millimeter-Wave Integrated Circuits,” *IEEE J. Solid-State Circuits*, vol. 41, no. 5, pp. 1183–1200, May 2006.
- [3] M. A. Aziz, H. Issa, D. Kaddour, F. Podevin, A. M. E. Safwat, E. Pistono, J.-M. Duchamp, A. Vilcot, J.-M. Fournier, and P. Ferrari, “Shielded coplanar striplines for RF integrated applications,” *Microw. Opt. Technol. Lett.*, vol. 51, no. 2, pp. 352–358, Feb. 2009.
- [4] D. Kaddour, H. Issa, A. Franc, N. Corrao, E. Pistono, F. Podevin, J. Fournier, J. Duchamp, and P. Ferrari, “High-Q Slow-Wave Coplanar Transmission Lines on 0.35  $\mu\text{m}$  CMOS Process,” *IEEE Microw. Wirel. Components Lett.*, vol. 19, no. 9, pp. 542–544, Sep. 2009.
- [5] R. Li, C. Jin, M. Tang, K. F. Chang, S. W. Ho, Z. Chen, and B. Zheng, “Low Loss Suspended Membrane on Low Resistivity Silicon and Its Applications to Millimetre-Wave Passive Circuits,” *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 4, no. 7, pp. 1237–1244, Jul. 2014.
- [6] I. Jeong, S. Shin, J. Go, J. Lee, and C. Nam, “High-performance air-gap transmission lines and inductors for millimeter-wave applications,” *IEEE Trans. Microw. Theory Tech.*, vol. 50, no. 12, pp. 2850–2855, Dec. 2002.
- [7] G. Carchon, “Wafer-level packaging technology for high-Q on-chip inductors and transmission lines,” *Microw. Theory ...*, vol. 52, no. 4, pp. 1244–1251, 2004.
- [8] G. Gautier and P. Leduc, “Porous silicon for electrical isolation in radio frequency devices: A review,” *Appl. Phys. Rev.*, vol. 1, no. 1, p. 011101, Mar. 2014.
- [9] K. Ali, C. R. Neve, A. Gharsallah, and J. Raskin, “RF Performance of SOI CMOS Technology on Commercial 200-mm Enhanced Signal Integrity High Resistivity SOI Substrate,” *IEEE Trans. Electron Devices*, vol. 61, no. 3, pp. 722–728, Mar. 2014.
- [10] A. G. Nassiopoulou, E. Hourdakis, P. Sarafis, P. Ferrari, H. Issa, J.-P. Raskin, C. Roda Neve, and K. Ben Ali, “Porous Si as a substrate material for RF passive integration,” in *2013 14th International Conference on Ultimate Integration on Silicon (ULIS)*, 2013, pp. 89–93.

- [11] M. Capelle, J. Billoué, J. Concord, P. Poveda, and G. Gautier, "Monolithic integration of common mode filters with electrostatic discharge protection on silicon/porous silicon hybrid substrate," *Appl. Phys. Lett.*, vol. 104, no. 7, p. 072104, Feb. 2014.
- [12] ITRS, "Interconnect," 2011.
- [13] R. N. Simons, *Coplanar Waveguide Circuits, Components, and Systems*, vol. 7. New York, USA: John Wiley & Sons, Inc., 2001.
- [14] D. Lederer and J.-P. Raskin, "Effective resistivity of fully-processed SOI substrates," *Solid. State. Electron.*, vol. 49, no. 3, pp. 491–496, Mar. 2005.
- [15] C. R. Neve and J.-P. Raskin, "RF Harmonic Distortion of CPW Lines on HR-Si and Trap-Rich HR-Si Substrates," *IEEE Trans. Electron Devices*, vol. 59, no. 4, pp. 924–932, Apr. 2012.
- [16] H.-S. Kim, K. Chong, Y.-H. Xie, M. Devinentis, T. Itoh, A. J. Becker, and K. A. Jenkins, "A porous Si based novel isolation technology for mixed-signal integrated circuits," in *2002 Symposium on VLSI Technology. Digest of Technical Papers (Cat. No.01CH37303)*, 2002, pp. 160–161.
- [17] R. L. Peterson, I. Itotia, and R. F. Drayton, "High frequency methods for characterization of oxidized porous silicon," *2001 Top. Meet. Silicon Monolith. Integr. Circuits RF Syst. Dig. Pap. (IEEE Cat. No.01EX496)*, vol. 00, no. C, pp. 210–214, 2001.
- [18] R. Welty, S. Park, P. M. Asbeck, K.-P. S. Dancil, and M. J. Sailor, "Porous silicon technology for RF integrated circuit applications," in *1998 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems. Digest of Papers (Cat. No.98EX271)*, 1998, pp. 160–163.
- [19] H. Contopanagos, D. N. Pagonis, and a. G. Nassiopoulou, "Broadband electrical characterization of macroporous silicon at microwave frequencies," *Phys. Status Solidi*, vol. 205, no. 11, pp. 2548–2551, Nov. 2008.
- [20] H.-S. Kim, Y.-H. Xie, M. DeVincentis, T. Itoh, and K. a. Jenkins, "Unoxidized porous Si as an isolation material for mixed-signal integrated circuit applications," *J. Appl. Phys.*, vol. 93, no. 7, p. 4226, 2003.
- [21] F. Zacharatos, H. F. Contopanagos, and A. G. Nassiopoulou, "Optimized Porous Si Microplate Technology for On-Chip Local RF Isolation," *IEEE Trans. Electron Devices*, vol. 56, no. 11, pp. 2733–2738, Nov. 2009.
- [22] H. Contopanagos, F. Zacharatos, and A. G. Nassiopoulou, "RF characterization and isolation properties of mesoporous Si by on-chip coplanar waveguide measurements," *Solid. State. Electron.*, vol. 52, no. 11, pp. 1730–1734, Nov. 2008.
- [23] M. Capelle, J. Billoué, G. Gautier, and P. Poveda, "Study of porous silicon substrate for the integration of radiofrequency monolithic circuits," in *2013 IEEE International Conference of Electron Devices and Solid-state Circuits*, 2013, pp. 1–2.
- [24] R. L. Peterson and R. F. Drayton, "Dielectric properties of oxidized porous silicon in a low resistivity substrate," in *2001 IEEE MTT-S International Microwave Symposium Digest (Cat. No.01CH37157)*, 2001, vol. 2, pp. 767–770.
- [25] C. Nam and Y. Kwon, "High-performance planar inductor on thick oxidized porous silicon (OPS) substrate," *IEEE Microw. Guid. Wave Lett.*, vol. 7, no. 8, pp. 236–238, 1997.
- [26] C. Li, H. Liao, C. Wang, J. Yin, and R. Huang, "High-Q Integrated Inductor Using Post-CMOS Selective Grown Porous Silicon (SGPS) Technique for RFIC Applications," *2007 IEEE Radio Freq. Integr. Circuits Symp.*, vol. 28, no. 8, pp. 167–170, Jun. 2007.
- [27] M. Capelle, J. Billoué, P. Poveda, and G. Gautier, "Study of porous silicon substrates for the monolithic integration of radiofrequency circuits," *Int. J. Microw. Wirel. Technol.*, vol. 6, no. 01, pp. 39–43, Dec. 2013.
- [28] I. K. Itotia and R. F. Drayton, "Porosity effects on coplanar waveguide porous silicon interconnects," in *2002 IEEE MTT-S International Microwave Symposium Digest (Cat. No.02CH37278)*, 2002, pp. 681–684.
- [29] P. Sarafis, E. Hourdakis, and A. G. Nassiopoulou, "Dielectric Permittivity of Porous Si for Use as Substrate Material in Si-Integrated RF Devices," *IEEE Trans. Electron Devices*, vol. 60, no. 4, pp. 1436–1443, Apr. 2013.

- [30] D. Molinero, E. Valera, A. Lazaro, D. Girbau, A. Rodriguez, L. Pradell, and R. Alcubilla, "Properties of oxidized porous silicon as insulator material for RF applications," in *Conference on Electron Devices, 2005 Spanish*, 2005, pp. 131–133.
- [31] G. E. Ponchak, I. K. Itotia, and R. F. Drayton, "Propagation Characteristics of Finite Ground Coplanar Waveguide on Si Substrates With Porous Si and Polyimide Interface Layers," in *33rd European Microwave Conference, 2003*, 2003, pp. 45–48.
- [32] P. Sarafis, E. Hourdakakis, A. G. Nassiopoulou, C. Roda Neve, K. Ben Ali, and J.-P. Raskin, "Advanced Si-based substrates for RF passive integration: Comparison between local porous Si layer technology and trap-rich high resistivity Si," *Solid. State. Electron.*, vol. 87, pp. 27–33, Sep. 2013.
- [33] P. Sarafis and A. G. Nassiopoulou, "Dielectric properties of porous silicon for use as a substrate for the on-chip integration of millimeter-wave devices in the frequency range 140 to 210 GHz.," *Nanoscale Res. Lett.*, vol. 9, no. 1, p. 418, Jan. 2014.
- [34] C. Nam and Y. Kwon, "Coplanar waveguides on silicon substrate with thick oxidized porous silicon (OPS) layer," *IEEE Microw. Guid. Wave Lett.*, vol. 8, no. 11, pp. 369–371, 1998.
- [35] D.-W. Kim, I.-H. Jeong, H.-S. Sung, T.-O. Kong, and J.-S. Lee, "High performance RF passive integration on Si smart substrate," in *2002 IEEE MTT-S International Microwave Symposium Digest (Cat. No.02CH37278)*, 2002, vol. 3, pp. 1561–1564.
- [36] S. Z. You, Y. F. Long, Y. S. Xu, Z. Q. Zhu, Y. L. Shi, Z. S. Lai, Z. F. Li, W. Lu, and A. Z. Li, "Fabrication and characterization of thick porous silicon layers for rf circuits," *Sensors Actuators A Phys.*, vol. 108, no. 1–3, pp. 117–120, Nov. 2003.
- [37] J. Park, "Characterization of 10 $\mu$ m thick porous silicon dioxide obtained by complex oxidation process for RF application," *Mater. Chem. Phys.*, vol. 82, no. 1, pp. 134–139, Sep. 2003.
- [38] H. Issa, P. Ferrari, E. Hourdakakis, and A. G. Nassiopoulou, "On-Chip High-Performance Millimeter-Wave Transmission Lines on Locally Grown Porous Silicon Areas," *IEEE Trans. Electron Devices*, vol. 58, no. 11, pp. 3720–3724, Nov. 2011.
- [39] K. Chong, Y.-H. Xie, K.-W. Yu, D. Huang, and M.-C. F. Chang, "High-performance inductors integrated on porous silicon," *IEEE Electron Device Lett.*, vol. 26, no. 2, pp. 93–95, Feb. 2005.
- [40] "Ansoft HFSS, HFSS v.13." [Online]. Available: <http://www.ansoft.com/products/hf/hfss>.
- [41] Z. R. Hu, V. F. Fusco, Y. Wu, H. G. Gamble, B. M. Armstrong, and J. A. C. Stewart, "Contact effects on HF loss of CPW high resistivity silicon lines," in *1996 IEEE MTT-S International Microwave Symposium Digest*, 1996, vol. 1, pp. 299–302.
- [42] I. K. Itotia and R. F. Drayton, "DC bias effects on bulk silicon and porous silicon substrates," in *IEEE Antennas and Propagation Society International Symposium. Digest. Held in conjunction with: USNC/CNC/URSI North American Radio Sci. Meeting (Cat. No.03CH37450)*, vol. 2, pp. 663–666.
- [43] C. R. Neve, K. Ben Alia, C. Malaquin, F. Allibert, E. Desbionnets, I. Bertrand, W. Van Den Daele, and J.-P. Raskin, "RF and linear performance of commercial 200 mm trap-rich HR-SOI wafers for SoC applications," in *2013 IEEE 13th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, 2013, pp. 15–17.
- [44] K. Ben Ali, C. Roda Neve, C. Malaquin, A. Gharsallah, and J.-P. Raskin, "RF SOI CMOS Technology on Commercial Trap-Rich High Resistivity SOI Wafer," in *IEEE Int. SOI Conference*, 2012.
- [45] SOITEC, "Innovative RF-SOI Wafers for Wireless Applications," 2009.
- [46] A. Tombak, C. Iversen, J.-B. Pierres, D. Kerr, M. Carroll, P. Mason, E. Spears, and T. Gillenwater, "Cellular antenna switches for multimode applications based on a Silicon-on-Insulator technology," in *2010 IEEE Radio Frequency Integrated Circuits Symposium*, 2010, pp. 271–274.
- [47] J.-P. Raskin, A. Viviani, D. Flandre, and J.-P. Colinge, "Substrate crosstalk reduction using SOI technology," *IEEE Trans. Electron Devices*, vol. 44, no. 12, pp. 2252–2261, 1997.

- [48] C. Roda Neve, K. Ben Ali, P. Sarafis, E. Hourdakis, A. G. Nassiopoulou, and J.-P. Raskin, "Effect of temperature on advanced Si-based substrates performance for RF passive integration," *Microelectron. Eng.*, pp. 4–8, Aug. 2013.
- [49] C. R. Neve, D. Lederer, and J.-P. Raskin, "Temperature and bias dependent performance of coplanar waveguide on high resistivity silicon substrate with passivation layer," in *EuroSOI*, 2008, pp. 121–122.
- [50] A. C. Reyes, S. M. El-Ghazaly, and M. Dydyk, "Theoretical and experimental investigation of bias and temperature effects on high resistivity silicon substrates for RF applications," in *1998 IEEE MTT-S International Microwave Symposium Digest (Cat. No.98CH36192)*, 1998, vol. 2, pp. 1069–1072.
- [51] D. Lederer and C. Desrumeaux, "High resistivity SOI substrates: how high should we go?," in *2003 IEEE International Conference on Robotics and Automation (Cat No 03CH37422) SOI-03*, 2003, vol. 2, pp. 50–51.
- [52] H. Hasegawa, M. Furukawa, and H. Yanai, "Slow wave propagation along a microstrip line on Si-SiO<sub>2</sub> systems," *Proc. IEEE*, vol. 59, no. 2, pp. 297–299, 1971.
- [53] T. S. D. Cheung, J. R. Long, K. Vaed, R. Volant, A. Chinthakindi, C. M. Schnabel, J. Florkey, and K. Stein, "On-chip interconnect for mm-wave applications using an all-copper technology and wavelength reduction," in *2003 IEEE International Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC.*, 2003, vol. 1, pp. 396–501.
- [54] P. Sarafis, E. Hourdakis, and A. G. Nassiopoulou, "Porous Si dielectric parameter extraction for use in RF passive device integration : Measurements and simulations," in *43rd European Solid-State Device Research Conference*, 2013, no. 257375, pp. 99–102.
- [55] S. Montusclat, F. Giancesello, and D. Gloria, "Silicon full integrated LNA, Filter and Antenna system beyond 40 GHz for MMW wireless communication links in advanced CMOS technologies," in *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2006*, 2006, pp. 77–80.
- [56] F. Giancesello, D. Gloria, C. Raynaud, S. Montusclat, S. Boret, C. Clement, P. Benech, J. M. Fournier, and G. Dambrine, "State of the art 200 GHz passive components and circuits integrated in advanced thin SOI CMOS technology on High Resistivity substrate," in *2006 IEEE international SOI Conference Proceedings*, 2006, pp. 121–122.
- [57] F. Giancesello, D. Gloria, S. Montusclat, C. Raynaud, S. Boret, G. Dambrine, S. Lepilliet, B. Martineau, and R. Pilard, "1.8 dB insertion loss 200 GHz CPW band pass filter integrated in HR SOI CMOS Technology," in *2007 IEEE/MTT-S International Microwave Symposium*, 2007, pp. 453–456.
- [58] B. Martineau, A. Cathelin, F. Danneville, A. Kaiser, G. Dambrine, S. Lepilliet, F. Giancesello, and D. Belot, "80 GHz low noise amplifiers in 65nm CMOS SOI," *ESSCIRC 2007 - 33rd Eur. Solid-State Circuits Conf.*, pp. 348–351, Sep. 2007.
- [59] F. Giancesello and R. Pilard, "325GHz CPW band pass filter integrated in advanced HR SOI RF CMOS technology," *Microw. Conf. (EuMC), 2010 Eur.*, no. September, pp. 57–60, 2010.
- [60] a. Chin, K. T. Chan, C. H. Huang, C. Chen, V. Liang, J. K. Chen, S. C. Chien, S. W. Sun, D. S. Duh, W. J. Lin, M. F. Li, and S. P. McAlister, "RF passive devices on Si with excellent performance close to ideal devices designed by electro-magnetic simulation," *IEEE Int. Electron Devices Meet. 2003*, pp. 15.5.1–15.5.4, 2003.
- [61] F. Vecchi, M. Repposi, W. Eyssa, P. Arcioni, and F. Svelto, "Design of Low-Loss Transmission Lines in Scaled CMOS by Accurate Electromagnetic Simulations," *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2605–2615, Sep. 2009.
- [62] A.-L. Franc, E. Pistono, D. Gloria, and P. Ferrari, "High-Performance Shielded Coplanar Waveguides for the Design of CMOS 60-GHz Bandpass Filters," *IEEE Trans. Electron Devices*, vol. 59, no. 5, pp. 1219–1226, May 2012.
- [63] G. Avenier, M. Diop, P. Chevalier, G. Troillard, N. Loubet, J. Bouvier, L. Depoyan, N. Derrier, M. Buczko, C. Leyris, S. Boret, S. Montusclat, A. Margain, S. Pruvost, S. T. Nicolson, K. H. K. Yau, N. Revil, D. Gloria, D. Dutartre, S. P. Voinigescu, and A. Chantre, "0.13  $\mu\text{m}$  SiGe BiCMOS Technology Fully Dedicated to mm-Wave Applications," *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2312–2321, Sep. 2009.

[64] C. Lin and C. F. Jou, "New CMOS-Compatible Micromachined Embedded Coplanar Waveguide," vol. 58, no. 9, pp. 2511–2516, 2010.

## Κεφάλαιο 6

- [1] N. M. Nguyen and R. G. Meyer, "Si IC-compatible inductors and LC passive filters," *IEEE J. Solid-State Circuits*, vol. 25, no. 4, pp. 1028–1031, 1990.
- [2] J. N. Burghartz, M. Soyuer, K. A. Jenkins, and M. D. Hulvey, "High-Q inductors in standard silicon interconnect technology and its application to an integrated RF power amplifier," in *Proceedings of International Electron Devices Meeting*, no. 9 14, pp. 1015–1018.
- [3] J. N. Burghartz, D. C. Edelstein, K. A. Jenkiin, and Y. H. Kwark, "Spiral inductors and transmission lines in silicon technology using copper-damascene interconnects and low-loss substrates," *IEEE Trans. Microw. Theory Tech.*, vol. 45, no. 10, pp. 1961–1968, 1997.
- [4] J. R. Long and M. a. Copeland, "The modeling, characterization, and design of monolithic inductors for silicon RF IC's," *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 357–369, Mar. 1997.
- [5] Y. K. Koutsoyannopoulos and Y. Papananos, "Systematic analysis and modeling of integrated inductors and transformers in RF IC design," *IEEE Trans. Circuits Syst. II Analog Digit. Signal Process.*, vol. 47, no. 8, pp. 699–713, 2000.
- [6] J. N. Burghartz, "On the design of RF spiral inductors on silicon," *Devices, IEEE Trans.*, vol. 50, no. 3, pp. 718–729, Mar. 2003.
- [7] T. S. D. Cheung and J. R. Long, "Shielded Passive Devices for Silicon-Based Monolithic Microwave and Millimeter-Wave Integrated Circuits," *IEEE J. Solid-State Circuits*, vol. 41, no. 5, pp. 1183–1200, May 2006.
- [8] C. Yue and S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," *Solid-State Circuits, IEEE J.*, vol. 33, no. 5, pp. 743–752, 1998.
- [9] J. Burghartz, "Progress in RF inductors on silicon-understanding substrate losses," in *International Electron Devices Meeting 1998. Technical Digest (Cat. No.98CH36217)*, 1998, pp. 523–526.
- [10] J. C. Wu and M. E. Zaghoul, "CMOS Micromachined Inductors With Structure Supports for RF Mixer Matching Networks," *IEEE Electron Device Lett.*, vol. 29, no. 11, pp. 1209–1211, Nov. 2008.
- [11] J. Yoon, Y. Choi, B. Kim, and Y. Eo, "CMOS-compatible surface-micromachined suspended-spiral inductors for multi-GHz silicon RF ICs," *Electron Device Lett.*, vol. 23, no. 10, pp. 591–593, Oct. 2002.
- [12] G. J. Carchon, X. Sun, and W. De Raedt, "High-Q above-IC inductors and transmission lines - comparison to Cu back-end performance," in *2004 Proceedings. 54th Electronic Components and Technology Conference*, 2004, no. 0, pp. 1118–1123.
- [13] G. Carchon, "Wafer-level packaging technology for high-Q on-chip inductors and transmission lines," *Microw. Theory ...*, vol. 52, no. 4, pp. 1244–1251, 2004.
- [14] R. Li, C. Jin, M. Tang, K. F. Chang, S. W. Ho, Z. Chen, and B. Zheng, "Low Loss Suspended Membrane on Low Resistivity Silicon and Its Applications to Millimetre-Wave Passive Circuits," *IEEE Trans. Components, Packag. Manuf. Technol.*, vol. 4, no. 7, pp. 1237–1244, Jul. 2014.
- [15] M. Rais-Zadeh, J. Laskar, and F. Ayazi, "High Performance Inductors on CMOS-Grade Trenched Silicon Substrate," *IEEE Trans. Components Packag. Technol.*, vol. 31, no. 1, pp. 126–134, 2008.
- [16] C. Nam and Y. Kwon, "High-performance planar inductor on thick oxidized porous silicon (OPS) substrate," *IEEE Microw. Guid. Wave Lett.*, vol. 7, no. 8, pp. 236–238, 1997.
- [17] X. Huo, P. C. H. Chan, K. J. Chen, and H. C. Luong, "A Physical Model for On-Chip Spiral Inductors With Accurate Substrate Modeling," *IEEE Trans. Electron Devices*, vol. 53, no. 12, pp. 2942–2949, Dec. 2006.

- [18] C. Yue, “Physical modeling of spiral inductors on silicon,” *Electron Devices, IEEE Trans.*, vol. 47, no. 3, pp. 560–568, 2000.
- [19] H. S. Kim, D. Zheng, A. J. Becker, and Y.-H. Xie, “Spiral inductors on Si p/p/sup +/ substrates with resonant frequency of 20 GHz,” *IEEE Electron Device Lett.*, vol. 22, no. 6, pp. 275–277, Jun. 2001.
- [20] M. Capelle, J. Billoué, J. Concord, P. Poveda, and G. Gautier, “Monolithic integration of common mode filters with electrostatic discharge protection on silicon/porous silicon hybrid substrate,” *Appl. Phys. Lett.*, vol. 104, no. 7, p. 072104, Feb. 2014.
- [21] A. S. Royet, R. Cuchet, D. Pellissier, and P. Ancey, “On the investigation of spiral inductors processed on Si substrates with thick porous Si layers,” in *33rd Conference on European Solid-State Device Research, 2003. ESSDERC '03.*, 2003, no. 1, pp. 111–114.
- [22] G. Gautier, P. Leduc, J. Semai, and L. Ventura, “Thick microporous silicon isolation layers for integrated RF inductors,” *Phys. status solidi*, vol. 5, no. 12, pp. 3667–3670, Dec. 2008.
- [23] M. Capelle, J. Billoué, P. Poveda, and G. Gautier, “RF performances of inductors integrated on localized p+-type porous silicon regions.,” *Nanoscale Res. Lett.*, vol. 7, no. 1, p. 523, Jan. 2012.
- [24] M. Yu, Y. Chan, L. Laih, and J. Hong, “Improved microwave performance of spiral inductors on Si substrates by chemically anodizing a porous silicon layer,” *Microw. Opt. Technol. Lett.*, vol. 26, no. 4, pp. 232–234, Aug. 2000.
- [25] K. Chong, Y.-H. Xie, K.-W. Yu, D. Huang, and M.-C. F. Chang, “High-performance inductors integrated on porous silicon,” *IEEE Electron Device Lett.*, vol. 26, no. 2, pp. 93–95, Feb. 2005.
- [26] S. Chang and S. Sivonththaman, “On-chip inductors incorporating porous-Si and intrinsic-amorphous-Si films for rf integrated circuits,” *J. Vac. Sci. Technol. A Vacuum, Surfaces, Film.*, vol. 24, no. 3, p. 841, 2006.
- [27] J. Billoué, G. Gautier, and L. Ventura, “Integration of RF inductors and filters on mesoporous silicon isolation layers,” *Phys. status solidi*, vol. 208, no. 6, pp. 1449–1452, Jun. 2011.
- [28] M. Capelle, J. Billoué, P. Poveda, and G. Gautier, “N-Type Porous Silicon Substrates for Integrated RF Inductors,” *IEEE Trans. Electron Devices*, vol. 58, no. 11, pp. 4111–4114, Nov. 2011.
- [29] P. Sarafis, E. Hourdakis, and A. G. Nassiopoulou, “Advanced Si-based substrates for RF Passive Integration: Comparison between Local Porous Si Layer Technology and trap-rich High Resistivity Si,” *Solid State Electron.*, 2013.
- [30] E. P. Vandamme, D. M. M. P. Schreurs, and G. Van Dinther, “Improved three-step de-embedding method to accurately account for the influence of pad parasitics in silicon on-wafer RF test-structures,” *IEEE Trans. Electron Devices*, vol. 48, no. 4, pp. 737–742, Apr. 2001.
- [31] H. Cho and D. Burk, “A Three-step method for the de-embedding of high-frequency S-parameter measurements,” *IEEE Trans. Electron Devices*, vol. 38, no. 6, pp. 1371–1375, Jun. 1991.
- [32] H.-S. Kim, K. Chong, and Y.-H. Xie, “The promising role of porous Si in mixed-signal integrated circuit technology,” *Phys. status solidi*, vol. 197, no. 1, pp. 269–274, May 2003.
- [33] P. Sarafis, E. Hourdakis, and A. G. Nassiopoulou, “Dielectric Permittivity of Porous Si for Use as Substrate Material in Si-Integrated RF Devices,” *IEEE Trans. Electron Devices*, vol. 60, no. 4, pp. 1436–1443, Apr. 2013.

## Κεφάλαιο 7

- [1] K. Carver and J. Mink, “Microstrip antenna technology,” *IEEE Trans. Antennas Propag.*, vol. 29, no. 1, pp. 2–24, Jan. 1981.

- [2] N. Uzunoglu, N. Alexopoulos, and J. Fikioris, "Radiation properties of microstrip dipoles," *IEEE Trans. Antennas Propag.*, vol. 27, no. 6, pp. 853–858, Nov. 1979.
- [3] D. M. Pozar, "Microstrip antennas," *Proc. IEEE*, vol. 80, no. 1, pp. 79–91, 1992.
- [4] H. M. Cheema and A. Shamim, "The last barrier: on-chip antennas," *IEEE Microw. Mag.*, vol. 14, no. 1, pp. 79–91, Jan. 2013.
- [5] Y. P. Zhang and D. Liu, "Antenna-on-chip and antenna-in-package solutions to highly integrated millimeter-wave devices for wireless communications," *IEEE Trans. Antennas Propag.*, vol. 57, no. 10, pp. 2830–2841, 2009.
- [6] T. S. Rappaport, F. Gutierrez Jr., and T. Al-Attar, "Millimeter-Wave and Terahertz Wireless RFIC and On-Chip Antenna Design: Tools and Layout Techniques," *2009 IEEE Globecom Work.*, pp. 1–7, Nov. 2009.
- [7] A. Babakhani, X. Guan, A. Komijani, A. Natarajan, and A. Hajimiri, "A 77-GHz Phased-Array Transceiver With On-Chip Antennas in Silicon: Receiver and Antennas," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2795–2806, Dec. 2006.
- [8] A. Triantafyllou, N. Corrao, P. Benech, F. Ndagijimana, A. Farcy, and J. Torres, "Integrated Antennas for Wireless Interconnections on Silicon up to 110 GHz," in *2008 38th European Microwave Conference*, 2008, no. October, pp. 1262–1264.
- [9] J. Lin, H. Wu, and Y. Su, "Communication using antennas fabricated in silicon integrated circuits," *Solid-State Circuits*, ..., vol. 42, no. 8, pp. 1678–1687, 2007.
- [10] K. K. O, K. Kim, B. Floyd, J. Mehta, H. Yoon, C.-M. Hung, D. Bravo, T. O. Dickson, X. Guo, R. Li, N. Trichy, J. Caserta, W. R. Bomstad, J. Branch, D.-J. Yang, J. Bohorquez, E. Seok, L. Gao, A. Sugavanam, J.-J. Lin, J. Chen, and J. Brewer, "On-Chip Antennas in Silicon ICs and Their Application," *IEEE Trans. Electron Devices*, vol. 52, no. 7, pp. 1312–1323, Jul. 2005.
- [11] K. K. O, "On-chip wireless interconnection with integrated antennas," in *International Electron Devices Meeting 2000. Technical Digest. IEDM (Cat. No.00CH37138)*, 2000, pp. 485–488.
- [12] A. Triantafyllou, A. Farcy, P. Benech, F. Ndagijimana, O. Exshaw, C. Tinella, O. Richard, C. Raynaud, and J. Torres, "Intra-chip wireless interconnections based on high performances integrated antennas," *Solid. State. Electron.*, vol. 49, no. 9, pp. 1477–1483, Sep. 2005.
- [13] Z. M. Chen and Y. P. Zhang, "Inter-Chip Wireless Communication Channel: Measurement, Characterization, and Modeling," *IEEE Trans. Antennas Propag.*, vol. 55, no. 3, pp. 978–986, Mar. 2007.
- [14] B. A. Floyd and C. Hung, "Intra-chip wireless interconnect for clock distribution implemented with integrated antennas, receivers, and transmitters," *Solid-State Circuits, IEEE J.*, vol. 37, no. 5, pp. 543–552, May 2002.
- [15] K. K. O, K. Kim, B. Floyd, J. Mehta, H. Yoon, C.-M. Hung, D. Bravo, T. Dickson, X. Guo, R. Li, N. Trichy, J. Caserta, W. Bomstad, J. Branch, D.-J. Yang, J. Bohorquez, J. Chen, E.-Y. Seok, L. Gao, a. Sugavanam, J.-J. Lin, S. Yu, C. Cao, M.-H. Hwang, Y.-P. Ding, S.-H. Hwang, H. Wu, N. Zhang, and J. E. Brewer, "The feasibility of on-chip interconnection using antennas," *ICCAD-2005. IEEE/ACM Int. Conf. Comput. Des. 2005.*, pp. 979–984, 2005.
- [16] C. A. Balanis, *Antenna theory: analysis and design*. John Wiley & Sons, 2012.
- [17] N. Engheta, C. H. Papas, and C. Elachi, "Radiation patterns of interfacial dipole antennas," *Radio Sci.*, vol. 17, no. 6, pp. 1557–1566, Nov. 1982.
- [18] M. Bohr, "Interconnect scaling-the real limiter to high performance ULSI," *Int. Electron Devices Meet.*, pp. 241–244, 1995.
- [19] ITRS, "Interconnect," 2003.
- [20] K.-N. Chen, M. J. Kobrinisky, B. C. Barnett, and R. R. Reif, "Comparisons of Conventional, 3-D, Optical, and RF Interconnects for On-Chip Clock Distribution," *IEEE Trans. Electron Devices*, vol. 51, no. 2, pp. 233–239, Feb. 2004.
- [21] ITRS, "Interconnect," 2011.
- [22] D. A. B. Miller, "Rationale and challenges for optical interconnects to electronic chips," *Proc. IEEE*, vol. 88, no. 6, pp. 728–749, 2000.



- [23] H. Yordanov and P. Russer, "Wireless Inter-Chip and Intra-Chip Communication," in *European Microwave Conference, 2009. EuMC 2009*, 2009, pp. 145–148.
- [24] P. Benech, F. Ndagijimana, A. Triantafyllou, A. Farcy, and J. Torres, "Design and performance of integrated antennas for wireless intra chip interconnections," in *IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics*, 2006, pp. 2953–2957.
- [25] P. Sarafis, C. Hsu, G. Ardila, P. Benech, and A. Nassiopoulou, "On-chip Integrated Millimeter-wave Antennas on a Local Porous Si Substrate," 2013, vol. 49, no. 9, pp. 3–4.
- [26] P. Benech, C.-L. Hsu, G. Ardila, P. Sarafis, and A. G. Nassiopoulou, "Metal Nanolines and Antennas for RF and mm-Wave Applications," in *Beyond CMOS Nanodevices 1*, F. Balestra, Ed. NY, USA: John Wiley & Sons, Inc., 2014, pp. 419–456.



# Λίστα Συντομογραφιών και Συμβόλων

<i>Συντομο- γραφία</i>	<i>Αγγλική επεξήγηση</i>	<i>Ελληνική Επεξήγηση</i>
AC	Alternative Current	Εναλλασσόμενο ρεύμα
BEOL	Back End Of Line	-
BiCMOS	Bipolar CMOS	-
CBCPW	Conductor Backed CPW	CPW με πίσω αγωγό
CMOS	Complementary Metal-Oxide-Semiconductor	-
CMP	Chemical Mechanical Polishing	Χημικο-μηχανική λείανση
CDSWHC	Come to the Dark Side We Have Cookies	-
CPW	Co-Planar Waveguide	Ομοεπίπεδος κυματοδηγός
c-Si	Crystalline Silicon	Κρυσταλλικό πυρίτιο
DC	Direct Current	Συνεχές ρεύμα
EtOH	Ethanol	Αιθανόλη
$f$	Frequency	Συχνότητα
FEOL	Front End Of Line	-
FWCPW	Finite Width Co-Planar Waveguide	CPW πεπερασμένου μήκους
$G$	Antenna Gain	Κέρδος κεραίας
GSG	Ground-Signal-Ground	Γείωση-Σήμα-Γείωση
HEMT	High-Electron-Mobility Transistor	Τρανζίστορ μεγάλης κινητικότητας ηλεκτρονίων
HF	Hydrofluoric Acid	Υδροφθορικό οξύ
HR-Si	High Resistivity Silicon	Υψηλής ειδικής αντίστασης πυρίτιο
HR-SOI	High Resistivity SOI	Υψηλής ειδικής αντίστασης SOI
IC	Integrated Circuit	Ολοκληρωμένο κύκλωμα
$IL$	Insertion Loss	-
$PL$	Power Loss	Απώλεια ισχύος
IMD	Inter-Metal Dielectric	Ενδιάμεσο διηλεκτρικό μεταξύ μετάλλων
IoT	"Internet of Things"	-
ITRS	International Technology Roadmap for Semiconductors	Διεθνής οδικός χάρτης για τους ημιαγωγούς
$J$	current density	Πυκνότητα ρεύματος
$L$	inductance	Επαγωγή
LPCVD	Low Pressure Chemical Vapour Deposition	Χαμηλής πίεσης χημική εναπόθεση ατμών
LR-Si	Low-Resistivity Silicon	Χαμηλής ειδικής αντίστασης πυρίτιο
MCM	Multi-Chip Module	Πολυψηφιδικά συστήματα
MEMS	Micro Electro-Mechanical Systems	Μικροηλεκτρομηχανικά συστήματα
MESFET	Metal-Semiconductor Field Effect Transistor	-

MIC	Microwave Integrated Circuit	Μικροκυματικό ολοκληρωμένο κύκλωμα
MMIC	Monolithic Microwave Integrated Circuit	Μονολιθικό μικροκυματικό ολοκληρωμένο κύκλωμα
mmW	millimeter Wave	Χιλιοστομετρικά κύματα
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor	
nMOS	n-type MOSFET	MOSFET με κανάλι τύπου n
$P$	Porosity	Πορώδες
PCB	Printed Circuit Board	Πλακέτα τυπωμένου κυκλώματος
PECVD	Plasma Enhanced Chemical Vapour Deposition	Υποβοηθούμενη με πλάσμα χημική εναπόθεση ατμών
pMOS	p-type MOSFET	MOSFET με κανάλι τύπου p
poly-Si	Polycrystalline Silicon	Πολυκρυσταλλικό πυρίτιο
PSC	Parasitic Surface Conduction	Παρασιτική επιφανειακή αγωγή
PSi	Porous Silicon	Πορώδες πυρίτιο
$Q$	Quality factor	Συντελεστής ποιότητας
RF	Radio-Frequency	Ραδιοσυχνότητες
S-CPW	Shielded - CPW	Θωρακισμένοι ομοεπίπεδοι κυματοδηγοί
SEM	Scanning Electron Microscope	Ηλεκτρονικό μικροσκόπιο σάρωσης
Si	Silicon	Πυρίτιο
SiP	System-in-Package	Σύστημα σε συσκευασία
SoC	System-on-Chip	Σύστημα σε ψηφίδα
SOI	Silicon On Insulator	Πυρίτιο σε μονωτή
SPL	Surface Passivation Layer	Στρώμα επιφανειακής παθητικοποίησης
$\tan\delta$	Loss tangent	Εφαπτομένη απωλειών
TEM	Transverse ElectroMagnetic field	Εγκάρσιο ηλεκτρομαγνητικό πεδίο
TEOS	Tetraethyl orthosilicate	-
TFT	Thin Film Transistor	Τρανζίστορ λεπτού υμενίου
THD	Total Harmonic Distortion	Ολική αρμονική παραμόρφωση
VNA	Vector Network Analyser	Διανυσματικός δικτυακός αναλυτής
$Z_c$	Characteristic impedance	Χαρακτηριστική εμπέδηση
$\alpha$	Attenuation constant	Σταθερά απωλειών
$\beta$	Phase constant	Σταθερά φάσης
$\gamma$	Propagation constant	Σταθερά διάδοσης
HM	-	ΗλεκτοΜαγνητικός
$\epsilon_{eff}$	Effective permittivity	Ενεργός επιτρεπτότητα
$\epsilon_r$	Relative permittivity	Σχετική επιτρεπτότητα
$\mu W$	Microwave	Μικροκύματα
$\rho$	Resistivity	Ειδική αντίσταση
$\rho_{eff}$	Effective resistivity	Ενεργός ειδική αντίσταση

