



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ
ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ
ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ

Τεχνικές Βελτιστοποίησης Σύνθετων
Αριθμητικών Συστημάτων

ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ

ΤΟΥ

ΚΩΝΣΤΑΝΤΙΝΟΥ Β. ΤΣΟΥΜΑΝΗ

Αθήνα, Ιούνιος 2016



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ & ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ & ΥΠΟΛΟΓΙΣΤΩΝ

Τεχνικές Βελτιστοποίησης Σύνθετων Αριθμητικών Συστημάτων

ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ

του

ΚΩΝΣΤΑΝΤΙΝΟΥ Β. ΤΣΟΥΜΑΝΗ

Συμβουλευτική Επιτροπή: Κιαμάλ Πεκμεστζή
Δημήτριος Σούντρης
Γεώργιος Οικονομάκος

Εγκρίθηκε από την επταμελή εξεταστική επιτροπή την 22^η Ιουνίου 2016.

...
Κ. Πεκμεστζή
Καθηγητής Ε.Μ.Π.

...
Δ. Σούντρης
Αν. Καθηγητής Ε.Μ.Π.

...
Γ. Οικονομάκος
Επ. Καθηγητής Ε.Μ.Π.

...
Δ. Γκιζόπουλος
Καθηγητής Ε.Κ.Π.Α.

...
Κ. Ευσταθίου
Καθ. Τ.Ε.Ι. Αθηνών

...
Χ. Βέργος
Καθηγητής Παν. Πατρών

...
Δ. Ρεΐσης
Αν. Καθηγητής Ε.Κ.Π.Α.

Αθήνα, Ιούνιος 2016

Copyright © Κωνσταντίνος Β. Τσουμάνης, 2016
Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξ ολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Οι απόψεις και τα συμπεράσματα που περιέχονται σε αυτό το έγγραφο εκφράζουν τον συγγραφέα και δεν πρέπει να ερμηνευθεί ότι αντιπροσωπεύουν τις επίσημες θέσεις του Εθνικού Μετσόβιου Πολυτεχνείου.

ΠΡΟΛΟΓΟΣ

Υπάρχουν ορισμένοι άνθρωποι, οι οποίοι θέτουν στόχους στη ζωή τους. Και όταν καταφέρουν να επιτύχουν τους στόχους, τους οποίους έχουν θέσει, θέτουν νέους και παλεύουν προκειμένου να επιτύχουν και αυτούς. Δεν ήμουν ποτέ ένας από αυτούς. Ο κύριος λόγος είναι επειδή θεωρώ ότι οι στόχοι σε περιορίζουν να κατευθύνεσαι προς εκείνους χωρίς να απολαμβάνεις τη διαδρομή ή να ακολουθείς και να εξερευνάς τους παράδρομους. Αντιθέτως, όταν απλώς ταξιδεύεις, παρατηρείς. Και όταν παρατηρείς, συλλέγεις ερεθίσματα και πληροφορίες και καταλήγεις να ασχολείσαι με μεράκι και υπομονή με όσα πραγματικά κεντρίζουν το ενδιαφέρον σου. Όταν το Σεπτέμβριο του 2010, χτύπησα την πόρτα του γραφείου του κυρίου Πεκμεστζή, αναζητούσα επίμονα τους λόγους εκείνους, οι οποίοι με ώθησαν να απευθυνθώ σε εκείνον και να συνεργαστώ μαζί του για την εκπόνηση μίας διδακτορικής διατριβής. Ίσως να ήταν η ευκαιρία της περαιτέρω διερεύνησης του υλικού των υπολογιστικών συστημάτων και ο ενθουσιασμός για νέα γνώση ή το ενδιαφέρον για επίλυση προβλημάτων και η πρόκληση για την εύρεση καινοτόμων λύσεων. Η αλήθεια είναι ότι ακόμα δεν έχω καταλήξει, αλλά δεν έχει πλέον και ιδιαίτερη σημασία, γιατί η διδακτορική μου διατριβή ολοκληρώνεται και τυπικά σε λίγη ώρα, με τις τελευταίες γραμμές του παρόντος προλόγου να γράφονται με μία αίσθηση ικανοποίησης και επιτυχίας. Πιθανόν από περιέργεια, το Νοέμβριο του 2010, να ξεκίνησα την παρούσα διδακτορική διατριβή. Αλλά η γνώση, η οποία απλωνόταν μπροστά μου προσφέροντας αναρίθμητα διαφορετικά μονοπάτια ενασχόλησης, οι τεχνολογικές εξελίξεις, οι οποίες κατά στιγμές ήταν ραγδαίες και αύξαναν ολοένα και περισσότερο το ενδιαφέρον μου, και οι μοναδικοί συνεργάτες, με τους οποίους μοιραζόμασταν καθημερινά τις εμπειρίες μας, συνέβαλαν ουσιαστικά στην ολοκλήρωση της διδακτορικής μου διατριβής.

Στο σημείο αυτό θα ήθελα αρχικά να ευχαριστήσω θερμά τον κύριο Πεκμεστζή, ο οποίος δε μου έδωσε απλά μία ευκαιρία, αλλά με στήριζε καθημερινά στην προσπάθειά μου παρέχοντάς μου έως το τέλος τη μέγιστη δυνατή ελευθερία αποφάσεων. Οι εξαντλητικές και εμπεριστατωμένες συζητήσεις μας κατέληξαν σε μία σειρά δημοσιεύσεων σε διεθνούς κύρους επιστημονικά περιοδικά και συνέδρια συμβάλλοντας καθοριστικά στην παρούσα διδακτορική διατριβή. Στη συνέχεια, να ευχαριστήσω θερμά όλους εκείνους με τους οποίους συνεργάστηκα όλα αυτά τα χρόνια της παρουσίας μου στο εργαστήριο Μικροϋπολογιστών και Ψηφιακών Συστημάτων και όλους εκείνους με τους οποίους περάσαμε αμέτρητες ώρες στο χώρο του εργαστηρίου είτε εργαζόμενοι μπροστά στις οθόνες των υπολογιστών μας είτε συζητώντας και ανταλλάσσοντας σκέψεις και απόψεις είτε κάνοντας απλά καλή και δημιουργική παρέα. Ιδιαίτερες ευχαριστίες θα ήθελα να αποδώσω στον κύριο Νίκο Μοσχόπουλο για τις πολύτιμες τεχνικές συμβουλές του, οι οποίες σε ορισμένα κρίσιμα χρονικά σημεία αποδείχτηκαν να είχαν καθοριστική σημασία, και δε θα μπορούσα να παραλείψω να αναφερθώ μεμονωμένα στον κύριο Σωτήρη Ξύδη, ο οποίος με σπάνια υπομονή και μεθοδικότητα μοιράστηκε μαζί μου τις πολύτιμες επιστημονικές του γνώσεις και εμπειρίες και μου προσέφερε απλόχερα έναν εκπληκτικά ιδιαίτερο και διαφορετικό τρόπο σκέψης συμβάλλοντας καταλυτικά στην ολοκλήρωση

της παρούσας διδακτορικής διατριβής. Επίσης, να ευχαριστήσω τον κύριο Σούντρη για τις συμβουλές του όλα αυτά τα χρόνια τόσο σε προσωπικό επίπεδο όσο και σε επαγγελματικό, οι οποίες συμβουλές δίνονταν άλλοτε πρόσωπο με πρόσωπο στα πλαίσια μίας συζήτησης και άλλοτε έμμεσα μέσα από την παρατήρηση του τρόπου εργασίας και συμπεριφοράς.

Θα ολοκληρώσω τον πρόλογο της διδακτορικής μου διατριβής ευχαριστώντας θερμά και μέσα από τα βάθη της καρδιάς μου την οικογένειά μου και τους φίλους μου, οι οποίοι όλα αυτά τα χρόνια μου προσέφεραν χωρίς δεύτερη σκέψη την απρόσκοπτη συμπαράστασή τους και την αμέριστη υποστήριξή τους δίχως ποτέ να εκφράσουν την οποιαδήποτε αντίθεση, αντίρρηση ή αρνητική κριτική πιθανόν να είχαν απέναντι σε κάποια απόφασή μου. Δίχως εκείνους δε θα τα είχα καταφέρει.

Κωνσταντίνος Τσουμάνης
Αθήνα, Ιούνιος 2016

Περίληψη Διατριβής

Τα σύγχρονα ενσωματωμένα συστήματα στοχεύουν σε υψηλών προδιαγραφών πεδία εφαρμογών, οι οποίες απαιτούν αποδοτικές υλοποιήσεις για υπολογιστικά απαιτητικές συναρτήσεις Ψηφιακής Επεξεργασίας Σήματος (ΨΕΣ). Η απόδοση των συστημάτων ΨΕΣ επηρεάζεται εγγενώς από σχεδιαστικές αποφάσεις που αφορούν στην εσωτερική αρχιτεκτονική των αριθμητικών μονάδων που ενσωματώνουν. Συγχρόνως, η στοχευμένη ανάπτυξη αρχιτεκτονικών υλικού για την επιτάχυνση της εκτέλεσης εφαρμογών εξειδικευμένων πεδίων προσφέρει ένα βαθμό ετερογένειας, η οποία έχει αποδειχθεί ότι βελτιώνει την απόδοση και ελαττώνει την κατανάλωση ενέργειας. Ωστόσο, κατά τη σχεδίαση του μονοπατιού δεδομένων ενός επιταχυντή, οι αποφάσεις που λαμβάνονται επηρεάζουν σε μεγάλο βαθμό τόσο την απόδοση όσο και την αποτελεσματικότητά του. Στην παρούσα διατριβή αναπτύσσονται ορισμένες τεχνικές βελτίωσης της απόδοσης υπολογιστικών μονοπατιών δεδομένων για τη συμβατική αριθμητική αναπαράσταση συμπληρώματος ως προς 2 και για ορισμένες εναλλακτικές αριθμητικές αναπαραστάσεις, π.χ., Σωσίματος - Κρατουμένου, Αριθμητικά Συστήματα Υπολοίπων.

Στοχεύοντας στη βελτιστοποίηση της σχεδίασης των μονάδων Άθροισης - Πολλαπλασιασμού (ΑΠ), παρουσιάζουμε μία βελτιωμένη τεχνική απευθείας μετασχηματισμού του αθροίσματος δύο αριθμών στη Modified Booth (MB) μορφή του συγχωνεύοντας τον αθροιστή και τη μονάδα MB κωδικοποίησης του πολλαπλασιαστή σε ένα και μοναδικό δομικό στοιχείο του μονοπατιού δεδομένων. Συνεπώς, ο αθροιστής της συμβατικής σχεδίασης ΑΠ εξαλείφεται και η διαδικασία μετασχηματισμού γίνεται ανεξάρτητη από το μήκος λέξης των εισόδων. Στη συνέχεια, υιοθετούμε μία αρχιτεκτονική υψηλής απόδοσης για τη σύνθεση ευέλικτων επιταχυντών υλικού, η οποία συνδυάζει τεχνικές βελτιστοποίησης τόσο από το υψηλότερο αρχιτεκτονικό όσο και από το χαμηλότερο αριθμητικό επίπεδο σχεδίασης περιλαμβάνοντας ομοιόμορφες και ευέλικτες υπολογιστικές μονάδες. Παρουσιάζουμε μία βελτιωμένη υπολογιστική μονάδα διεξάγοντας τους υπολογισμούς σε αριθμητική Σωσίματος - Κρατουμένου (ΣΚ) και διά μέσου των πράξεων πολλαπλασιασμού δίχως να απαιτούνται χρονοβόρες μετατροπές από την αναπαράσταση ΣΚ στην αντίστοιχη συμπληρώματος ως προς 2.

Τα Αριθμητικά Συστήματα Υπολοίπων αποτελούν μία ελπιδοφόρα εναλλακτική τεχνική υλοποίησης αριθμητικών συστημάτων με στόχο την αύξηση της απόδοσης υπολογιστικά εντατικών εφαρμογών ΨΕΣ. Με στόχο την αύξηση της απόδοσης της λειτουργίας ΑΠ υπολοίπου $2^n \pm 1$, εστιάζουμε στη βελτιστοποίηση της σχεδίασής της. Επιπλέον, επειδή οι αλυσιδωτές αριθμητικές λειτουργίες κυριαρχούν σε εφαρμογές ΨΕΣ και απαιτούν σημαντικούς πόρους του συστήματος για την εκτέλεσή τους, η διατήρηση των ενδιάμεσων αποτελεσμάτων σε μία πλεονάζουσα αναπαράσταση είναι μία ευρέως διαδεδομένη τεχνική για την επιτάχυνση και αποδοτικότερη εκτέλεση των αλυσιδωτών αριθμητικών λειτουργιών λόγω της εξάλειψης των ενδιάμεσων αθροίσεων. Χρησιμοποιώντας μία ειδική πλεονάζουσα αναπαράσταση υπολοίπου $2^n + 1$ σχεδιάζουμε μονάδες άθροισης / πολλαπλασιασμού υπολοίπου $2^n + 1$ με έναν ή δύο όρους στην

αναπαράσταση αυτή στοχεύοντας στην ανάπτυξη μίας συστηματικής μεθοδολογίας για τη χρησιμοποίηση των προαναφερόμενων αριθμητικών μονάδων υπολοίπου $2^n + 1$.

Τέλος, λαμβάνοντας υπόψη ότι εφαρμογές ΨΕΣ και πολυμέσων διεξάγουν μεγάλο αριθμό πολλαπλασιασμών με συντελεστές που δε μεταβάλλονται όσο εκτελείται μία εφαρμογή, διερευνούμε μία μη-πλεονάζουσα αναπαράσταση με προσημασμένα ψηφία και βάση το 4 και χρησιμοποιούμε την προτεινόμενη αναπαράσταση προκειμένου να διερευνήσουμε ένα σχέδιο προ-κωδικοποιημένου πολλαπλασιαστή προ-κωδικοποιώντας τους σταθερούς συντελεστές και αποθηκεύοντάς τους σε μία μνήμη τύπου ROM σε μία συμπυκνωμένη μορφή.

Λέξεις - κλειδιά : Αριθμητικές μέθοδοι, Βελτιστοποίηση σχεδίασης, Αύξηση απόδοση, Μονοπάτι δεδομένων, Συγχωνευμένες αριθμητικές πράξεις, Αριθμητικά συστήματα υπολοίπων.

Thesis Abstract

Modern embedded systems target domains of high-end applications, which require efficient implementations of computationally intensive Digital Signal Processing (DSP) functions. The performance of DSP systems is inherently affected by decisions on their design regarding the inner architecture of arithmetic units. Moreover, the implementation of hardware architectures targeted for accelerating the execution of applications from specialized fields, offers considerable heterogeneity, which has been proven to improve the performance and reduce the power consumption. However, the design decisions concerning the datapath of an acceleration unit largely affect both its performance and efficiency. The present thesis develops certain techniques for improving the performance of computational datapaths, which are based at either the conventional 2's complement arithmetic representation or alternative arithmetic forms, e.g., Carry - Save, Residue Number Systems.

Targeting to optimize the design of Add - Multiply (AM) units, we fuse the adder and the MB encoding component of the subsequent multiplier in an one and only structural element of the datapath and introduce an improved technique of direct recoding of the sum of two numbers in its Modified Booth (MB) form. Thus, the adder of the conventional AM design is omitted and the recoding procedure becomes independent of the bit-length of the input numbers. Then, we adopt a high performance architecture for the synthesis of flexible hardware accelerators, which combines optimization techniques from both the architectural and arithmetic levels of design and incorporates uniform and flexible computational units. We introduce an improved computational unit, which uses Carry - Save (CS) arithmetic to carry out both additions / subtractions and multiplication operations without requiring time-consuming transformations from the CS representation to the respective 2's complement one.

Furthermore, targeting to increase the performance of computationally intensive DSP applications, the Residue Number Systems (RNS) are considered to be a promising alternative for implementing efficient arithmetic systems. Targeting to increase the performance of the modulo $2^n \pm 1$ AM operation, we focus on optimizing its design. Moreover, chained arithmetic operations dominate DSP applications and demand significant system resources for their execution. However, when keeping the intermediate results in a redundant representation, the execution of the chained arithmetic operations is accelerated and becomes more efficient due to the elimination of the intermediate additions. Thus, we use a special redundant modulo $2^n + 1$ representation to design units for the modulo $2^n + 1$ addition / multiplication with the one or both operands in this representation targeting to develop a systematic methodology based on the use of the aforementioned modulo $2^n + 1$ arithmetic units.

Finally, considering that many DSP and multimedia applications carry out a large number of multiplications with coefficients that do not change during the execution of an application, we introduce a non-redundant radix-4 representation with

signed digits and use it in order to explore a pre-encoded multiplier design. More specifically, before any multiplication operation is carried out, we encode the fixed coefficients using the proposed representation and store them in a ROM in a condensed form.

Keywords : Arithmetic techniques, Design optimization, Performance increase, Datapath, Fused arithmetic operations, Residue number systems.

Περιεχόμενα

1	Εισαγωγή	1
1.1	Σύγχρονα Υπολογιστικά Συστήματα	1
1.2	Σχεδίαση Συστημάτων Ψηφιακής Επεξεργασίας Σήματος	4
1.3	Κίνητρα και Προτεινόμενες Λύσεις	6
1.3.1	Βελτιστοποίηση Σχεδίασης Συγχωνευμένης Πράξης Άθροισης - Πολλαπλασιασμού	6
1.3.2	Επιτάχυνση Εφαρμογών ΨΕΣ με τη Χρήση Αριθμητικών Βελτιστοποιήσεων	8
1.3.3	Αριθμητικά Συστήματα Υπολοίπου	10
1.3.3.1	Ορισμός Αριθμητικού Συστήματος Υπολοίπου	11
1.3.3.2	Παράδειγμα Υλοποίησης σε Αριθμητικό Σύστημα Υπολοίπου	12
1.3.3.3	Βελτιστοποίηση Σχεδίασης Σύνθετων και Αλυσιδωτών Αριθμητικών Λειτουργιών Υπολοίπου $2^n \pm 1$	13
1.3.4	Βελτιστοποίηση Σχεδίασης Πολλαπλασιαστών με Προκαθορισμένους και Σταθερούς Συντελεστές	16
2	Βελτιστοποιημένη Τεχνική Modified Booth Μετασχηματισμού για Αποδοτική Σχεδίαση της Πράξης Άθροισης - Πολλαπλασιασμού	19
2.1	Εισαγωγή	19
2.2	Συγχωνευμένη Άθροιση - Πολλαπλασιασμός	21
2.2.1	Κίνητρο	21
2.2.2	Περίληψη της Αναπαράστασης Modified Booth	22
2.2.3	Υλοποίηση της ΣΑΠ	24
2.3	Προτεινόμενη Τεχνική για το Μετασχηματισμό Αθροίσματος στη Modified Booth Αναπαράστασή του	25
2.3.1	Πλήρεις Αθροιστές και Ημι-Αθροιστές Προσημασμένου Bit	25
2.3.2	Εναλλακτικά Σχέδια της Προτεινόμενης Τεχνικής Μετασχηματισμού $S - MB$	26
2.3.2.1	Σχέδιο Μετασχηματισμού $S - MB1$	27
2.3.2.2	Σχέδιο Μετασχηματισμού $S - MB2$	29
2.3.2.3	Σχέδιο Μετασχηματισμού $S - MB3$	30
2.3.2.4	Θετικές Είσοδοι	31
2.4	Αξιολόγηση της Απόδοσης της Προτεινόμενης Τεχνικής Μετασχηματισμού $S - MB$	33
2.4.1	Θεωρητική Ανάλυση	33

2.4.2	Πειραματική Αξιολόγηση	36
2.5	Επίλογος	44
3	Ευέλικτη Αρχιτεκτονική Επιταχυντή για Εφαρμογές Ψηφιακής Επεξεργασίας Σήματος με Χρήση της Αναπαράστασης Σωσίματος - Κρατουμένου	45
3.1	Εισαγωγή.....	45
3.2	Σχετική Βιβλιογραφία	48
3.3	Αριθμητική Σωσίματος - Κρατουμένου: Παρατηρήσεις και Περιορισμοί ως Κίνητρα	50
3.4	Αρχιτεκτονική του Ευέλικτου Επιταχυντή	52
3.4.1	Δομή της Ευέλικτης Υπολογιστικής Μονάδας	53
3.4.2	Ανάλυση του Κρίσιμου Μονοπατιού της FCU.....	56
3.4.3	Μονάδα Μετασχηματισμού από τη Μορφή ΣΚ στην Αντίστοιχη MB	56
3.4.3.1	Σχέδιο της Μονάδας Μετασχηματισμού	57
3.4.4	Περιχοπή Υλικού και Αντιστάθμιση Σφάλματος.....	58
3.4.4.1	Παραγωγή των Μερικών Γνομένων	60
3.5	Απεικόνιση Γράφων Ροής Δεδομένων στην Αρχιτεκτονική των FCUs ..	61
3.6	Θεωρητική Ανάλυση.....	61
3.7	Πειραματική Αξιολόγηση	65
3.7.1	Διερεύνηση της Προτεινόμενης FCU σε Επίπεδο Κυκλώματος σε Σχέση με την Κλιμάκωση της Τεχνολογίας.....	65
3.7.2	Απεικόνιση Πυρήνων ΨΕΣ στην Αρχιτεκτονική με τις Προτεινόμενες FCUs	69
3.7.2.1	Μελέτη Χρήσης Διαθέσιμων Λειτουργικών Προτύπων FCU στην Απεικόνιση Πυρήνων ΨΕΣ	74
3.8	Επίλογος	74
4	Τεχνικές Βελτιστοποίησης Σύνθετων / Αλυσιδωτών Αριθμητικών Λειτουργιών Υπολοίπου $2^n \pm 1$	77
4.1	Μονάδες Συγχωνευμένης Πράξης Άθροισης - Πολλαπλασιασμού Υπολοίπου $2^n \pm 1$	77
4.1.1	Μεθοδολογίες Σχεδίασης.....	78
4.1.1.1	Σχεδίαση Μονάδας Συγχωνευμένης Άθροισης - Πολλαπλασιασμού Υπολοίπου $2^n - 1$	78
4.1.1.2	Σχεδίαση Μονάδας Συγχωνευμένης Άθροισης - Πολλαπλασιασμού Υπολοίπου $2^n + 1$ με Όρους Κανονικής Αναπαράστασης	80
4.1.2	Πειραματικά Αποτελέσματα	83
4.2	Άθροιση και Πολλαπλασιασμός Υπολοίπου $2^n + 1$ με Πλεονάζοντες Όρους.....	86
4.2.1	Μεθοδολογίες Σχεδίασης.....	87
4.2.1.1	Άθροιστής Υπολοίπου $2^n + 1$ με Μία Είσοδο στην Πλεονάζουσα Αναπαράσταση CS^+	88
4.2.1.2	Άθροιστής Υπολοίπου $2^n + 1$ με Αμφότερες Εισόδους στην Πλεονάζουσα Αναπαράσταση CS^+	90
4.2.1.3	Πολλαπλασιαστής Υπολοίπου $2^n + 1$ με Μία Είσοδο στην Πλεονάζουσα Αναπαράσταση CS^+	91

4.2.2	Πειραματικά Αποτελέσματα	94
4.3	Επίλογος	102
5	Πολλαπλασιαστές Συντελεστών Προ-Κωδικοποιημένων σε Μη-Πλεονάζουσα Αναπαράσταση Προσημασμένων Ψηφίων Βάσης 4	103
5.1	Εισαγωγή.....	103
5.2	Μη-Πλεονάζουσα Αναπαράσταση Προσημασμένων Ψηφίων με Βάση το 4	105
5.2.1	Τεχνική Κωδικοποίησης σε NR4SD ⁻ Αναπαράσταση.....	106
5.2.2	Τεχνική Κωδικοποίησης σε NR4SD ⁺ Αναπαράσταση.....	108
5.3	Σχεδίαση Προ-Κωδικοποιημένων Πολλαπλασιαστών	110
5.3.1	Συμβατικός MB Πολλαπλασιαστής	110
5.3.2	Σχεδίαση Προ-Κωδικοποιημένου Modified Booth Πολλαπλασιαστή	112
5.3.3	Σχεδίαση Προ-Κωδικοποιημένων NR4SD Πολλαπλασιαστών ...	113
5.4	Πειραματικά Αποτελέσματα	116
5.5	Επίλογος	125
6	Συμπεράσματα και Μελλοντικές Επεκτάσεις	127
6.1	Συμπεράσματα	127
6.2	Μελλοντικές Επεκτάσεις	130
6.3	Κατάλογος Δημοσιεύσεων του Συγγραφέα	131
A	Μεθοδολογία Σύνθεσης για την Απεικόνιση Πυρήνων στην Αρχιτεκτονική με FCUs του Κεφαλαίου 3	135
A.1	Στάδιο 1.....	135
A.2	Στάδιο 2.....	135
A.3	Στάδιο 3.....	139
B	Θεωρητική Ανάλυση Βασικών Μονάδων και Πυρήνων Απεικονισμένων στην Αρχιτεκτονική με FCUs του Κεφαλαίου 3	141
B.1	Θεωρητική Ανάλυση Βασικών Μονάδων	141
B.2	Θεωρητική Ανάλυση Πυρήνων	141
B.2.1	Προτεινομενη FCU	141
B.2.2	FCC	141
B.2.3	RAU	141
B.2.4	Πυρήνες ΨΕΣ Απεικονισμένοι στις Υπό Αξιολόγηση Αρχιτεκτονικές	142
	Βιβλιογραφία	150

Κατάλογος Σχημάτων

1.1	Η κατάταξη με τα 500 υπερυπολογιστικά συστήματα (supercomputing systems) με τις υψηλότερες υπολογιστικές επιδόσεις παγκοσμίως (Νοέμβριος 2015) [1].....	2
1.2	Οι τάσεις εξέλιξης ορισμένων βασικών χαρακτηριστικών των Κεντρικών Μονάδων Επεξεργασίας [2].....	2
1.3	Η τεχνολογία κατασκευής VLSI κυκλωμάτων διαδραματίζει ένα ουσιαστικό και κρίσιμο ρόλο στην υλοποίηση συστημάτων επεξεργασίας σημάτων πραγματικού χρόνου [3].....	5
1.4	Ο τελεστής ΑΠ με βάση το (α) συμβατικό και (β) συγχωνευμένο σχέδιο με απευθείας μετασχηματισμό του αθροίσματος των δύο αριθμών A και B στη MB μορφή του.	7
1.5	Αφρημένη άποψη του ευέλικτου μονοπατιού δεδομένων.	10
1.6	Το σχηματικό διάγραμμα (α) του δομικού στοιχείου που υλοποιεί την εξίσωση (1.4) και (β) της σχεδίασης ενός παραδείγματος για ένα Συμμετρικό φίλτρο Πεπερασμένης Κρουστικής Απόκρισης 4 σημείων με βάση ΑΣΥ.	12
1.7	Αριθμητική μονάδα υπολοίπου $2^n + 1$ για α) άθροιση και β) πολλαπλασιασμό όρων κανονικής αναπαράστασης.	15
2.1	Ο τελεστής ΑΠ με βάση το (α) συμβατικό και (β) συγχωνευμένο σχέδιο με απευθείας μετασχηματισμό του αθροίσματος των δύο αριθμών X και Y στη MB μορφή του. Ο πολλαπλασιαστής που χρησιμοποιείται έχει παράλληλη αρχιτεκτονική και υιοθετεί τον MB αλγόριθμο κωδικοποίησης. Οι όροι CT, CSA Tree και CLA Adder αναφέρονται στο Διορθωτικό Όρο (Correction Term, CT), στο Δένδρο με Αθροιστές Σωσίματος Κρατούμενου (Carry-Save Adder Tree, CSA Tree) και στον τελικό Αθροιστή Πρόβλεψης Κρατούμενου (Carry-Look-Ahead Adder, CLA Adder) του πολλαπλασιαστή.....	22
2.2	(α) Η παραγωγή του bit $p_{j,i}$ τάξης i του μερικού γινομένου PP_j για το συμβατικό MB πολλαπλασιαστή και (β) η υλοποίηση σε επίπεδο λογικών πυλών των σημάτων MB κωδικοποίησης.....	24
2.3	Οι Boolean εξισώσεις και οι σχηματικές αναπαραστάσεις των προσημασμένων (α) HA*, (β) HA**, (γ) ΠΑ* και (δ) ΠΑ** με βάση τους συμβατικούς HA ή ΠΑ.....	26
2.4	Το σχέδιο μετασχηματισμού $S - MB1$ για (α) άρτιο και (β) περιττό αριθμό από bits.....	28
2.5	Το σχέδιο μετασχηματισμού $S - MB2$ για (α) άρτιο και (β) περιττό αριθμό από bits.....	29

2.6	Το σχέδιο μετασχηματισμού $S - MB3$ για (α) άρτιο και (β) περιττό αριθμό από bits.....	31
2.7	Η υλοποίηση του ψηφίου υψηλότερης τάξης για το σχέδιο μετασχηματισμού $S - MB1$ στην περίπτωση που οι είσοδοι είναι θετικές για (α) άρτιο και (β) περιττό μήκος λέξης.	32
2.8	Η υλοποίηση του ψηφίου υψηλότερης τάξης για το σχέδιο μετασχηματισμού $S - MB2$ στην περίπτωση που οι είσοδοι είναι θετικές για (α) άρτιο και (β) περιττό μήκος λέξης.	32
2.9	Η υλοποίηση του ψηφίου υψηλότερης τάξης για το σχέδιο μετασχηματισμού $S - MB3$ στην περίπτωση που οι είσοδοι είναι θετικές για (α) άρτιο και (β) περιττό μήκος λέξης.	32
2.10	Το σχέδιο μετασχηματισμού της [4] στο επίπεδο του βασικού κελιού μετασχηματισμού και τα εναλλακτικά κρίσιμα μονοπάτια του.....	34
2.11	Το σχέδιο μετασχηματισμού της [5] στο επίπεδο του βασικού κελιού μετασχηματισμού και τα εναλλακτικά κρίσιμα μονοπάτια του.....	34
2.12	Το σχέδιο μετασχηματισμού της [6] στο επίπεδο του βασικού κελιού μετασχηματισμού και τα εναλλακτικά κρίσιμα μονοπάτια του.....	35
2.13	Το κρίσιμο μονοπάτι των προτεινόμενων (α) $S - MB1$ και (β) $S - MB2$ σχεδίων μετασχηματισμού.	35
2.14	Σύγκριση της επιφάνειας πυριτίου και της κατανάλωσης ισχύος για άρτιο μήκος λέξης μεταξύ των προτεινόμενων σχεδίων και εκείνων που προτάθηκαν από το Yeh [4], το Zimmermann και άλλους [5] και τον Daumas και άλλους [6].	41
2.15	Σύγκριση της επιφάνειας πυριτίου και της κατανάλωσης ισχύος για περιττό μήκος λέξης μεταξύ των προτεινόμενων σχεδίων και εκείνων που προτάθηκαν από το Yeh [4], το Zimmermann και άλλους [5] και τον Daumas και άλλους [6].....	42
3.1	(α) Αθροιστής Διάδοσης Κρατουμένου (Carry-Propagate Adder (CPA)). (β) 3:2 Αθροιστής Σωσίματος Κρατουμένου (3:2 Carry-Save Adder (CSA)) με εισόδους των 4 bits. (γ) 4:2 Αθροιστής Σωσίματος Κρατουμένου (4:2 CSA) με εισόδους των 4 bits. (δ) 8:2 Αθροιστής Σωσίματος Κρατουμένου (8:2 CSA) με βάση 4:2 Αθροιστές Σωσίματος Κρατουμένου (4:2 CSA).	50
3.2	Αφηρημένη άποψη του ευέλικτου μονοπατιού δεδομένων.	52
3.3	Ευέλικτη Υπολογιστική Μονάδα (Flexible Computational Unit (FCU)).	54
3.4	Η βιβλιοθήκη προτύπων της FCU.....	55
3.5	Η μονάδα μετασχηματισμού που ενσωματώνεται στον πολλαπλασιαστή ΣΚ της FCU.....	57
3.6	Τα μερικά γινόμενα του πολλαπλασιαστή ΣΚ στην προτεινόμενη FCU (α) πριν και (β) μετά την εφαρμογή της τεχνικής περικοπής υλικού και της μεθόδου αντιστάθμισης σφάλματος της [7].	59

3.7	Χαρακτηριστική αλυσίδα λειτουργιών Άθροισης - Πολλαπλασιασμού - Άθροισης, η οποία αντικατοπτρίζει το λειτουργικό πρότυπο T1 του Σχ. 3.4. Το σχέδιό της βασίζεται (α) στην αριθμητική συμπληρώματος ως προς 2, (β) στην τεχνική βελτιστοποιήσεων ΣΚ της [8], (γ) στην τεχνική βελτιστοποιήσεων ΣΚ με χρήση της επιμεριστικής ιδιότητας του πολλαπλασιασμού [9] και (δ) στην ενσωμάτωση της τεχνικής μετασχηματισμού της μορφής ΣΚ στην αντίστοιχη MB.	62
3.8	Τοποθέτηση της προτεινόμενης προσέγγισης σε σχέση με τη σχεδιαστική λύση σε αριθμητική συμπληρώματος ως προς 2 και τις λύσεις με βελτιστοποιήσεις ΣΚ με βάση τις εργασίες των Kim και άλλων [8], Verma και άλλων [9].	64
3.9	Διάγραμμα επιφάνειας πυριτίου - καθυστέρησης των υπό αξιολόγηση ευέλικτων υπολογιστικών μονάδων, δηλαδή, (α) της προτεινόμενης FCU και της FCU των [10,11] και (β) της προτεινόμενης FCU, του FCC [12] και της RAU [13].	66
3.10	Οι τιμές MOPS/W για τις υπό αξιολόγηση ευέλικτες υπολογιστικές μονάδες, δηλαδή, την προτεινόμενη FCU, της FCU των [10,11], το FCC [12] και τη RAU [13], στις χαμηλότερες δυνατές περιόδους ρολογιού σε σχέση με την τεχνολογία σύνθεσης.....	67
3.11	Οι τιμές της (α) καθυστέρησης εκτέλεσης, (β) επιφάνειας πυριτίου και (γ) κατανάλωσης ενέργειας του πυρήνα JPEGDCT για την προτεινόμενη FCU, το FCC [12] και τη RAU [13] στα 130, 90 και 65 nm τεχνολογίας σύνθεσης.	72
4.1	Ο α) αρχικός, β) επαναδομημένος και αποτελούμενος από n στήλες και γ) τελικός πίνακας μερικών γινομένων για την προτεινόμενη μονάδα ΣΑΠ υπολοίπου $2^n - 1$	79
4.2	Σχηματικό διάγραμμα της προτεινόμενης μονάδας ΣΑΠ υπολοίπου α) $2^n - 1$ και β) $2^n + 1$	80
4.3	Ο α) αρχικός, β) ελαττωμένος και γ) τελικός πίνακας μερικών γινομένων για την προτεινόμενη μονάδα ΣΑΠ υπολοίπου $2^n + 1$	82
4.4	Επιφάνεια πυριτίου και κατανάλωση ισχύος των συμβατικών και των προτεινόμενων συγχωνευμένων σχεδίων ΑΠ υπολοίπου $2^n - 1$ για 8, 16 και 32 bits.	84
4.5	Επιφάνεια πυριτίου και κατανάλωση ισχύος των συμβατικών και των προτεινόμενων συγχωνευμένων σχεδίων ΑΠ υπολοίπου $2^n + 1$ με όρους κανονικής αναπαράστασης για 8, 16 και 32 bits.	85
4.6	Αριθμητική μονάδα υπολοίπου $2^n + 1$ για α) άθροιση και β) πολλαπλασιασμό όρων κανονικής αναπαράστασης.	88
4.7	Αριθμητικές μονάδες υπολοίπου $2^n + 1$ για α) άθροιση ενός αριθμού υπολοίπου $2^n + 1$ σε κανονική αναπαράσταση με έναν αριθμό στην πλεονάζουσα μορφή CS^+ και β) πολλαπλασιασμό ενός αριθμού στην πλεονάζουσα μορφή CS^+ με έναν αριθμό υπολοίπου $2^n + 1$ σε κανονική αναπαράσταση. Και στις δύο περιπτώσεις, τα αποτελέσματα των αριθμητικών μονάδων εξάγονται στην πλεονάζουσα αναπαράσταση CS^+	89

4.8	Αριθμητική μονάδα υπολοίπου $2^n + 1$ για άθροιση δύο αριθμών στην πλεονάζουσα αναπαράσταση CS^+ . Το αποτέλεσμα της αριθμητικής μονάδας εξάγεται στην πλεονάζουσα αναπαράσταση CS^+	89
4.9	Αθροιστής υπολοίπου $2^n + 1$ με μία είσοδο σε πλεονάζουσα αναπαράσταση CS^+	90
4.10	Αθροιστής υπολοίπου $2^n + 1$ με αμφότερες εισόδους σε πλεονάζουσα αναπαράσταση CS^+	91
4.11	Μονάδα υπολογισμού της αναπαράστασης καθυστερημένου κρατουμένου.	92
4.12	Ο αρχικός πίνακας μερικών γινομένων.	92
4.13	Ο πίνακας μερικών γινομένων με τους όρους τάξης μεγαλύτερης της $2^n - 1$, οι οποίοι πρέπει να διαταχθούν εκ νέου.	92
4.14	Ο πίνακας μερικών γινομένων μετά την αναδιάταξη των όρων τάξης μεγαλύτερης της $2^n - 1$	92
4.15	Ο ελαττωμένος πίνακας μερικών γινομένων.	93
4.16	Αριθμητική μονάδα υπολοίπου $2^n + 1$ για την άθροιση τριών όρων κανονικής αναπαράστασης. Η σχεδίαση της μονάδας πραγματοποιήθηκε α) συμβατικά χρησιμοποιώντας δύο αθροιστές υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6α) και β) με βάση έναν αθροιστή με έναν πλεονάζοντα όρο (Σχ. 4.7α).	94
4.17	Αριθμητική μονάδα υπολοίπου $2^n + 1$ για τον πολλαπλασιασμό με το άθροισμα όρων κανονικής αναπαράστασης. Η σχεδίαση της μονάδας πραγματοποιήθηκε α) συμβατικά χρησιμοποιώντας έναν αθροιστή υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6α) και έναν πολλαπλασιαστή υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6β), και β) με βάση έναν πολλαπλασιαστή με έναν πλεονάζοντα όρο (Σχ. 4.7β).	95
4.18	Αριθμητική μονάδα υπολοίπου $2^n + 1$ για τον υπολογισμό της αλυσίδας αριθμητικών λειτουργιών άθροισης - πολλαπλασιασμού - άθροισης για όρους κανονικής αναπαράστασης. Η σχεδίαση της μονάδας πραγματοποιήθηκε α) συμβατικά χρησιμοποιώντας αθροιστές υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6α) και έναν πολλαπλασιαστή υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6β), και β) με βάση έναν πολλαπλασιαστή με έναν πλεονάζοντα όρο (Σχ. 4.7β) και έναν αθροιστή με έναν πλεονάζοντα όρο (Σχ. 4.7α).	95
4.19	Επιφάνεια πυριτίου και κατανάλωση ισχύος για την αριθμητική μονάδα υπολοίπου $2^n + 1$, η οποία υλοποιεί την αλυσίδα αριθμητικών λειτουργιών άθροισης - άθροισης ($(A + B) + D _{2^n+1}$). Η σχεδίαση της αριθμητικής μονάδας πραγματοποιήθηκε τόσο συμβατικά (Σχ. 4.16α) όσο και με βάση τον προτεινόμενο αθροιστή υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.16β) για μήκος λέξης των εισόδων ίσο με 8, 16 και 32 bits.	97

4.20	Επιφάνεια πυριτίου και κατανάλωση ισχύος για την αριθμητική μονάδα υπολοίπου $2^n + 1$, η οποία υλοποιεί την αλυσίδα αριθμητικών λειτουργιών άθροισης - πολλαπλασιασμού ($(A + B) \times D _{2^n+1}$). Η σχεδίαση της αριθμητικής μονάδας πραγματοποιήθηκε τόσο συμβατικά (Σχ. 4.17α) όσο και με βάση τον προτεινόμενο πολλαπλασιαστή υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.17β) για μήκος λέξης των εισόδων ίσο με 8, 16 και 32 bits.	99
4.21	Επιφάνεια πυριτίου και κατανάλωση ισχύος για την αριθμητική μονάδα υπολοίπου $2^n + 1$, η οποία υλοποιεί την αλυσίδα αριθμητικών λειτουργιών άθροισης - πολλαπλασιασμού - άθροισης ($(A + B) \times D + Z _{2^n+1}$). Η σχεδίαση της αριθμητικής μονάδας πραγματοποιήθηκε τόσο συμβατικά (Σχ. 4.18α) όσο και με βάση τις προτεινόμενες μονάδες άθροισης και πολλαπλασιασμού υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.18β) για μήκος λέξης των εισόδων ίσο με 8, 16 και 32 bits.	101
5.1	Σχηματικό διάγραμμα της τεχνικής κωδικοποίησης στην $NR4SD^-$ αναπαράσταση σε επίπεδο (α) ψηφίου και (β) λέξης.	106
5.2	Σχηματικό διάγραμμα της τεχνικής κωδικοποίησης στην $NR4SD^+$ αναπαράσταση σε επίπεδο (α) ψηφίου και (β) λέξης.	108
5.3	Αρχιτεκτονική συστήματος συμβατικού MB πολλαπλασιαστή.	111
5.4	Δημιουργία του bit $p_{j,i}$ τάξης i του μερικού γινομένου PP_j για το α) συμβατικό και β) προ-κωδικοποιημένο MB πολλαπλασιαστή.	111
5.5	Η ROM του προ-κωδικοποιημένου πολλαπλασιαστή με σταθερούς συντελεστές σε MB μορφή.	113
5.6	Αρχιτεκτονική συστήματος για τους $NR4SD$ πολλαπλασιαστές.	114
5.7	Επιπλέον υλικό που απαιτείται στους προ-κωδικοποιημένους $NR4SD$ πολλαπλασιαστές για την ολοκλήρωση της α) $NR4SD^-$ και β) $NR4SD^+$ κωδικοποίησης.	114
5.8	Δημιουργία του bit $p_{j,i}$ τάξης i του μερικού γινομένου PP_j για τον α) $NR4SD^-$ και β) $NR4SD^+$ προ-κωδικοποιημένο πολλαπλασιαστή.	114
5.9	Νέα κυκλώματα παραγωγής μερικών γινομένων για τους προ-κωδικοποιημένους α) $NR4SD^-$ και β) $NR4SD^+$ πολλαπλασιαστές. .	115
5.10	Κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος των προ-κωδικοποιημένων σχεδίων σε σχέση με το συμβατικό MB σχέδιο για μήκος λέξης των εισόδων ίσο με 16 bits.	121
5.11	Κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος των προ-κωδικοποιημένων σχεδίων σε σχέση με το συμβατικό MB σχέδιο για μήκος λέξης των εισόδων ίσο με 24 bits.	122
5.12	Κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος των προ-κωδικοποιημένων σχεδίων σε σχέση με το συμβατικό MB σχέδιο για μήκος λέξης των εισόδων ίσο με 32 bits.	123
A.1	Η διαδικασία σύνθεσης.	136
A.2	Παράδειγμα σμίχρυνσης ενός απλού ΓΡΔ με χρήση της αριθμητικής ΣΚ.	137
A.3	Ένα χαρακτηριστικό παράδειγμα απεικόνισης ενός πυρήνα συμμετρικού φίλτρου Πεπερασμένης Κρουστικής Απόκρισης 8 σημείων στην αρχιτεκτονική με τις FCUs.	138

Κατάλογος Πινάκων

1.1	Μέσοι Όροι Κερδών Κρίσιμης Καθυστέρησης, Επιφάνειας Πυριτίου και Κατανάλωσης Ισχύος	8
1.2	Μέσες Τιμές Κερδών Επιφάνειας Πυριτίου και Κατανάλωσης Ισχύος Όλων των Προ-Κωδικοποιημένων Σχεδίων σε Σύγκριση με το Συμβατικό MB Σχέδιο	16
2.1	Κωδικοποίηση Modified Booth	23
2.2	Λειτουργία HA*	25
2.3	Δυϊκή Λειτουργία HA*	25
2.4	Λειτουργία HA**	25
2.5	Λειτουργία ΠΑ*	27
2.6	Λειτουργία ΠΑ**	27
2.7	Επιφάνεια Πυριτίου και Κρίσιμη Καθυστέρηση Διαφόρων Συστατικών Στοιχείων σε Unit Gate Model	33
2.8	Σύγκριση των Προτεινόμενων Σχεδίων Μετασχηματισμού με Υπάρχοντα ως προς την Επιφάνεια Πυριτίου και την Κρίσιμη Καθυστέρηση	36
2.9	Κρίσιμη Καθυστέρηση, Επιφάνεια Πυριτίου και Κατανάλωση Ισχύος των Σχεδίων ΣΑΠ (Άρτιο Μήκος Λέξης)	38
2.10	Κρίσιμη Καθυστέρηση, Επιφάνεια Πυριτίου και Κατανάλωση Ισχύος των Σχεδίων ΣΑΠ (Περιττό Μήκος Λέξης)	39
2.11	Μέσοι Όροι Κερδών Κρίσιμης Καθυστέρησης, Επιφάνειας Πυριτίου και Κατανάλωσης Ισχύος	43
3.1	Ανάλυση της Επιφάνειας Πυριτίου και της Κρίσιμης Καθυστέρησης για τις Σχεδιαστικές Λύσεις του ΓΡΔ του Σχ. 3.7.	63
3.2	Οι Τιμές της Καθυστέρησης Εκτέλεσης, Επιφάνειας Πυριτίου και Κατανάλωσης Ενέργειας για Αντιπροσωπευτικούς Πυρήνες ΨΕΣ με Βάση την Προτεινόμενη FCU, το FCC και τη RAU στα 65 nm.	71
3.3	Θεωρητικά Υπολογισμένες Τιμές Καθυστέρησης Εκτέλεσης και Επιφάνειας Πυριτίου για Πυρήνες ΨΕΣ.	73
3.4	Χρήση Προτύπων FCU κατά την Απεικόνιση των Πυρήνων ΨΕΣ.	75
4.1	Βάθος Δένδρου Αθροιστών ΣΚ σε Επίπεδα Πλήρων Αθροιστών.	100
5.1	Λειτουργία HA ^S	107
5.2	Πίνακας Κωδικοποίησης NR4SD ⁻	107
5.3	Πίνακας Κωδικοποίησης NR4SD ⁺	109
5.4	Αριθμητικά Παραδείγματα Τεχνικών Κωδικοποίησης	110

5.5	Σχέδια Πολλαπλασιαστών	115
5.6	Απόδοση στις Χαμηλότερες Περιόδους Ρολογιού.....	117
5.7	Μετρήσεις Επιφάνειας Πυριτίου για Όλα τα Υπό Αξιολόγηση Σχέδια και για 16, 24 και 32 Bits Μήκος Λέξης Εισόδων	118
5.8	Μετρήσεις Κατανάλωσης Ισχύος για Όλα τα Υπό Αξιολόγηση Σχέδια και για 16, 24 και 32 Bits Μήκος Λέξης Εισόδων	119
5.9	Μέσες Τιμές Κερδών Επιφάνειας Πυριτίου και Κατανάλωσης Ισχύος Όλων των Προ-Κωδικοποιημένων Σχεδίων σε Σύγκριση με το Συμβατικό MB Σχέδιο	124
A.1	Ψευδοκώδικας για Σμίχρυνση του ΓΡΔ με Αριθμητική ΣΚ.	136
B.1	Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστέρησης Βασικών Μονάδων	142
B.2	Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστέρησης της Προτεινόμενης FCU	143
B.3	Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστέρησης του 16×16 Πολλαπλασιαστή του FCC.....	143
B.4	Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστέρησης της ALU του FCC	143
B.5	Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστέρησης του Επαναδιαμορφούμενου Κελιού του FCC	144
B.6	Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστέρησης του FCC... ..	144
B.7	Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστέρησης του Ενοποιημένου Κελιού της RAU	144
B.8	Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστέρησης της RAU ..	144
B.9	Αριθμός Καταχωρητών (DFFs) για Κάθε Πυρήνα ΨΕΣ	145
B.10	Ανάλυση Επιφάνειας Πυριτίου των Πυρήνων ΨΕΣ που Απεικονίστηκαν στην Αρχιτεκτονική με τις Προτεινόμενες FCUs	145
B.11	Ανάλυση Επιφάνειας Πυριτίου των Πυρήνων ΨΕΣ που Απεικονίστηκαν στην Αρχιτεκτονική με τα FCC	145
B.12	Ανάλυση Επιφάνειας Πυριτίου των Πυρήνων ΨΕΣ που Απεικονίστηκαν στην Αρχιτεκτονική με τις RAU	145

Κεφάλαιο 1

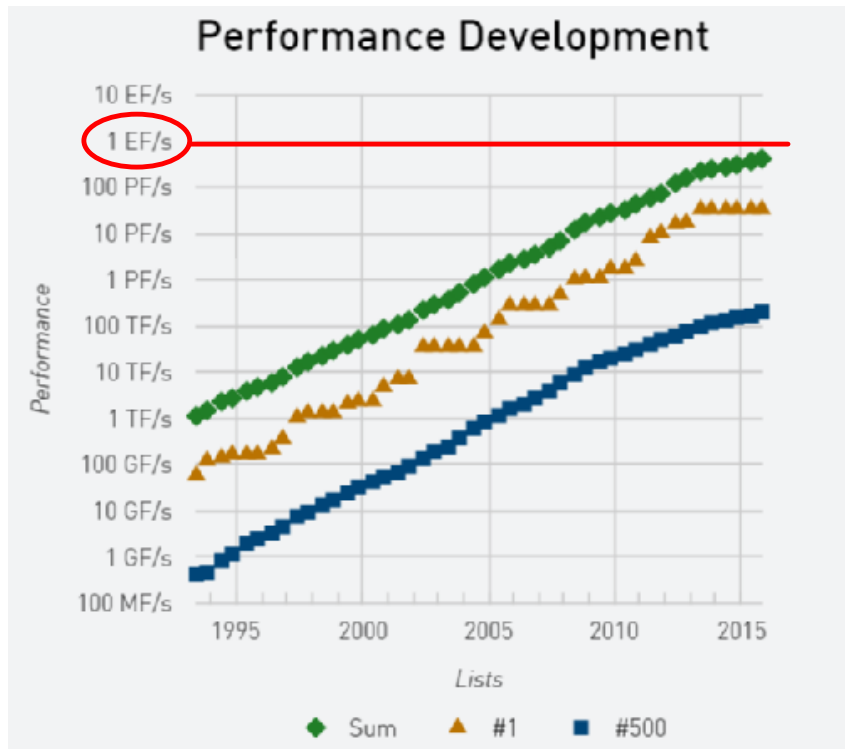
Εισαγωγή

1.1 Σύγχρονα Υπολογιστικά Συστήματα

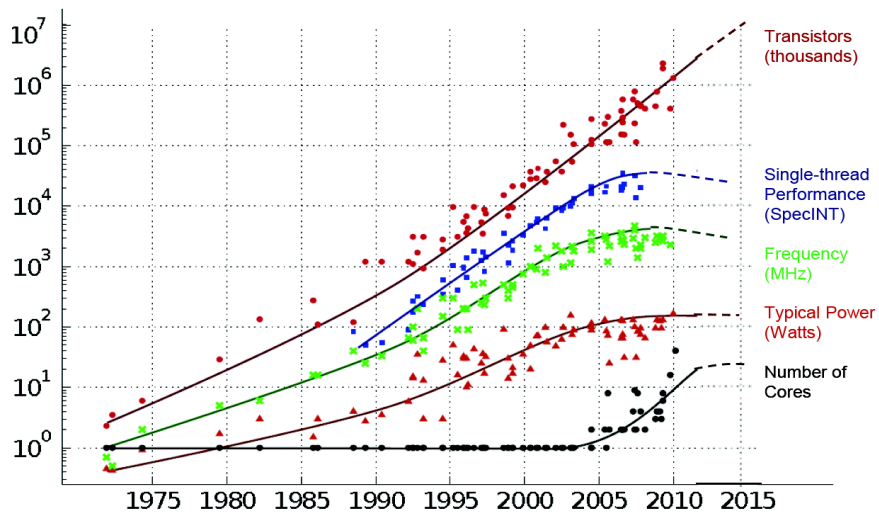
Σύμφωνα με την πιο πρόσφατη κατάταξη με τα 500 υπερυπολογιστικά συστήματα (supercomputing systems) με τις υψηλότερες υπολογιστικές επιδόσεις παγκοσμίως (Νοέμβριος 2015) [1], διαφαίνεται μία πορεία προς την εποχή του exascale υπολογισμού, δηλαδή προς την εποχή των 10^{18} FLOPS (FLoating OPerations per Second, Αριθμητικές Πράξεις Κινητής Υποδιαστολής σε Ένα Δευτερόλεπτο) (Σχ. 1.1). Ένας κατά πολλούς ασύλληπτος αριθμός αριθμητικών πράξεων κινητής υποδιαστολής, εάν αναλογιστούμε ότι δύνανται να εκτελεστούν μέσα σε ένα δευτερόλεπτο. Στο διάγραμμα του Σχ. 1.1 αναδεικνύεται τόσο η επερχόμενη εποχή του exascale υπολογισμού όσο και η τάση, η οποία διαμορφώνεται εάν αθροίσουμε τις υπολογιστικές δυνατότητες και των 500 υπερυπολογιστικών συστημάτων της εκάστοτε κατάταξης και η οποία προσεγγίζει την τιμή των exaFLOPS. Ας επιστήσουμε την προσοχή μας στην τάση, η οποία παρουσιάζεται στο εν λόγω διάγραμμα και η οποία αντιστοιχεί στις υπολογιστικές δυνατότητες του πρώτου υπερυπολογιστικού συστήματος της εκάστοτε κατάταξης και, δίχως βλάβη της γενικότητας, στις υπολογιστικές δυνατότητες που δύναται να έχει ένα υπερυπολογιστικό σύστημα. Πιο συγκεκριμένα, ας επικεντρώσουμε την προσοχή μας στον κορεσμό της τιμής της μέγιστης δυνατής απόδοσης ενός υπερυπολογιστικού συστήματος, ο οποίος εμφανίζεται να επικρατεί τα τελευταία χρόνια.

Η ύπαρξη του προαναφερόμενου κορεσμού εντυπωσιάζει για δύο βασικούς λόγους. Κατά πρώτον, τα τελευταία χρόνια η διεθνής επιστημονική και ερευνητική κοινότητα στοχεύει στην απεικόνιση και προσομοίωση ολοένα και περισσότερο απαιτητικών εφαρμογών, π.χ., λειτουργία ανθρώπινου εγκεφάλου, με τη χρήση υπερυπολογιστικών συστημάτων. Ένας στόχος, ωστόσο, ο οποίος μεταφράζεται σε απαίτηση για αύξηση της μέγιστης δυνατής απόδοσης ενός υπερυπολογιστικού συστήματος. Κατά δεύτερον, από το 2004 έως και σήμερα, ο αριθμός των πυρήνων ανά μονάδα επεξεργασίας και των μονάδων επεξεργασίας ανά υπολογιστικό σύστημα αυξάνεται. Η αύξηση του βαθμού παραλληλισμού στο εσωτερικό ενός υπολογιστικού συστήματος δε συμβαδίζει με τον κορεσμό στην τιμή της μέγιστης δυνατής απόδοσης ενός υπερυπολογιστικού συστήματος, όπως αυτός παρατηρείται να επικρατεί τα τελευταία χρόνια.

Οι δύο πρωταρχικοί παράγοντες, οι οποίοι έχουν συντελέσει στον κορεσμό στην τιμή της μέγιστης δυνατής απόδοσης ενός υπερυπολογιστικού συστήματος (Σχ. 1.1), είναι ο κορεσμός στις τιμές της συχνότητας επεξεργασίας και ο περιορισμός της καταναλισκόμενης ισχύος των σύγχρονων υπολογιστικών συστημάτων (Σχ. 1.2 [2]). Όπως αποτυπώνει και το Σχ. 1.2, η καταναλισκόμενη από τις μονάδες επεξεργασίας ι-



Σχήμα 1.1: Η κατάταξη με τα 500 υπερυπολογιστικά συστήματα (*supercomputing systems*) με τις υψηλότερες υπολογιστικές επιδόσεις παγκοσμίως (Νοέμβριος 2015) [1].



Σχήμα 1.2: Οι τάσεις εξέλιξης ορισμένων βασικών χαρακτηριστικών των Κεντρικών Μονάδων Επεξεργασίας [2].

σχύς προβλέπεται να συνεχίσει να παρουσιάζει κορεσμό των τιμών της και, συγχρόνως, η συχνότητα επεξεργασίας προβλέπεται να παρουσιάσει πτώση των τιμών της έπειτα από μία περίοδο κορεσμού. Ωστόσο, ένας τέτοιος κορεσμός στις τιμές τόσο της συχνότητας επεξεργασίας όσο και της καταναλισκόμενης ισχύος δικαιολογείται από την αδυναμία αύξησής τους λόγω της συνεπαγόμενης αύξησης της εκλυόμενης θερμότητας, η οποία δύναται να καταστρέψει τα κυκλώματα επεξεργασίας ή να μειώσει το χρόνο ορθής λειτουργίας τους.

Ένα τελευταίο χαρακτηριστικό, το οποίο απεικονίζεται στο διάγραμμα του Σχ. 1.2 και παρουσιάζει υψηλό ενδιαφέρον, είναι η μονονηματική απόδοση (single-thread performance). Λόγω των προαναφερόμενων τάσεων στις τιμές της συχνότητας επεξεργασίας και της καταναλισκόμενης ισχύος των σύγχρονων μονάδων επεξεργασίας, η μονονηματική απόδοση προβλέπεται να παρουσιάσει πτώση των τιμών της έπειτα από μία περίοδο κορεσμού. Ωστόσο, η διερεύνηση εναλλακτικών τεχνικών αύξησης της μονονηματικής απόδοσης, π.χ., χρησιμοποίηση αριθμητικών τεχνικών βελτίωσης υπολογιστικών μονοπατιών δεδομένων, δύναται να αποφέρει ενθαρρυντικά αποτελέσματα.

Οι Esmailzadeh και άλλοι στην εργασία [14] πρότειναν δύο βασικές ερευνητικές κατευθύνσεις προκειμένου να αντιμετωπιστούν τα προβλήματα που αναδείχθηκαν προηγουμένως και, συνεπώς, να συνεχιστεί η απρόσκοπτη πορεία μας στην εποχή των πολυπύρηνων υπολογιστικών συστημάτων υπό ανεκτά επίπεδα καταναλισκόμενης ισχύος. Πρώτον, ανέφεραν την ανάγκη για θεμελιώδεις και ουσιαστικές αλλαγές στη μικροαρχιτεκτονική των πυρήνων επεξεργασίας και, πιο συγκεκριμένα, για βελτιώσεις της μονονηματικής απόδοσης. Και δεύτερον, πρότειναν την αύξηση της απόδοσης επεξεργασίας χρησιμοποιώντας εξειδικευμένο υλικό. Πιο συγκεκριμένα, χαρακτήρισαν το εξειδικευμένο υλικό ως το ενδιάμεσο σημείο ανάμεσα στην αποδοτικότητα των Ολοκληρωμένων Κυκλωμάτων για Στοχευμένες Εφαρμογές (ASICs) και στη γενικότητα των συμβατικών επεξεργαστών, το οποίο δύναται να αποφέρει σημαντικά κέρδη απόδοσης για συγκεκριμένους τομείς εφαρμογών.

Συγχρόνως, τα τελευταία χρόνια έχει αναπτυχθεί μία νέα αντίληψη για την αρχιτεκτονική των υπερυπολογιστικών συστημάτων και, πιο συγκεκριμένα, η μετάβαση από την αρχιτεκτονική ροής ελέγχου (control-flow architecture) στην αρχιτεκτονική ροής δεδομένων (data-flow architecture) [15, 16]. Σε μία συμβατική αρχιτεκτονική ροής ελέγχου, ο πηγαίος κώδικας μίας εφαρμογής λογισμικού μετατρέπεται σε μία λίστα εντολών για ένα συγκεκριμένο επεξεργαστή, η οποία φορτώνεται στη μνήμη του επεξεργαστή. Τα δεδομένα και οι εντολές διαβάζονται από τη μνήμη του επεξεργαστή και φορτώνονται στον πυρήνα του, στον οποίο εκτελούνται οι απαραίτητες λειτουργίες και τα αποτελέσματα γράφονται στη μνήμη. Σε μία αρχιτεκτονική ροής δεδομένων, ο πηγαίος κώδικας μετατρέπεται σε ένα αρχείο με τις απαραίτητες ρυθμίσεις για τη διαμόρφωση μίας μηχανής ροής δεδομένων, δηλαδή, τις λειτουργίες, τις οποίες θα πρέπει να επιτελέσει κάθε υπολογιστική μονάδα της μηχανής, τη διάταξη των υπομονάδων της μηχανής και τις διασυνδέσεις μεταξύ τους. Τα δεδομένα ρέουν από τη μνήμη προς τις μονάδες, στις οποίες πραγματοποιούνται οι προκαθορισμένες λειτουργίες, και μεταφέρονται από μία υπολογιστική μονάδα σε μία άλλη, όταν η ροή των υπολογισμών το απαιτεί για τη σωστή εξαγωγή των αποτελεσμάτων, δίχως τη συμμετοχή της μνήμης. Η βελτίωση της σχεδίασης και η αύξηση της απόδοσης των υπολογιστικών μονάδων, οι οποίες περιέχονται σε μία μηχανή ροής δεδομένων, δύναται να συμβάλει στην επιτάχυνση της συνολικής ροής δεδομένων ελαττώνοντας ταυτόχρονα όσο το δυνατόν περισσότερο την επιφάνεια πυριτίου και την κατανάλωση ισχύος.

Στην παρούσα διατριβή αναπτύσσονται ορισμένες αριθμητικές τεχνικές βελτίωσης

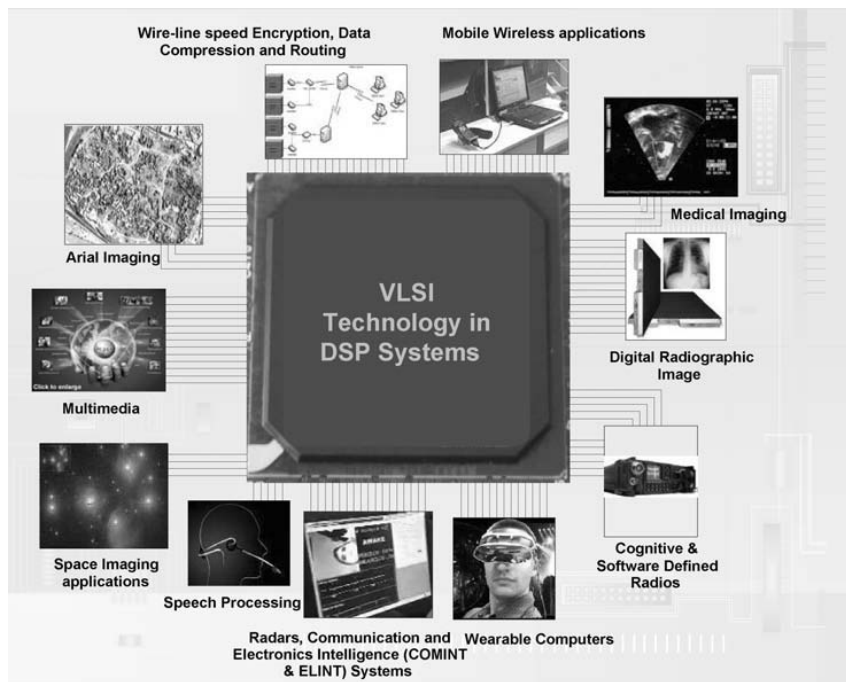
της μονονηματικής απόδοσης υπολογιστικών μονοπατιών δεδομένων, τα οποία απαντώνται συχνά στην ψηφιακή επεξεργασία σήματος. Οι προαναφερόμενες τεχνικές έχουν αναπτυχθεί τόσο για τη συμβατική αριθμητική αναπαράσταση συμπληρώματος ως προς 2 όσο και για ορισμένες εναλλακτικές αριθμητικές αναπαραστάσεις, π.χ., Σωσίματος - Κρατούμενου, Αριθμητικά Συστήματα Υπολοίπων.

1.2 Σχεδίαση Συστημάτων Ψηφιακής Επεξεργασίας Σήματος

Η Ψηφιακή Επεξεργασία Σήματος (ΨΕΣ) (Digital Signal Processing (DSP)) [17] είναι ένα πεδίο της επιστήμης και της μηχανικής, το οποίο έχει σημειώσει αλματώδη ανάπτυξη τα τελευταία 50 χρόνια. Αυτή η ταχεία πρόοδος είναι αποτέλεσμα των σημαντικών εξελίξεων στην ψηφιακή τεχνολογία υπολογιστικών συστημάτων και στην κατασκευή ή ολοκληρωμένων κυκλωμάτων. Πριν από πέντε δεκαετίες, τα ψηφιακά υπολογιστικά συστήματα καταλάμβαναν σχετικά μεγάλη επιφάνεια πυριτίου και ήταν, επίσης, σχετικά ακριβά. Συνεπώς, η χρήση τους περιοριζόταν σε γενικού σκοπού και μη πραγματικού χρόνου επιστημονικούς υπολογισμούς και επιχειρηματικές εφαρμογές. Οι αλματώδεις εξελίξεις στην τεχνολογία ολοκληρωμένων κυκλωμάτων, αρχής γενομένης με τα ολοκληρωμένα κυκλώματα μεσαίας κλίμακας (Medium Scale Integrated (MSI) circuits), συνεχίζοντας με τα ολοκληρωμένα κυκλώματα μεγάλης κλίμακας (Large Scale Integrated (LSI) circuits) και, σήμερα, με τα ολοκληρωμένα κυκλώματα πολύ μεγάλης κλίμακας (Very Large Scale Integrated (VLSI) circuits), έχουν ευνοήσει την ανάπτυξη αποδοτικών, μικρότερων σε επιφάνεια πυριτίου, ταχύτερων, και φθηνότερων ψηφιακών υπολογιστικών συστημάτων και ψηφιακού υλικού ειδικού σκοπού. Αυτά τα φθηνά ψηφιακά κυκλώματα σχετικά υψηλής ταχύτητας έχουν καταστήσει δυνατή την κατασκευή ιδιαίτερα εξελιγμένων ψηφιακών συστημάτων για την υλοποίηση σύνθετων αλγορίθμων ΨΕΣ (Σχ. 1.3) [3], οι οποίοι είναι συνήθως πολύ δύσκολοι και/ή πολύ ακριβοί για να υλοποιηθούν με τη χρήση αναλογικών κυκλωμάτων ή συστημάτων αναλογικής επεξεργασίας σήματος.

Από το 1965, όταν ο Gordon Moore προέβλεψε πως ο αριθμός των transistors σε ένα ολοκληρωμένο κύκλωμα θα διπλασιαζόταν κάθε δύο χρόνια, η βιομηχανία ακολουθεί το συγκεκριμένο νόμο, ο οποίος είναι ευρύτερα γνωστός και ως “νόμος του Moore”, και αναπτύσσει νέες τεχνολογίες. Το αντικείμενο της τεχνολογίας κατασκευής VLSI κυκλωμάτων έχει γνωρίσει ραγδαία πρόοδο με νέες προοπτικές να έχουν δημιουργηθεί και νέους ορίζοντες να έχουν ανοίξει προς την κατεύθυνση της εξέλιξής του. Η δυνατότητα τοποθέτησης δισεκατομμυρίων transistors σε μικρή επιφάνεια πυριτίου έχει προκαλέσει και δοκιμάσει τη δημιουργικότητα των μηχανικών και των επιστημόνων ανά τον κόσμο. Η ψηφιακή σχεδίαση συστημάτων επεξεργασίας σημάτων υιοθετεί αυτές τις προκλήσεις. Η τεχνολογία κατασκευής VLSI κυκλωμάτων έχει επιφέρει επανάσταση στην αγορά ηλεκτρονικών ειδών, καθώς εμφανίζονται προϊόντα με ολοένα και μεγαλύτερη υπολογιστική δύναμη, ολοένα και περισσότερο βελτιωμένη διάρκεια μπαταρίας και ολοένα και μικρότερες φυσικές διαστάσεις.

Κατά τη διαδικασία της σχεδίασης ενός συστήματος ΨΕΣ, ο σχεδιαστής στοχεύει πρωτίστως στην επίτευξη όσο το δυνατόν μεγαλύτερης απόδοσης και αποτελεσματικότητας. Συνεπώς, κρίνεται απαραίτητη η διερεύνηση και μελέτη λύσεων στο χώρο σχεδίασης από την άποψη ορισμένων σχεδιαστικών μετρικών, π.χ., η επιφάνεια πυριτίου, η κρίσιμη καθυστέρηση και η κατανάλωση ισχύος [3]. Ο πρωταρχικός στόχος



Σχήμα 1.3: Η τεχνολογία κατασκευής VLSI κυκλωμάτων διαδραματίζει ένα ουσιαστικό και κρίσιμο ρόλο στην υλοποίηση συστημάτων επεξεργασίας σημάτων πραγματικού χρόνου [3].

κατά τη σχεδίαση ενός συστήματος ΨΕΣ είναι η ελαχιστοποίηση όλων των προαναφερόμενων μετρικών και η εύρεση των βέλτιστων σημείων-λύσεων στο χώρο σχεδίασης. Ωστόσο, οι προαναφερόμενες σχεδιαστικές μετρικές είναι ανταγωνιστικές μεταξύ τους. Για παράδειγμα, σε περίπτωση που ο σχεδιαστής αποσκοπεί στην ελαχιστοποίηση της επιφάνειας πυριτίου, τότε η κρίσιμη καθυστέρηση του τελικού σχεδίου δύναται να είναι μεγαλύτερη. Με το ίδιο σκεπτικό, εάν το εκάστοτε σχέδιο συντεθεί ώστε να επιτευχθεί η χαμηλότερη δυνατή κρίσιμη καθυστέρηση, η επιφάνεια πυριτίου θα προκύψει αυξημένη. Συνεπώς, μεγαλύτερη ταχύτητα λειτουργίας για ένα σχέδιο οδηγεί και σε μεγαλύτερη επιφάνεια πυριτίου για αυτό. Επίσης, χαμηλότερη κρίσιμη καθυστέρηση σημαίνει και μεγαλύτερη κατανάλωση ισχύος, η οποία εξαρτάται άμεσα από και μεταβάλλεται αναλόγως με τη συχνότητα λειτουργίας του ρολογιού.

Μία τυπική εφαρμογή ΨΕΣ διεξάγει πολυάριθμες αριθμητικές πράξεις, καθώς η υλοποίησή της βασίζεται σε υπολογιστικά απαιτητικούς αλγορίθμους, όπως ο Γρήγορος Μετασχηματισμός Fourier (Fast Fourier Transform), ο Μετασχηματισμός Διακριτού Συνημιτόνου (Discrete Cosine Transform), τα φίλτρα Πεπερασμένης ή Άπειρης Κρουστικής Απόκρισης (Finite or Infinite Impulse Response filters), η συνέλιξη σημάτων (signal convolution), η κωδικοποίηση και αποκωδικοποίηση ήχου και εικόνας [17]. Η απλή αριθμητική πράξη της άθροισης δύο αριθμών έχει αποτελέσει πεδίο ευρείας ερευνητικής δραστηριότητας [18–25]. Η επιλογή της κατάλληλης εσωτερικής αρχιτεκτονικής για την υλοποίηση μίας αθροιστικής αριθμητικής μονάδας αποτελεί κρίσιμη σχεδιαστική απόφαση κατά τη διάρκεια ανάπτυξης ενός ψηφιακού συστήματος, το οποίο και ενσωματώνει την εν λόγω μονάδα, και εξαρτάται από το μήκος λέξης των εισόδων, καθώς και την επιθυμητή κρίσιμη καθυστέρηση και επιφάνεια πυριτίου τόσο της αθροιστικής μονάδας όσο και κατέπεκταση του συστήματος, στο οποίο και περιλαμβάνεται. Ωστόσο, κατά τη διάρκεια της εκτέλεσης μίας εφαρμογής ΨΕΣ, απαντώνται τόσο σύνθετες, π.χ. πολλαπλασιασμός, όσο και αλυσιδωτές λειτουργίες (chained operations). Η εκάστοτε αλυσίδα λειτουργιών δύναται να είναι είτε περιορισμένης είτε εκτεταμένης και ευρείας

κλίμακας. Στην πρώτη περίπτωση, η αλυσίδα λειτουργιών περιλαμβάνει ένα σχετικά μικρό αριθμό διαδοχικών λειτουργιών, στις οποίες η κάθε επόμενη λειτουργία εξαρτάται από το αποτέλεσμα της προηγούμενης, ενώ στη δεύτερη περίπτωση, ο αριθμός των αλυσιδωτών λειτουργιών είναι σχετικά μεγάλος με αποτέλεσμα η πολυπλοκότητα του αντίστοιχου συστήματος να αυξάνεται σημαντικά και να δυσχεραίνει τη σχεδίασή του.

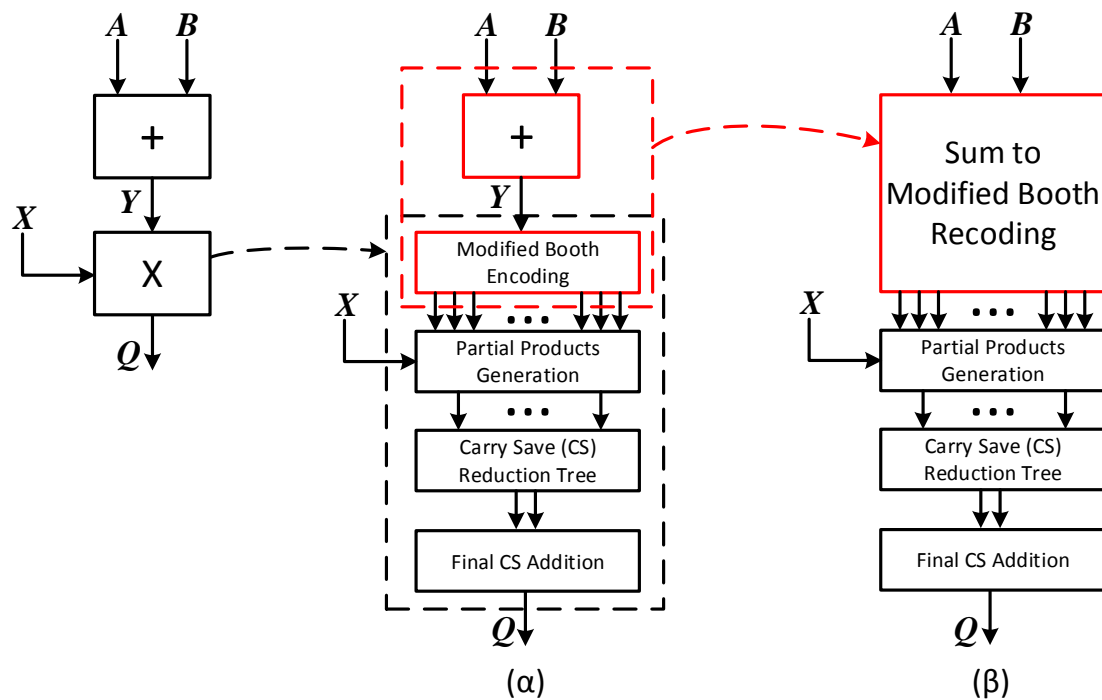
1.3 Κίνητρα και Προτεινόμενες Λύσεις

Με βάση τις προτεινόμενες ερευνητικές κατευθύνσεις της Ενότητας 1.1, στο υπόλοιπο της παρούσας διατριβής θα περιγράψουμε αναλυτικά ορισμένες τεχνικές βελτίωσης της απόδοσης υπολογιστικών μονοπατιών δεδομένων για τη συμβατική αριθμητική αναπαράσταση συμπληρώματος ως προς 2 και για ορισμένες εναλλακτικές αριθμητικές αναπαραστάσεις, π.χ., Σωσίματος - Κρατουμένου, Αριθμητικά Συστήματα Υπολοίπων. Θα υιοθετήσουμε μία εξειδικευμένη αρχιτεκτονική επιτάχυνσης για τη βελτίωση της απόδοσης εκτέλεσης εφαρμογών ΨΕΣ και θα βελτιώσουμε την απόδοση των ευέλικτων υπολογιστικών μονάδων, από τις οποίες και αποτελείται, ενσωματώνοντας μία βελτιωμένη τεχνική συγχώνευσης της πράξης άθροισης - πολλαπλασιασμού, την οποία και θα περιγράψουμε αρχικά. Στη συνέχεια, θα περιγράψουμε ορισμένες τεχνικές στο πεδίο των αριθμητικών συστημάτων υπολοίπων και, πιο συγκεκριμένα, μία τεχνική στοχευμένη για τη συγχώνευση της πράξης άθροισης - πολλαπλασιασμού υπολοίπων $2^n \pm 1$ και μία τεχνική βελτίωσης υπολογιστικών αλυσίδων αριθμητικών πράξεων άθροισης και πολλαπλασιασμού υπολοίπου $2^n + 1$, η οποία εκμεταλλεύεται μία ενδιάμεση πλεονάζουσα αναπαράσταση προκειμένου να απαλείψει όσες περισσότερες πράξεις άθροισης είναι δυνατόν να απαλειφθούν. Θα ολοκληρώσουμε το ερευνητικό κομμάτι της παρούσας διατριβής με μία μη-πλεονάζουσα αναπαράσταση με προσημασμένα ψηφία και βάση το 4, την οποία θα χρησιμοποιήσουμε σε ένα σχέδιο προ-κωδικοποιημένου πολλαπλασιαστή προ-κωδικοποιώντας τους σταθερούς συντελεστές και αποθηκεύοντάς τους σε μία μνήμη τύπου ROM σε μία συμπυκνωμένη μορφή.

1.3.1 Βελτιστοποίηση Σχεδίασης Συγχωνευμένης Πράξης Άθροισης - Πολλαπλασιασμού

Οι επιδόσεις των συστημάτων ΨΕΣ, υπό την έννοια των μετρικών της κρίσιμης καθυστέρησης, της επιφάνειας πυριτίου και της κατανάλωσης ισχύος, επηρεάζονται εγγενώς από σχεδιαστικές αποφάσεις που αφορούν τόσο στην τοποθέτηση όσο και στην εσωτερική αρχιτεκτονική των αριθμητικών μονάδων που ενσωματώνουν. Ο συνδυασμός αριθμητικών πράξεων, οι οποίες διαμοιράζονται δεδομένα, κατά τη σχεδίαση αριθμητικών μονάδων μπορεί να οδηγήσει σε σημαντική βελτίωση της απόδοσης των συστημάτων που τις ενσωματώνουν [26, 27]. Παρατηρώντας ότι ένας πολλαπλασιασμός συχνά προηγείται μίας άθροισης, π.χ., σε συμμετρικά φίλτρα Πεπερασμένης Κρουστικής Απόκρισης, σχεδιάστηκαν μονάδες Πολλαπλασιασμού - Συσσώρευσης [28] με αποτέλεσμα οι υλοποιήσεις αλγορίθμων ΨΕΣ να γίνουν πιο αποδοτικές σε σχέση με τις αντίστοιχες συμβατικές που χρησιμοποιούν μόνο πρωτογενείς πόρους [29]. Οι αριθμητικές μονάδες Πολλαπλασιασμού - Συσσώρευσης ενισχύουν την ευελιξία κατά τη σύνθεση μονοπατιών δεδομένων (datapaths) ΨΕΣ, καθώς σε αυτές τις μονάδες δύναται να απεικονιστούν αποδοτικά πολυάριθμες απλές ή αλυσιδωτές αριθμητικές πράξεις [30].

Εκτός από τις αριθμητικές πράξεις Πολλαπλασιασμού - Συσσώρευσης, εφαρμογές ΨΕΣ περιλαμβάνουν αριθμητικές πράξεις Άθροισης - Πολλαπλασιασμού (ΑΠ), π.χ.,



Σχήμα 1.4: Ο τελεστής ΑΠ με βάση το (α) συμβατικό και (β) συγχωνευμένο σχέδιο με απευθείας μετασχηματισμό του αθροίσματος των δύο αριθμών A και B στη MB μορφή του.

Γρήγορος Μετασχηματισμός Fourier [31]. Στη συμβατική σχεδίαση μίας μονάδας ΑΠ, τοποθετούμε στην κορυφή της ιεραρχίας του σχεδίου έναν αθροιστή και οδηγούμε την έξοδό του στη μία είσοδο ενός πολλαπλασιαστή. Ωστόσο, υπάρχουν αξιοσημείωτα μειονεκτήματα, τα οποία συνδέονται με τη συμβατική προσέγγιση για τη σχεδίαση του κυκλώματος ΑΠ (Σχ. 1.4α). Κατά πρώτον, η επιφάνεια πυριτίου και η κρίσιμη καθυστέρηση του κυκλώματος ΑΠ επιβαρύνονται σημαντικά, καθώς ένας αθροιστής εισάγει σημαντική καθυστέρηση στο κρίσιμο μονοπάτι της ΑΠ. Προκειμένου να ελαττωθεί η καθυστέρηση, δύναται να χρησιμοποιηθεί ένας Αθροιστής Πρόβλεψης Κρατούμενου (Carry-Look-Ahead (CLA) Adder), ο οποίος όμως αυξάνει την επιφάνεια πυριτίου και την κατανάλωση ισχύος [25]. Κατά δεύτερον, εφόσον υπάρχουν σήματα κρατούμενου που πρέπει να διαδοθούν εντός του αθροιστή, το κρίσιμο μονοπάτι του, συνεπώς, και το κρίσιμο μονοπάτι του τελεστή ΑΠ, εξαρτάται από το μήκος λέξης των εισόδων.

Στοχεύοντας στη βελτιστοποίηση της σχεδίασης των μονάδων ΑΠ, χρησιμοποιούνται τεχνικές συγχώνευσης [4–6] με τις οποίες το άθροισμα δύο αριθμών (ή το ζεύγος διανυσμάτων ενός αριθμού στην πλεονάζουσα αναπαράσταση Σωσίματος Κρατούμενου (ΣΚ, Carry-Save (CS)) [32]) μετασχηματίζεται απευθείας στη Modified Booth (MB) μορφή του [33] συγχωνεύοντας τον αθροιστή και τη μονάδα MB κωδικοποίησης του πολλαπλασιαστή σε ένα και μοναδικό δομικό στοιχείο του μονοπατιού δεδομένων (Σχ. 1.4β). Συνεπώς, ο αθροιστής της συμβατικής σχεδίασης ΑΠ εξαλείφεται, η απόδοσή της γνωρίζει σημαντικά κέρδη και η διαδικασία μετασχηματισμού γίνεται ανεξάρτητη από το μήκος λέξης των εισόδων. Η υλοποίηση της Συγχωνευμένης πράξης Άθροισης - Πολλαπλασιασμού (ΣΑΠ) είναι αποδοτικότερη από την αντίστοιχη συμβατική υλοποίηση της πράξης ΑΠ λόγω ενσωμάτωσης του απευθείας μετασχηματισμού του αθροίσματος δύο αριθμών στη MB μορφή του. Ωστόσο, οι τεχνικές MB μετασχηματισμού που απαντώνται στη βιβλιογραφία βασίζονται σε περίπλοκους χειρισμούς σημάτων σε επίπεδο bit και, συνεπώς, η υλοποίησή τους σε επίπεδο λογικών πυλών (gate-level)

Πίνακας 1.1: Μέσοι Όροι Κερδών Κρίσιμης Καθυστέρησης, Επιφάνειας Πυριτίου και Κατανάλωσης Ισχύος

Άρτιο Μήκος Λέξης									
Σχέδιο	[4]			[5]			[6]		
	D^\dagger (ns)	A^\ddagger (%)	$P^{\dagger\ddagger}$ (%)	D (ns)	A (%)	P (%)	D (ns)	A (%)	P (%)
$S - MB1$	0.050	7.41%	13.95%	0.012	2.10%	3.04%	0.022	4.24%	7.50%
$S - MB2$	0.040	7.47%	13.68%	0.002	2.39%	3.26%	0.012	4.13%	6.54%
$S - MB3$	0.032	5.66%	10.85%	-0.006	0.30%	-0.63%	0.004	2.10%	3.42%

Περιττό Μήκος Λέξης									
Σχέδιο	[4]			[5]			[6]		
	D^\dagger (ns)	A^\ddagger (%)	$P^{\dagger\ddagger}$ (%)	D (ns)	A (%)	P (%)	D (ns)	A (%)	P (%)
$S - MB1$	0.044	6.36%	11.28%	0.004	2.41%	2.40%	0.018	2.93%	5.10%
$S - MB2$	0.050	6.04%	10.70%	0.010	1.50%	1.62%	0.024	2.33%	4.85%
$S - MB3$	0.038	5.67%	8.72%	-0.002	1.48%	-0.83%	0.012	2.16%	2.30%

$^\dagger D$ = Κρίσιμη Καθυστέρηση. $^\ddagger A$ = Επιφάνεια Πυριτίου. $^{\dagger\ddagger} P$ = Κατανάλωση Ισχύος.

γίνεται μέσω κυκλωμάτων αποκλειστικών για τους χειρισμούς αυτούς.

Ορμώμενοι από τους προαναφερόμενους περιορισμούς και εστιάζοντας την προσοχή μας στην αποδοτική σχεδίαση τελεστών ΣΑΠ, παρουσιάζουμε στο Κεφάλαιο 2 μία βελτιωμένη τεχνική απευθείας μετασχηματισμού του αθροίσματος δύο αριθμών στη MB μορφή του (*Sum to MB, S - MB*). Ο προτεινόμενος αλγόριθμος μετασχηματισμού $S - MB$ είναι δομημένος και δύναται να τροποποιηθεί εύκολα ώστε να εφαρμοστεί είτε σε προσημασμένους (σε μορφή συμπληρώματος ως προς 2) είτε σε απρόσημους (θετικούς) αριθμούς, οι οποίοι αποτελούνται από άρτιο ή περιττό αριθμό από bits. Διερευνούμε τρία εναλλακτικά σχέδια της προτεινόμενης τεχνικής μετασχηματισμού $S - MB$, δηλαδή, $S - MB1$, $S - MB2$ και $S - MB3$, χρησιμοποιώντας ως δομικά στοιχεία τόσο συμβατικούς όσο και προσημασμένου bit Πλήρεις Αθροιστές και Ημι-Αθροιστές.

Η απόδοση της προτεινόμενης τεχνικής μετασχηματισμού $S - MB$ αξιολογήθηκε συγκρίνοντας τα τρία διαφορετικά σχέδιά της με τα σχέδια των πιο εξελιγμένων τεχνικών MB μετασχηματισμού που απαντώνται στη βιβλιογραφία [4–6]. Ο Πίνακας 1.1 συνοψίζει τους μέσους όρους κερδών που παρουσιάζουν τα προτεινόμενα σχέδια ΣΑΠ $S - MB1$, $S - MB2$ και $S - MB3$ για την κρίσιμη καθυστέρηση, την επιφάνεια πυριτίου και την κατανάλωση ισχύος έναντι των αντίστοιχων σχεδίων ΣΑΠ που ενσωματώνουν τις υπάρχουσες τεχνικές μετασχηματισμού των [4–6]. Τα προτεινόμενα σχέδια μετασχηματισμού $S - MB1$ και $S - MB2$ είναι κατά μέσο όρο πιο αποδοτικά (όσον αφορά τη συνολική τους απόδοση που περιλαμβάνει την κρίσιμη καθυστέρηση, την επιφάνεια πυριτίου και την κατανάλωση ισχύος) σε σύγκριση με εκείνα που ενσωματώνουν την προτεινόμενη τεχνική μετασχηματισμού $S - MB3$ ή τις υπάρχουσες τεχνικές.

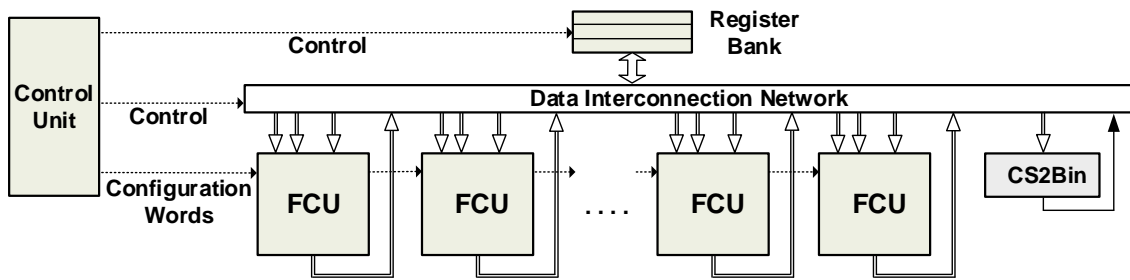
1.3.2 Επιτάχυνση Εφαρμογών ΨΕΣ με τη Χρήση Αριθμητικών Βελτιστοποιήσεων

Τα σύγχρονα ενσωματωμένα συστήματα στοχεύουν σε πεδία εφαρμογών υψηλών προδιαγραφών. Οι εφαρμογές αυτές απαιτούν αποδοτικές υλοποιήσεις για υπολογιστικά απαιτητικές συναρτήσεις ΨΕΣ. Η χρησιμοποίηση εξειδικευμένων επιταχυντών υλικού

στα πλαίσια ενσωμάτωσης ετερογένειας έχει αποδειχθεί ότι αποφέρει βελτίωση της απόδοσης και ελάττωση της κατανάλωσης ενέργειας [34].

Κατά τη σχεδίαση του μονοπατιού δεδομένων ενός επιταχυντή, οι αποφάσεις που λαμβάνονται επηρεάζουν σε μεγάλο βαθμό την απόδοση και αποτελεσματικότητά του. Η διεθνής βιβλιογραφία περιλαμβάνει ορισμένες προσεγγίσεις, οι οποίες εστιάζουν κυρίως σε σχεδιαστικές αποφάσεις στο επίπεδο της αρχιτεκτονικής [12, 35–37]. Οι προσεγγίσεις αυτές αποκλείουν από τη διαδικασία της σχεδίασης αποδοτικές τεχνικές, οι οποίες εφαρμόζονται σε χαμηλότερα επίπεδα ιεραρχίας, ή τις ενσωματώνουν σε μικρό βαθμό κατά τη διάρκεια σχηματισμού και σύνθεσης του μονοπατιού δεδομένων. Ωστόσο, λαμβάνοντας υπόψη ότι τα παραγόμενα μονοπάτια δεδομένων χαρακτηρίζονται από τον εγγενή περιορισμό των μεγάλων αλυσίδων διάδοσης κρατουμένων, οι οποίες απαντώνται σε συμβατικά δυαδικά αριθμητικά σχέδια και καθορίζουν την κρίσιμη καθυστέρησή τους, ο αποκλεισμός των αριθμητικών βελτιστοποιήσεων από τη διαδικασία της αρχιτεκτονικής σχεδίασης και σύνθεσης στερεί την προοπτική ενίσχυσης της αποτελεσματικότητας και βελτίωσης της απόδοσης των παραγόμενων μονοπατιών δεδομένων. Στοχεύοντας στην εξάλειψη των μεγάλων αλυσίδων διάδοσης κρατουμένων, ορισμένες ερευνητικές εργασίες [8, 9, 38] πέτυχαν τη βελτιστοποίηση του μονοπατιού δεδομένων χρησιμοποιώντας την αριθμητική αναπαράσταση ΣΚ. Ωστόσο, οι εργασίες αυτές αφορούν μόνο υλοποιήσεις μονάδων τύπου ASIC (Application-Specific Integrated Circuits), οι οποίες στερούνται ευελιξίας. Στις [13, 39], προτάθηκε η χρήση μίας Επαναδιαμορφούμενης Αριθμητικής Μονάδας (Reconfigurable Arithmetic Unit (RAU)) αδρομερούς διάταξης για τη σύνθεση μονοπατιών δεδομένων υψηλής απόδοσης και χαμηλής επιφάνειας πυριτίου για εφαρμογές ΨΕΣ. Ωστόσο, οι εργασίες αυτές αξιοποιούν την εξάλειψη της διάδοσης κρατουμένων μέσω της αριθμητικής αναπαράστασης ΣΚ μόνο στις περιπτώσεις αλυσιδωτών προσθετικών ή αφαιρετικών πράξεων και δεν διερευνούν τις δυνατότητες της αριθμητικής ΣΚ στην πράξη του πολλαπλασιασμού.

Λαμβάνοντας υπόψη τους προαναφερόμενους περιορισμούς, υιοθετούμε στο Κεφάλαιο 3 μία αρχιτεκτονική υψηλής απόδοσης για τη σύνθεση ευέλικτων επιταχυντών υλικού [10, 11] (Σχ. 1.5). Η αρχιτεκτονική αυτή καταφέρνει και συνδυάζει τεχνικές βελτιστοποίησης τόσο από το υψηλότερο αρχιτεκτονικό όσο και από το χαμηλότερο αριθμητικό επίπεδο σχεδίασης περιλαμβάνοντας ομοιόμορφες υπολογιστικές μονάδες, οι οποίες ενσωματώνουν ευελιξία (Flexible Computational Units (FCUs)). Παρουσιάζουμε μία βελτιωμένη υπολογιστική μονάδα, η οποία ενσωματώνεται στην ευέλικτη αρχιτεκτονική των [10, 11] για τη σύνθεση υψηλής απόδοσης επιταχυντών υλικού. Το προτεινόμενο μονοπάτι δεδομένων του επιταχυντή αξιοποιεί την τεχνική του απευθείας μετασχηματισμού της μορφής ΣΚ στην αντίστοιχη ΜΒ. Μέσω της τεχνικής αυτής, η διεξαγωγή των υπολογισμών σε αριθμητική ΣΚ πραγματοποιείται και διά μέσου των πράξεων πολλαπλασιασμού δίχως να απαιτούνται χρονοβόρες μετατροπές από την αναπαράσταση ΣΚ στην αντίστοιχη του συμπληρώματος ως προς 2. Επίσης, η προτεινόμενη υπολογιστική μονάδα ενσωματώνει την υλοποίηση μίας μεθόδου αντιστάθμισης για την ελάττωση του σφάλματος που προκαλείται στην ακρίβεια του αποτελέσματος από την τεχνική περικοπής υλικού [7], καθώς και μία συγχώνευση δομικών μονάδων στο κάτω άκρο της ιεραρχίας στο σχέδιο της υπολογιστικής μονάδας των [10, 11] προκειμένου να



Σχήμα 1.5: Αφηρημένη άποψη του ευέλικτου μονοπατιού δεδομένων.

ελαττωθεί η κρίσιμη καθυστέρησή της.

Η προτεινόμενη FCU αποδεικνύεται πιο αποδοτική τόσο ως προς την κρίσιμη καθυστέρηση όσο και ως προς την επιφάνεια πυριτίου σε σύγκριση με την FCU των [10, 11] και το Ευέλικτο Υπολογιστικό Στοιχείο (Flexible Computational Component (FCC)) της [12], καθώς η τεχνολογία σύνθεσης συρρικνώνεται από τα 130 nm στα 90 nm και ακολούθως στα 65 nm. Ωστόσο, η κρίσιμη καθυστέρηση και η επιφάνεια πυριτίου της προτεινόμενης FCU εμφανίζουν μεγαλύτερες τιμές σε σύγκριση με τις τιμές των αντίστοιχων μετρικών της Επαναδιαμορφούμενης Αριθμητικής Μονάδας (RAU) της [13] σε όλες τις περιπτώσεις τεχνολογίας σύνθεσης. Εν τούτοις, η υπό αξιολόγηση RAU περιέχει μόνο ένα ευέλικτο στάδιο συνεχούς διοχέτευσης [13] και διακρίνεται από περιορισμένη δυνατότητα διεξαγωγής βαρέων αριθμητικών λειτουργιών. Κάτι τέτοιο υποδηλώνει η μετρική αξιολόγησης MOPS/W (Mega Operations per Second/Watt). Καθώς η τεχνολογία σύνθεσης συρρικνώνεται, η προτεινόμενη FCU εμφανίζεται ως η πιο αποδοτική μονάδα από την άποψη της μετρικής MOPS/W σε σύγκριση με την FCU των [10, 11], το FCC και τη RAU.

Επίσης, έξι αντιπροσωπευτικοί πυρήνες ΨΕΣ απεικονίστηκαν επάνω στο μονοπάτι δεδομένων με FCUs. Σε σύγκριση με τις αρχιτεκτονικές με τα FCCs και τις RAUs, η προτεινόμενη λύση επιτυγχάνει κέρδος στην καθυστέρηση εκτέλεσης της τάξης του 33.36% και του 56.69% κατά μέσο όρο αντίστοιχα. Όσον αφορά την επιφάνεια πυριτίου, το κέρδος είναι της τάξης του 31.75% και 13.23% κατά μέσο όρο σε σύγκριση με τις λύσεις που βασίζονται στο FCC και τη RAU αντίστοιχα. Από την άποψη της μετρικής του γινομένου επιφάνειας - καθυστέρησης, επιτυγχάνονται κατά μέσο όρο κέρδη της τάξης του 55.65% και 61.91% έναντι των αρχιτεκτονικών που βασίζονται στο FCC και τη RAU αντίστοιχα. Όσον αφορά την αποδοτικότητα του προτεινόμενου ευέλικτου μονοπατιού δεδομένων ως προς την κατανάλωση ενέργειας, το κέρδος στην κατανάλωση ενέργειας για την προτεινόμενη αρχιτεκτονική με τις FCUs έναντι των αρχιτεκτονικών με FCCs και RAUs είναι 36.83% και 54.43% κατά μέσο όρο αντίστοιχα. Επιπλέον, μελετήσαμε τη συμπεριφορά της υλοποίησης ενός πυρήνα αυξημένης πολυπλοκότητας με βάση την προτεινόμενη αρχιτεκτονική επιταχυντή, καθώς οι κόμβοι τεχνολογίας κλιμακώνονται. Τα προτεινόμενα μονοπάτια δεδομένων με βάση την FCU διατηρούν τα πλεονεκτικά τους χαρακτηριστικά, καθώς οι τεχνολογίες σύνθεσης κλιμακώνονται, αποφέροντας την πιο αποδοτική λύση με βάση όλες τις μετρικές που μελετήθηκαν.

1.3.3 Αριθμητικά Συστήματα Υπολοίπου

Τα Αριθμητικά Συστήματα Υπολοίπου (ΑΣΥ) (Residue Number Systems (RNS)) [40, 41] επιτυγχάνουν μείωση της καθυστέρησης διάδοσης των κρατούμενων και, συνεπώς, υιοθετούνται στη σχεδίαση κρίσιμων αριθμητικών κυκλωμάτων, καθώς επιφέρουν

σημαντική μείωση της επιφάνειας πυριτίου τους και βελτίωση της απόδοσής τους σε σύγκριση με το συμβατικό σύστημα συμπληρώματος ως προς 2. Τα πλεονεκτήματα, τα οποία απορρέουν από τη χρήση των ΑΣΥ, γίνονται περισσότερο εμφανή όταν απαιτείται η διεξαγωγή συνεχόμενων αριθμητικών λειτουργιών με όρους μεγάλου μήκους λέξης. Τα ΑΣΥ έχουν υιοθετηθεί στη σχεδίαση Επεξεργαστών Ψηφιακών Σημάτων [42, 43], φίλτρων Πεπερασμένης Κρουστικής Απόκρισης [44–52], πυρήνων Διακριτού Μετασχηματισμού Συνημιτόνου [53, 54], Διακριτού Μετασχηματισμού Κυματίων [55] και Γρήγορου Μετασχηματισμού Fourier [56], καθώς και μονάδων επικοινωνίας [57–60]. Επίσης, ευρεία πεδία εφαρμογής των ΑΣΥ αποτελούν η κρυπτογραφία, όπου πολλοί κρυπτογραφικοί αλγόριθμοι βασίζονται σε αριθμητικές λειτουργίες αριθμητικής υπολοίπου [61–68], και οι αλγόριθμοι επεξεργασίας εικόνας [69–72]. Στην εργασία [48], ο Bernocchi και άλλοι έδειξαν ότι η υλοποίηση φίλτρων Πεπερασμένης Κρουστικής Απόκρισης με βάση ΑΣΥ είναι περισσότερο αποδοτική από την άποψη της κατανάλωσης ισχύος σε σχέση με τη σχεδίαση των εν λόγω φίλτρων με βάση το συμβατικό αριθμητικό σύστημα συμπληρώματος ως προς 2. Επίσης, τα ΑΣΥ θεωρούνται αρκετά ελπιδοφόρα και υποσχόμενα ως εναλλακτική επιλογή για την κατασκευή αριθμητικών κυκλωμάτων σε νανομετρικές τεχνολογίες, καθώς έχουν χρησιμοποιηθεί στη σχεδίαση ανθεκτικών σε σφάλματα φίλτρων Πεπερασμένης Κρουστικής Απόκρισης [73] και ανθεκτικών σε αποκλίσεις από την τεχνολογία κατασκευής αριθμητικών κυκλωμάτων πολλαπλασιασμού - άθροισης [74].

1.3.3.1 Ορισμός Αριθμητικού Συστήματος Υπολοίπου

Ένα ΑΣΥ ορίζεται ως ένα σύνολο από ακεραίους $\{m_1, m_2, \dots, m_P\}$, οι οποίοι είναι μεταξύ τους πρώτοι. Το δυναμικό εύρος ενός συστήματος M φράσσεται με βάση το γινόμενο των υπολοίπων m_i , δηλαδή, $M = \prod_{i=1}^P m_i$. Κάθε ακέραιος $X \in [0, M - 1]$ δύναται να αναπαρασταθεί ως ένα ΑΣΥ ως εξής:

$$X \xrightarrow{RNS} (|X|_{m_1}, |X|_{m_2}, \dots, |X|_{m_P}), \quad (1.1)$$

όπου $|X|_{m_i} = X \bmod m_i$.

Σε ΑΣΥ, οι αριθμητικές λειτουργίες, π.χ., άθροιση και πολλαπλασιασμός, εκτελούνται παράλληλα ως ακολούθως:

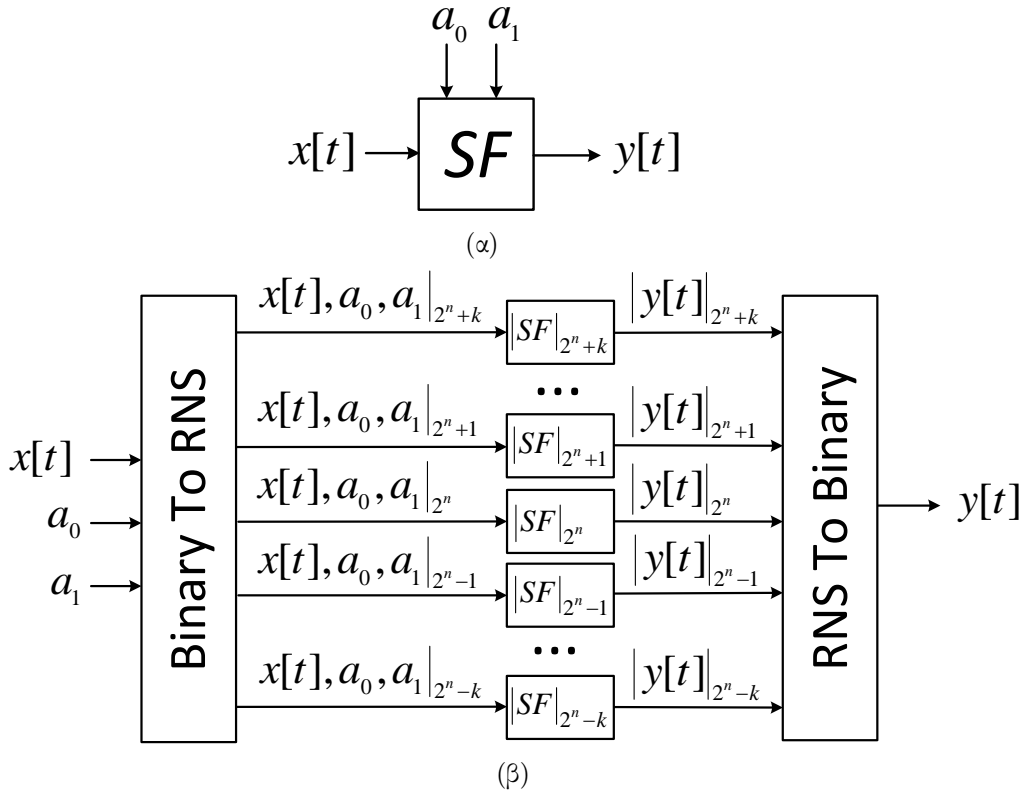
$$Z = X \text{ op } Y \xrightarrow{RNS} \begin{cases} |Z|_{m_1} = ||X|_{m_1} \text{ op } |Y|_{m_1}|_{m_1} \\ \dots \\ |Z|_{m_P} = ||X|_{m_P} \text{ op } |Y|_{m_P}|_{m_P} \end{cases} . \quad (1.2)$$

Συνεπώς, αριθμητικές λειτουργίες, οι οποίες διεξάγονται με όρους μεγάλου μήκους λέξης, χωρίζονται σε P αντίστοιχες λειτουργίες αριθμητικής υπολοίπων με ελαττωμένο μήκος λέξης.

Η μετατροπή του όρου Z από την αναπαράσταση του ΑΣΥ, το οποίο έχει οριστεί, στην αντίστοιχη συμβατική δυαδική μορφή πραγματοποιείται χρησιμοποιώντας το Κινεζικό Θεώρημα Υπολοίπων (Chinese Remainder Theorem (CRT)) [75, 76] :

$$Z = CRT(Z_{m_1}, \dots, Z_{m_P}) = \left| \sum_{i=1}^P Z_{m_i} \cdot M_i \cdot r_i \right|_M, \quad (1.3)$$

όπου οι συντελεστές $M_i = \frac{M}{m_i}$ και r_i υπολογίζονται με βάση τη σχέση $|M_i \cdot r_i|_{m_i} = 1$.



Σχήμα 1.6: Το σχηματικό διάγραμμα (α) του δομικού στοιχείου που υλοποιεί την εξίσωση (1.4) και (β) της σχεδίασης ενός παραδείγματος για ένα Συμμετρικό φίλτρο Πεπερασμένης Κρουστικής Απόκρισης 4 σημείων με βάση ΑΣΥ.

1.3.3.2 Παράδειγμα Υλοποίησης σε Αριθμητικό Σύστημα Υπολοίπου

Ας υποθέσουμε ότι επιθυμούμε να σχεδιάσουμε ένα Συμμετρικό φίλτρο Πεπερασμένης Κρουστικής Απόκρισης 4 σημείων με βάση κάποιο ΑΣΥ. Οι εισόδου του φίλτρου αναπαρίστανται στη συμβατική δυαδική μορφή και αποτελούνται από n bits έκαστη. Το σήμα εξόδου $y[t]$ του φίλτρου υπολογίζεται σύμφωνα με την εξίσωση:

$$y[t] = SF(x[t], a_0, a_1) = (x[t] + x[t - 3])a_0 + (x[t - 1] + x[t - 2])a_1, \quad (1.4)$$

όπου $x[t]$ είναι το σήμα εισόδου και a_0, a_1 είναι οι απαραίτητοι σταθεροί συντελεστές. Το σχηματικό διάγραμμα του Σχ. 1.6α υλοποιεί την (1.4).

Αρχικά, οφείλουμε να ορίσουμε ένα ΑΣΥ, το οποίο θα αποτελέσει τη βάση της σχεδίασης για το προαναφερόμενο φίλτρο. Ορίζουμε το ΑΣΥ, το οποίο αποτελείται από το σύνολο μεταξύ τους πρώτων ακεραίων $\{2^n - k, \dots, 2^n - 1, 2^n, 2^n + 1, \dots, 2^n + k\}$, ενώ κάθε ακέραιος $W \in [0, M - 1]$, όπου $M = (2^n - k) \times \dots \times (2^n - 1) \times (2^n) \times (2^n + 1) \times \dots \times (2^n + k)$, δύναται να αναπαρασταθεί ως:

$$W \xrightarrow{RNS} (|W|_{2^n - k}, \dots, |W|_{2^n - 1}, |W|_{2^n}, |W|_{2^n + 1}, \dots, |W|_{2^n + k}). \quad (1.5)$$

Με βάση την ιδιότητα των ΑΣΥ, η οποία εκφράζεται μέσω της (1.2), και το ΑΣΥ της

(1.5), έχουμε τη δυνατότητα να σχεδιάσουμε το φίλτρο της (1.4) ως εξής:

$$y[t] = SF(x[t], a_0, a_1) \xrightarrow{RNS} \begin{cases} |y[t]|_{2^{n-k}} = |SF(x[t], a_0, a_1)|_{2^{n-k}}, \\ \dots \\ |y[t]|_{2^{n-1}} = |SF(x[t], a_0, a_1)|_{2^{n-1}}, \\ |y[t]|_{2^n} = |SF(x[t], a_0, a_1)|_{2^n}, \\ |y[t]|_{2^{n+1}} = |SF(x[t], a_0, a_1)|_{2^{n+1}}, \\ \dots \\ |y[t]|_{2^{n+k}} = |SF(x[t], a_0, a_1)|_{2^{n+k}}, \end{cases}$$

$$|SF(x[t], a_0, a_1)|_{2^{n-k}} = (|x[t]|_{2^{n-k}} + |x[t-3]|_{2^{n-k}}) |a_0|_{2^{n-k}} + \\ + (|x[t-1]|_{2^{n-k}} + |x[t-2]|_{2^{n-k}}) |a_1|_{2^{n-k}}|_{2^{n-k}}, \\ \dots$$

$$|SF(x[t], a_0, a_1)|_{2^{n-1}} = (|x[t]|_{2^{n-1}} + |x[t-3]|_{2^{n-1}}) |a_0|_{2^{n-1}} + \\ + (|x[t-1]|_{2^{n-1}} + |x[t-2]|_{2^{n-1}}) |a_1|_{2^{n-1}}|_{2^{n-1}},$$

$$|SF(x[t], a_0, a_1)|_{2^n} = (|x[t]|_{2^n} + |x[t-3]|_{2^n}) |a_0|_{2^n} + \\ + (|x[t-1]|_{2^n} + |x[t-2]|_{2^n}) |a_1|_{2^n}|_{2^n},$$

$$|SF(x[t], a_0, a_1)|_{2^{n+1}} = (|x[t]|_{2^{n+1}} + |x[t-3]|_{2^{n+1}}) |a_0|_{2^{n+1}} + \\ + (|x[t-1]|_{2^{n+1}} + |x[t-2]|_{2^{n+1}}) |a_1|_{2^{n+1}}|_{2^{n+1}}, \\ \dots$$

$$|SF(x[t], a_0, a_1)|_{2^{n+k}} = (|x[t]|_{2^{n+k}} + |x[t-3]|_{2^{n+k}}) |a_0|_{2^{n+k}} + \\ + (|x[t-1]|_{2^{n+k}} + |x[t-2]|_{2^{n+k}}) |a_1|_{2^{n+k}}|_{2^{n+k}}.$$

Προκειμένου να σχηματίσουμε τη συμβατική δυαδική αναπαράσταση του σήματος $y[t]$, χρησιμοποιούμε το Κινεζικό Θεώρημα Υπολοίπων (βλέπε (1.3)):

$$y[t] = CRT(y[t]_{2^{n-k}}, \dots, y[t]_{2^{n-1}}, y[t]_{2^n}, y[t]_{2^{n+1}}, \dots, y[t]_{2^{n+k}}).$$

1.3.3.3 Βελτιστοποίηση Σχεδίασης Σύνθετων και Αλυσιδωτών Αριθμητικών Λειτουργιών Υπολοίπου $2^n \pm 1$

Αρκετές εφαρμογές ΨΕΣ διεξάγουν σύνθετες αριθμητικές λειτουργίες και, πιο συγκεκριμένα, ένα μεγάλο αριθμό λειτουργιών ΑΠ. Όταν κατά τη σχεδίαση μίας μονάδας ΑΠ τοποθετούμε αρχικά έναν αθροιστή και, στη συνέχεια, οδηγούμε την έξοδό του στη μία εκ των δύο εισόδων ενός πολλαπλασιαστή, τόσο η επιφάνεια πυριτίου όσο και η κρίσιμη καθυστέρηση του κυκλώματος ΑΠ αυξάνονται σημαντικά. **Με στόχο την αύξηση της απόδοσης της λειτουργίας ΑΠ υπολοίπου $2^n \pm 1$, εστιάζουμε στο Κεφάλαιο 4 και, πιο συγκεκριμένα, στην Ενότητα 4.1 στη βελτιστοποίηση της σχεδίασής της. Οι προτεινόμενες μονάδες συγχωνευμένης ΑΠ υπολοίπου $2^n \pm 1$ ενσωματώνουν μία αρχική σειρά Ημι-Αθροιστών (ΗΑ), οι οποίοι πραγματοποιούν τη ζητούμενη άθροιση δύο συγκεκριμένων όρων και παράγουν μία ενδιάμεση αριθμητική αναπαράσταση Καθυστερημένου Κρατουμένου (Delayed**

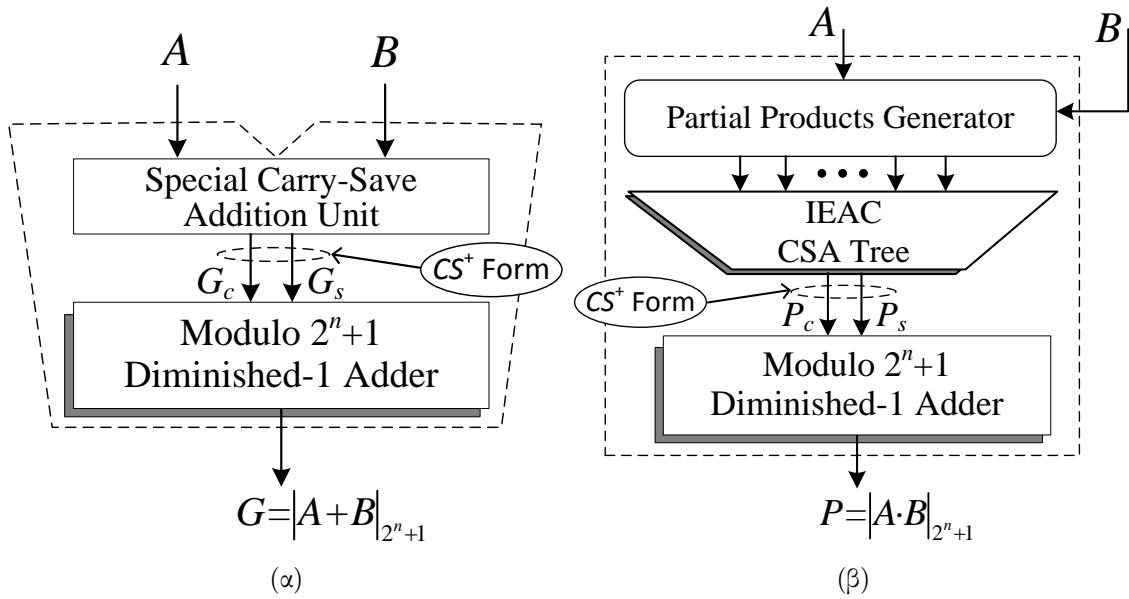
Carry representation) για το άθροισμά τους [5]. Στη συνέχεια, τα δύο διανύσματα της αναπαράστασης Καθυστερημένου Κρατουμένου πολλαπλασιάζονται με έναν προκαθορισμένο όρο και τα μερικά γινόμενα, τα οποία παράγονται, οδηγούνται σε λογικές πύλες OR σε ζεύγη. Οι όροι των n bits, οι οποίοι προκύπτουν, εισέρχονται στα κατάλληλα δένδρα Αθροιστών ΣΚ (*Carry - Save Adder (CSA) trees*) και συμπιέζονται σε ένα τελικό ζεύγος διανυσμάτων ΣΚ, τα οποία αθροίζονται χρησιμοποιώντας έναν τελικό αθροιστή υπολοίπου $2^n - 1$ ή $2^n + 1$. Σε σύγκριση με τα συμβατικά σχέδια, όπου ένας αθροιστής υπολοίπου $2^n \pm 1$ τοποθετείται στην κορυφή τους και, στη συνέχεια, η έξοδός του οδηγείται στη μία εκ των δύο εισόδων ενός πολλαπλασιαστή υπολοίπου $2^n \pm 1$, οι προτεινόμενες μονάδες ΣΑΠ αποδίδουν σημαντικά κέρδη από την άποψη της κρίσιμης καθυστέρησης, της επιφάνειας πυριτίου και της κατανάλωσης ισχύος.

Η κρίσιμη καθυστέρηση της προτεινόμενης μονάδας ΣΑΠ υπολοίπου $2^n - 1$ είναι μειωμένη σε σύγκριση με τη συμβατική υλοποίηση του σχεδίου ΑΠ κατά 0.15, 0.25 και 0.33 ns για μήκος λέξης των εισόδων ίσο με 8, 16 και 32 bits αντίστοιχα. Όσο μεγαλύτερο είναι το μήκος λέξης των εισόδων, τόσο μεγαλύτερες είναι οι τιμές της ελάττωσης στην καθυστέρηση διάδοσης. Επίσης, το προτεινόμενο σχέδιο ΣΑΠ υπολοίπου $2^n - 1$ παρουσιάζει αξιοσημείωτα κέρδη για την επιφάνεια πυριτίου της τάξεως του 14.04%, του 14.26% και του 10.47% και για την κατανάλωση ισχύος της τάξεως του 31.51%, του 23.37% και του 21.25% κατά μέσο όρο για 8, 16 και 32 bits μήκος λέξης των εισόδων αντίστοιχα.

Σε σύγκριση με τη συμβατική μονάδα ΑΠ υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης, η κρίσιμη καθυστέρηση του προτεινόμενου σχεδίου ΣΑΠ υπολοίπου $2^n + 1$ είναι μειωμένη κατά 0.16, 0.28 και 0.44 ns για μήκος λέξης των εισόδων ίσο με 8, 16 και 32 bits αντίστοιχα. Όπως σημειώσαμε και για τις μονάδες υπολοίπου $2^n - 1$, όσο μεγαλύτερο είναι το μήκος λέξης των εισόδων, τόσο μεγαλύτερες είναι οι τιμές της ελάττωσης στην καθυστέρηση διάδοσης. Επίσης, το προτεινόμενο σχέδιο ΣΑΠ υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης παρουσιάζει αξιολογικά κέρδη για την επιφάνεια πυριτίου της τάξεως του 1.92%, του 10.41% και του 16.52% και για την κατανάλωση ισχύος της τάξεως του 31.02%, του 37.84% και του 34.51% κατά μέσο όρο για 8, 16 και 32 bits μήκος λέξης των εισόδων αντίστοιχα.

Επιπλέον, οι αλυσιδωτές αριθμητικές λειτουργίες κυριαρχούν σε εφαρμογές ΨΕΣ απαιτώντας σημαντικούς πόρους του συστήματος για την εκτέλεσή τους. Η διατήρηση των ενδιάμεσων αποτελεσμάτων σε μία πλεονάζουσα αναπαράσταση, π.χ., ΣΚ, είναι μία ευρέως διαδεδομένη τεχνική, η οποία χρησιμοποιείται για την επιτάχυνση και αποδοτικότερη εκτέλεση των αλυσιδωτών αριθμητικών λειτουργιών λόγω της εξάλειψης των ενδιάμεσων αθροίσεων, καθώς οι τελευταίες συνεπάγονται διαδόσεις κρατουμένων και, κατά συνέπεια, αυξάνουν σε μεγάλο βαθμό τη συνολική κρίσιμη καθυστέρηση, ενώ καταλαμβάνουν και σημαντική επιφάνεια πυριτίου.

Ένας αθροιστής υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 1.7α) [77] αποτελείται από ένα ειδικό στάδιο Άθροισης ΣΚ, το οποίο παράγει το ζεύγος διανυσμάτων ΣΚ ($G_{CS}^+ = \{G_C, G_S\}$) των n bits, και έναν αθροιστή υπολοίπου $2^n + 1$ για όρους αναπαράστασης ελάττωσης κατά 1 [78], ο οποίος υπολογίζει το άθροισμα $G = |G_C + G_S + 1|_{2^n + 1}$. Επίσης, ένας πολλαπλασιαστής υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6β) [79] περιλαμβάνει μία μονάδα παραγωγής μερικών γινομένων, ένα Ανεστραμμένου Επανεισαγομένου Κρατουμένου (*Inverted End - Around Carry (IEAC)*) δένδρο Αθροιστών ΣΚ (*CSA tree*), το οποίο παράγει το



Σχήμα 1.7: Αριθμητική μονάδα υπολοίπου $2^n + 1$ για α) άθροιση και β) πολλαπλασιασμό όρων κανονικής αναπαράστασης.

Ζεύγος διανυσμάτων ΣΚ ($P_{CS}^+ = \{P_C, P_S\}$) των n bits, και έναν τελικό αθροιστή υπολοίπου $2^n + 1$ για όρους αναπαράστασης ελάττωσης κατά 1, ο οποίος υπολογίζει τον όρο $P = |P_C + P_S + 1|_{2^n+1}$. Όπως φαίνεται και στο Σχ. 4.6, και στις δύο προαναφερόμενες περιπτώσεις εμφανίζεται μία ειδική αναπαράσταση ΣΚ (CS). **Χρησιμοποιώντας την ειδική αυτή πλεονάζουσα αναπαράσταση υπολοίπου $2^n + 1$, την οποία αποκαλούμε πλεονάζουσα μορφή CS^+ υπολοίπου $2^n + 1$, σχεδιάζουμε στο Κεφάλαιο 4 και, πιο συγκεκριμένα, στην Ενότητα 4.2 μονάδες άθροισης υπολοίπου $2^n + 1$ με έναν ή δύο όρους στην αναπαράσταση CS^+ και μία μονάδα πολλαπλασιασμού υπολοίπου $2^n + 1$ με τον έναν εκ των δύο όρων στην αναπαράσταση CS^+ . Αναπτύσσοντας μία συστηματική μεθοδολογία για τη χρησιμοποίηση των προαναφερόμενων αριθμητικών μονάδων υπολοίπου $2^n + 1$, η εφαρμογή τους σε συστήματα ΨΕΣ, τα οποία βασίζονται σε ΑΣΥ, μπορεί να είναι ευρεία και παρουσιάζει σημαντικό πρακτικό ενδιαφέρον.**

Υλοποιήσαμε τις αλυσίδες αριθμητικών λειτουργιών άθροισης - άθροισης, άθροισης - πολλαπλασιασμού και άθροισης - πολλαπλασιασμού - άθροισης τόσο συμβατικά όσο και με βάση τις προτεινόμενες μονάδες υπολοίπου $2^n + 1$ για άθροιση ή πολλαπλασιασμό με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ . Σε κάθε μία από τις τρεις προαναφερόμενες περιπτώσεις, η κρίσιμη καθυστέρηση της προτεινόμενης προσέγγισης είναι ελαττωμένη σε σύγκριση με το συμβατικό σχέδιο και, πιο συγκεκριμένα, όσο μεγαλύτερο είναι το μήκος λέξης των εισόδων, τόσο υψηλότερες είναι οι τιμές της ελάττωσης της κρίσιμης καθυστέρησης. Επίσης, τα προτεινόμενα σχέδια παρουσιάζουν αξιοσημείωτα κέρδη για την επιφάνεια πυριτίου και για την κατανάλωση ισχύος επιβεβαιώνοντας το πλεονέκτημα της χρησιμοποίησης της πλεονάζουσας αναπαράστασης CS^+ για τη σχεδίαση αριθμητικών μονάδων, οι οποίες διεξάγουν περισσότερες της μίας διαδοχικές λειτουργίες άθροισης ή πολλαπλασιασμού υπολοίπου $2^n + 1$.

Πίνακας 1.2: Μέσες Τιμές Κερδών Επιφάνειας Πυριτίου και Κατανάλωσης Ισχύος Όλων των Προ-Κωδικοποιημένων Σχεδίων σε Σύγκριση με το Συμβατικό MB Σχέδιο

Προ-Κωδικοποιημένο Σχέδιο	A_{System} (%)	P_{System} (%)	A_{System} (%)	P_{System} (%)	A_{System} (%)	P_{System} (%)
	16 bits		24 bits		32 bits	
MB	-9.47	-7.25	-7.71	-9.08	-6.44	-7.01
NR4SD ⁻	4.36	5.03	7.20	6.66	7.28	4.70
NR4SD ⁺	4.03	5.64	7.08	9.46	7.01	5.87

1.3.4 Βελτιστοποίηση Σχεδίασης Πολλαπλασιαστών με Προκαθορισμένους και Σταθερούς Συντελεστές

Οι εφαρμογές ΨΕΣ και πολυμέσων διεξάγουν μεγάλο αριθμό πολλαπλασιασμών με συντελεστές που δε μεταβάλλονται όσο εκτελείται μία εφαρμογή. Λαμβάνοντας υπόψη ότι η μονάδα πολλαπλασιασμού αποτελεί το βασικό στοιχείο για την υλοποίηση υπολογιστικά απαιτητικών εφαρμογών, η αρχιτεκτονική της επηρεάζει σημαντικά την απόδοσή τους.

Οι σταθεροί συντελεστές δύνανται να κωδικοποιηθούν ώστε να περιέχουν το χαμηλότερο δυνατό αριθμό μη-μηδενικών ψηφίων χρησιμοποιώντας την Κανονική αναπαράσταση Προσημασμένου Ψηφίου (Canonic Signed Digit (CSD) representation) [80]. Παρόλο που οι CSD πολλαπλασιαστές χαρακτηρίζονται από τα λιγότερα μη-μηδενικά μερικά γινόμενα και, συνεπώς, η κατανάλωση ισχύος στους εν λόγω πολλαπλασιαστές ελαττώνεται, η τεχνική της κωδικοποίησης σε Κανονική αναπαράσταση Προσημασμένου Ψηφίου ενέχει σημαντικούς περιορισμούς στην εφαρμογή της. Στην εργασία [81], προτάθηκε μία μεθοδολογία για τη σχεδίαση ενός αποδοτικού προγραμματιζόμενου πολλαπλασιαστή με βάση την CSD αναπαράσταση για ομάδες προ-καθορισμένων συντελεστών, οι οποίοι παρουσιάζουν ορισμένα κοινά χαρακτηριστικά. Ωστόσο, ο εν λόγω πολλαπλασιαστής στερείται ευελιξίας, καθώς το κύκλωμα παραγωγής των μερικών γινομένων του σχεδιάζεται αποκλειστικά για μία συγκεκριμένη ομάδα συντελεστών και δεν μπορεί να επαναχρησιμοποιηθεί για μία διαφορετική ομάδα, ενώ η επέκταση της μεθόδου σε μεγάλες ομάδες προ-καθορισμένων συντελεστών ελαττώνει την απόδοση. Η τεχνική της κωδικοποίησης στην αναπαράσταση MB χρησιμοποιείται ευρέως στη σχεδίαση αποδοτικών πολλαπλασιαστών [33, 82–84]. Στην εργασία [85], προτάθηκε μία τεχνική, η οποία είναι εφάμιλλη της [81], για τη σχεδίαση αποδοτικών MB πολλαπλασιαστών για ομάδες προ-καθορισμένων συντελεστών με τους ίδιους περιορισμούς που αναφέρθηκαν προηγουμένως.

Λαμβάνοντας υπόψη ότι οι τιμές των σταθερών συντελεστών είναι γνωστές εκ των προτέρων, σχεδιάζουμε στο Κεφάλαιο 5 έναν προ-κωδικοποιημένο MB πολλαπλασιαστή και κωδικοποιούμε τους σταθερούς συντελεστές πριν από την έναρξη της λειτουργίας πολλαπλασιασμού στη MB αναπαράσταση. Το κύκλωμα κωδικοποίησης του MB πολλαπλασιαστή παραλείπεται, καθώς αποθηκεύουμε τους κωδικοποιημένους στη MB μορφή συντελεστές (3 bits για κάθε ψηφίο) σε μία ROM. Συγχρόνως, διερευνούμε μία μη-πλεονάζουσα αναπαράσταση με προσημασμένα ψηφία και βάση το 4 (Non-Redundant radix-4 Signed-Digit (NR4SD)) επεκτείνοντας τις αντίστοιχες σειρια-

κές τεχνικές κωδικοποίησης των [83] και [86], στην οποία χρησιμοποιείται ένα από τα σύνολα $\{-1, 0, +1, +2\}$ ή $\{-2, -1, 0, +1\}$ για τις τιμές των ψηφίων. Χρησιμοποιώντας την προτεινόμενη αναπαράσταση, διερευνούμε ένα σχέδιο προ-κωδικοποιημένου NR4SD πολλαπλασιαστή προ-κωδικοποιώντας τους σταθερούς συντελεστές ώστε να αποθηκεύονται σε μία μνήμη τύπου ROM σε μία συμπυκνωμένη μορφή (2 bits για κάθε ψηφίο). Σε σύγκριση με τον προ-κωδικοποιημένο MB πολλαπλασιαστή, στον οποίον οι κωδικοποιημένοι συντελεστές χρειάζονται 3 bits για κάθε ψηφίο, το προτεινόμενο NR4SD σχέδιο μειώνει το απαιτούμενο μέγεθος της μνήμης. Επίσης, ενώ η MB μορφή χρησιμοποιεί τις πέντε τιμές ψηφίων $\{-2, -1, 0, +1, +2\}$, η προτεινόμενη NR4SD αναπαράσταση χρησιμοποιεί λιγότερες τιμές ψηφίων και, συνεπώς, οι προ-κωδικοποιημένοι NR4SD πολλαπλασιαστές ενσωματώνουν ένα λιγότερο σύνθετο κύκλωμα παραγωγής μερικών γινομένων σε σύγκριση με το συμβατικό MB πολλαπλασιαστή.

Ο Πίνακας 1.2 παρουσιάζει τις μέσες τιμές για τα κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος των προ-κωδικοποιημένων MB, NR4SD⁻ και NR4SD⁺ σχεδίων σε επίπεδο συστήματος (system) σε σύγκριση με το συμβατικό MB σχέδιο. Το προ-κωδικοποιημένο MB σχέδιο παρουσιάζει απώλειες στην επιφάνεια πυριτίου (-9.47%, -7.71% και -6.44% κατά μέσο όρο για μήκος λέξης εισόδων ίσο με 16, 24 και 32 bits αντίστοιχα) και στην κατανάλωση ισχύος (-7.25%, -9.08% και -7.01% κατά μέσο όρο για μήκος λέξης εισόδων ίσο με 16, 24 και 32 bits αντίστοιχα) σε σύγκριση με το συμβατικό MB σχέδιο. Ωστόσο, οι προτεινόμενες προ-κωδικοποιημένες NR4SD αρχιτεκτονικές παρουσιάζουν βελτιώσεις στην επιφάνεια πυριτίου (έως 7.28% κατά μέσο όρο για το προ-κωδικοποιημένο NR4SD⁻ σχέδιο στα 32 bits) και στην κατανάλωση ισχύος (έως 9.46% κατά μέσο όρο για το προ-κωδικοποιημένο NR4SD⁺ σχέδιο στα 24 bits) σε σύγκριση με το συμβατικό MB σχέδιο.

Κεφάλαιο 2

Βελτιστοποιημένη Τεχνική Modified Booth

Μετασχηματισμού για Αποδοτική Σχεδίαση της Πράξης Άθροισης - Πολλαπλασιασμού

Αλυσιδωτές αριθμητικές πράξεις απαντώνται ευρέως σε εφαρμογές ΨΕΣ (DSP). Σε αυτό το κεφάλαιο, προκειμένου να αυξήσουμε την απόδοση της Συγχωνευμένης πράξης Άθροισης - Πολλαπλασιασμού (ΣΑΠ), εστιάζουμε στη βελτίωση της σχεδίασής της διερευνώντας τεχνικές υλοποίησης της απευθείας κωδικοποίησης του αθροίσματος δύο αριθμών στην τροποποιημένη κατά Booth (Modified Booth (MB)) αναπαράστασή του. Εισάγουμε μία δομημένη και αποδοτική τεχνική MB μετασχηματισμού (MB recoding) και εξερευνούμε τρεις διαφορετικές σχεδιαστικές εκδοχές της ενσωματώνοντας κάθε μία εξ αυτών σε ένα σχέδιο ΣΑΠ. Συγκρίνοντας τα σχέδια ΣΑΠ που προκύπτουν με εκείνα τα οποία χρησιμοποιούν υπάρχουσες τεχνικές MB μετασχηματισμού, η προτεινόμενη τεχνική αποφέρει αξιοσημείωτες ελαττώσεις στην κρίσιμη καθυστέρηση, στην επιφάνεια πυριτίου και στην κατανάλωση ισχύος της μονάδας ΣΑΠ.

2.1 Εισαγωγή

Οι σύγχρονες ηλεκτρονικές συσκευές ευρείας κατανάλωσης ενσωματώνουν επιταχυντές (accelerators) ΨΕΣ (DSP) προσαρμοσμένους στις απαιτήσεις των πολυμέσων, της επικοινωνίας κτλ. Μία τυπική εφαρμογή ΨΕΣ διεξάγει πολυάριθμες αριθμητικές πράξεις, καθώς η υλοποίησή της βασίζεται σε υπολογιστικά απαιτητικούς πυρήνες, όπως ο Γρήγορος Μετασχηματισμός Fourier, ο Μετασχηματισμός Διακριτού Συνημιτόνου, τα φίλτρα Πεπερασμένης Κρουστικής Απόκρισης και η συνέλιξη σημάτων. Επομένως, είναι αναμενόμενο η απόδοση¹ των συστημάτων ΨΕΣ να επηρεάζεται εγγενώς από αποφάσεις που αφορούν στη σχεδίασή τους και, πιο συγκεκριμένα, στην τοποθέτηση και εσωτερική αρχιτεκτονική των αριθμητικών μονάδων που περιέχουν.

Πρόσφατες ερευνητικές δραστηριότητες στο πεδίο των αριθμητικών βελτιστοποιήσεων [26,27] δείχνουν ότι ο συνδυασμός αριθμητικών πράξεων, οι οποίες διαμοιράζονται

¹ Στο παρόν κεφάλαιο, η έννοια της απόδοσης περιλαμβάνει τις μετρικές της κρίσιμης καθυστέρησης, της επιφάνειας πυριτίου και της κατανάλωσης ισχύος.

δεδομένα, κατά τη σχεδίαση αριθμητικών μονάδων μπορεί να οδηγήσει σε σημαντική βελτίωση της απόδοσης των συστημάτων που ενσωματώνουν τις εν λόγω μονάδες. Παρατηρώντας ότι μία άθροιση συχνά έπεται ενός πολλαπλασιασμού, π.χ., σε συμμετρικά φίλτρα Πεπερασμένης Κρουστικής Απόκρισης, σχεδιάστηκαν και αναπτύχθηκαν μονάδες Πολλαπλασιασμού - Συσσώρευσης και Πολλαπλασιασμού - Άθροισης [28] με αποτέλεσμα οι υλοποιήσεις αλγορίθμων ΨΕΣ να γίνουν πιο αποδοτικές σε σχέση με τις αντίστοιχες συμβατικές που χρησιμοποιούν μόνο πρωτογενείς πόρους [29]. Υπάρχουν αρκετές αρχιτεκτονικές που έχουν προταθεί με στόχο τη βελτιστοποίηση της απόδοσης της αριθμητικής πράξης Πολλαπλασιασμού - Συσσώρευσης και, πιο συγκεκριμένα, τη μείωση της επιφάνειας πυριτίου, της κρίσιμης καθυστέρησης και της κατανάλωσης ισχύος [87-89]. Όπως διαπιστώνουν οι Peymandoust και άλλοι [30], οι αριθμητικές μονάδες Πολλαπλασιασμού - Συσσώρευσης αυξάνουν την ευελιξία στη σύνθεση μονοπατιών δεδομένων (datapaths) ΨΕΣ, καθώς σε αυτές τις μονάδες μπορούμε να απεικονίσουμε αποδοτικά πολλές είτε απλές είτε αλυσιδωτές αριθμητικές πράξεις.

Εκτός από τις αριθμητικές πράξεις Πολλαπλασιασμού - Συσσώρευσης και Πολλαπλασιασμού - Άθροισης, πολλές εφαρμογές ΨΕΣ βασίζονται σε αριθμητικές πράξεις Άθροισης - Πολλαπλασιασμού (ΑΠ), π.χ., ο αλγόριθμος Γρήγορου Μετασχηματισμού Fourier [31]. Όταν κατά τη σχεδίαση μίας μονάδας ΑΠ τοποθετούμε αρχικά έναν αθροιστή και, στη συνέχεια, οδηγούμε την έξοδό του στη μία εκ των δύο εισόδων ενός πολλαπλασιαστή, τόσο η επιφάνεια πυριτίου όσο και η κρίσιμη καθυστέρηση του κυκλώματος ΑΠ αυξάνονται σημαντικά. Με στόχο τη βελτιστοποίηση της σχεδίασης των μονάδων ΑΠ, χρησιμοποιούνται τεχνικές συγχώνευσης [4-6, 90, 91] με τις οποίες το άθροισμα δύο αριθμών (ή ισοδύναμα το ζεύγος διανυσμάτων ενός αριθμού σε αναπαράσταση Σωσίματος Κρατούμενου (ΣΚ, Carry-Save (CS)) [32]) μετασχηματίζεται απευθείας στη MB μορφή του [33]. Συνεπώς, ο αθροιστής διάδοσης (ή πρόβλεψης) κρατούμενου [25] της συμβατικής σχεδίασης ΑΠ εξαλείφεται με αποτέλεσμα η απόδοσή της να γνωρίζει σημαντικά κέρδη. Οι Lyu και Matula [90] παρουσίασαν έναν MB μετασχηματιστή προσημασμένου bit, ο οποίος μετατρέπει πλεονάζουσες (redundant) δυαδικές εισόδους στην αντίστοιχη MB μορφή τους. Ωστόσο, απαιτείται μία ειδική επέκταση του προ-επεξεργαστικού σταδίου του MB μετασχηματιστή προκειμένου να χειρίζεται και όρους σε αναπαράσταση ΣΚ. Ο Yeh [4] πρότεινε ένα μετασχηματιστή που αποτελείται από δύο στάδια και μετατρέπει έναν αριθμό, ο οποίος βρίσκεται σε αναπαράσταση ΣΚ, στη MB μορφή του. Το πρώτο στάδιο μετατρέπει την αναπαράσταση ΣΚ της εισόδου σε μία μορφή προσημασμένου ψηφίου, η οποία στη συνέχεια μετασχηματίζεται στο δεύτερο στάδιο ώστε να ανταποκρίνεται στη μορφή που απαιτούν τα MB ψηφία. Πρόσφατα, η τεχνική του Yeh χρησιμοποιήθηκε στη σχεδίαση ευέλικτων αρχιτεκτονικών συνεπεξεργαστών υλικού υψηλής απόδοσης με στόχο την αποδοτικότερη εκτέλεση υπολογιστικά απαιτητικών εφαρμογών ΨΕΣ [10]. Οι Zimmermann και Tran [5] παρουσίασαν ένα βελτιστοποιημένο σχέδιο των Lyu και Matula [90] πετυχαίνοντας ελαττώσεις τόσο στην κρίσιμη καθυστέρηση όσο και στην επιφάνεια πυριτίου. Οι Daumas και Matula [6] πρότειναν το μετασχηματισμό μίας πλεονάζουσας (redundant) εισόδου από την αναπαράσταση ΣΚ στην αντίστοιχη μορφή Σωσίματος Δανεισμένου (Borrow-Save), διατηρώντας σταθερή την κρίσιμη καθυστέρηση της αριθμητικής πράξης του πολλαπλασιασμού.

Παρόλο που η υλοποίηση της ΣΑΠ γίνεται αποδοτικότερη από την αντίστοιχη συμβατική υλοποίηση της πράξης ΑΠ λόγω της ενσωμάτωσης του απευθείας μετασχηματισμού του αθροίσματος δύο αριθμών στη MB μορφή του, οι τεχνικές MB μετασχηματισμού που απαντώνται στη βιβλιογραφία βασίζονται σε περίπλοκους χειρισμούς των

σημάτων σε επίπεδο bit. Κατά συνέπεια, η υλοποίησή τους σε επίπεδο λογικών πυλών (gate-level) γίνεται μόνο μέσω κυκλωμάτων αποκλειστικών για τους προαναφερόμενους χειρισμούς. Στο παρόν κεφάλαιο εστιάζουμε την προσοχή μας στην αποδοτική σχεδίαση τελεστών ΣΑΠ με στόχο τη βελτιστοποίηση της τεχνικής του απευθείας μετασχηματισμού του άθροίσματος δύο αριθμών στη MB μορφή του (Sum to MB , $S - MB$). Πιο συγκεκριμένα, προτείνουμε μία νέα τεχνική MB μετασχηματισμού, με την οποία η κρίσιμη καθυστέρηση, η επιφάνεια πυριτίου και η κατανάλωση ισχύος ελαττώνονται. Ο προτεινόμενος αλγόριθμος μετασχηματισμού $S - MB$ είναι δομημένος, απλός και μπορεί εύκολα να τροποποιηθεί ώστε να εφαρμοστεί είτε σε προσημασμένους (σε μορφή συμπληρώματος ως προς 2) είτε σε απρόσημους (θετικούς) αριθμούς, οι οποίοι αποτελούνται από άρτιο ή περιττό αριθμό από bits. Διερευνούμε τρία εναλλακτικά σχέδια της προτεινόμενης τεχνικής μετασχηματισμού $S - MB$ χρησιμοποιώντας ως δομικά στοιχεία τόσο συμβατικούς όσο και προσημασμένου bit Πλήρεις Αθροιστές και Ημι-Αθροιστές.

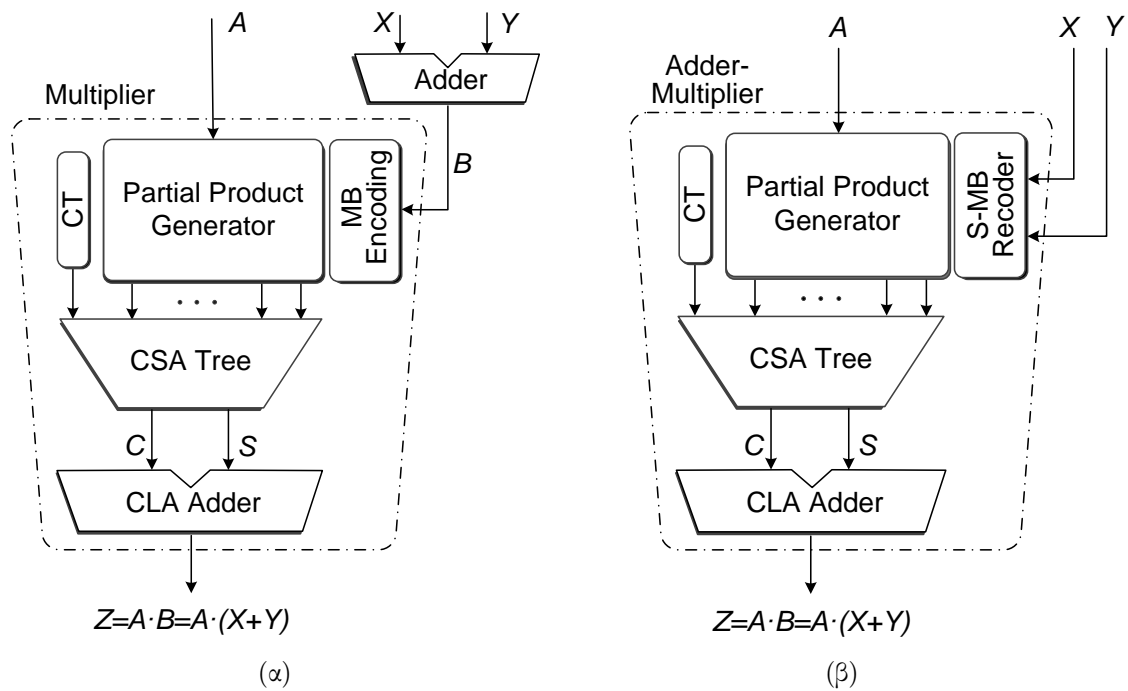
Η απόδοση της προτεινόμενης τεχνικής μετασχηματισμού $S - MB$ αξιολογήθηκε συγκρίνοντας τα τρία διαφορετικά σχέδιά της με τα αντίστοιχα σχέδια των πιο εξελιγμένων τεχνικών MB μετασχηματισμού που απαντώνται στη βιβλιογραφία [4–6]. Προκειμένου να έχουμε ακριβείς μετρήσεις κρίσιμης καθυστέρησης, επιφάνειας πυριτίου και κατανάλωσης ισχύος για διάφορα μήκη λέξης των εισόδων, χρησιμοποιήσαμε βιομηχανικά εργαλεία σύνθεσης [92] και εκτίμησης της κατανάλωσης ισχύος [93] για όλα τα υπό αξιολόγηση σχέδια, τα οποία περιγράφηκαν σε επίπεδο συνδυαστικού κυκλώματος μεταξύ καταχωρητών (RTL). Διαπιστώσαμε ότι η υιοθέτηση της προτεινόμενης τεχνικής μετασχηματισμού $S - MB$ προσφέρει βελτιστοποιημένες λύσεις για την αποδοτική σχεδίαση της ΣΑΠ με τον αντίστοιχο τελεστή να αποκτά τη δυνατότητα λειτουργίας για μεγαλύτερο εύρος συχνοτήτων, καθώς μπορεί να λειτουργήσει με μικρότερους χρονικούς περιορισμούς. Επίσης, θεωρώντας τους ίδιους χρονικούς περιορισμούς, τα προτεινόμενα σχέδια ΣΑΠ παρουσιάζουν ελαττώσεις στην επιφάνεια πυριτίου και στην κατανάλωση ισχύος και, επομένως, καλύτερες επιδόσεις σε σχέση με τα σχέδια που ενσωματώνουν υπάρχουσες λύσεις MB μετασχηματισμού.

Το υπόλοιπο κεφάλαιο έχει οργανωθεί ως εξής: Στην Ενότητα 2.2, αναπτύσσουμε το κίνητρο και παρουσιάζουμε το τεχνικό υπόβαθρο για την υλοποίηση μονάδων ΣΑΠ. Στην Ενότητα 2.3, περιγράφεται η προτεινόμενη τεχνική μετασχηματισμού $S - MB$. Στην Ενότητα 2.4, αφού παραθέσουμε τη θεωρητική ανάλυση και την πειραματική αξιολόγηση των σχεδίων που βασίζονται στην προτεινόμενη και τις υπάρχουσες τεχνικές MB μετασχηματισμού, διαπιστώνουμε τα πλεονεκτήματα των προτεινόμενων σχεδίων όσον αφορά την κρίσιμη καθυστέρηση, την επιφάνεια πυριτίου και την κατανάλωση ισχύος. Η Ενότητα 2.5 ανακεφαλαιώνει το παρόν κεφάλαιο.

2.2 Συγχωνευμένη Άθροιση - Πολλαπλασιασμός

2.2.1 Κίνητρο

Σε αυτό το κεφάλαιο, εστιάζουμε την προσοχή μας στις μονάδες ΑΠ, οι οποίες υλοποιούν την πράξη $Z = A \cdot (X + Y)$. Πολλές εφαρμογές ΨΕΣ περιλαμβάνουν έναν αξιοσημείωτο αριθμό από πράξεις ΑΠ, π.χ., ο μιγαδικός πολλαπλασιασμός στον αλγόριθμο Γρήγορου Μετασχηματισμού Fourier [4,31]. Στο συμβατικό σχέδιο του τελεστή ΑΠ (Σχ. 2.1α) οι είσοδοι X και Y οδηγούνται αρχικά σε έναν αθροιστή και, στη συνέχεια, το άθροισμα $B = X + Y$ οδηγείται στη μία εκ των δύο εισόδων ενός πολλα-



Σχήμα 2.1: Ο τελεστής ΑΠ με βάση το (α) συμβατικό και (β) συγχωνευμένο σχέδιο με απευθείας μετασχηματισμό του αθροίσματος των δύο αριθμών X και Y στη MB μορφή του. Ο πολλαπλασιαστής που χρησιμοποιείται έχει παράλληλη αρχιτεκτονική και υιοθετεί τον MB αλγόριθμο κωδικοποίησης. Οι όροι CT, CSA Tree και CLA Adder αναφέρονται στο Διορθωτικό Όρο (Correction Term, CT), στο Δένδρο με Αθροιστές Σωσίματος Κρατούμενου (Carry-Save Adder Tree, CSA Tree) και στον τελικό Αθροιστή Πρόβλεψης Κρατούμενου (Carry-Look-Ahead Adder, CLA Adder) του πολλαπλασιαστή.

πλασιαστή για να σχηματιστεί το Z . Το μειονέκτημα της χρήσης ενός αθροιστή είναι η εισαγωγή σημαντικής καθυστέρησης στο κρίσιμο μονοπάτι της ΑΠ. Εφόσον υπάρχουν σήματα κρατούμενου που πρέπει να διαδοθούν εντός του αθροιστή, το κρίσιμο μονοπάτι του, και κατέπекταση το κρίσιμο μονοπάτι του τελεστή ΑΠ, εξαρτάται από το μήκος λέξης των εισόδων. Προκειμένου να ελαττωθεί η καθυστέρηση, μπορεί να χρησιμοποιηθεί ένας Αθροιστής Πρόβλεψης Κρατούμενου (Carry-Look-Ahead (CLA) Adder), ο οποίος όμως αυξάνει την επιφάνεια πυριτίου και την κατανάλωση ισχύος. Το βελτιστοποιημένο σχέδιο του τελεστή ΑΠ ενσωματώνει τον απευθείας μετασχηματισμό του αθροίσματος $B = X + Y$ στη MB αναπαράστασή του [4–6, 90, 91] και συγχωνεύει τον αθροιστή και τη μονάδα MB κωδικοποίησης του πολλαπλασιαστή σε ένα και μοναδικό δομικό στοιχείο του datapath (Σχ. 2.1β). Η μονάδα ΣΑΠ περιλαμβάνει μόνο έναν αθροιστή, τον τελικό αθροιστή του πολλαπλασιαστή. Κατά συνέπεια, επιτυγχάνονται σημαντικές ελαττώσεις στην επιφάνεια πυριτίου και η κρίσιμη καθυστέρηση της διαδικασίας μετασχηματισμού μειώνεται και γίνεται ανεξάρτητη από το μήκος λέξης των εισόδων. Σε αυτό το κεφάλαιο, παρουσιάζουμε μία νέα τεχνική απευθείας μετασχηματισμού του αθροίσματος δύο αριθμών στη MB αναπαράστασή του.

2.2.2 Περίληψη της Αναπαράστασης Modified Booth

Η αναπαράσταση MB χρησιμοποιείται ευρέως στον πολλαπλασιασμό [33, 83, 84]. Πρόκειται για μία πλεονάζουσα (redundant) τεχνική κωδικοποίησης προσημασμένου ψηφίου με βάση (radix) το 4. Το κύριο πλεονέκτημα της εν λόγω τεχνικής είναι το γεγονός

Πίνακας 2.1: Κωδικοποίηση Modified Booth

Δυαδικά bits			MB Ψηφία \mathbf{b}_j^{MB}	MB Κωδικοποίηση		
b_{2j+1}	b_{2j}	b_{2j-1}		s_j	one_j	two_j
0	0	0	0	0	0	0
0	0	1	+1	0	1	0
0	1	0	+1	0	1	0
0	1	1	+2	0	0	1
1	0	0	-2	1	0	1
1	0	1	-1	1	1	0
1	1	0	-1	1	1	0
1	1	1	0	1	0	0

ότι μειώνει κατά το ήμισυ τον αριθμό των μερικών γινομένων στον πολλαπλασιασμό σε σύγκριση με οποιαδήποτε άλλη τεχνική κωδικοποίησης που χρησιμοποιεί ως βάση (radix) το 2.

Ας θεωρήσουμε τον πολλαπλασιασμό δύο αριθμών A και B , οι οποίοι βρίσκονται σε μορφή συμπληρώματος ως προς 2 και αποτελούνται από $n = 2k$ bits ο καθένας. Ο πολλαπλασιαστέος B μπορεί να αναπαρασταθεί κατά MB ως εξής:

$$\begin{aligned}
 B &= \langle b_{n-1} \dots b_0 \rangle_{2^s} = -b_{2k-1}2^{2k-1} + \sum_{i=0}^{2k-2} b_i 2^i \\
 &= \langle \mathbf{b}_{k-1}^{MB} \dots \mathbf{b}_0^{MB} \rangle_{MB} = \sum_{j=0}^{k-1} \mathbf{b}_j^{MB} 2^{2j}.
 \end{aligned} \tag{2.1}$$

Κάθε ψηφίο $\mathbf{b}_j^{MB} \in \{-2, -1, 0, +1, +2\}$, $0 \leq j \leq k-1$, αντιστοιχεί στα τρία διαδοχικά bits b_{2j+1} , b_{2j} και b_{2j-1} , με επικάλυψη ενός bit και θεωρώντας ότι $b_{-1} = 0$:

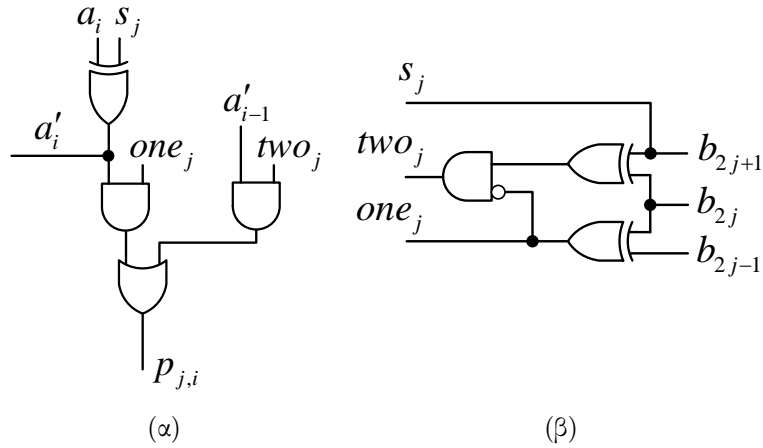
$$\mathbf{b}_j^{MB} = -2b_{2j+1} + b_{2j} + b_{2j-1}. \tag{2.2}$$

Ο Πίνακας 2.1 παρουσιάζει τον τρόπο με τον οποίο δημιουργούνται τα ψηφία \mathbf{b}_j^{MB} συνοψίζοντας την τεχνική MB κωδικοποίησης. Κάθε ψηφίο αντιπροσωπεύεται από τα τρία bits s , one και two . Το bit προσήμου s δείχνει εάν το ψηφίο είναι θετικό ($s = 0$) ή αρνητικό ($s = 1$). Το bit one δείχνει εάν η απόλυτη τιμή του ψηφίου είναι ίση με 1 ($one = 1$) η όχι ($one = 0$). Το bit two δείχνει εάν η απόλυτη τιμή του ψηφίου είναι ίση με 2 ($one = 1$) η όχι ($one = 0$). Χρησιμοποιώντας αυτά τα τρία bits υπολογίζουμε τα MB ψηφία \mathbf{b}_j^{MB} με βάση την ακόλουθη εξίσωση:

$$\mathbf{b}_j^{MB} = (-1)^{s_j} \cdot (one_j + 2two_j). \tag{2.3}$$

Όπως φαίνεται στον Πίνακα 2.1, το bit s που αντιστοιχεί σε κάποιο MB ψηφίο \mathbf{b}_j^{MB} ισούται με το υψηλότερης τάξης bit εκ των τριών bits που λαμβάνουν μέρος στη δημιουργία του συγκεκριμένου ψηφίου [83, 84]. Οι εξισώσεις (2.4) δείχνουν πως δημιουργούνται τα σήματα MB κωδικοποίησης, ενώ η υλοποίησή τους σε επίπεδο λογικών πυλών φαίνεται στο Σχ. 2.2β.

$$\begin{aligned}
 s_j &= b_{2j+1}, \quad one_j = b_{2j-1} \oplus b_{2j}, \\
 two_j &= (b_{2j+1} \oplus b_{2j}) \wedge \overline{one}_j.
 \end{aligned} \tag{2.4}$$



Σχήμα 2.2: (α) Η παραγωγή του bit $p_{j,i}$ τάξης i του μερικού γινομένου PP_j για το συμβατικό MB πολλαπλασιαστή και (β) η υλοποίηση σε επίπεδο λογικών πυλών των σημάτων MB κωδικοποίησης.

2.2.3 Υλοποίηση της ΣΑΠ

Στο σχέδιο της ΣΑΠ του Σχ. 2.1β, η αρχιτεκτονική του πολλαπλασιαστή είναι παράλληλη και βασίζεται στον αλγόριθμο MB κωδικοποίησης. Ας θεωρήσουμε τον πολλαπλασιασμό $A \cdot B$. Ο όρος $B = \langle b_{n-1} \dots b_0 \rangle_{2^s}$ κωδικοποιείται σύμφωνα με τον αλγόριθμο MB (Ενότητα 2.2.2) και πολλαπλασιάζεται με τον όρο $A = \langle a_{n-1} \dots a_0 \rangle_{2^s}$. Και οι δύο όροι A και B αποτελούνται από $n = 2k$ bits και βρίσκονται σε μορφή συμπληρώματος ως προς 2. Η επόμενη εξίσωση περιγράφει τη δημιουργία των k μερικών γινομένων θεωρώντας ότι $j = 0 \dots k - 1$.

$$PP_j = A \cdot \mathbf{b}_j^{MB} = \bar{p}_{j,n} 2^n + \sum_{i=0}^{n-1} p_{j,i} 2^i. \quad (2.5)$$

Η παραγωγή του bit $p_{j,i}$ τάξης i του μερικού γινομένου PP_j βασίζεται στην επόμενη εξίσωση, ενώ το Σχ. 2.2α παρουσιάζει την υλοποίησή του σε επίπεδο λογικών πυλών [83, 84].

$$p_{j,i} = ((a_i \oplus s_j) \wedge one_j) \vee ((a_{i-1} \oplus s_j) \wedge two_j). \quad (2.6)$$

Για τον υπολογισμό των bits χαμηλότερης και υψηλότερης τάξης κάθε μερικού γινομένου θεωρούμε αντίστοιχα ότι $a_{-1} = 0$ και $a_n = a_{n-1}$. Οφείλουμε να σημειώσουμε ότι στην περίπτωση όπου ο αριθμός $n = 2k + 1$ είναι περιττός, τότε ο αριθμός των μερικών γινομένων που παράγονται είναι ίσος με $\lfloor n/2 \rfloor + 1 = k + 1$ και η δημιουργία του υψηλότερης τάξης MB ψηφίου απαιτεί να γίνει επέκταση προσήμου στον αρχικό αριθμό που είναι σε μορφή συμπληρώματος ως προς 2.

Αφού παραχθούν τα μερικά γινόμενα, σταθμίζονται κατάλληλα και προστίθενται μέσω ενός Δένδρου με Αθροιστές Σωσίματος Κρατουμένου (Carry-Save Adder (CSA) Tree) [25] μαζί με το Διορθωτικό Όρο (Correction Term (CT)), ο οποίος υπολογίζεται σύμφωνα με τις ακόλουθες εξισώσεις:

$$Z = A \cdot B = CT + \sum_{j=0}^{k-1} PP_j 2^{2j}, \quad (2.7)$$

Πίνακας 2.2: Λειτουργία HA*

Είσοδοι		Τιμή Εξόδου ^a	Εξοδοι	
$p(+)$	$q(+)$		$c(+)$	$s(-)$
0	0	0	0	0
0	1	+1	1	1
1	0	+1	1	1
1	1	+2	1	0

^a Τιμή Εξόδου = $+2c - s = +p + q$.

Πίνακας 2.3: Δυϊκή Λειτουργία HA*

Είσοδοι		Τιμή Εξόδου ^b	Εξοδοι	
$p(-)$	$q(-)$		$c(-)$	$s(+)$
0	0	0	0	0
0	1	-1	1	1
1	0	-1	1	1
1	1	-2	1	0

^b Τιμή Εξόδου = $-2c + s = -p - q$.

Πίνακας 2.4: Λειτουργία HA**

Είσοδοι		Τιμή Εξόδου ^c	Εξοδοι	
$p(-)$	$q(+)$		$c(+)$	$s(-)$
0	0	0	0	0
0	1	+1	1	1
1	0	-1	0	1
1	1	0	0	0

^c Τιμή Εξόδου = $+2c - s = -p + q$.

$$CT = \sum_{j=0}^{k-1} c_{in,j} 2^{2j} + 2^n (1 + \sum_{j=0}^{k-1} 2^{2j+1}), \quad (2.8)$$

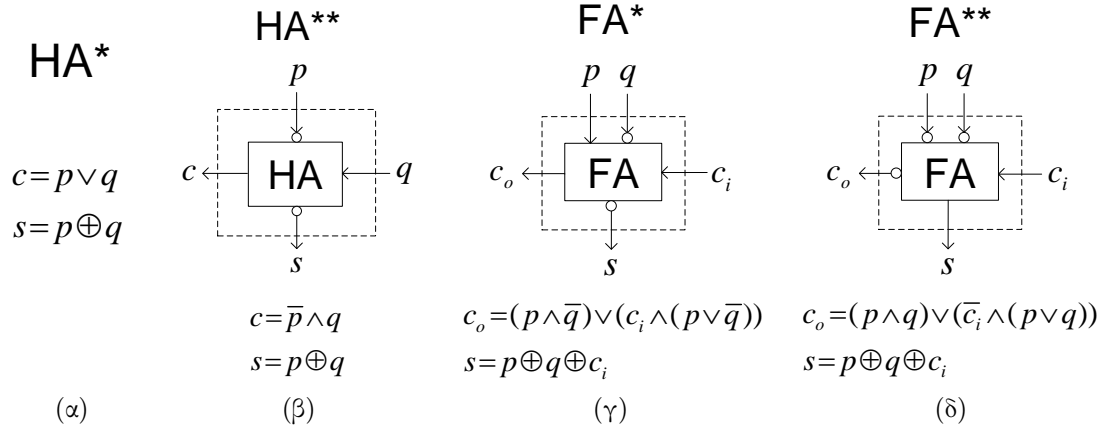
όπου $c_{in,j} = (one_j \vee two_j) \wedge s_j$ (βλέπε Πίνακας 2.1).

Το τελικό αποτέλεσμα $Z = A \cdot B$ (Σχ. 2.1β) προκύπτει μετά από την άθροιση των διανυσμάτων C και S της εξόδου του Δένδρου με Αθροιστές Σωσίματος Κρατουμένου, η οποία βρίσκεται σε μορφή ΣΚ, μέσω ενός γρήγορου Αθροιστή Πρόβλεψης Κρατουμένου (CLA Adder).

2.3 Προτεινόμενη Τεχνική για το Μετασχηματισμό Αθροίσματος στη Modified Booth Αναπαράστασή του

2.3.1 Πλήρεις Αθροιστές και Ημι-Αθροιστές Προσημασμένου Bit

Στην προτεινόμενη τεχνική απευθείας μετασχηματισμού του αθροίσματος δύο αριθμών στη MB αναπαράστασή του (Sum to Modified Booth, $S - MB$), μετασχηματίζουμε το άθροισμα δύο διαδοχικών bits της εισόδου X (x_{2j}, x_{2j+1}) με τα δύο αντίστοιχα διαδοχικά bits της εισόδου Y (y_{2j}, y_{2j+1}) σε ένα MB ψηφίο \mathbf{b}_j^{MB} . Όπως παρατηρούμε από την εξίσωση (2.2), τρία bits συμμετέχουν στη δημιουργία ενός MB ψηφίου με το bit υψηλότερης τάξης να είναι αρνητικά προσημασμένο και τα δύο bits χαμηλότερης τάξης να έχουν θετικά πρόσημα. Συνεπώς, θα πρέπει να χρησιμοποιήσουμε αριθμητική προσημασμένου bit, για να μετασχηματίσουμε τα δύο προαναφερόμενα ζεύγη bits σε MB μορφή. Για το σκοπό αυτό, δημιουργήσαμε ένα σύνολο από Ημι-Αθροιστές (HA) (Half Adders (HA)) και Πλήρεις Αθροιστές (ΠΑ) (Full Adders (FA)), οι οποίοι είναι προσημασμένοι σε επίπεδο bit, θεωρώντας ότι τόσο οι εισοδοί όσο και οι έξοδοί τους είναι προσημασμένες.



Σχήμα 2.3: Οι Boolean εξισώσεις και οι σχηματικές αναπαραστάσεις των προσημασμένων (α) HA^* , (β) HA^{**} , (γ) FA^* και (δ) FA^{**} με βάση τους συμβατικούς HA ή FA .

Πιο συγκεκριμένα, χρησιμοποιούμε δύο είδη προσημασμένων HA , τον HA^* και τον HA^{**} . Οι Πίνακες 2.2, 2.3 και 2.4 είναι οι πίνακες αληθείας τους και τα Σχ. 2.3α, 2.3β παρουσιάζουν τις αντίστοιχες Boolean εξισώσεις. Υποθέτουμε ότι p, q είναι οι δυαδικές εισόδους και c, s οι εξόδους (το κρατούμενο και το άθροισμα, αντίστοιχα) ενός HA^* , ο οποίος υλοποιεί τη σχέση $+2c - s = +p + q$ θεωρώντας ότι το άθροισμα s είναι αρνητικά προσημασμένο (Πίνακας 2.2, Σχ. 2.3α). Η έξοδος του HA^* έχει μία από τις τιμές $\{0, +1, +2\}$. Επίσης, στον Πίνακα 2.3 περιγράφουμε τη δυϊκή υλοποίηση του HA^* , όπου έχουμε αντιστρέψει τα πρόσημα όλων των εισόδων και εξόδων και, συνεπώς, αλλάζει τις τιμές της εξόδου στις $\{-2, -1, 0\}$. Ο Πίνακας 2.4 και το Σχ. 2.3β παρουσιάζουν τη λειτουργία και τη σχηματική αναπαράσταση του HA^{**} , ο οποίος υλοποιεί τη σχέση $+2c - s = -p + q$. Η είσοδος p είναι αρνητικά προσημασμένη, ενώ η είσοδος q έχει θετικό πρόσημο. Επομένως, η έξοδος του HA^{**} μπορεί να πάρει μία από τις τιμές $\{-1, 0, +1\}$.

Επίσης, σχεδιάσαμε δύο είδη προσημασμένων FA , οι οποίοι παρουσιάζονται στους Πίνακες 2.5, 2.6 και τα Σχ. 2.3γ, 2.3δ. Οι σχηματικές αναπαραστάσεις που φαίνονται στα Σχ. 2.3γ και 2.3δ δείχνουν τη σύνδεση που υπάρχει ανάμεσα στους προσημασμένους FA^* και FA^{**} με το συμβατικό FA . Υποθέτοντας ότι p, q και c_i είναι οι δυαδικές εισόδους και c_o, s είναι το κρατούμενο εξόδου και το άθροισμα αντίστοιχα, ο FA^* υλοποιεί τη σχέση $+2c_o - s = +p - q + c_i$, όπου τα bits s και q θεωρούνται αρνητικά προσημασμένα (Πίνακας 2.5, Σχ. 2.3γ). Ο Πίνακας 2.5 (πίνακας αληθείας του FA^*) δείχνει ότι η έξοδος του FA^* παίρνει μία από τις τιμές $\{-1, 0, +1, +2\}$. Στην περίπτωση του FA^{**} , οι δύο εισόδους p, q είναι αρνητικά προσημασμένες και ο FA^{**} υλοποιεί τη σχέση $-2c_o + s = -p - q + c_i$ (Πίνακας 2.6, Σχ. 2.3δ). Οι εναλλακτικές τιμές εξόδου για τον FA^{**} είναι οι $\{-2, -1, 0, +1\}$. Όπως φαίνεται και στα Σχ. 2.3γ, 2.3δ οι προσημασμένοι FA υλοποιούνται χρησιμοποιώντας το συμβατικό FA και αντιστρέφοντας τις εισόδους και εξόδους που είναι αρνητικές.

2.3.2 Εναλλακτικά Σχέδια της Προτεινόμενης Τεχνικής Μετασχηματισμού $S - MB$

Τόσο συμβατικοί όσο και προσημασμένοι HA και FA (Ενότητα 2.3.1) χρησιμοποιήθηκαν προκειμένου να σχεδιάσουμε και διερευνήσουμε τρία εναλλακτικά σχέδια της

Πίνακας 2.5: Λειτουργία ΠΑ*

Είσοδοι			Τιμή Εξόδου ^d	Εξοδοι	
$p(+)$	$q(-)$	$c_i(+)$		$c_o(+)$	$s(-)$
0	0	0	0	0	0
0	0	1	+1	1	1
0	1	0	-1	0	1
0	1	1	0	0	0
1	0	0	+1	1	1
1	0	1	+2	1	0
1	1	0	0	0	0
1	1	1	+1	1	1

^d Τιμή Εξόδου = $+2c_o - s = +p - q + c_i$.

Πίνακας 2.6: Λειτουργία ΠΑ**

Είσοδοι			Τιμή Εξόδου ^e	Εξοδοι	
$p(-)$	$q(-)$	$c_i(+)$		$c_o(-)$	$s(+)$
0	0	0	0	0	0
0	0	1	+1	0	1
0	1	0	-1	1	1
0	1	1	0	0	0
1	0	0	-1	1	1
1	0	1	0	0	0
1	1	0	-2	1	0
1	1	1	-1	1	1

^e Τιμή Εξόδου = $-2c_o + s = -p - q + c_i$.

προτεινόμενης τεχνικής μετασχηματισμού $S - MB$. Το κάθε ένα από τα τρία αυτά σχέδια μπορεί εύκολα να εφαρμοσθεί είτε σε προσημασμένους (σε αναπαράσταση συμπληρώματος ως προς 2) είτε σε απρόσημους (θετικούς) αριθμούς, οι οποίοι αποτελούνται από άρτιο ή περιττό αριθμό από bits.

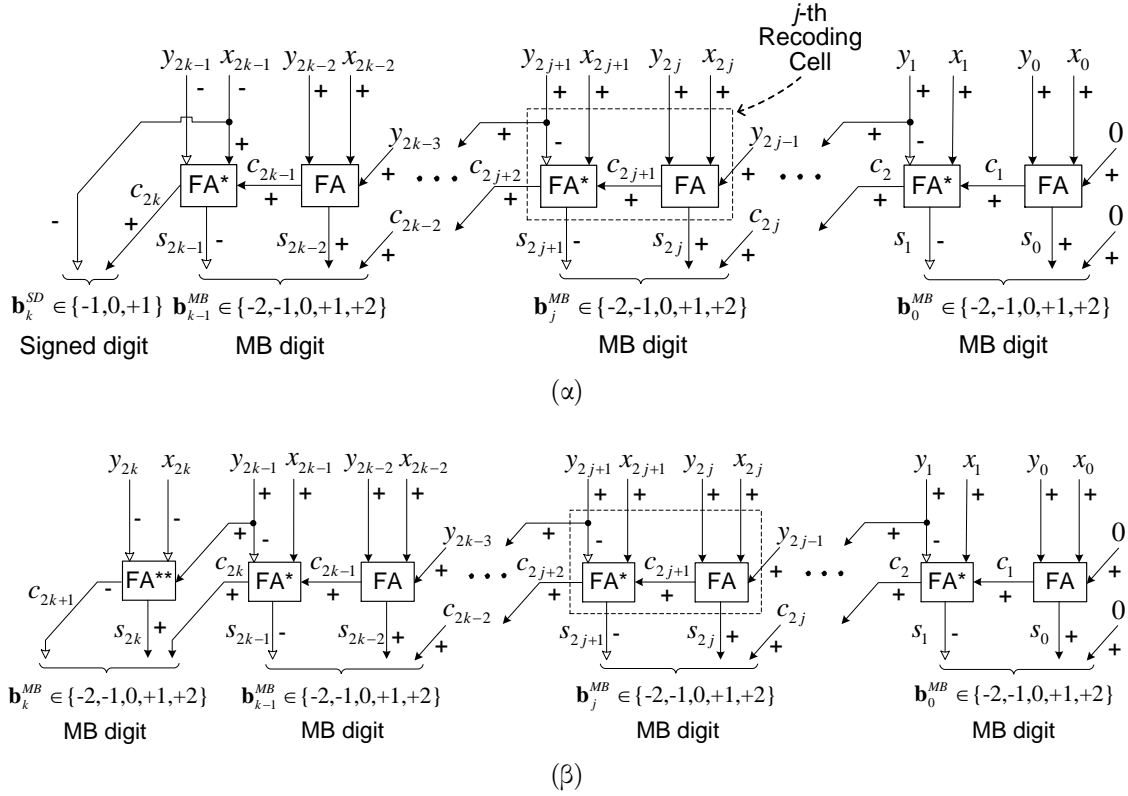
Σε όλα τα σχέδια θεωρούμε ότι και οι δύο είσοδοι X και Y αναπαρίστανται σε μορφή συμπληρώματος ως προς 2 και αποτελούνται από $2k$ bits στην περίπτωση άρτιου ή $2k + 1$ bits στην περίπτωση περιττού μήκους λέξης. Για το μετασχηματισμό του αθροίσματος των X και Y ($B = X + Y$) στην MB αναπαράστασή του, θεωρούμε ότι οι είσοδοι του κελιού μετασχηματισμού τάξης j είναι τα bits x_{2j} , x_{2j+1} και y_{2j} , y_{2j+1} προκειμένου να έχουμε στην έξοδό του τα τρία bits που χρειαζόμαστε για τη δημιουργία του αντίστοιχου MB ψηφίου \mathbf{b}_j^{MB} (2.2).

2.3.2.1 Σχέδιο Μετασχηματισμού $S - MB1$

Το πρώτο σχέδιο της προτεινόμενης τεχνικής μετασχηματισμού αναφέρεται ως $S - MB1$ και απεικονίζεται λεπτομερώς στο Σχ. 2.4 τόσο για άρτιο (Σχ. 2.4α) όσο και για περιττό (Σχ. 2.4β) μήκος λέξης των εισόδων. Όπως φαίνεται και στο Σχ. 2.4, το άθροισμα των X και Y υπολογίζεται από την ακόλουθη σχέση:

$$B = X + Y = \mathbf{b}_k 2^{2k} + \sum_{j=0}^{k-1} \mathbf{b}_j^{MB} 2^{2j}, \quad \text{όπου } \mathbf{b}_j^{MB} = -2s_{2j+1} + s_{2j} + c_{2j}. \quad (2.9)$$

Η δημιουργία των MB ψηφίων \mathbf{b}_j^{MB} , $0 \leq j \leq (k-1)$, της (2.9) βασίζεται στην ανάλυση της Ενότητας 2.2.2 (βλέπε (2.2)).



Σχήμα 2.4: Το σχέδιο μετασχηματισμού $S - MB1$ για (α) άρτιο και (β) περιττό αριθμό από bits.

Τα δύο bits s_{2j+1} και s_{2j} εξάγονται από το κελί μετασχηματισμού (recoding cell) τάξης j (Σχ. 2.4). Ένας συμβατικός ΠΑ με εισόδους x_{2j} , y_{2j} και y_{2j-1} παράγει το κρατούμενο $c_{2j+1} = (x_{2j} \wedge y_{2j}) \vee (y_{2j-1} \wedge (x_{2j} \vee y_{2j}))$ και το άθροισμα $x_{2j} \oplus y_{2j} \oplus y_{2j-1}$. Εφόσον το bit s_{2j+1} πρέπει να είναι αρνητικά προσημασμένο, χρησιμοποιούμε έναν ΠΑ* (Πίνακας 2.5, Σχ. 2.3γ) με εισόδους x_{2j+1} , $y_{2j+1}(-)$ και c_{2j+1} , ο οποίος παράγει το κρατούμενο c_{2j+2} και το άθροισμα $s_{2j+1}(-)$:

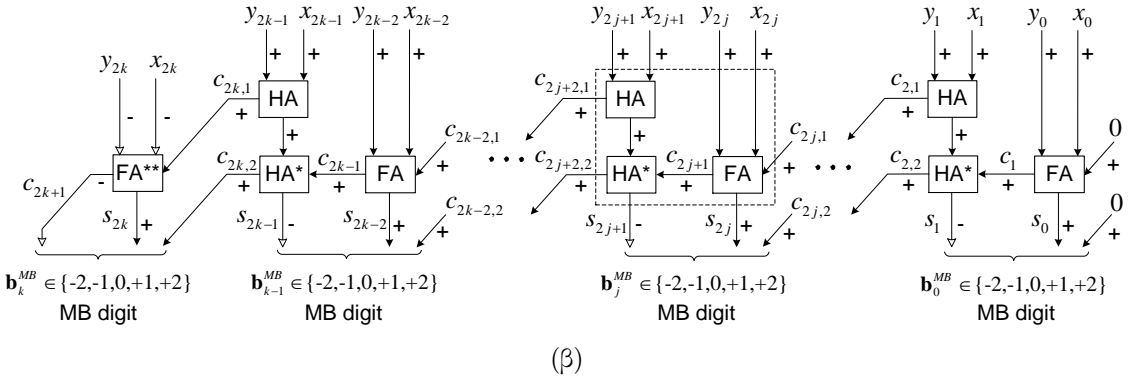
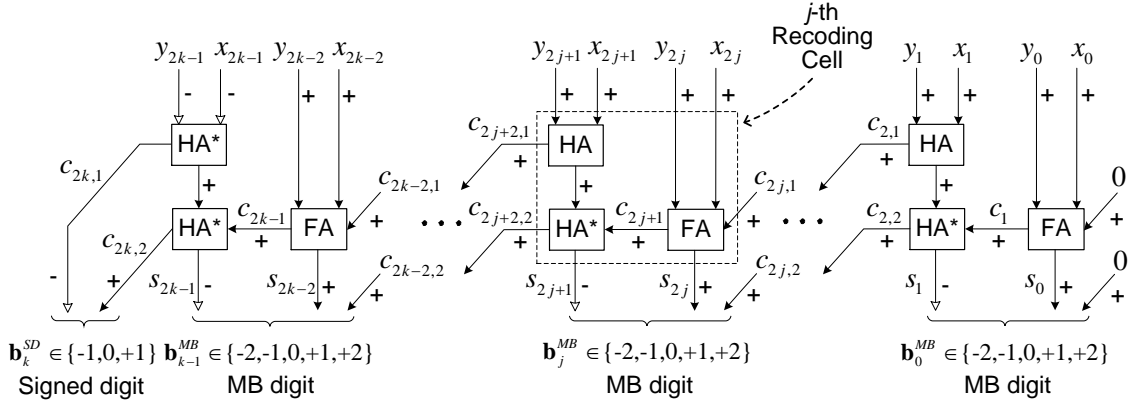
$$\begin{aligned} c_{2j+2} &= (x_{2j+1} \wedge \bar{y}_{2j+1}) \vee (c_{2j+1} \wedge (x_{2j+1} \vee \bar{y}_{2j+1})), \\ s_{2j+1} &= x_{2j+1} \oplus y_{2j+1} \oplus c_{2j+1}. \end{aligned} \quad (2.10)$$

Στο σημείο αυτό θα πρέπει να τονίσουμε ότι, με βάση την εξίσωση $y_{2j+1} = 2y_{2j+1} - y_{2j+1}$, το bit y_{2j+1} οδηγείται στον ΠΑ* ως αρνητικά προσημασμένο, ενώ χρησιμοποιείται με θετικό πρόσημο σαν το κρατούμενο εισόδου του ακόλουθου κελιού μετασχηματισμού. Οι αρχικές τιμές που θεωρούμε είναι $y_{-1} = 0$ και $c_0 = 0$.

Για τη δημιουργία του Ψηφίου Υψηλότερης Τάξης (ΨΥΤ) του σχεδίου μετασχηματισμού $S - MB1$, διακρίνουμε δύο περιπτώσεις: Στην πρώτη περίπτωση, το μήκος λέξης των αριθμών X και Y είναι άρτιο (Σχ. 2.4α), ενώ στη δεύτερη περίπτωση, και οι δύο αριθμοί X και Y αποτελούνται από περιττό αριθμό από bits (Σχ. 2.4β). Στην πρώτη περίπτωση, το ΨΥΤ $\mathbf{b}_{k,even}^{SD}$ είναι ένα προσημασμένο ψηφίο και υπολογίζεται από την επόμενη αλγεβρική εξίσωση:

$$\mathbf{b}_{k,even}^{SD} = -x_{2k-1} + c_{2k}. \quad (2.11)$$

Στη δεύτερη περίπτωση, το ΨΥΤ $\mathbf{b}_{k,odd}^{MB}$ είναι ένα MB ψηφίο, το οποίο δημιουργείται με βάση τα bits c_{2k+1} , s_{2k} και c_{2k} . Το κρατούμενο $c_{2k+1}(-)$ και το άθροισμα s_{2k}



Σχήμα 2.5: Το σχέδιο μετασχηματισμού $S - MB2$ για (α) άρτιο και (β) περιττό αριθμό από bits.

παράγονται από έναν ΠΑ** με εισόδους $x_{2k}(-)$, $y_{2k}(-)$ και y_{2k-1} (Πίνακας 2.6, Σχ. 2.3δ).

Η κρίσιμη καθυστέρηση του σχεδίου μετασχηματισμού $S - MB1$ (Σχ. 2.4) είναι σταθερή ανεξαρτήτως του μήκους λέξης των εισόδων και υπολογίζεται σύμφωνα με την ακόλουθη εξίσωση:

$$T_{S-MB1} = T_{FA,carry} + T_{FA^*,sum}, \quad (2.12)$$

όπου $T_{FA,carry}$ είναι ο χρόνος που απαιτείται για τη δημιουργία του κρατούμενου εξόδου ενός συμβατικού ΠΑ και $T_{FA^*,sum}$ είναι ο χρόνος που απαιτείται για τη δημιουργία του αθροίσματος ενός προσημασμένου ΠΑ*.

2.3.2.2 Σχέδιο Μετασχηματισμού $S - MB2$

Το δεύτερο σχέδιο της προτεινόμενης τεχνικής μετασχηματισμού, το $S - MB2$, απεικονίζεται στο Σχ. 2.5 για άρτιο (Σχ. 2.5α) και περιττό (Σχ. 2.5β) μήκος λέξης των εισόδων. Θεωρούμε τις αρχικές τιμές $c_{0,1} = 0$ και $c_{0,2} = 0$. Τα ψηφία \mathbf{b}_j^{MB} , $0 \leq j \leq (k-1)$, δημιουργούνται με βάση τα bits s_{2j+1} , s_{2j} και $c_{2j,2}$ σύμφωνα με την (2.9). Όπως και στο σχέδιο μετασχηματισμού $S - MB1$, χρησιμοποιούμε ένα συμβατικό ΠΑ που παράγει το κρατούμενο c_{2j+1} και το άθροισμα s_{2j} . Οι εισοδοί του ΠΑ είναι x_{2j} , y_{2j} και $c_{2j,1}$. Το bit $c_{2j,1}$ είναι το κρατούμενο εξόδου ενός συμβατικού ΗΑ, ο οποίος ανήκει στο κελί μετασχηματισμού τάξης $(j-1)$ και έχει ως εισόδους τα bits x_{2j-1} , y_{2j-1} . Το bit s_{2j+1} είναι το άθροισμα εξόδου ενός ΗΑ* (βασική λειτουργία -

Πίνακας 2.2, Σχ. 2.3α) στον οποίο οδηγούμε το bit c_{2j+1} και το άθροισμα που παράγεται από ένα συμβατικό ΗΑ με εισόδους τα bits x_{2j+1}, y_{2j+1} . Ο ΗΑ* χρησιμοποιείται προκειμένου να παραχθεί το αρνητικά προσημασμένο άθροισμα s_{2j+1} και οι έξοδοί του υπολογίζονται με βάση τις ακόλουθες Boolean εξισώσεις:

$$\begin{aligned} c_{2j+2,2} &= c_{2j+1} \vee (x_{2j+1} \oplus y_{2j+1}), \\ s_{2j+1} &= x_{2j+1} \oplus y_{2j+1} \oplus c_{2j+1}. \end{aligned} \quad (2.13)$$

Στην περίπτωση που οι αριθμοί X και Y αποτελούνται από άρτιο αριθμό από bits (Σχ. 2.5α), τα bits x_{2n-1} και y_{2n-1} είναι αρνητικά προσημασμένα και ο συμβατικός ΗΑ του κελιού μετασχηματισμού τάξης $(n-1)$ αντικαθίσταται από ένα δυϊκό ΗΑ*, ο οποίος αναλύεται στον Πίνακα 2.3. Το ΨΥΤ $\mathbf{b}_{k,even}^{SD}$ είναι ένα προσημασμένο ψηφίο και υπολογίζεται από την ακόλουθη εξίσωση:

$$\mathbf{b}_{k,even}^{SD} = -c_{2k,1} + c_{2k,2}. \quad (2.14)$$

Στην περίπτωση που ο αριθμός των bits των εισόδων X και Y είναι περιττός (Σχ. 2.5β), το ΨΥΤ $\mathbf{b}_{k,odd}^{MB}$ είναι ένα MB ψηφίο, το οποίο δημιουργείται με βάση τα bits c_{2k+1}, s_{2k} και $c_{2k,2}$. Το κρατούμενο $c_{2k+1}(-)$ και το άθροισμα s_{2k} παράγονται από έναν ΠΑ** με εισόδους $x_{2k}(-), y_{2k}(-)$ και $c_{2k,1}$ (Πίνακας 2.6, Σχ. 2.3δ).

Η κρίσιμη καθυστέρηση του σχεδίου μετασχηματισμού $S-MB2$ υπολογίζεται ως εξής:

$$T_{S-MB2} = T_{HA,carry} + T_{FA,carry} + T_{HA*,sum}, \quad (2.15)$$

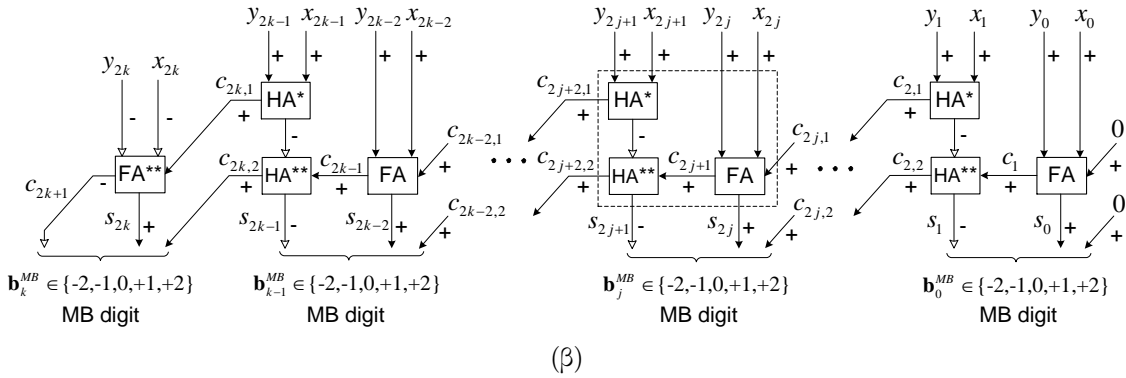
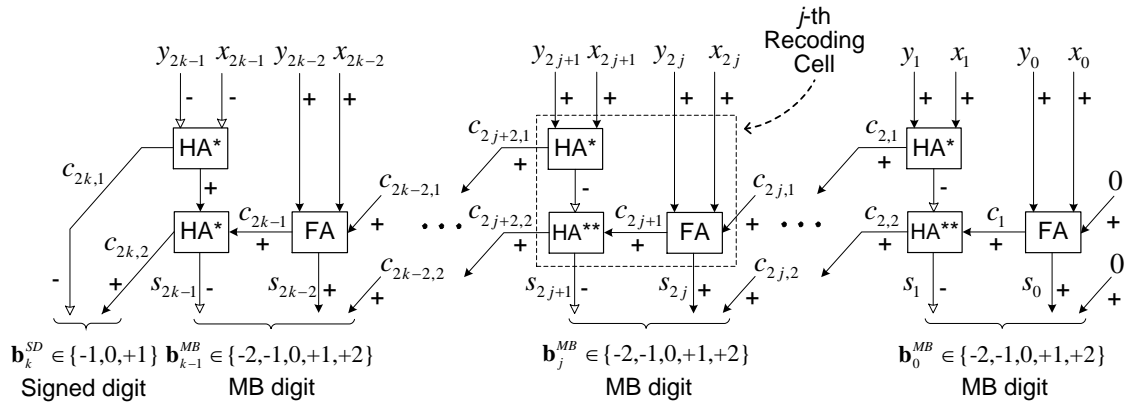
όπου $T_{HA,carry}$ και $T_{FA,carry}$ είναι οι χρονικές καθυστερήσεις δημιουργίας του κρατούμενου εξόδου ενός συμβατικού ΗΑ και ενός συμβατικού ΠΑ αντίστοιχα, και $T_{HA*,sum}$ είναι η χρονική καθυστέρηση δημιουργίας του αθροίσματος ενός προσημασμένου ΗΑ*.

2.3.2.3 Σχέδιο Μετασχηματισμού $S-MB3$

Η τρίτη σχεδιαστική εκδοχή για την υλοποίηση της προτεινόμενης τεχνικής μετασχηματισμού είναι το σχέδιο $S-MB3$, το οποίο απεικονίζεται λεπτομερώς στο Σχ. 2.6 για άρτιο (Σχ. 2.6α) και περιττό (Σχ. 2.6β) μήκος λέξης των εισόδων. Θεωρούμε ότι $c_{0,1} = 0$ και $c_{0,2} = 0$. Η δημιουργία των ψηφίων \mathbf{b}_j^{MB} , $0 \leq j \leq (k-1)$, βασίζεται στα bits s_{2j+1}, s_{2j} και $c_{2j,2}$ σύμφωνα με την (2.9). Όπως και στα δύο προηγούμενα σχέδια $S-MB1$ και $S-MB2$ της προτεινόμενης τεχνικής μετασχηματισμού, χρησιμοποιούμε ένα συμβατικό ΠΑ, ο οποίος παράγει το κρατούμενο c_{2j+1} και το άθροισμα s_{2j} . Το bit $c_{2j,1}$ είναι το κρατούμενο εξόδου ενός ΗΑ* (βασική λειτουργία - Πίνακας 2.2, Σχ. 2.3α), ο οποίος ανήκει στο κελί μετασχηματισμού τάξης $(j-1)$ και έχει ως εισόδους του τα bits x_{2j-1}, y_{2j-1} . Το αρνητικά προσημασμένο bit s_{2j+1} παράγεται από έναν ΗΑ** (Πίνακας 2.4, Σχ. 2.3β) στον οποίο οδηγούμε το bit c_{2j+1} και το άθροισμα εξόδου (αρνητικά προσημασμένο) του ΗΑ* του κελιού μετασχηματισμού τάξης j , ο οποίος δέχεται ως εισόδους τα bits x_{2j+1}, y_{2j+1} . Το κρατούμενο και το άθροισμα που εξάγονται από τον ΗΑ** υπολογίζονται σύμφωνα με τις ακόλουθες Boolean εξισώσεις:

$$\begin{aligned} c_{2j+2,2} &= c_{2j+1} \wedge (\overline{x_{2j+1} \oplus y_{2j+1}}), \\ s_{2j+1} &= x_{2j+1} \oplus y_{2j+1} \oplus c_{2j+1}. \end{aligned} \quad (2.16)$$

Στην περίπτωση όπου τόσο το X όσο και το Y αποτελούνται από άρτιο αριθμό από bits (Σχ. 2.6α), τα bits x_{2k-1} και y_{2k-1} είναι αρνητικά προσημασμένα και χρησιμοποιούμε τη δυϊκή υλοποίηση του ΗΑ* (Πίνακας 2.3, Σχ. 2.3α) στο κελί μετασχηματισμού



Σχήμα 2.6: Το σχέδιο μετασχηματισμού $S - MB3$ για (α) άρτιο και (β) περιττό αριθμό από bits.

τάξης $(k - 1)$. Συνεπώς, το άθροισμα εξόδου του HA^* είναι θετικά προσημασμένο και ο HA^{**} που έπεται πρέπει να αντικατασταθεί από έναν HA^* . Τα ψηφία υψηλότερης τάξης και για τις δύο περιπτώσεις άρτιου και περιττού μήκους λέξης των X και Y , προκύπτουν όπως και για το $S - MB2$ σχέδιο μετασχηματισμού.

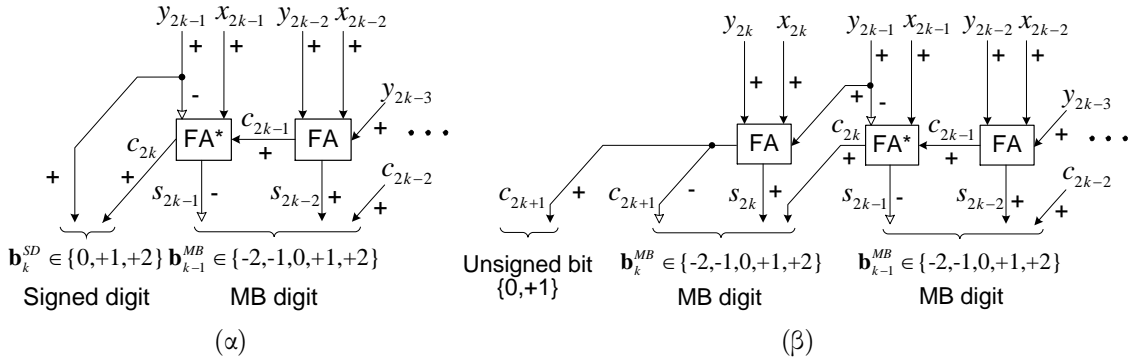
Η κρίσιμη καθυστέρηση του σχεδίου μετασχηματισμού $S - MB3$ υπολογίζεται ως ακολούθως:

$$T_{S-MB3} = T_{HA^*,carry} + T_{FA,carry} + T_{HA^{**},sum}, \quad (2.17)$$

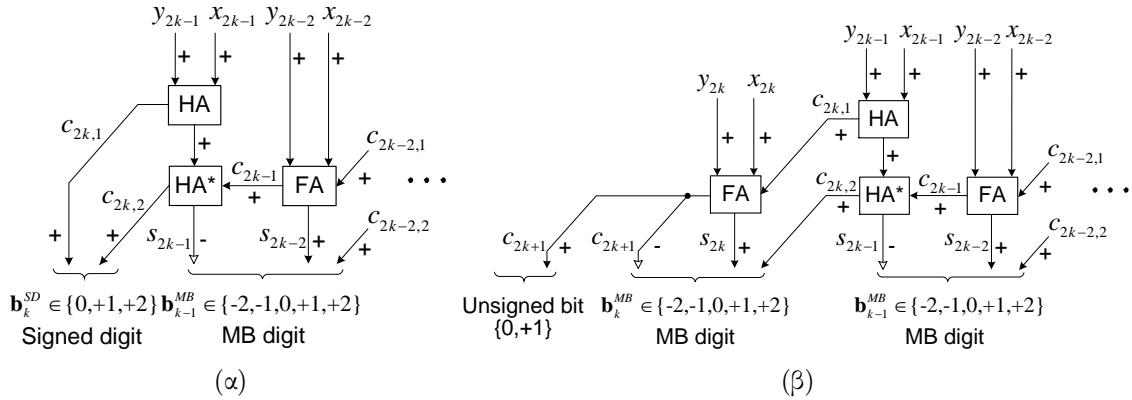
όπου $T_{HA^*,carry}$ και $T_{FA,carry}$ είναι οι χρονικές καθυστερήσεις δημιουργίας του κρατούμενου εξόδου του προσημασμένου HA^* και του FA αντίστοιχα, και $T_{HA^{**},sum}$ είναι η χρονική καθυστέρηση δημιουργίας του αθροίσματος του προσημασμένου HA^{**} .

2.3.2.4 Θετικές Είσοδοι

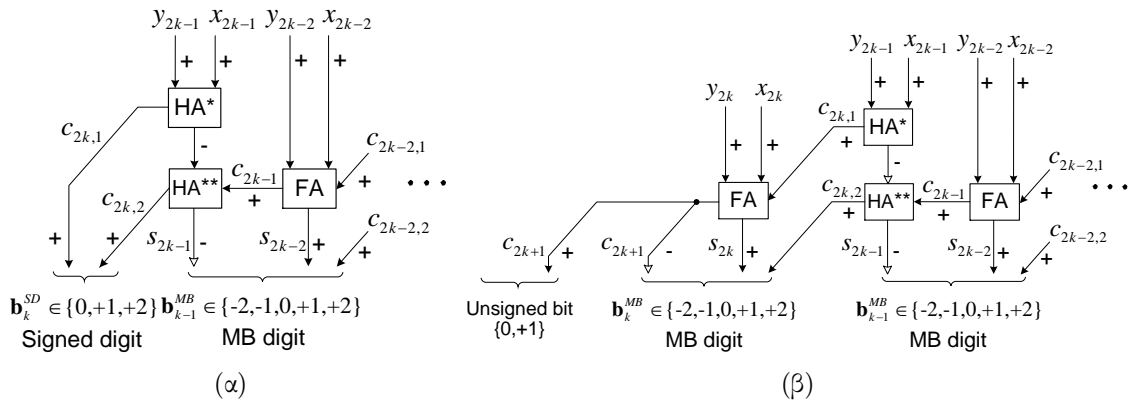
Σε περίπτωση που οι είσοδοι X και Y είναι θετικοί αριθμοί, τότε τα bits υψηλότερης τάξης είναι θετικά προσημασμένα. Τα Σχ. 2.7-2.9 παρουσιάζουν τις τροποποιήσεις που απαιτούνται σε όλα τα $S - MB$ σχέδια για άρτιο (τα δύο ψηφία υψηλότερης τάξης μεταβάλλονται) και περιττό (μόνο το ένα ψηφίο μεγαλύτερης τάξης μεταβάλλεται) μήκος λέξης των X και Y , σχετικά με τα πρόσημα των bits υψηλότερης τάξης. Το βασικό κελί μετασχηματισμού παραμένει το ίδιο για όλα τα εναλλακτικά σχέδια $S - MB$.



Σχήμα 2.7: Η υλοποίηση του ψηφίου υψηλότερης τάξης για το σχέδιο μετασχηματισμού $S - MB1$ στην περίπτωση που οι είσοδοι είναι θετικές για (α) άρτιο και (β) περιττό μήκος λέξης.



Σχήμα 2.8: Η υλοποίηση του ψηφίου υψηλότερης τάξης για το σχέδιο μετασχηματισμού $S - MB2$ στην περίπτωση που οι είσοδοι είναι θετικές για (α) άρτιο και (β) περιττό μήκος λέξης.



Σχήμα 2.9: Η υλοποίηση του ψηφίου υψηλότερης τάξης για το σχέδιο μετασχηματισμού $S - MB3$ στην περίπτωση που οι είσοδοι είναι θετικές για (α) άρτιο και (β) περιττό μήκος λέξης.

Πίνακας 2.7: Επιφάνεια Πυριτίου και Κρίσιμη Καθυστέρηση Διαφόρων Συστατικών Στοιχείων σε Unit Gate Model

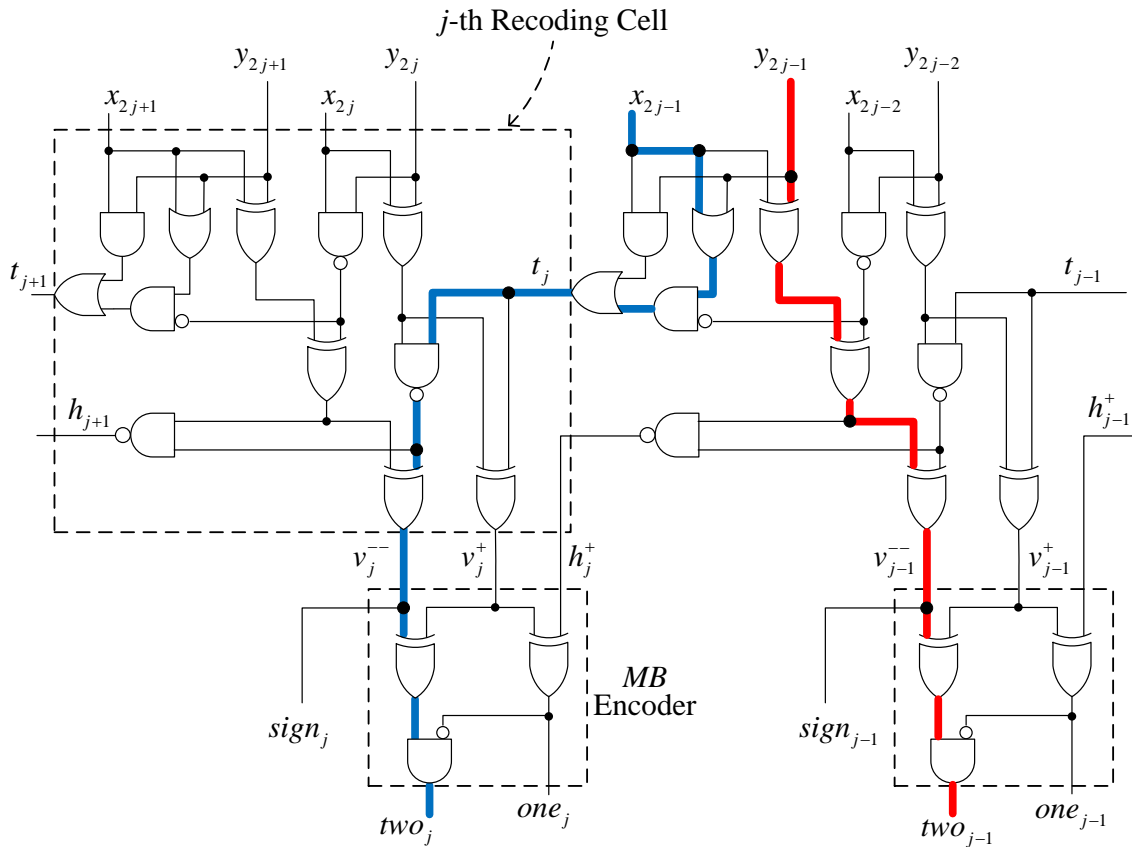
Συστατικά Στοιχεία	Επιφάνεια Πυριτίου (Ισοδύναμο Πύλης)	Κρίσιμη καθυστέρηση (Ισοδύναμο Πύλης)
NAND-2, NOR-2, AND-2, OR-2	A_g	T_g
NAND-3, NOR-3, AND-3, OR-3	$2A_g$	$2T_g$
XOR, XNOR	$2A_g$	$2T_g$
HA	$3A_g$	$T_{HA,carry} = T_g,$ $T_{HA,sum} = 2T_g$
ΠΑ	$7A_g$	$T_{FA,carry} = 3T_g,$ $T_{FA,sum} = 4T_g$

2.4 Αξιολόγηση της Απόδοσης της Προτεινόμενης Τεχνικής Μετασχηματισμού $S - MB$

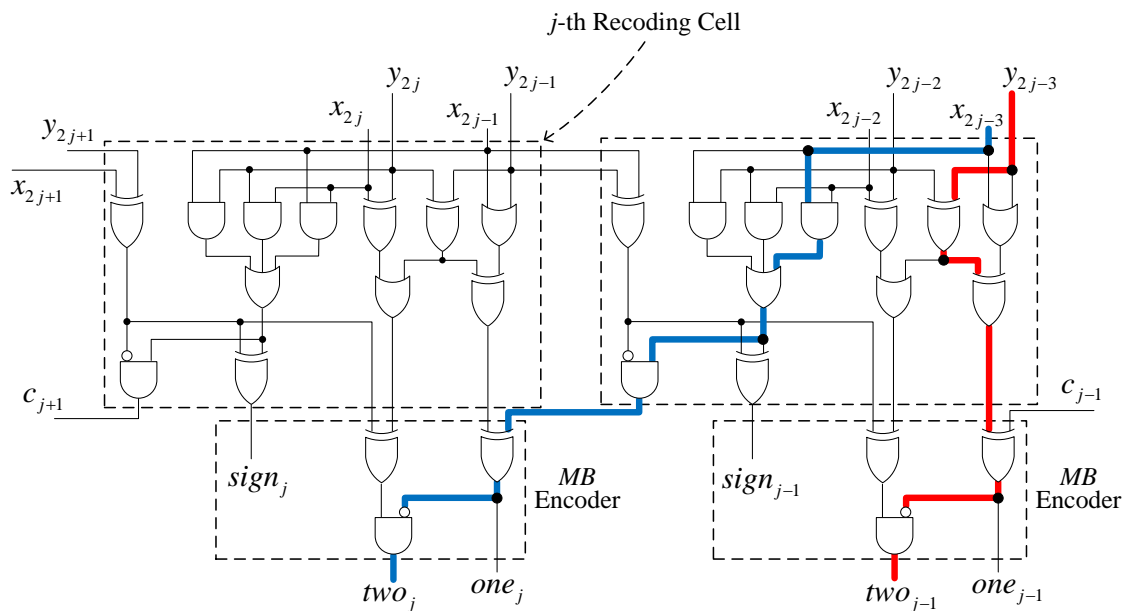
2.4.1 Θεωρητική Ανάλυση

Σε αυτήν την ενότητα, παρουσιάζουμε μία θεωρητική ανάλυση και συγκριτική μελέτη από τη σκοπιά της επιφάνειας πυριτίου και της κρίσιμης καθυστέρησης ανάμεσα στα τρία εναλλακτικά σχέδια της προτεινόμενης τεχνικής μετασχηματισμού (Ενότητα 2.3) και σε τρεις σύγχρονες τεχνικές μετασχηματισμού που έχουν παρουσιαστεί στη βιβλιογραφία [4–6]. Η ανάλυση που διεξήχθη βασίζεται στο μοντέλο μοναδιαίας πύλης (unit gate model) [25, 94]. Πιο συγκεκριμένα, για τις ποσοτικές συγκρίσεις που κάναμε, θεωρούμε ότι κάθε μία από τις πρωτογενείς λογικές πύλες δύο εισόδων (NAND, AND, NOR, OR) αντιστοιχούν σε ένα ισοδύναμο πύλης και για την επιφάνεια πυριτίου και για την κρίσιμη καθυστέρηση, ενώ κάθε μία από τις λογικές πύλες XOR, XNOR δύο εισόδων αντιστοιχούν σε δύο ισοδύναμο πύλης. Η επιφάνεια πυριτίου του HA και του ΠΑ θεωρείται αντίστοιχα ότι είναι 3 και 7 ισοδύναμο πύλης. Οι χρονικές καθυστερήσεις δημιουργίας του αθροίσματος και του κρατούμενου εξόδου του HA θεωρούνται αντίστοιχα ότι είναι 2 και 1 ισοδύναμο πύλης, ενώ για τον ΠΑ θεωρούνται ότι είναι 4 και 3 ισοδύναμο πύλης αντίστοιχα. Όλες οι προαναφερόμενες πληροφορίες συνοψίζονται στον Πίνακα 2.7.

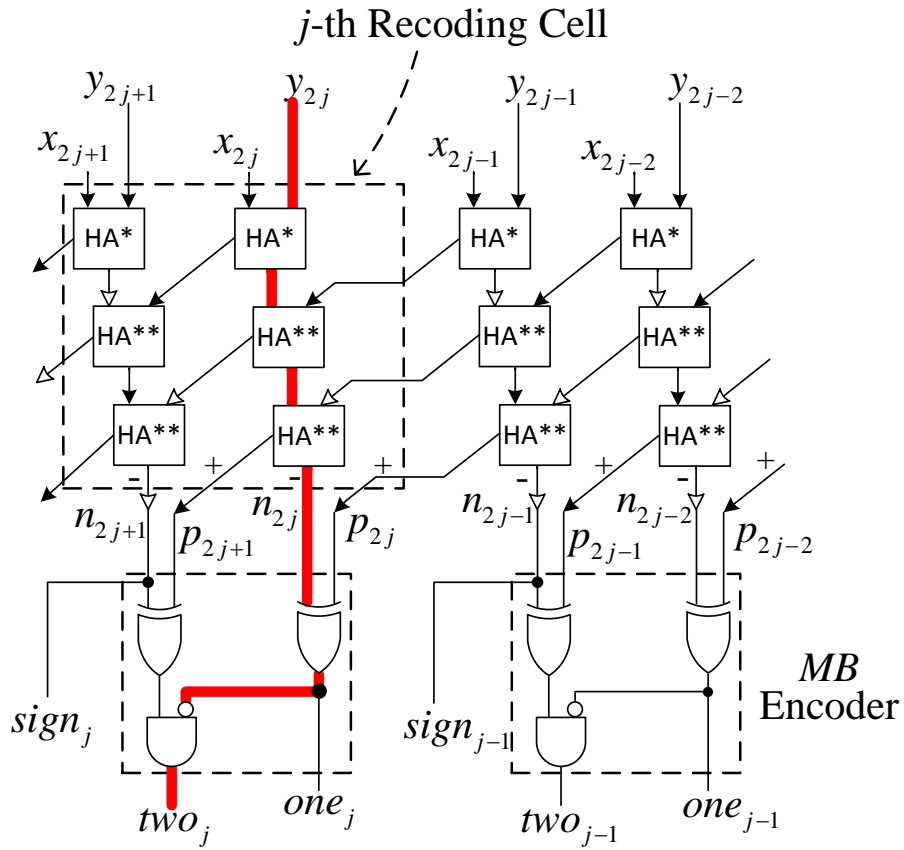
Στα Σχ. 2.10, 2.11 και 2.12 απεικονίζονται τα σχέδια μετασχηματισμού των [4], [5] και [6] αντίστοιχα, στο επίπεδο του βασικού κελιού μετασχηματισμού και συμπεριλαμβανομένου του MB κωδικοποιητή (MB encoder). Σε κάθε ένα από τα Σχ. 2.10-2.12 τονίσαμε με μία έντονη γραμμή το κρίσιμο μονοπάτι του αντίστοιχου σχεδίου μετασχηματισμού, το οποίο περιέχει το μεγαλύτερο αριθμό από λογικές πύλες XOR. Επίσης, στα Σχ. 2.10 και 2.11, τονίσαμε χρησιμοποιώντας μία δεύτερη έντονη γραμμή το εναλλακτικό κρίσιμο μονοπάτι, το οποίο περιέχει το μεγαλύτερο αριθμό πρωτογενών λογικών πυλών. Και στα δύο σχήματα, τα δύο εναλλακτικά κρίσιμα μονοπάτια χαρακτηρίζονται από την ίδια καθυστέρηση, η οποία ισούται με $9T_g$ στο Σχ. 2.10 και $7T_g$ στο Σχ. 2.11. Στα Σχ. 2.13α και 2.13β απεικονίζουμε τα βασικά κελιά μετασχηματισμού των προτεινόμενων σχεδίων $S - MB1$ και $S - MB2$ αντίστοιχα, και τονίσαμε τα κρίσιμα μονοπάτια τους χρησιμοποιώντας έντονες γραμμές. Το προτεινόμενο σχέδιο μετασχηματισμού $S - MB3$ είναι ισοδύναμο με το $S - MB2$, όσον αφορά την επιφάνεια πυριτίου και την κρίσιμη καθυστέρηση σε unit gate model. Ο Πίνακας 2.8 συνοψίζει την επιφάνεια πυριτίου και την κρίσιμη καθυστέρηση των προτεινόμενων σχεδίων με-



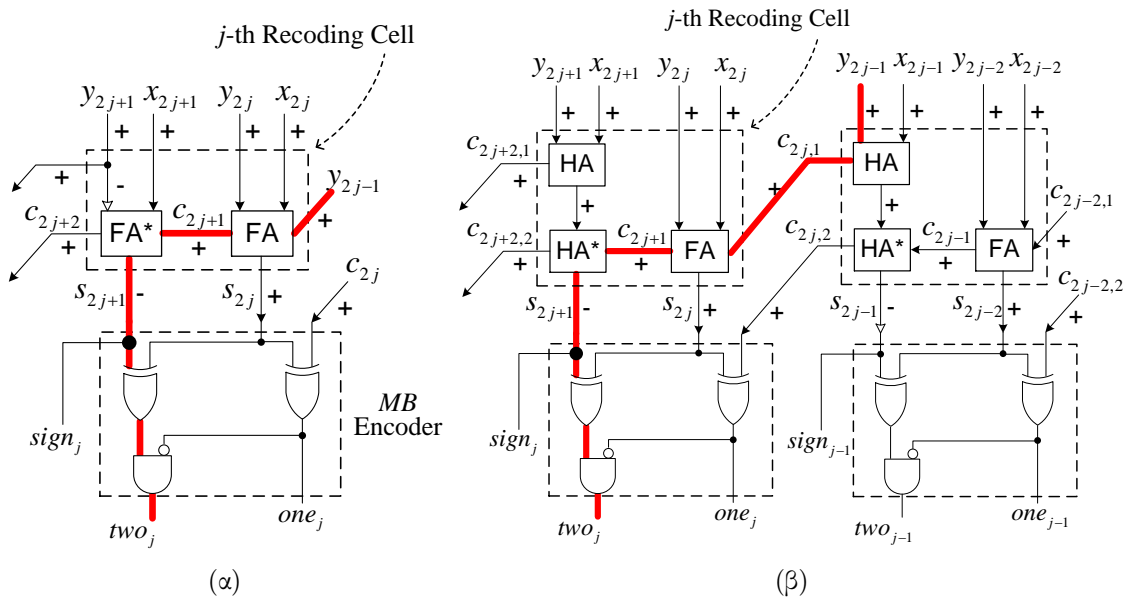
Σχήμα 2.10: Το σχέδιο μετασχηματισμού της [4] στο επίπεδο του βασικού κελιού μετασχηματισμού και τα εναλλακτικά κρίσιμα μονοπάτια του.



Σχήμα 2.11: Το σχέδιο μετασχηματισμού της [5] στο επίπεδο του βασικού κελιού μετασχηματισμού και τα εναλλακτικά κρίσιμα μονοπάτια του.



Σχήμα 2.12: Το σχέδιο μετασχηματισμού της [6] στο επίπεδο του βασικού κελιού μετασχηματισμού και τα εναλλακτικά κρίσιμα μονοπάτια του.



Σχήμα 2.13: Το κρίσιμο μονοπάτι των προτεινόμενων (α) $S - MB1$ και (β) $S - MB2$ σχεδίων μετασχηματισμού.

Πίνακας 2.8: Σύγκριση των Προτεινόμενων Σχεδίων Μετασχηματισμού με Υπάρχοντα ως προς την Επιφάνεια Πυριτίου και την Κρίσιμη Καθυστέρηση

Σχέδιο	Επιφάνεια Πυριτίου	Κρίσιμη Καθυστέρηση
<i>Υπάρχοντα</i>		
[4]	$7A_{XOR} + 8A_g = 22A_g$	$3T_{XOR} + 3T_g = 9T_g$ or $2T_{XOR} + 5T_g = 9T_g$
[5]	$7A_{XOR} + 9A_g = 23A_g$	$T_{XOR} + 5T_g = 7T_g$ or $3T_{XOR} + T_g = 7T_g$
[6]	$6A_{HA} + 2A_{XOR} + A_g = 23A_g$	$3T_{HA,sum} + T_{XOR} + T_g = 9T_g$
<i>Προτεινόμενα</i>		
<i>S – MB1</i>	$2A_{FA} + 2A_{XOR} + A_g = 19A_g$	$T_{FA,carry} + 2T_g + T_{XOR} + T_g = 8T_g^\dagger$
<i>S – MB2</i>	$A_{FA} + 2A_{HA} + 2A_{XOR} + A_g = 18A_g$	$T_{HA,carry} + 2T_g + T_{HA,sum} + T_{XOR} + T_g = 8T_g^\ddagger$
<i>S – MB3</i>	$A_{FA} + 2A_{HA} + 2A_{XOR} + A_g = 18A_g$	$T_{HA,carry} + 2T_g + T_{HA,sum} + T_{XOR} + T_g = 8T_g$

[†] Στο Σχ. 2.13α, η $T_{FA,carry}$ και η $T_{FA*,sum}$ του (2.12) επικαλύπτονται. Επομένως, η $T_{FA*,sum}$ μειώνεται από $4T_g$ σε $2T_g$. Οι δύο τελευταίοι όροι T_{XOR} και T_g αντιστοιχούν στην κρίσιμη καθυστέρηση του MB κωδικοποιητή.

[‡] Με τον ίδιο τρόπο, στο Σχ. 2.13β, η $T_{HA,carry}$ και η $T_{FA,carry}$ του (2.15) επικαλύπτονται. Συνεπώς, η $T_{FA,carry}$ μειώνεται από $3T_g$ σε $2T_g$.

τασχηματισμού (με βάση τις (2.12), (2.15) και (2.17)), καθώς και των σχεδίων που έχουν παρουσιαστεί στις [4–6].

Σύμφωνα με τον Πίνακα 2.8, παρατηρούμε ότι όλα τα προτεινόμενα σχέδια μετασχηματισμού (*S – MB1*, *S – MB2* και *S – MB3*) πετυχαίνουν ελάττωση της επιφάνειας πυριτίου έως και $5A_g$ σε σύγκριση με τα υπάρχοντα σχέδια που περιγράφονται στις [4–6]. Σχετικά με την κρίσιμη καθυστέρηση, τα προτεινόμενα σχέδια εμφανίζονται ταχύτερα κατά ένα T_g από τα σχέδια των [4] και [6] και πολύ κοντά στην καθυστέρηση του σχεδίου της [5]. Επομένως, καταφεύγουμε στη σύνθεση όλων των σχεδίων μετασχηματισμού χρησιμοποιώντας βιομηχανικά εργαλεία προκειμένου να επιβεβαιώσουμε τα πλεονεκτήματα που εμφανίζουν στην επιφάνεια πυριτίου τα προτεινόμενα σχέδια έναντι των υπάρχοντων και να αποσαφηνίσουμε τις διαφορές που παρατηρούνται στην κρίσιμη καθυστέρηση μεταξύ όλων των υπό αξιολόγηση σχεδίων μετασχηματισμού.

2.4.2 Πειραματική Αξιολόγηση

Στην παρούσα ενότητα, συγκρίνουμε την απόδοση των τριών προτεινόμενων σχεδίων μετασχηματισμού που διερευνήσαμε στην Ενότητα 2.3, με τα τρία σχέδια που περιγράφονται στις [4–6]. Το κάθε ένα από τα υπό αξιολόγηση σχέδια μετασχηματισμού ενσωματώθηκε σε έναν τελεστή ΣΑΠ (Σχ. 2.1β). Η υλοποίηση όλων των σχεδίων πραγματοποιήθηκε δομικά χρησιμοποιώντας τη Verilog Γλώσσα Περιγραφής Υλικού (HDL) τόσο για άρτιο όσο και για περιττό μήκος λέξης των εισόδων. Το Δένδρο με Αθροιστές Σωσίματος Κρατούμενου και ο γρήγορος Αθροιστής Πρόβλεψης Κρατούμενου εισήχθησαν από τη βιβλιοθήκη DesignWare της Synopsys [95]. Χρησιμοποιήσαμε το εργαλείο Design Compiler της Synopsys [92] και τη βιβλιοθήκη πρότυπων κελιών της Faraday τεχνολογίας 90 nm [96] προκειμένου να συνθέσουμε όλα τα υπό αξιολόγη-

ση σχέδια. Για να έχουμε μία δίκαιη σύγκριση μεταξύ όλων των σχεδίων ΣΑΠ, υλοποιήθηκαν πανομοιότυπα εκτός από τις μονάδες μετασχηματισμού. Η σύνθεση διεξήχθη θεωρώντας το μέγιστο βαθμό βελτιστοποίησης στον Design Compiler της Synopsys και καταρρίπτοντας τη δομική ιεραρχία των σχεδίων. Εφόσον ο σκοπός μας είναι να συγκρίνουμε την απόδοση όλων των προαναφερόμενων σχεδίων, συνθέσαμε κάθε σχέδιο ΣΑΠ στη χαμηλότερη δυνατή περίοδο ρολογιού. Επίσης, συνθέσαμε όλα τα σχέδια και σε υψηλότερες περιόδους ρολογιού προκειμένου να διερευνήσουμε τη συμπεριφορά της επιφάνειας πυριτίου και της κατανάλωσης ισχύος θεωρώντας διαφορετικούς χρονικούς περιορισμούς. Για κάθε διαφορετικό χρονικό περιορισμό, προσομοιώσαμε όλα τα υπό αξιολόγηση σχέδια χρησιμοποιώντας το εργαλείο Modelsim [97] για το ίδιο σύνολο από ζεύγη εισόδων σε αναπαράσταση συμπληρώματος ως προς 2, οι οποίες παρήχθησαν τυχαία με ίση πιθανότητα για ένα bit να είναι 0 ή 1. Στο τέλος, χρησιμοποιήσαμε το εργαλείο PrimeTime-PX της Synopsys [93] για τον υπολογισμό της κατανάλωσης ισχύος.

Η απόδοση των σχεδίων ΣΑΠ, τα οποία ενσωματώνουν τα προτεινόμενα σχέδια μετασχηματισμού, αξιολογήθηκε σε σχέση με το μήκος λέξης των εισόδων. Οι Πίνακες 2.9 και 2.10 παρουσιάζουν τις πειραματικές μετρήσεις επιφάνειας πυριτίου και κατανάλωσης ισχύος όλων των σχεδίων ΣΑΠ σε διαφορετικές περιόδους ρολογιού για άρτιο (8, 12, 16, 24 και 32 bits) και περιττό (7, 11, 15, 23 και 31 bits) μήκος λέξης των εισόδων των σχεδίων μετασχηματισμού. Οι χαμηλότερες τιμές επιφάνειας πυριτίου και κατανάλωσης ισχύος σε κάθε περίοδο ρολογιού έχουν τονιστεί με έντονη γραμματοσειρά. Οφείλουμε να σημειώσουμε ότι όλες οι πειραματικές μετρήσεις που παρουσιάζονται και στους δύο Πίνακες 2.9 και 2.10 θα πρέπει να αξιολογηθούν λαμβάνοντας υπόψη ότι ο μετασχηματιστής $S - MB$ είναι μόνο ένα τμήμα του συνολικού κυκλώματος του τελεστή ΣΑΠ. Προκειμένου να διευκολύνουμε τη μελέτη των Πινάκων 2.9 και 2.10 και να παρέχουμε μία περισσότερο άμεση και απευθείας σύγκριση μεταξύ όλων των υπό αξιολόγηση σχεδίων ΣΑΠ σε όλες τις διαφορετικές περιόδους ρολογιού που χρησιμοποιήθηκαν κατά τη σύνθεση, απεικονίσαμε στα Σχ. 2.14 και 2.15 τις πειραματικές τιμές της επιφάνειας πυριτίου και της κατανάλωσης ισχύος τόσο για άρτιο όσο και για περιττό μήκος λέξης των εισόδων αντίστοιχα.

Με βάση τους Πίνακες 2.9, 2.10 και τα Σχ. 2.14, 2.15, διαφαίνεται ξεκάθαρα ότι η προτεινόμενη τεχνική μετασχηματισμού είναι ταχύτερη από τις τεχνικές των [4–6]. Στην περίπτωση των 8 bits, το σχέδιο ΣΑΠ $S - MB3$ πετυχαίνει τη χαμηλότερη κρίσιμη καθυστέρηση ($T = 0.91 ns$), η οποία είναι μειωμένη κατά 10 ps σε σύγκριση με την κρίσιμη καθυστέρηση που πετυχαίνει το σχέδιο ΣΑΠ με βάση την εργασία [5] ($T = 0.92 ns$). Και στις δύο περιόδους ρολογιού, το $S - MB3$ είναι το πιο αποδοτικό σχέδιο ΣΑΠ τόσο από την άποψη της επιφάνειας πυριτίου όσο και από τη σκοπιά της κατανάλωσης ισχύος. Πιο συγκεκριμένα, σε σύγκριση με το σχέδιο ΣΑΠ με βάση την εργασία [5] για περίοδο ρολογιού $T = 0.92 ns$, το σχέδιο ΣΑΠ $S - MB3$ πετυχαίνει ελάττωση της επιφάνειας πυριτίου και της κατανάλωσης ισχύος κατά 10.36% και 8.31% αντίστοιχα. Στην περίπτωση των 12 bits, η κρίσιμη καθυστέρηση του σχεδίου ΣΑΠ $S - MB1$ είναι μειωμένη κατά 10 ps σε σύγκριση με την κρίσιμη καθυστέρηση της [6]. Τόσο η επιφάνεια πυριτίου όσο και η κατανάλωση ισχύος του σχεδίου ΣΑΠ $S - MB1$ στη χαμηλότερη δυνατή περίοδο ρολογιού ($T = 1.05 ns$) ελαττώνονται συγκρίνοντας με τις τιμές που έχουν οι αντίστοιχες μετρικές της [6] στη χαμηλότερη περίοδο ρολογιού που επιτυγχάνει ($T = 1.06 ns$). Επιπλέον, συγκρίνοντας τα δύο σχέδια ΣΑΠ για περίοδο ρολογιού $T = 1.06 ns$, παρατηρούμε ότι το σχέδιο $S - MB1$ καταλαμβάνει 7.52% λιγότερη επιφάνεια πυριτίου και καταναλώνει 16.41% λιγότερη ισχύ.

Πίνακας 2.9: Κρίσημη Καθυστήρηση, Επιφάνεια Πυρτίου και Κατανάλωση Ισχύος των Σχεδίων ΣΑΠ (Άρσιο Μήκος Λέξης)

<i>Design</i>	<i>A</i> [†]	<i>P</i> [†]	<i>A</i>	<i>P</i>	<i>A</i>	<i>P</i>	<i>A</i>	<i>P</i>	<i>A</i>	<i>P</i>	<i>A</i>	<i>P</i>	<i>A</i>	<i>P</i>
<i>8 bits</i>														
<i>T</i>	0.91ns		0.92ns		0.94ns		0.95ns		0.98ns		1.10ns		1.20ns	1.40ns
<i>S – MB1</i>	-	-	-	-	4418	5.58	4140	4.75	3284	3.15	2898	2.67	2644	2.27
<i>S – MB2</i>	-	-	-	-	4693	5.84	4669	5.58	4281	4.92	3278	3.21	2944	2.82
<i>S – MB3</i>	5214	6.88	4887	6.29	4765	6.17	4407	5.42	4161	4.71	3343	3.16	2943	2.73
[4]	-	-	-	-	4659	5.83	3410	3.36	3078	2.97	2697	2.41		
[5]	-	-	5452	6.86	5051	6.19	4934	5.97	4381	4.84	3610	3.35	3066	2.88
[6]	-	-	-	-	-	-	-	-	4686	5.81	3435	3.40	3273	3.05
<i>12 bits</i>														
<i>T</i>	1.05ns		1.06ns		1.07ns		1.09ns		1.12ns		1.20ns		1.30ns	1.50ns
<i>S – MB1</i>	10191	12.30	9641	10.70	9392	11.00	9006	10.20	8253	8.71	6747	5.80	6017	4.88
<i>S – MB2</i>	-	-	-	-	9646	11.40	8765	10.40	7797	8.24	6521	5.62	5847	4.59
<i>S – MB3</i>	-	-	-	-	-	-	-	-	8623	9.47	6792	5.79	5915	4.55
[4]	-	-	-	-	-	-	-	-	9653	11.40	7392	7.01	6472	5.27
[5]	-	-	-	-	-	-	9117	10.90	8476	9.37	6838	6.16	5938	4.70
[6]	-	-	10425	12.80	9769	11.80	9392	11.30	8329	9.26	6998	5.93	6172	5.11
<i>16 bits</i>														
<i>T</i>	1.16ns		1.19ns		1.20ns		1.22ns		1.25ns		1.30ns		1.40ns	1.60ns
<i>S – MB1</i>	15573	18.80	14441	15.30	14012	14.10	12642	12.20	12047	10.40	10227	8.08	9246	6.48
<i>S – MB2</i>	-	-	14303	15.70	14064	15.60	13421	14.00	12258	11.40	10416	8.16	9286	6.96
<i>S – MB3</i>	-	-	-	-	-	-	14366	16.00	13244	13.40	10639	9.21	9353	7.03
[4]	-	-	-	-	-	-	15171	17.30	14080	15.00	12346	11.50	9567	7.42
[5]	-	-	-	-	14831	16.30	13481	14.40	12877	13.10	10865	9.47	9369	6.98
[6]	-	-	-	-	14796	16.20	13672	14.30	12719	12.10	10573	8.96	9681	7.21
<i>24 bits</i>														
<i>T</i>	1.36ns		1.39ns		1.41ns		1.43ns		1.45ns		1.50ns		1.60ns	1.80ns
<i>S – MB1</i>	-	-	26269	26.10	23656	21.00	21318	18.20	21437	17.60	20273	15.30	18444	13.20
<i>S – MB2</i>	-	-	24756	22.20	22470	19.90	21366	17.30	20971	16.80	19857	14.40	18389	13.30
<i>S – MB3</i>	28465	29.60	26385	25.00	24569	22.40	24770	21.50	21104	17.40	20200	15.10	18451	13.00
[4]	-	-	-	-	26030	25.40	26244	25.50	21101	17.30	18951	13.40	16662	11.20
[5]	-	-	-	-	22613	20.40	22405	20.20	21853	18.50	19943	14.40	17965	12.40
[6]	-	-	-	-	27538	27.20	24804	23.50	21484	17.80	20034	15.20	18252	12.90
<i>32 bits</i>														
<i>T</i>	1.50ns		1.51ns		1.53ns		1.55ns		1.60ns		1.70ns		1.90ns	2.00ns
<i>S – MB1</i>	40919	37.20	39284	34.00	38617	33.30	35940	29.70	33475	24.10	31075	20.20	28253	17.30
<i>S – MB2</i>	-	-	40690	35.10	38206	31.20	35591	28.50	33914	24.80	30739	20.40	28886	17.00
<i>S – MB3</i>	-	-	-	-	37841	31.40	35855	29.10	33254	23.90	30480	20.60	28439	17.60
[4]	-	-	-	-	39406	34.40	34648	27.80	31965	22.50	28723	17.70	27402	17.00
[5]	-	-	40444	36.20	39393	34.40	38285	30.50	33855	24.40	30894	20.10	28668	17.90
[6]	-	-	39422	33.40	38983	32.20	36540	30.10	33619	24.50	30918	20.70	27945	17.00
													27136	16.30

[†] *A* = Επιφάνεια Πυρτίου (μm^2). [‡] *P* = Κατανάλωση Ισχύος (mW).

Πίνακας 2.10: Κρίσημη Καθυστέρηση, Επιφάνεια Πυριτίου και Κατανάλωση Ισχύος των Σχεδίων ΣΑΠ (Περιπτώ Μήκος Λέξης)

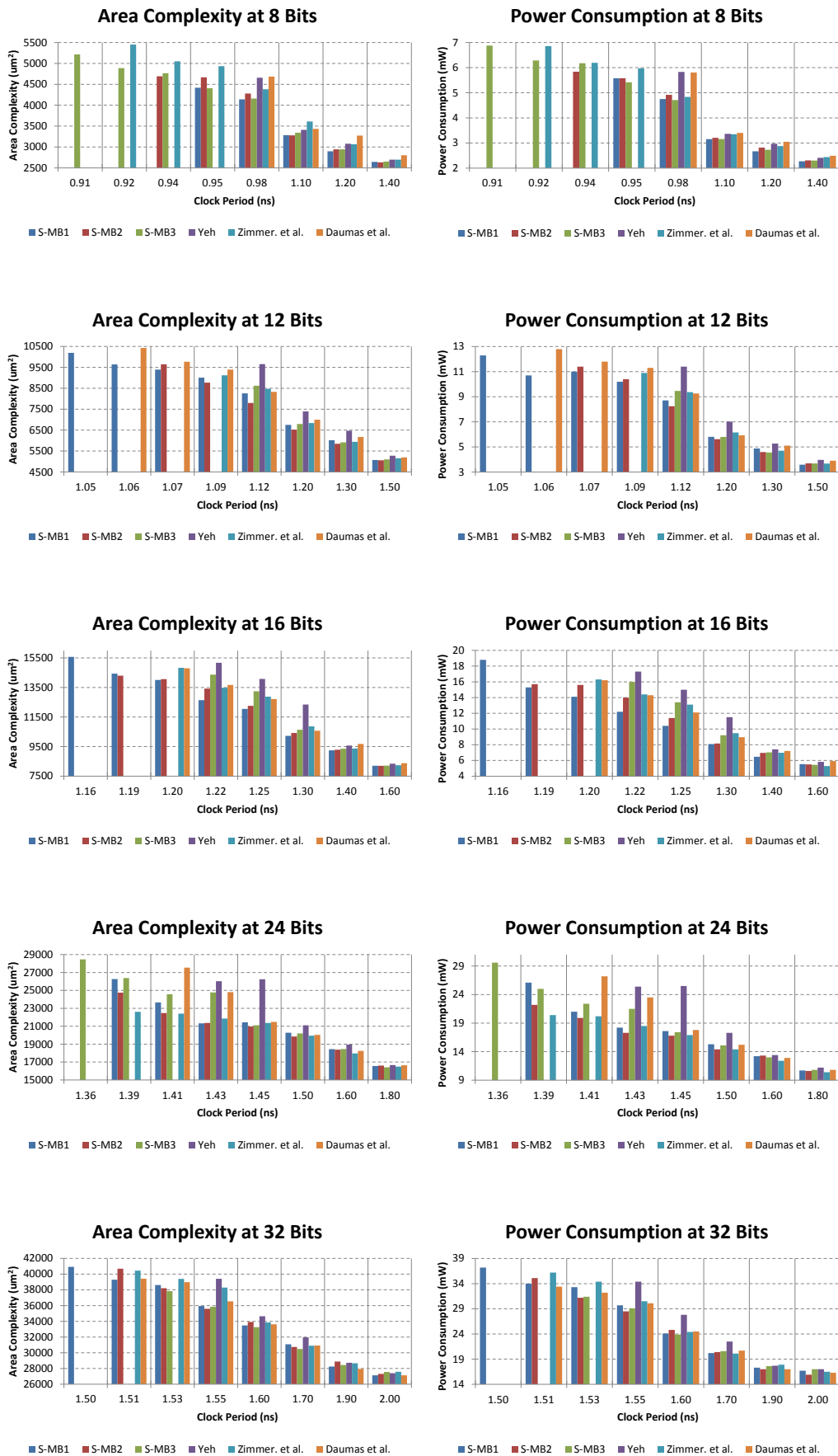
Design	A [†]		P [‡]		A		P		A		P		A		P	
	A	P	A	P	A	P	A	P	A	P	A	P	A	P	A	P
<i>7 bits</i>																
T	0.87ns		0.88ns	0.91ns	0.93ns	0.95ns	1.0ns	1.10ns	1.20ns	1.40ns						
S – MB1	4156	5.66	3934	5.01	3584	4.48	3494	4.11	3163	3.47	2400	2.34	2202	2.10	2078	1.79
S – MB2	-	-	-	-	3844	4.83	3657	4.12	3424	3.85	2513	2.51	2224	2.18	2088	1.91
S – MB3	-	-	3995	5.38	3566	4.51	3494	4.54	3227	4.12	2483	2.51	2237	2.25	2096	1.90
[4]	-	-	-	-	-	-	-	-	3674	4.80	2680	2.72	2403	2.42	2118	1.91
[5]	-	-	-	-	4037	5.38	4025	4.78	3600	4.25	2638	2.62	2310	2.33	2093	1.94
[6]	-	-	-	-	3811	4.86	3811	4.86	3621	4.76	2711	2.83	2463	2.35	2160	2.00
<i>11 bits</i>																
T	1.03ns		1.04ns	1.05ns	1.06ns	1.08ns	1.20ns	1.30ns	1.50ns							
S – MB1	7426	8.29	7489	8.74	7248	8.32	7168	8.07	6764	7.17	5216	4.26	4752	3.95	4327	3.20
S – MB2	8426	10.10	8415	10.00	7551	8.40	7625	8.91	6943	7.61	5349	4.79	4744	4.01	4312	3.29
S – MB3	-	-	-	-	7584	8.88	7584	8.88	6944	8.20	5364	4.53	4841	4.04	4321	3.27
[4]	-	-	-	-	-	-	-	-	7898	9.07	5697	5.09	4990	4.20	4423	3.40
[5]	-	-	7940	9.64	8176	10.10	7555	8.60	6762	7.60	5376	4.45	4811	3.76	4391	3.36
[6]	-	-	-	-	7915	9.41	7581	8.83	7066	7.86	5318	4.43	4887	4.10	4474	3.48
<i>15 bits</i>																
T	1.14ns		1.16ns	1.17ns	1.18ns	1.20ns	1.30ns	1.40ns	1.60ns							
S – MB1	-	-	12691	14.30	12973	14.20	12061	12.30	10573	9.58	8844	7.13	7983	5.94	7112	4.77
S – MB2	13773	17.00	13278	15.60	12665	13.70	12127	13.30	10926	11.60	8823	7.24	7908	5.82	7144	4.88
S – MB3	-	-	-	-	12767	14.50	11540	12.30	11159	11.20	8731	7.01	8237	6.42	7188	5.09
[4]	-	-	-	-	-	-	-	-	13889	16.70	9421	8.32	8252	6.31	7356	5.15
[5]	-	-	-	-	-	-	12392	14.00	10796	10.90	8825	6.78	8090	6.04	7236	4.91
[6]	-	-	13180	15.70	12595	14.80	11798	13.10	10770	10.80	9093	7.40	8247	6.36	7294	5.35
<i>23 bits</i>																
T	1.32ns		1.34ns	1.35ns	1.36ns	1.38ns	1.50ns	1.60ns	1.80ns							
S – MB1	-	-	-	-	22610	22.30	21358	21.80	18179	13.90	16513	11.80	14948	9.85		
S – MB2	25237	25.90	22402	21.70	21582	20.20	20317	17.80	17566	13.00	16524	11.70	14952	9.88		
S – MB3	-	-	22711	22.20	22708	22.70	22483	21.30	20316	18.90	17818	13.10	16310	11.60	15059	10.30
[4]	-	-	-	-	-	-	-	-	22257	22.80	18756	14.80	17251	12.40	15230	10.30
[5]	24107	24.90	23005	21.60	22372	20.10	21754	20.00	21142	18.70	18132	13.90	16525	11.60	15005	9.62
[6]	-	-	-	-	22745	21.70	22920	21.10	20517	18.90	18437	13.90	16409	11.40	15004	9.83
<i>31 bits</i>																
T	1.48ns		1.49ns	1.51ns	1.52ns	1.60ns	1.70ns	1.90ns	2.00ns							
S – MB1	-	-	39244	35.10	36420	31.10	36630	30.70	32704	25.40	28429	19.20	26473	16.40	25518	15.50
S – MB2	37920	32.80	36806	30.70	37786	30.40	36026	28.10	32227	23.50	28344	18.80	26132	15.30	25314	15.00
S – MB3	-	-	39061	33.10	35884	29.50	36414	30.00	32364	23.80	28696	19.20	26263	16.00	25941	15.60
[4]	-	-	-	-	-	-	39114	36.00	32542	26.40	29950	21.10	27609	16.70	25848	16.10
[5]	38635	33.50	37866	31.10	35757	28.80	34906	27.80	32341	22.60	28671	18.90	26982	17.10	26034	16.30
[6]	-	-	-	-	36980	30.60	36694	31.10	31854	25.30	27899	19.10	26750	16.10	26003	15.60

[†] A = Επιφάνεια Πυριτίου (μm²). [‡] P = Κατανάλωση Ισχύος (mW).

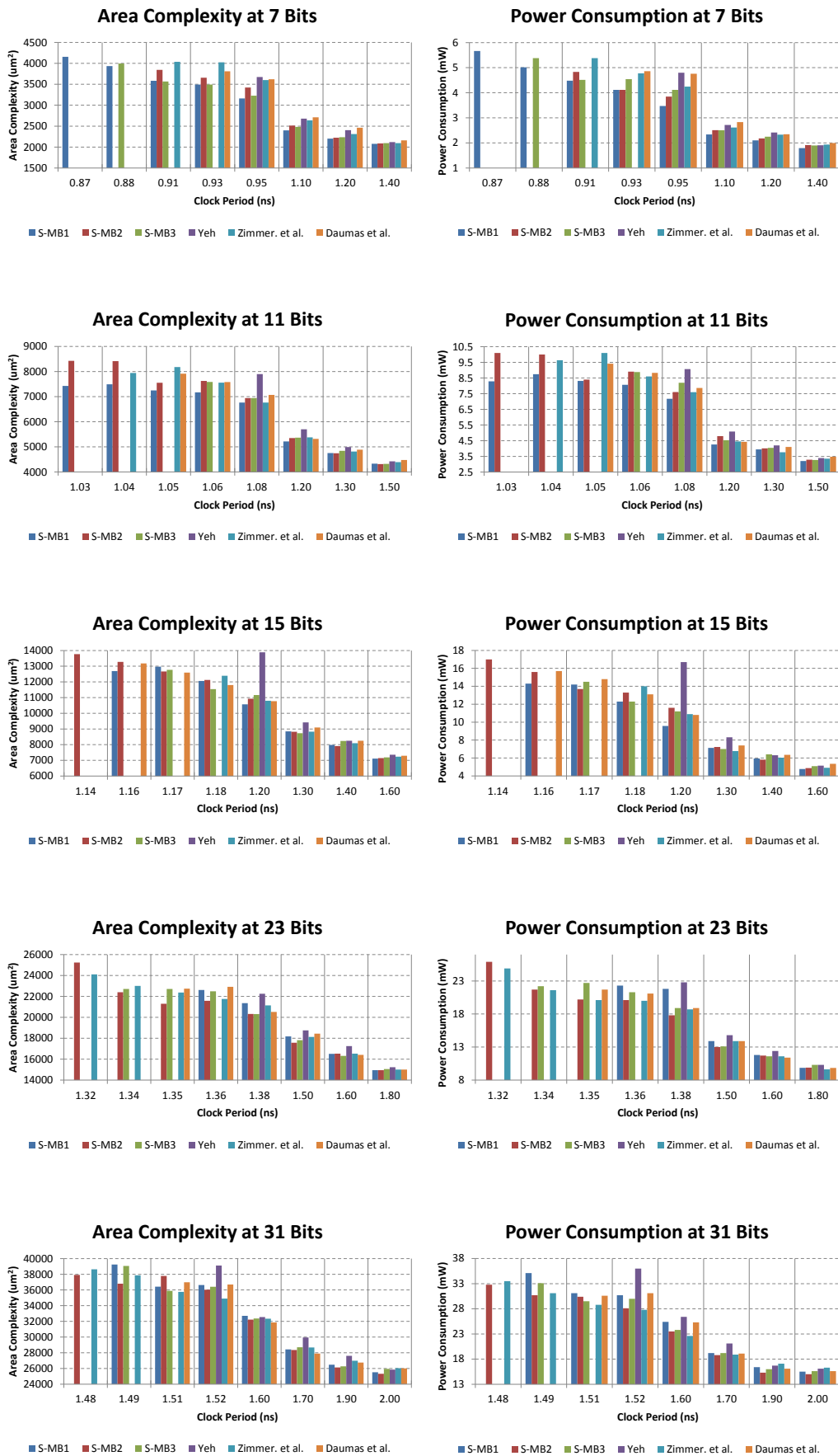
Στην περίπτωση των 16 bits, το σχέδιο ΣΑΠ $S - MB1$ επιτυγχάνει τη χαμηλότερη κρίσιμη καθυστέρηση (40 ps μικρότερη από τις [5] και [6]), ενώ καταλαμβάνει 5.52% λιγότερη επιφάνεια πυριτίου και καταναλώνει 13.50% λιγότερη ισχύ σε σχέση με το σχέδιο ΣΑΠ με βάση την εργασία [5] στη χαμηλότερη δυνατή περίοδο ρολογιού της [5] ($T = 1.20 ps$). Στην περίπτωση των 24 bits, το πιο αποδοτικό σχέδιο ΣΑΠ από την άποψη της κρίσιμης καθυστέρησης είναι το προτεινόμενο $S - MB3$ αλλά το σχέδιο με βάση την εργασία [5] εμφανίζει στη χαμηλότερη δυνατή για εκείνο περίοδο ρολογιού ($T = 1.39 ns$) την καλύτερη απόδοση μεταξύ όλων των υπό αξιολόγηση σχεδίων ΣΑΠ που επιτυγχάνουν να συντηθούν στη συγκεκριμένη περίοδο. Τέλος, στην περίπτωση των 32 bits, το πιο αποδοτικό σχέδιο ΣΑΠ από την άποψη της κρίσιμης καθυστέρησης είναι το προτεινόμενο $S - MB1$, ενώ για περίοδο ρολογιού $T = 1.51 ns$, που είναι η χαμηλότερη δυνατή περίοδος ρολογιού για τις [5] και [6], είναι επίσης το πιο αποδοτικό σχέδιο ΣΑΠ από τη σκοπιά της επιφάνειας πυριτίου και καταναλώνει περίπου την ίδια ισχύ με το σχέδιο ΣΑΠ με βάση την εργασία [6].

Στον Πίνακα 2.10 παρουσιάζουμε τις πειραματικές μετρήσεις της επιφάνειας πυριτίου και της κατανάλωσης ισχύος όλων των σχεδίων ΣΑΠ για διαφορετικές περιόδους ρολογιού και για την περίπτωση περιττού μήκους λέξης των εισόδων των μονάδων μετασχηματισμού, δηλαδή 7, 11, 15, 23 και 31 bits. Στην περίπτωση των 7 bits, το σχέδιο ΣΑΠ $S - MB1$ επιτυγχάνει μείωση της κρίσιμης καθυστέρησης κατά 40 ps ($T = 0.87 ns$) σε σύγκριση με το σχέδιο ΣΑΠ με βάση την εργασία [5] ($T = 0.91 ns$). Στην περίπτωση των 11 bits, η κρίσιμη καθυστέρηση του σχεδίου ΣΑΠ $S - MB1$ ($T = 1.03 ns$) είναι μειωμένη κατά 10 ps σε σύγκριση με το σχέδιο ΣΑΠ της [5] ($T = 1.04 ns$). Και στις δύο περιόδους ρολογιού, το $S - MB1$ είναι το πιο αποδοτικό σχέδιο ΣΑΠ από την άποψη της επιφάνειας πυριτίου και της κατανάλωσης ισχύος. Πιο συγκεκριμένα, σε σύγκριση με το σχέδιο ΣΑΠ της [5] για περίοδο ρολογιού $T = 1.04 ns$, το $S - MB1$ επιτυγχάνει μείωση κατά 5.69% και 9.30% για την επιφάνεια πυριτίου και την κατανάλωση ισχύος αντίστοιχα. Στην περίπτωση των 15 bits, το σχέδιο ΣΑΠ $S - MB2$ εμφανίζεται ως το ταχύτερο ελαττώνοντας την κρίσιμη καθυστέρηση κατά 20 ps σε σύγκριση με την εργασία [6]. Και στις δύο περιπτώσεις των 23 και 31 bits, τα σχέδια ΣΑΠ $S - MB2$ και με βάση την εργασία [5] επιτυγχάνουν την ίδια κρίσιμη καθυστέρηση. Στην περίπτωση των 23 bits, το σχέδιο ΣΑΠ $S - MB2$ καταλαμβάνει 4.69% περισσότερη επιφάνεια πυριτίου και καταναλώνει 4.02% περισσότερη ισχύ σε σύγκριση με την εργασία [5] στη χαμηλότερη δυνατή περίοδο ρολογιού. Ωστόσο, στην περίπτωση των 31 bits, το σχέδιο ΣΑΠ $S - MB2$ είναι το πιο αποδοτικό ανάμεσα στα δύο σχέδια από την άποψη της επιφάνειας πυριτίου και της κατανάλωσης ισχύος στην υψηλότερη δυνατή συχνότητα επιτυγχάνοντας μειώσεις 1.85% και 2.39% αντίστοιχα.

Όπως φαίνεται στον Πίνακα 2.8, υπάρχουν χρονικές διαφορές μεταξύ των υπάρχοντων σχεδίων μετασχηματισμού [4–6]. Το σχέδιο μετασχηματισμού της [5] είναι κατά $2T_g$ ταχύτερο σε σχέση με τα σχέδια των [4] και [6], κάτι το οποίο επιβεβαιώνεται και από τα πειραματικά αποτελέσματα όπου το σχέδιο ΣΑΠ που βασίζεται στην εργασία [5] επιτυγχάνει χαμηλότερες κρίσιμες καθυστερήσεις σε σύγκριση με τα σχέδια ΣΑΠ που ενσωματώνουν τις μονάδες μετασχηματισμού των [4] και [6]. Ωστόσο, το σχέδιο μετασχηματισμού της [6] χαρακτηρίζεται από δομική ιεραρχία, καθώς αποτελείται από μικρότερες δομικές μονάδες, ενώ εκείνα των [4] και [5] έχουν σχεδιαστεί απευθείας σε επίπεδο λογικών πυλών. Κατά συνέπεια, η κατάρριψη της δομικής ιεραρχίας του σχεδίου μετασχηματισμού της [6] κατά τη διάρκεια της σύνθεσης έχει ως συνέπεια μεγαλύτερες χρονικές βελτιστοποιήσεις σε σχέση με εκείνες που υφίστανται τα σχέδια



Σχήμα 2.14: Σύγκριση της επιφάνειας πυριτίου και της κατανάλωσης ισχύος για άρτιο μήκος λέξης μεταξύ των προτεινόμενων σχεδίων και εκείνων που προτάθηκαν από το Yeh [4], το Zimmermann και άλλους [5] και τον Daumas και άλλους [6].



Σχήμα 2.15: Σύγκριση της επιφάνειας πυριτίου και της κατανάλωσης ισχύος για περιττό μήκος λέξης μεταξύ των προτεινόμενων σχεδίων και εκείνων που προτάθηκαν από το Yeh [4], το Zimmermann και άλλους [5] και τον Daumas και άλλους [6].

Πίνακας 2.11: Μέσοι Όροι Κερδών Κρίσιμης Καθυστερήσης, Επιφάνειας Πυριτίου και Κατανάλωσης Ισχύος

Άρτιο Μήκος Λέξης									
Σχέδιο	[4]			[5]			[6]		
	D^\dagger (ns)	A^\ddagger (%)	$P^{\dagger\dagger}$ (%)	D (ns)	A (%)	P (%)	D (ns)	A (%)	P (%)
$S - MB1$	0.050	7.41%	13.95%	0.012	2.10%	3.04%	0.022	4.24%	7.50%
$S - MB2$	0.040	7.47%	13.68%	0.002	2.39%	3.26%	0.012	4.13%	6.54%
$S - MB3$	0.032	5.66%	10.85%	-0.006	0.30%	-0.63%	0.004	2.10%	3.42%

Περιτό Μήκος Λέξης									
Σχέδιο	[4]			[5]			[6]		
	D^\dagger (ns)	A^\ddagger (%)	$P^{\dagger\dagger}$ (%)	D (ns)	A (%)	P (%)	D (ns)	A (%)	P (%)
$S - MB1$	0.044	6.36%	11.28%	0.004	2.41%	2.40%	0.018	2.93%	5.10%
$S - MB2$	0.050	6.04%	10.70%	0.010	1.50%	1.62%	0.024	2.33%	4.85%
$S - MB3$	0.038	5.67%	8.72%	-0.002	1.48%	-0.83%	0.012	2.16%	2.30%

$^\dagger D$ = Κρίσιμη Καθυστερήση. $^\ddagger A$ = Επιφάνεια Πυριτίου. $^{\dagger\dagger} P$ = Κατανάλωση Ισχύος.

των [4] και [5]. Αυτός είναι και ο λόγος για τον οποίο και στους δύο Πίνακες 2.9 και 2.10 παρατηρούμε ότι το σχέδιο ΣΑΠ που βασίζεται στην εργασία [6] επιτυγχάνει χαμηλότερες κρίσιμες καθυστερήσεις σε σύγκριση με τα σχέδια ΣΑΠ που ενσωματώνουν τη μονάδα μετασχηματισμού της [4].

Για να επιβεβαιώσουμε τη συνέπεια μεταξύ της θεωρητικής ανάλυσης και της πειραματικής αξιολόγησης, οφείλουμε πάντοτε να αξιολογούμε τις τιμές της επιφάνειας πυριτίου για τα υπό αξιολόγηση σχέδια μετασχηματισμού στους Πίνακες 2.8, 2.9 και 2.10 σε σχέση με τις αντίστοιχες τιμές χρονικής καθυστέρησης. Στον Πίνακα 2.8, τα υπάρχοντα σχέδια μετασχηματισμού εμφανίζουν παρόμοιες θεωρητικές τιμές επιφάνειας πυριτίου. Ωστόσο, στους Πίνακες 2.9 και 2.10 με τα πειραματικά αποτελέσματα, παρατηρούμε ότι το σχέδιο ΣΑΠ που βασίζεται στην εργασία [5] είναι περισσότερο αποδοτικό από την άποψη της επιφάνειας πυριτίου σε σχέση με τα αντίστοιχα σχέδια που βασίζονται στις [4] και [6]. Το γεγονός αυτό ήταν αναμενόμενο επειδή το σχέδιο ΣΑΠ με βάση την εργασία [5] μπορεί να συντεθεί σε χαμηλότερες περιόδους ρολογιού, κάτι το οποίο επιτρέπει την ελάττωση της επιφάνειας πυριτίου σε μεγαλύτερες περιόδους ρολογιού. Επίσης, στις υψηλότερες περιόδους ρολογιού, παρατηρούμε ότι οι διαφορές στην επιφάνεια πυριτίου μεταξύ των σχεδίων ΣΑΠ που ενσωματώνουν υπάρχουσες τεχνικές μετασχηματισμού είναι μικρές επιβεβαιώνοντας με αυτόν τον τρόπο τη θεωρητική ανάλυση (Πίνακας 2.8).

Τα προτεινόμενα σχήματα μετασχηματισμού ($S - MB1$, $S - MB2$ και $S - MB3$) περιλαμβάνουν έναν αριθμό από μικρότερες δομικές μονάδες, όπως και εκείνο της [6]. Επομένως, παρόλο που στον Πίνακα 2.8 το σχέδιο μετασχηματισμού της [5] εμφανίζεται να είναι κατά μία T_g ταχύτερο σε σύγκριση με τα προτεινόμενα σχέδια, τα πειραματικά αποτελέσματα των Πινάκων 2.9 και 2.10 δείχνουν ότι τα σχέδια ΣΑΠ που ενσωματώνουν τις προτεινόμενες μονάδες μετασχηματισμού (κυρίως τα σχέδια ΣΑΠ $S - MB1$ και $S - MB2$) επιδέχονται χρονικές βελτιστοποιήσεις και επιτυγχάνουν ελαττώσεις στην κρίσιμη καθυστέρηση σε σύγκριση με τα αντίστοιχα σχέδια ΣΑΠ που βασίζονται σε υπάρχουσες τεχνικές μετασχηματισμού.

Με βάση τους Πίνακες 2.9, 2.10 και λαμβάνοντας υπόψη τα πειραματικά αποτελέσματα για όλα τα μήκη λέξης και τις περιόδους ρολογιού, συνοψίσαμε στον Πίνακα 2.11 τους μέσους όρους κερδών που παρουσιάζουν τα προτεινόμενα σχέδια ΣΑΠ $S - MB1$, $S - MB2$ και $S - MB3$ για την κρίσιμη καθυστέρηση, την επιφάνεια πυριτίου και την κατανάλωση ισχύος έναντι των αντίστοιχων σχεδίων ΣΑΠ που ενσωματώνουν τις

υπάρχουσες τεχνικές μετασχηματισμού των [4–6]. Ο Πίνακας 2.11 δείχνει ότι τα προτεινόμενα σχέδια μετασχηματισμού αποφέρουν αξιοσημείωτες βελτιώσεις στην κρίσιμη καθυστέρηση, στην επιφάνεια πυριτίου και στην κατανάλωση ισχύος και επιβεβαιώνει τις θεωρητικά αναμενόμενες (Πίνακας 2.8) ελαττώσεις στην επιφάνεια πυριτίου και στην κρίσιμη καθυστέρηση. Επίσης, όπως παρατηρούμε στον Πίνακα 2.11, τα σχέδια ΣΑΠ $S - MB1$ και $S - MB2$ είναι κατά μέσο όρο πιο αποδοτικά σε σύγκριση με εκείνα που ενσωματώνουν την προτεινόμενη τεχνική μετασχηματισμού $S - MB3$ ή τις υπάρχουσες τεχνικές. Επομένως, προτείνουμε τα σχέδια μετασχηματισμού $S - MB1$ και $S - MB2$ ως τα πιο αποδοτικά (όσον αφορά τη συνολική τους απόδοση που περιλαμβάνει την κρίσιμη καθυστέρηση, την επιφάνεια πυριτίου και την κατανάλωση ισχύος) επειδή ο Πίνακας 2.11 δείχνει ότι τα σχέδια ΣΑΠ με βάση τις προτεινόμενες τεχνικές $S - MB1$ και $S - MB2$ επιτυγχάνουν τα υψηλότερα κέρδη για άρτιο και περιττό μήκος λέξης αντίστοιχα.

2.5 Επίλογος

Στο παρόν κεφάλαιο εστιάσαμε την προσοχή μας στη βελτιστοποίηση του σχεδίου του τελεστή Συγχωνευμένης Άθροισης - Πολλαπλασιασμού (ΣΑΠ). Προτείναμε μία δομημένη τεχνική για τον απευθείας μετασχηματισμό του αθροίσματος δύο αριθμών στη MB αναπαράστασή του. Διερευνήσαμε τρεις εναλλακτικές σχεδιαστικές εκδοχές για την προτεινόμενη τεχνική μετασχηματισμού $S - MB$ και τις συγκρίναμε με υπάρχουσες τεχνικές [4–6]. Τα προτεινόμενα σχέδια μετασχηματισμού, όταν ενσωματώνονται σε τελεστές ΣΑΠ, αποφέρουν αξιοσημείωτες βελτιώσεις απόδοσης σε σύγκριση με τα πιο σύγχρονα και αποδοτικά σχέδια μετασχηματισμού που απαντώνται στη βιβλιογραφία.

Κεφάλαιο 3

Ευέλικτη Αρχιτεκτονική Επιταχυντή για Εφαρμογές Ψηφιακής Επεξεργασίας Σήματος με Χρήση της Αναπαράστασης Σωσίματος - Κρατουμένου

Η επιτάχυνση των εφαρμογών σε επίπεδο υλικού έχει αποδειχθεί ότι είναι μια εξαιρετικά ελπιδοφόρα στρατηγική υλοποίησης για το πεδίο της ΨΕΣ (DSP). Στοχεύοντας στην αποδοτική επιτάχυνση εφαρμογών ΨΕΣ, στο παρόν κεφάλαιο, αντί μίας μονολιθικής προσέγγισης για τη σχεδίαση Ολοκληρωμένων Κυκλωμάτων για Στοχευμένες Εφαρμογές (ASIC), υιοθετούμε μία αρχιτεκτονική ευέλικτων μονοπατιών δεδομένων (datapaths), η οποία ενσωματώνει ομοιόμορφες και ευέλικτες υπολογιστικές μονάδες ικανές να υποστηρίξουν την εκτέλεση ενός μεγάλου αριθμού λειτουργικών προτύπων που απαντώνται σε πυρήνες ΨΕΣ. Η ιδιαιτερότητα της εν λόγω αρχιτεκτονικής σε σύγκριση με τις υπόλοιπες εργασίες επάνω σε ευέλικτους επιταχυντές έγκειται στον τρόπο διεξαγωγής των υπολογισμών, οι οποίοι πραγματοποιούνται όσο το δυνατόν περισσότερο με βάση δεδομένα σε αναπαράσταση Σωσίματος Κρατουμένου (ΣΚ, Carry-Save (CS)). Χρησιμοποιήθηκαν εξελιγμένες τεχνικές αριθμητικής βελτιστοποίησης, π.χ., τεχνικές μετασχηματισμού σε διαφορετικές αριθμητικές αναπαραστάσεις, προκειμένου η διεξαγωγή υπολογισμών με δεδομένα ΣΚ να πραγματοποιείται σε μεγαλύτερη έκταση σε σύγκριση με προηγούμενες εργασίες και, επομένως, να αυξάνεται η απόδοση των εφαρμογών. Εκτεταμένες πειραματικές μετρήσεις έδειξαν ότι η προτεινόμενη αρχιτεκτονική επιταχυντή αποτελεί μία βέλτιστη λύση σχεδίασης, η οποία αποφέρει σημαντικά κέρδη σε επίπεδο καθυστέρησης, επιφάνειας πυριτίου και κατανάλωσης ενέργειας σε σύγκριση με τις πιο σύγχρονες αρχιτεκτονικές ευέλικτων μονοπατιών δεδομένων που απαντώνται στη βιβλιογραφία. Πιο συγκεκριμένα, οι μέσοι όροι κερδών για το γινόμενο επιφάνειας πυριτίου - καθυστέρησης και για την κατανάλωση ενέργειας ανήλθαν έως 61.91% και 54.43% αντίστοιχα.

3.1 Εισαγωγή

Τα σύγχρονα ενσωματωμένα συστήματα στοχεύουν σε πεδία εφαρμογών υψηλών προδιαγραφών, π.χ., όραση υπολογιστών, επεξεργασία εικόνας και βίντεο, οι οποίες απαι-

τούν αποδοτικές υλοποιήσεις για υπολογιστικά απαιτητικές συναρτήσεις ΨΕΣ (DSP). Η ενσωμάτωση της ετερογένειας μέσω εξειδικευμένων επιταχυντών υλικού έχει αποδειχθεί ότι βελτιώνει την απόδοση και ελαττώνει την κατανάλωση ενέργειας [34].

Παρόλο που η σχεδίαση Ολοκληρωμένων Κυκλωμάτων για Στοχευμένες Εφαρμογές (ASIC) αποτελεί την ιδανική λύση επιτάχυνσης από την άποψη της απόδοσης και της κατανάλωσης ισχύος, ένα σημαντικό μειονέκτημα είναι η έλλειψη ευελιξίας των κυκλωμάτων αυτών, καθώς η λειτουργικότητά τους παραμένει αμετάβλητη μετά από την κατασκευή τους. Επομένως, η επιφάνεια πυριτίου αυξάνεται λόγω του μεγάλου αριθμού μονάδων τύπου ASIC που απαιτούνται για την επιτάχυνση διαφόρων πυρήνων. Αρκετοί ερευνητές εντόπισαν τα προαναφερόμενα μειονεκτήματα και πρότειναν τη χρήση επαναδιαμορφούμενων επιταχυντών αδρομερούς διάταξης για εξειδικευμένα πεδία εφαρμογών [12, 13, 37, 39, 98–103] προκειμένου η ευελιξία των μονάδων τύπου ASIC να αυξηθεί χωρίς σημαντικούς συμβιβασμούς στην απόδοσή τους.

Ευέλικτα μονοπάτια δεδομένων (datapaths) υψηλής απόδοσης έχουν προταθεί [12, 13, 35–37, 39] για την αποδοτική απεικόνιση είτε πρωτογενών είτε αλυσιδωτών λειτουργιών που απαντώνται στον πρωταρχικό Γράφο Ροής Δεδομένων (ΓΡΔ) (Data-Flow Graph (DFG)) ενός πυρήνα που θέλουμε να επιταχύνουμε σε επίπεδο υλικού. Τα πρότυπα αλυσιδωτών λειτουργιών είτε εξάγονται απευθείας από το ΓΡΔ του πυρήνα [35] είτε έχουν προκαθοριστεί και περιγραφεί σε επίπεδο συμπεριφοράς (behavioural level) σε μία βιβλιοθήκη προτύπων [12, 13, 36, 39].

Οι σχεδιαστικές αποφάσεις για το μονοπάτι δεδομένων ενός επιταχυντή επηρεάζουν σε μεγάλο βαθμό την απόδοση και αποτελεσματικότητά του. Οι προσεγγίσεις, οι οποίες περιγράφονται στις εργασίες [12, 35–37], επικεντρώνονται κυρίως σε σχεδιαστικές αποφάσεις στο επίπεδο της αρχιτεκτονικής. Ως εκ τούτου, τεχνικές αποδοτικής σχεδίασης που αφορούν σε χαμηλότερα επίπεδα, π.χ., βελτιστοποιήσεις σε αριθμητικό επίπεδο, δε λαμβάνονται υπόψη ή ενσωματώνονται σε μικρό βαθμό κατά τη διάρκεια σχηματισμού του μονοπατιού δεδομένων. Ο αποκλεισμός αριθμητικών βελτιστοποιήσεων κατά τη διάρκεια της αρχιτεκτονικής σύνθεσης συνοδεύεται από έναν εγγενή περιορισμό που αντιμετωπίζουν τα παραγόμενα μονοπάτια δεδομένων, καθώς η κρίσιμη καθυστέρησή τους καθορίζεται από μεγάλες αλυσίδες διάδοσης κρατουμένων που συναντώνται σε συμβατικά δυαδικά αριθμητικά σχέδια. Προκειμένου να εξαλειφθούν οι μεγάλες αλυσίδες διάδοσης κρατουμένων, αρκετές ερευνητικές εργασίες [8, 9, 38] κατόρθωσαν να βελτιστοποιήσουν το μονοπάτι δεδομένων χρησιμοποιώντας την αριθμητική αναπαράσταση ΣΚ. Ωστόσο, οι εργασίες αυτές αφορούν μόνο υλοποιήσεις μονάδων τύπου ASIC, οι οποίες στερούνται ευελιξίας. Στις [13, 39], οι Xydis και άλλοι πρότειναν τη χρήση μίας Επαναδιαμορφούμενης Αριθμητικής Μονάδας (Reconfigurable Arithmetic Unit (RAU)) αδρομερούς διάταξης για τη σύνθεση μονοπατιών δεδομένων για εφαρμογές ΨΕΣ, τα οποία χαρακτηρίζονται από υψηλή απόδοση και χαμηλή επιφάνεια πυριτίου. Ωστόσο, οι εργασίες αυτές αξιοποιούν την εξάλειψη της διάδοσης κρατουμένων, που προσφέρει η χρήση της αριθμητικής αναπαράστασης ΣΚ, μόνο στις περιπτώσεις αλυσιδωτών προσθετικών πράξεων και δεν διερευνούν τις δυνατότητες της αριθμητικής ΣΚ στην πράξη του πολλαπλασιασμού.

Στο παρόν κεφάλαιο, υιοθετούμε μία αρχιτεκτονική υψηλής απόδοσης για τη σύνθεση ευέλικτων επιταχυντών υλικού [10, 11], η οποία συνδυάζει ιδέες και τεχνικές βελτιστοποίησης που προέρχονται τόσο από το αρχιτεκτονικό όσο και από το αριθμητικό επίπεδο σχεδίασης. Η προαναφερόμενη αρχιτεκτονική ευέλικτων μονοπατιών δεδομένων αξιοποιεί πρότυπα αλυσιδωτών πράξεων, τα οποία είναι αριθμητικά βελτιστοποιημένα, και στοχεύει στην αύξηση της απόδοσης εφαρμογών από το πεδίο της

ΨΕΣ. Η εν λόγω αρχιτεκτονική ενσωματώνει ομοιόμορφες και ευέλικτες υπολογιστικές μονάδες, οι οποίες επιτρέπουν την εκτέλεση ενός μεγάλου αριθμού λειτουργικών προτύπων που απαντώνται σε πυρήνες ΨΕΣ. Η συνολική αρχιτεκτονική λειτουργεί με βάση την αριθμητική ΣΚ και αποφέρει υλοποιήσεις υψηλής ταχύτητας. Οι μεγαλύτερες συνεισφορές της ερευνητικής εργασίας του παρόντος κεφαλαίου συνοψίζονται στις επόμενες γραμμές:

- Εισάγουμε μία βελτιστοποιημένη υπολογιστική μονάδα, η οποία ενσωματώνεται σε μία ευέλικτη αρχιτεκτονική [10, 11] για τη σύνθεση υψηλής απόδοσης επιταχυντών υλικού. Το προτεινόμενο μονοπάτι δεδομένων ενσωματώνει ευελιξία και αξιοποιεί τις δυνατότητες που προσφέρει η βελτιστοποίηση με βάση την αριθμητική ΣΚ.
- Αναλύουμε λεπτομερώς τις τεχνικές βελτιστοποίησης που χρησιμοποιήσαμε τόσο σε επίπεδο κυκλώματος όσο και σε αριθμητικό επίπεδο, οι οποίες εφαρμόστηκαν στην προτεινόμενη ευέλικτη αρχιτεκτονική ενισχύοντας τις δυνατότητες των αλυσιδωτών λειτουργιών.
- Αποδεικνύουμε θεωρητικά την αποτελεσματικότητα της τεχνικής βελτιστοποίησης με βάση την αριθμητική ΣΚ, η οποία εφαρμόστηκε στην προτεινόμενη ευέλικτη αρχιτεκτονική.
- Επιβεβαιώνουμε ότι η συνδυασμένη υιοθέτηση τεχνικών βελτιστοποίησης τόσο σε αρχιτεκτονικό όσο και σε αριθμητικό επίπεδο σχεδίασης παρουσιάζει καλύτερες επιδόσεις όσον αφορά την απόδοση, την επιφάνεια πυριτίου και την κατανάλωση ισχύος σε σχέση με τις πιο σύγχρονες λύσεις σχεδίασης ευέλικτων μονοπατιών δεδομένων που απαντώνται στη βιβλιογραφία και οι οποίες είτε αγνοούν τη χρήση αριθμητικών βελτιστοποιήσεων [12] είτε αξιοποιούν μερικώς τις βελτιστοποιήσεις με βάση την αριθμητική ΣΚ [13].

Διερευνήσαμε τη συμπεριφορά της προτεινόμενης αρχιτεκτονικής επιταχυντή μέσω εκτεταμένων πειραματικών μετρήσεων. Θεωρώντας ένα σύνολο αντιπροσωπευτικών πυρήνων ΨΕΣ, τα συγκριτικά πειραματικά αποτελέσματα έδειξαν ότι η προτεινόμενη προσέγγιση αποφέρει μία μέση ελάττωση της τάξης του 33.36% στο χρόνο εκτέλεσης, του 31.75% στην επιφάνεια πυριτίου και του 36.83% στην κατανάλωση ενέργειας σε σύγκριση με τη σχεδιαστική λύση της [12] και χρησιμοποιεί όσο το δυνατόν μεγαλύτερης κλίμακας αλυσιδωτές λειτουργίες. Επίσης, αποδείξαμε την ανωτερότητα της προτεινόμενης προσέγγισης και στην περίπτωση που ενσωματώνονται αριθμητικές βελτιστοποιήσεις, συγκρίνοντάς τη με την ευέλικτη αρχιτεκτονική της [13]. Σε αυτήν την περίπτωση, παρατηρήθηκαν κέρδη της τάξεως του 56.69%, του 13.23% και του 54.43% κατά μέσο όρο για το χρόνο εκτέλεσης, την επιφάνεια πυριτίου και την κατανάλωση ενέργειας αντίστοιχα. Επιπλέον, ο χαρακτηρισμός με βιβλιοθήκες πρότυπων κελιών για τεχνολογίες 130, 90 και 65 nm έδειξε ότι η προτεινόμενη λύση σχεδίασης διατηρεί τα πλεονεκτικά χαρακτηριστικά της όσον αφορά τις μετρικές απόδοσης, επιφάνειας πυριτίου και κατανάλωσης ενέργειας σε όλη την κλίμακα των κόμβων τεχνολογίας.

Το υπόλοιπο του παρόντος κεφαλαίου είναι οργανωμένο ως εξής: Στην Ενότητα 3.2, περιγράφουμε εκτενώς τις σύγχρονες εργασίες της βιβλιογραφίας, οι οποίες αφορούν ευέλικτες αρχιτεκτονικές και τεχνικές αριθμητικής βελτιστοποίησης με βάση την αριθμητική ΣΚ. Η Ενότητα 3.3 εγείρει τους περιορισμούς των υπάρχοντων προσεγγίσεων για βελτιστοποιήσεις με χρήση της αριθμητικής ΣΚ, οι οποίες ενήργησαν ως ένα

από τα κύρια κίνητρα για την ανάπτυξη της ερευνητικής εργασίας του παρόντος κεφαλαίου. Στην Ενότητα 3.4, παρουσιάζουμε μία λεπτομερή ανάλυση της προτεινόμενης ευέλικτης αρχιτεκτονικής, ενώ η Ενότητα 3.5 περιγράφει τη μεθοδολογία για την απεικόνιση πυρήνων ΨΕΣ επάνω στην προτεινόμενη ευέλικτη αρχιτεκτονική. Η Ενότητα 3.6 αναλύει θεωρητικά τα χαρακτηριστικά της. Πειραματικά αποτελέσματα για όλες τις υπό αξιολόγηση σχεδιαστικές λύσεις παρουσιάζονται στην Ενότητα 3.7. Η Ενότητα 3.8 συνοψίζει τα κυριότερα συμπεράσματα του παρόντος κεφαλαίου.

3.2 Σχετική Βιβλιογραφία

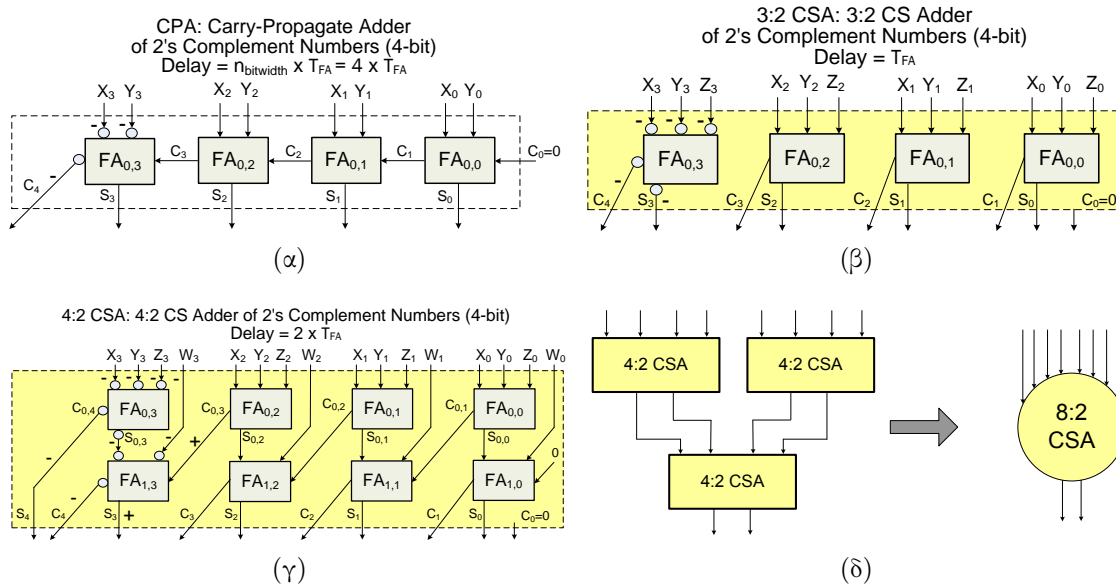
Σε αυτήν την Ενότητα, περιγράφουμε τη σχετική έρευνα που έχει πραγματοποιηθεί στο πεδίο των επαναδιαμορφούμενων και ευέλικτων αρχιτεκτονικών αδρομερούς διάταξης, οι οποίες στοχεύουν στη βελτίωση της απόδοσης εφαρμογών από το πεδίο της ΨΕΣ, και στο πεδίο των τεχνικών αριθμητικής βελτιστοποίησης με βάση την αριθμητική αναπαράσταση ΣΚ. Οι εφαρμογές ΨΕΣ κυριαρχούνται από υπολογιστικά απαιτητικούς πυρήνες υπό αυστηρούς χρονικούς περιορισμούς και, συνεπώς, οι επαναδιαμορφούμενοι συνεπεξεργαστές υλικού αδρομερούς διάταξης αποτελούν μία αποδοτική λύση επιτάχυνσης προκειμένου να αυξηθεί η απόδοση [12, 13, 37, 98–103]. Επιπλέον, οι αριθμητικές βελτιστοποιήσεις με χρήση της αριθμητικής ΣΚ έχουν αποδειχθεί ότι οδηγούν σε σχεδιαστικές υλοποιήσεις υψηλής απόδοσης βελτιώνοντας την κρίσιμη καθυστέρηση του μονοπατιού δεδομένων του εκάστοτε σχεδίου [8, 9, 38]. Επομένως, ο συνδυασμός της επαναδιαμόρφωσης αδρομερούς διάταξης και της αριθμητικής ΣΚ μπορεί να αποτελέσει μία ελπιδοφόρα προσέγγιση για τη δημιουργία ευέλικτων επιταχυντών υψηλότερων προδιαγραφών.

Οι υπάρχουσες εργασίες για επαναδιαμορφούμενα μονοπάτια δεδομένων αδρομερούς διάταξης αξιοποιούν κυρίως τεχνικές βελτιστοποίησης στο αρχιτεκτονικό επίπεδο σχεδίασης. Στις [12, 13, 37, 98–101] έχουν προταθεί αρχιτεκτονικές μονοπατιών δεδομένων, οι οποίες υποστηρίζουν αυξημένα επίπεδα Παραλληλισμού σε Επίπεδο Εντολής (Instruction-Level Parallelism (ILP)). Η τεχνική της συνεχούς διοχέτευσης (pipelining) έχει ενσωματωθεί στις [98, 99] προκειμένου να αυξηθεί ο ρυθμός απόδοσης (throughput). Στην εργασία [98], οι υπολογισμοί έχουν απεικονιστεί επάνω σε μία συνεχούς διοχέτευσης γραμμή από μονάδες αδρομερούς διάταξης, π.χ., Αριθμητικές Λογικές Μονάδες και Μνήμες Τυχαίας Προσπέλασης. Στην εργασία [99] έχει προταθεί η χρήση παράλληλων υπολογιστικών “ταινιών” που είναι οργανωμένες με βάση την τεχνική της συνεχούς διοχέτευσης. Ενώ οι [98, 99] παρουσιάζουν μία σταθερή λογική δομή, στις [101, 103] περιγράφονται αλγόριθμοι δημιουργίας αρχιτεκτονικών στοχευμένων για συγκεκριμένα πεδία εφαρμογών, οι οποίοι διαφοροποιούν κατά περίπτωση το είδος και τον αριθμό των υπολογιστικών μονάδων προκειμένου να επιτευχθεί ένα σχέδιο προσαρμοσμένο στις εκάστοτε απαιτήσεις. Στην εργασία [103], οι Stojilovic και άλλοι περιγράφουν μία μεθοδολογία για την αυτόματη δημιουργία αδρομερούς διάταξης συστοιχιών μονάδων, οι οποίες συστοιχίζονται με στόχο την αύξηση της απόδοσης ενός συγκεκριμένου πεδίου εφαρμογών και με βάση ένα σύνολο αντιπροσωπευτικών εφαρμογών από το πεδίο αυτό. Επιπλέον εφαρμογές μπορούν επιτυχώς να απεικονιστούν επάνω στην αρχιτεκτονική που έχει παραχθεί χρησιμοποιώντας κάποιες περιορισμένες σχεδιαστικές τεχνικές που προσδίδουν γενικότητα στην αρχιτεκτονική. Ο συνδυασμός του Παραλληλισμού σε Επίπεδο Εντολής (ILP) και των αλυσιδωτών λειτουργιών προτάθηκε στις [12, 37]. Στην εργασία [12], οι Galanis και άλλοι προτείνουν μία ευέλικτη αρχιτεκτονική μονοπατιών δεδομένων δημιουργώντας σε όσο το

δυνατόν μεγαλύτερη κλίμακα αλυσίδες λειτουργιών με τη χρήση επαναδιαμορφούμενων μονάδων. Στην εργασία [37], οι Heysters και άλλοι αξιοποίησαν επίσης στην προτεινόμενη αρχιτεκτονική τους τις δυνατότητες που προσφέρουν οι αλυσίδες λειτουργιών αλλά σε μικρότερη κλίμακα σε σύγκριση με την εργασία [12]. Πρόσφατα, οι Ansaloni και άλλοι [102] υιοθέτησαν την τεχνική των αλυσιδωτών λειτουργιών ευρείας κλίμακας και εισήγαγαν μία αρχιτεκτονική με δυνατότητα επαναδιαμόρφωσης σε επίπεδο αλυσίδας λειτουργιών (Expression-Grain Reconfigurable Architecture (EGRA)). Η αρχιτεκτονική αυτή επιτρέπει τον υπολογισμό τμημάτων ή ολόκληρων αλυσίδων λειτουργιών ενσωματώνοντας πολλαπλές Αριθμητικές Λογικές Μονάδες με πιθανές ετερογενείς αριθμητικές και λογικές δυνατότητες.

Οι προαναφερόμενες επαναδιαμορφούμενες αρχιτεκτονικές δε λαμβάνουν υπόψη τη δυνατότητα αριθμητικών βελτιστοποιήσεων κατά τον προσδιορισμό του μονοπατιού δεδομένων. Πιο συγκεκριμένα, οι μοναδικές αριθμητικές βελτιστοποιήσεις που πραγματοποιούνται περιορίζονται στην εσωτερική δομή του κυκλώματος πρωτογενών μονάδων, π.χ., ανθροιστές, πολλαπλασιαστές και Αριθμητικές Λογικές Μονάδες, κατά τη διάρκεια της λογικής σύνθεσης [92]. Ωστόσο, αρκετές ερευνητικές εργασίες [8,9,38,104] έχουν δείξει ότι επηρεάζεται σημαντικά η απόδοση του τελικού μονοπατιού δεδομένων όταν λαμβάνουμε υπόψη αριθμητικές βελτιστοποιήσεις που δύνανται να πραγματοποιηθούν σε αφαιρετικά επίπεδα υψηλότερα από εκείνο της δομής του κυκλώματος. Στην εργασία [8], ο προσδιορισμός του μονοπατιού δεδομένων σε επίπεδο συμπεριφοράς διεξήχθη με τον ίδιο τρόπο όπως και σε ένα απλό κύκλωμα και, στη συνέχεια, πραγματοποιήθηκαν βελτιστοποιήσεις με βάση τους χρονικούς περιορισμούς και την αριθμητική ΣΚ αφού είχε ολοκληρωθεί η σχεδίαση σε επίπεδο συνδυαστικού κυκλώματος μεταξύ καταχωρητών (RTL). Στην εργασία [38], οι Yu και άλλοι διερεύνησαν το ζήτημα βέλτιστου συνδυασμού μεταξύ του χρονικού επαναπροσδιορισμού του μονοπατιού δεδομένων, της επιλογής μονάδων για αυτό και της επιλογής σημείων εφαρμογής της αριθμητικής ΣΚ σε αυτό. Για να λύσουν το συγκεκριμένο ζήτημα, εισήγαγαν ένα μεικτής αναπαράστασης μοντέλο σχεδίασης ΓΡΔ προκειμένου να επιλύσουν την ασυμφωνία μεταξύ των δύο αριθμητικών αναπαραστάσεων (ΣΚ και συμπληρώματος ως προς 2) των σημάτων. Οι Hosangadi και άλλοι [104] πρότειναν την εξάλειψη κοινών τμημάτων μεταξύ αλυσίδων λειτουργιών κατά τη διάρκεια των υπολογισμών σε αριθμητική ΣΚ προκειμένου να βελτιστοποιήσουν γραμμικά κυκλώματα ΨΕΣ, ενώ οι Verma και άλλοι [9] ανέπτυξαν τεχνικές μετασχηματισμού του ΓΡΔ μίας εφαρμογής με σκοπό να μεγιστοποιήσουν τη χρήση της αριθμητικής ΣΚ προτού λάβει χώρα η σύνθεση του μονοπατιού δεδομένων.

Παρόλο που οι προαναφερόμενες προσεγγίσεις βελτιστοποίησης με βάση την αριθμητική ΣΚ αφορούν υψηλά αφαιρετικά επίπεδα σχεδίασης, αποσκοπούν σε μη ευέλικτες υλοποιήσεις μονοπατιών δεδομένων και, επομένως, δεν έχουν λάβει υπόψη ούτε την έννοια της ευελιξίας αλλά ούτε και την πιθανότητα επιμερισμού των διαθέσιμων τμημάτων υλικού. Πρόσφατα, οι Xydis και άλλοι [13,39] πρότειναν μία ευέλικτη αρχιτεκτονική συνεπεξεργαστή, η οποία συνδυάζει τις τεχνικές του Παραλληλισμού σε Επίπεδο Εντολής (ILP) και της συνεχούς διοχέτευσης με τις δυνατότητες που προσφέρουν οι αλυσιδωτές λειτουργίες μέσω της χρήσης της αριθμητικής ΣΚ. Ωστόσο, ο εγγενής περιορισμός που αντιμετωπίζει η αριθμητική ΣΚ, δηλαδή, το πεδίο εφαρμογής των βελτιστοποιήσεων ΣΚ περιορίζεται στη συγχώνευση μόνο προσθετικών / αφαιρετικών λειτουργιών, εμφανίζεται σε όλες τις προαναφερόμενες σχεδιαστικές λύσεις. Πριν από κάθε πράξη που είναι διαφορετική της πρόσθεσης ή της αφαίρεσης, π.χ., ο πολλαπλασιασμός, απαιτείται μία μετατροπή από την αριθμητική αναπαράσταση ΣΚ στην αντίστοιχη δυαδική (συμπληρώματος ως προς 2). Ωστόσο, η απόδοση ελαττώνεται όταν ενσωματώνεται



Σχήμα 3.1: (α) Αθροιστής Διάδοσης Κρατούμενου (Carry-Propagate Adder (CPA)). (β) 3:2 Αθροιστής Σωσίματος Κρατούμενου (3:2 Carry-Save Adder (CSA)) με εισόδους των 4 bits. (γ) 4:2 Αθροιστής Σωσίματος Κρατούμενου (4:2 CSA) με εισόδους των 4 bits. (δ) 8:2 Αθροιστής Σωσίματος Κρατούμενου (8:2 CSA) με βάση 4:2 Αθροιστές Σωσίματος Κρατούμενου (4:2 CSA).

μεγάλος αριθμός μετατροπών από τη μορφή ΣΚ στην αντίστοιχη συμπληρώματος ως προς 2, καθώς απαιτούνται χρονοβόρες διαδόσεις κρατούμενων.

Στο παρόν κεφάλαιο, διαφοροποιούμαστε από τις προηγούμενες ερευνητικές εργασίες υιοθετώντας μία ευέλικτη αρχιτεκτονική επιταχυντή, η οποία επιτρέπει τη διεξαγωγή υπολογισμών με χρήση της αριθμητικής αναπαράστασης ΣΚ. Οι ευέλικτες λειτουργικές μονάδες σχεδιάστηκαν προσεκτικά ώστε να αξιοποιούν τις δυνατότητες, οι οποίες προσφέρονται από τη χρήση της αριθμητικής ΣΚ, για υψηλής απόδοσης αλυσιδωτές λειτουργίες. Το μονοπάτι δεδομένων του επιταχυντή αμβλύνει τον εγγενή περιορισμό της αριθμητικής ΣΚ να βελτιστοποιεί μόνο αλυσίδες προσθετικών / αφαιρετικών λειτουργιών, αξιοποιώντας την τεχνική του απευθείας μετασχηματισμού της μορφής ΣΚ στην αντίστοιχη Modified Booth (MB) (Ενότητα 2.2.2). Η τεχνική αυτή (Κεφάλαιο 2) επιτρέπει τη διεξαγωγή των υπολογισμών σε αριθμητική ΣΚ να συνεχίζει και διά μέσου των πράξεων πολλαπλασιασμού χωρίς την ανάγκη χρονοβόρων μετατροπών από την αναπαράσταση ΣΚ στην αντίστοιχη του συμπληρώματος ως προς 2. Στη συνέχεια του κεφαλαίου, περιγράφουμε και αξιολογούμε λεπτομερώς όλες τις τεχνικές που ενσωματώσαμε σε επίπεδο αρχιτεκτονικής και που επέτρεψαν τη σύνθεση ευέλικτων επιταχυντών, οι οποίοι είναι βελτιστοποιημένοι από την άποψη της απόδοσης, της επιφάνειας πυριτίου και της κατανάλωσης ισχύος και αξιοποιούν την αριθμητική ΣΚ.

3.3 Αριθμητική Σωσίματος - Κρατούμενου: Παρατηρήσεις και Περιορισμοί ως Κίνητρα

Η αριθμητική αναπαράσταση ΣΚ [32] έχει χρησιμοποιηθεί ευρέως για τη σχεδίαση ταχέων αριθμητικών κυκλωμάτων, καθώς χαρακτηρίζεται από το εγγενές πλεονέκτημα να εξαλείφει τις μεγάλες αλυσίδες διάδοσης κρατούμενων (Σχ. 3.1α). Τα δένδρα συμ-

πίεσης αξιοποιούν σε μεγάλο βαθμό την αριθμητική ΣΚ. Ονομάζουμε $W:2$ συμπίεστη ΣΚ ένα κύκλωμα, το οποίο δέχεται $W \geq 3$ εισόδους A_i ($0 \leq i \leq W - 1$), υλοποιεί την άθροισή τους σε αριθμητική ΣΚ και παράγει τις εξόδους S και C σύμφωνα με τις ακόλουθες εξισώσεις:

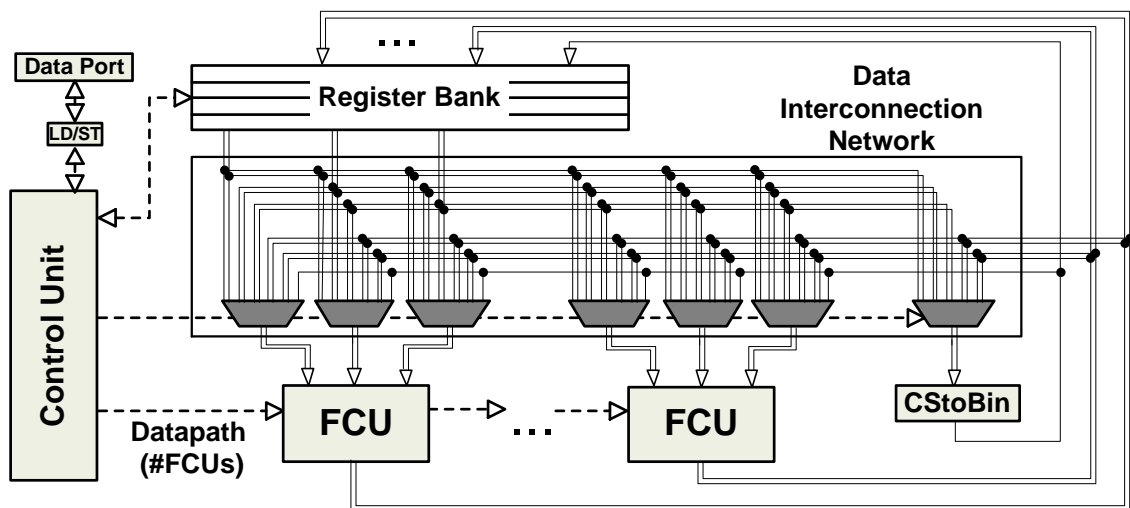
$$S, C = F(A_0, A_1, \dots, A_{W-1}), \quad S + C = \sum_{i=0}^{W-1} A_i.$$

Αρκετές ερευνητικές εργασίες [8,9,38] έχουν δείξει ότι, στις περισσότερες περιπτώσεις, η χρήση μονάδων συμπίεσης ελαττώνει την κρίσιμη καθυστέρηση του ΓΡΔ μίας εφαρμογής. Ωστόσο, η χρησιμοποίηση μεγάλων δένδρων συμπίεσης, δηλαδή, ο αριθμός των εισόδων ή/και των επιπέδων άθροισης ΣΚ είναι μεγάλος, σε συνδυασμό με την καθυστερημένη άφιξη ενός προσθετέου μπορούν να οδηγήσουν σε μία μη αποδοτική υλοποίηση του τελικού κυκλώματος. Για το λόγο αυτό, θεωρούμε μόνο 3:2 (Σχ. 3.1β) και 4:2 (Σχ. 3.1γ) συμπίεστες ΣΚ, δίχως η παραδοχή μας να είναι περιοριστική, καθώς μεγαλύτερα δένδρα συμπίεσης μπορούν να δημιουργηθούν χρησιμοποιώντας αυτές τις μονάδες συμπίεσης ως πρωτογενή τμήματα, π.χ., Σχ. 3.1δ.

Ο κύριος στόχος της χρήσης αριθμητικών βελτιστοποιήσεων ΣΚ είναι η ελάττωση της κρίσιμου μονοπατιού δεδομένων του ΓΡΔ μίας εφαρμογής. Σκοπός είναι να τοποθετούνται όπου είναι εφικτό μονάδες, οι οποίες έχουν δημιουργηθεί και λειτουργούν με βάση την αριθμητική ΣΚ, και να μεγιστοποιείται με αυτόν τον τρόπο το εύρος διεξαγωγής υπολογισμών ΣΚ εντός του ΓΡΔ. Η βασική ιδέα, η οποία είναι κοινή σε όλες τις προσεγγίσεις για αριθμητικές βελτιστοποιήσεις ΣΚ, είναι η εφαρμογή μετασχηματισμών στον επιθυμητό ΓΡΔ προκειμένου να τον αναδιατάξουμε και να αποκαλύψουμε αθροιστικές λειτουργίες πολλών εισόδων, δηλαδή, αλυσιδωτές αθροιστικές λειτουργίες στον αρχικό ΓΡΔ, οι οποίες μπορούν να απεικονιστούν επάνω σε συμπίεστες ΣΚ. Στην περίπτωση που ένας υπολογισμός δεν μπορεί να πραγματοποιηθεί με τη χρήση της αριθμητικής αναπαράστασης ΣΚ, π.χ., όταν παρεμβάλλεται μία λογική πράξη ή μία πράξη πολλαπλασιασμού, τότε απαιτείται μία άθροιση διάδοσης κρατούμενου για τη μετατροπή των δεδομένων σε συμβατική δυαδική αναπαράσταση, δηλαδή, αναπαράσταση συμπληρώματος ως προς 2, [8]. Πρόσφατα, οι Verma και άλλοι [9] ανέπτυξαν ένα σύνολο κανόνων για το μετασχηματισμό του αρχικού ΓΡΔ σε έναν σημασιολογικά ισοδύναμο γράφο με αυξημένο αριθμό δένδρων συμπίεσης ΣΚ. Όπως και οι Kim και άλλοι στην εργασία [8], πέτυχαν να αναδιατάξουν τις αθροιστικές λειτουργίες, οι οποίες διαχωρίζονται από λειτουργίες μετατόπισης, επιλογής ή λογικές λειτουργίες, και συγχώνευσαν πολλαπλούς αθροιστές σε μία κοινή μονάδα συμπίεσης ΣΚ. Τέτοιου είδους μετασχηματισμοί στους ΓΡΔ εφαρμόζονται πριν από τη σύνθεση του ΓΡΔ και, επομένως, μπορούν να χρησιμοποιηθούν απευθείας και στη δική μας προσέγγιση.

Οι προαναφερόμενες προσεγγίσεις αριθμητικών βελτιστοποιήσεων ΣΚ είναι ιδιαίτερα αποδοτικές όταν εφαρμόζονται σε ΓΡΔ που περιέχουν λειτουργίες μετατόπισης, λογικές λειτουργίες κτλ. Ωστόσο, έχουν περιορισμένο αντίκτυπο σε ΓΡΔ που κυριαρχούνται από πράξεις πολλαπλασιασμού, π.χ., η πλειονότητα των εφαρμογών φίλτρων για ΨΕΣ. Σε αυτές τις περιπτώσεις, όταν παρεμβάλλεται ένας κόμβος πολλαπλασιασμού στο ΓΡΔ, απαιτείται μία μετατροπή των δεδομένων από την αριθμητική αναπαράσταση ΣΚ στην αντίστοιχη συμπλήρώματος ως προς 2 [8] ή ο ΓΡΔ μετασχηματίζεται σύμφωνα με την επιμεριστική ιδιότητα του πολλαπλασιασμού [9].

Στο παρόν κεφάλαιο, αντιμετωπίζουμε τον προαναφερόμενο περιορισμό μέσω της τεχνικής του απευθείας μετασχηματισμού της αριθμητικής αναπαράστασης ΣΚ στην



Σχήμα 3.2: Αφηρημένη άποψη του ευέλικτου μονοπατιού δεδομένων.

αντίστοιχη MB (Κεφάλαιο 2) κάθε φορά που ένας πολλαπλασιασμός πρέπει να εκτελεσθεί εντός ενός μονοπατιού δεδομένων βελτιστοποιημένου με βάση την αριθμητική ΣΚ. Η τεχνική αυτή επιτρέπει τη συνέχιση της διεξαγωγής των υπολογισμών σε αριθμητική ΣΚ και διά μέσου των πολλαπλασιασμών. Συνεπώς, οι πράξεις στο επιθυμητό μονοπάτι δεδομένων διεξάγονται χωρίς τη χρήση ενδιάμεσων αθροιστών διάδοσης κρατούμενου, οι οποίοι απαιτούνται για τη μετατροπή από την αριθμητική αναπαράσταση ΣΚ στην αντίστοιχη συμπληρώματος ως προς 2. Το αποτέλεσμα είναι η βελτίωση της απόδοσης αφού οι χρονοβόρες αλυσίδες διάδοσης κρατούμενων των αθροιστών εξαλείφονται.

3.4 Αρχιτεκτονική του Ευέλικτου Επιταχυντή

Στην παρούσα ενότητα, περιγράφουμε λεπτομερώς την αρχιτεκτονική του ευέλικτου επιταχυντή [10, 11]. Ένα αφηρημένο σχέδιο της εν λόγω αρχιτεκτονικής απεικονίζεται στο Σχ. 3.2. Περιλαμβάνει (α) τις Ευέλικτες Υπολογιστικές Μονάδες (Flexible Computational Units (FCUs)), οι οποίες περιγράφονται σε επίπεδο κυκλώματος στην Ενότητα 3.4.1, (β) μία μονάδα μετατροπής της αριθμητικής αναπαράστασης ΣΚ στην αντίστοιχη συμπληρώματος ως προς 2 (CStoBin) (Σχ. 3.1α), (γ) μία τράπεζα καταχωρητών, (δ) το δίκτυο διασύνδεσης δεδομένων και (ε) τη μονάδα ελέγχου, η οποία καθοδηγεί τη λειτουργία της συνολικής αρχιτεκτονικής σε κάθε κύκλο ρολογιού, δηλαδή, την επικοινωνία μεταξύ των θυρών δεδομένων και της τράπεζας καταχωρητών, τα σήματα διαμόρφωσης των FCUs και τα σήματα επιλογής για τους πολυπλέκτες.

Η αρχιτεκτονική, την οποία και περιγράφουμε, πραγματοποιεί υπολογισμούς με δεδομένα είτε σε αριθμητική αναπαράσταση ΣΚ είτε σε μορφή συμπληρώματος ως προς 2. Η κάθε FCU έχει σχεδιαστεί να λειτουργεί με όρους των 16 bits, καθώς ένα τέτοιο μήκος λέξης είναι επαρκές για την πλειονότητα των μονοπατιών δεδομένων ΨΕΣ [105]. Ωστόσο, η αρχιτεκτονική της FCU μπορεί να προσαρμοστεί ώστε να λειτουργεί με όρους είτε μικρότερου είτε μεγαλύτερου μήκους λέξης. Ο αριθμός των FCUs, οι οποίες θα περιλαμβάνονται στο συνολικό αρχιτεκτονικό σχέδιο, μπορεί να καθοριστεί κατά τη διαδικασία της σχεδίασης λαμβάνοντας υπόψη τόσο τον επιθυμητό βαθμό Παράλληλου σε Επίπεδο Εντολής (ILP) όσο και τους περιορισμούς στην επιφάνεια πυριτίου που θέτει ο σχεδιαστής. Η τράπεζα καταχωρητών χρησιμοποιείται για την αποθή-

κευση των ενδιάμεσων αποτελεσμάτων και για την επικοινωνία ανάμεσα στις FCUs, δηλαδή, για διαμοιρασμό όρων. Αποτελείται από απλούς καταχωρητές, των οποίων ο αριθμός ποικίλει ανάλογα με τις απαιτήσεις του κάθε πυρήνα. Το δίκτυο διασύνδεσης των δεδομένων χειρίζεται την επικοινωνία μεταξύ της τράπεζας καταχωρητών και των FCUs. Διαφορετικοί πυρήνες ΨΕΣ, οι οποίοι χαρακτηρίζονται από διαφορετικές απαιτήσεις σε αριθμό καταχωρητών και διαφορετικά πρότυπα διασύνδεσης δεδομένων, μπορούν να απεικονιστούν επάνω στην ευέλικτη αρχιτεκτονική, την οποία περιγράφουμε, χρησιμοποιώντας κατάλληλες τεχνικές επιμερισμού για τη διασύνδεση του μονοπατιού δεδομένων, αφού ολοκληρωθεί η σχεδίαση σε επίπεδο συνδυαστικού κυκλώματος μεταξύ καταχωρητών (RTL) [103, 106, 107]. Η μονάδα μετατροπής της αριθμητικής αναπαράστασης ΣΚ στην αντίστοιχη συμπληρώματος ως προς 2 (CStoBin) είναι ουσιαστικά ένας αθροιστής διάδοσης κρατουμένου, του οποίου η κρίσιμη καθυστέρηση επικαλύπτεται από την κρίσιμη καθυστέρηση της FCU. Η αριθμητική μετατροπή συνήθως λαμβάνει χώρα στο τέλος της εκτέλεσης κάθε πυρήνα προκειμένου η έξοδος να είναι στη συμβατική μορφή συμπληρώματος ως προς 2.

3.4.1 Δομή της Ευέλικτης Υπολογιστικής Μονάδας

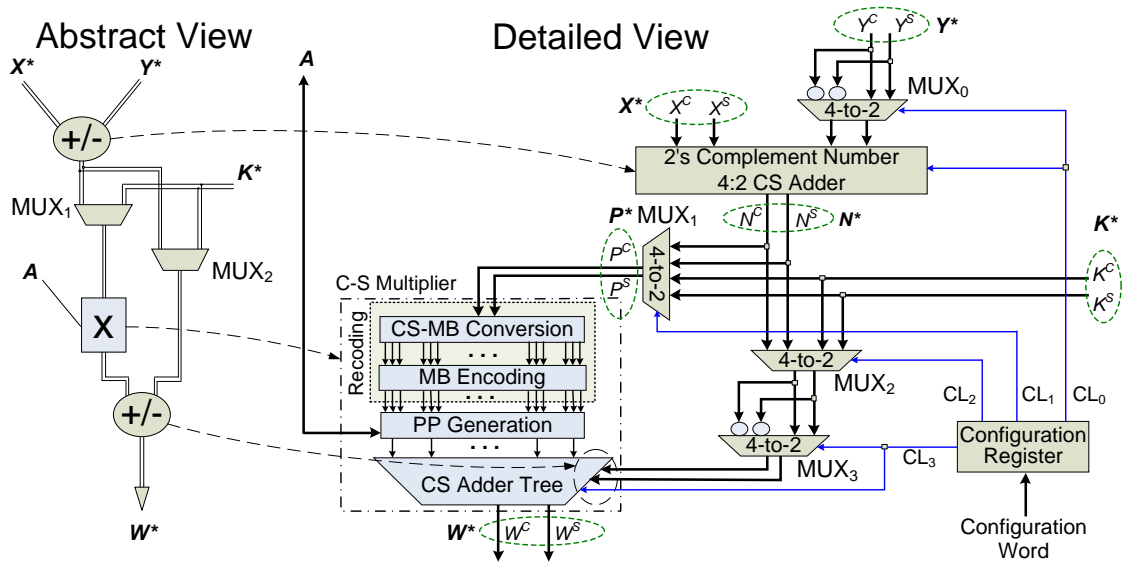
Η δομή της Ευέλικτης Υπολογιστικής Μονάδας (FCU) έχει σχεδιαστεί με τέτοιο τρόπο ώστε να επιτρέπει υψηλής απόδοσης ευέλικτες αλυσιδωτές λειτουργίες με βάση μία βιβλιοθήκη προκαθορισμένων λειτουργικών προτύπων. Λειτουργίες, οι οποίες εξαρτώνται από δεδομένα, δύνανται να εκτελεσθούν μέσα στον ίδιο κύκλο ρολογιού με τη χρήση της τεχνικής των αλυσιδωτών λειτουργιών. Συνεπώς, οι καταχωρητές που απαιτούνται για την αποθήκευση των ενδιάμεσων αποτελεσμάτων αφαιρούνται βελτιώνοντας τη συνολική καθυστέρηση και επιφάνεια πυριτίου. Οι ευέλικτες αλυσιδωτές λειτουργίες εισήχθησαν στις [12, 13] προκειμένου να γίνει εφικτός ο αποδοτικός επιμερισμός προτύπων.

Το Σχ. 3.3 απεικονίζει ένα αφαιρετικό σχέδιο της FCU σε συνδυασμό με την εσωτερική της δομή (λεπτομερές σχέδιο) και τον τρόπο με τον οποίον το αφαιρετικό σχέδιο απεικονίζεται επάνω στο λεπτομερές. Η FCU επιτρέπει τη δημιουργία αλυσίδων λειτουργιών εντός των προτύπων συγχωνεύοντας τις αθροιστικές πράξεις που πραγματοποιούνται πριν και μετά από τον πολλαπλασιασμό. Η FCU ορίζει έναν επαναδιαμορφούμενο τελεστή, ο οποίος μπορεί να εκτελεί οποιαδήποτε μερική ή ολόκληρη σειρά λειτουργιών, δηλαδή, λειτουργικό πρότυπο, περιλαμβάνεται στις ακόλουθες δύο εξισώσεις:

$$W^* = A \times (X^* + Y^*) + K^*, \quad (3.1)$$

$$W^* = A \times K^* + (X^* + Y^*). \quad (3.2)$$

Τα εναλλακτικά μονοπάτια εκτέλεσης σε κάθε FCU προσδιορίζονται μετά από κατάλληλη ρύθμιση των σημάτων ελέγχου των δύο πολυπλεκτών MUX₁ και MUX₂ (Σχ. 3.3). Ο εκθέτης * υποδηλώνει αριθμητική αναπαράσταση ΣΚ, η οποία αποτελείται από δύο αριθμούς στη μορφή συμπληρώματος ως προς 2. Συνεπώς, οι όροι X^* , Y^* , K^* , N^* , P^* και W^* βρίσκονται σε αριθμητική αναπαράσταση ΣΚ, ενώ οι αντίστοιχες ποσότητες $\{X^C, X^S\}$, $\{Y^C, Y^S\}$, $\{K^C, K^S\}$, $\{N^C, N^S\}$, $\{P^C, P^S\}$ και $\{W^C, W^S\}$ είναι δυαδικοί αριθμοί συμπληρώματος ως προς 2. Η FCU δύναται να λειτουργεί με όρους σε αριθμητική μορφή είτε ΣΚ είτε συμπληρώματος ως προς 2, καθώς ένας όρος σε αναπαράσταση ΣΚ αποτελείται ουσιαστικά από δύο δυαδικούς αριθμούς σε μορφή συμπληρώματος ως προς 2. Σε γενικές γραμμές, ισχύει η ακόλουθη σχέση για όλα τα

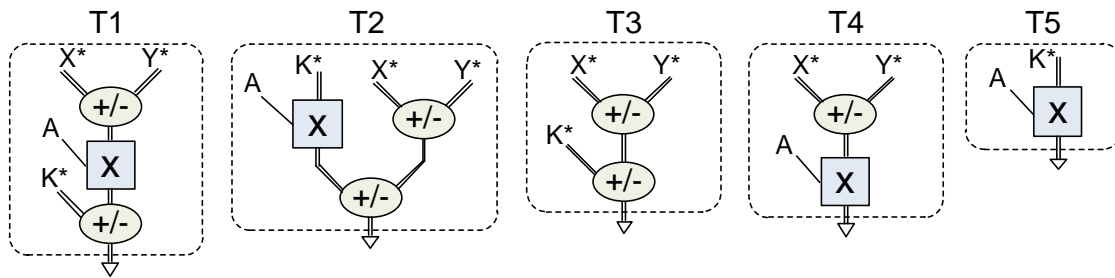


Σχήμα 3.3: Ευέλικτη Υπολογιστική Μονάδα (Flexible Computational Unit (FCU)).

δεδομένα σε αριθμητική μορφή ΣΚ: $X^* = \{X^C, X^S\} = X^C + X^S$. Ο όρος A (Σχ. 3.3) είναι επίσης ένας δυαδικός αριθμός σε μορφή συμπληρώματος ως προς 2.

Η εσωτερική δομή της προτεινόμενης FCU περιλαμβάνει:

- Έναν 4 - προς - 2 πολυπλέκτη (MUX₀), ο οποίος εξάγει τον όρο Y^* στην περίπτωση άθροισης με τον όρο X^* ή το συμπλήρωμα ως προς 1 του Y^* , δηλαδή, $\overline{Y^*}$, στην περίπτωση αφαίρεσης από τον όρο X^* . Όταν απαιτείται η διεξαγωγή της άθροισης των X^* και Y^* , το σήμα επιλογής CL₀ του πολυπλέκτη MUX₀ είναι ίσο με το 0. Σε αντίθετη περίπτωση, όταν η απαιτούμενη λειτουργία είναι η αφαίρεση $X^* - Y^*$, η ουσιαστική λειτουργία που διεξάγεται είναι η $X^* + \overline{Y^*} + 1$ και το σήμα επιλογής CL₀ του MUX₀ είναι ίσο με το 1. Ο άσσος του ενός bit, ο οποίος απαιτείται για την ολοκλήρωση της αφαίρεσης, προστίθεται μέσω της επόμενης κατά σειρά εκτέλεσης μονάδας του μονοπατιού δεδομένων της FCU, δηλαδή, του 4:2 αθροιστή ΣΚ για αριθμούς σε μορφή συμπληρώματος ως προς 2, ως κρατούμενο εισόδου.
- Έναν 4:2 αθροιστή ΣΚ για αριθμούς σε μορφή συμπληρώματος ως προς 2 (Σχ. 3.1γ) για την άθροιση ή αφαίρεση μεταξύ των X^* και Y^* . Το σήμα ελέγχου CL₀ του MUX₀ εισάγεται στον αθροιστή ΣΚ ως κρατούμενο εισόδου. Η έξοδος του αθροιστή ΣΚ είναι ο όρος N^* . Για την περίπτωση όπου $N^* = X^* + Y^*$, το κρατούμενο εισόδου είναι ίσο με το 0. Διαφορετικά, όταν $N^* = X^* - Y^*$, το κρατούμενο εισόδου είναι ίσο με το 1.
- Έναν 4 - προς - 2 πολυπλέκτη (MUX₁), ο οποίος καθορίζει εάν ο όρος N^* (3.1) ή ο όρος K^* (3.2) πολλαπλασιάζεται με τον όρο A .
- Έναν πολλαπλασιαστή ΣΚ περικοπής υλικού, ο οποίος περιλαμβάνει μία μονάδα απευθείας μετασχηματισμού της αναπαράστασης ΣΚ στην αντίστοιχη MB (Ενότητες 2.3.2, 3.4.3), μία μονάδα για την παραγωγή των περικομμένων μερικών γινομένων (Ενότητα 3.4.4) και ένα δένδρο για την άθροιση των μερικών γινομένων σε αριθμητική ΣΚ.



Σχήμα 3.4: Η βιβλιοθήκη προτύπων της FCU.

- Έναν 4 - προς - 2 πολυπλέκτη (MUX₂), ο οποίος καθορίζει εάν ο όρος K^* (3.1) ή ο όρος N^* (3.2) προστίθεται στο αποτέλεσμα του πολλαπλασιασμού.
- Έναν 4 - προς - 2 πολυπλέκτη (MUX₃), ο οποίος λαμβάνει ως εισόδους την έξοδο του MUX₂ σε μορφή ΣΚ και το συμπλήρωμά της ως προς 1 και εξάγει τον πρώτο όρο στην περίπτωση όπου απαιτείται άθροιση με το αποτέλεσμα του πολλαπλασιασμού ή το δεύτερο όρο στην περίπτωση όπου απαιτείται να διεξαχθεί αφαίρεση από το αποτέλεσμα του πολλαπλασιασμού. Ανάλογα με την απαίτηση για άθροιση ή αφαίρεση, το σήμα επιλογής CL₃ του MUX₃ ισούται με 0 ή 1 αντίστοιχα. Ο άσος του ενός bit, ο οποίος απαιτείται για την ολοκλήρωση της αφαίρεσης, προστίθεται μέσω του δένδρου άθροισης σε αριθμητική ΣΚ του πολλαπλασιαστή ΣΚ.
- Ένα ρυθμιστικό καταχωρητή, ο οποίος διαμορφώνει σε κάθε κύκλο ρολογιού την επιθυμητή προς εκτέλεση λειτουργία της FCU ρυθμίζοντας κατάλληλα τα σήματα CL_{*i*}, $i \in \{0 - 3\}$.

Ο τρόπος λειτουργίας της FCU και τα πρόσημα των όρων, δηλαδή, ο καθορισμός για πράξεις άθροισης ή αφαίρεσης στους πολυπλέκτες MUX₀ και MUX₃, ελέγχονται μέσω του ρυθμιστικού καταχωρητή, ο οποίος οδηγεί κατάλληλα bits ελέγχου (CL_{*i*}) προς τους πολυπλέκτες και ρυθμίζει την επιλογή προσήμου στο εσωτερικό του 4:2 αθροιστή ΣΚ και του δένδρου άθροισης σε αριθμητική ΣΚ του πολλαπλασιαστή. Η βιβλιοθήκη με τα βασικά λειτουργικά πρότυπα, τα οποία κάθε FCU μπορεί να εκτελέσει έπειτα από τις κατάλληλες ρυθμίσεις, απεικονίζεται στο Σχ. 3.4. Με την εκχώρηση κατάλληλων τιμών στα σήματα εισόδου και ελέγχου, οποιοδήποτε ολόκληρο ή μερικό λειτουργικό πρότυπο από τα T1 - T5 μπορεί να υιοθετηθεί και να εκτελεσθεί. Οι όροι αναπαρίστανται στην αριθμητική μορφή ΣΚ. Εφόσον κάθε αριθμός ΣΚ αποτελείται από δύο αριθμούς σε μορφή συμπληρώματος ως προς 2, κάθε FCU μπορεί να επεξεργαστεί όλα τα δεδομένα εισόδου, τα οποία αναπαρίστανται σε αριθμητική συμπληρώματος ως προς 2, χωρίς καμία επιβάρυνση μετατροπής. Συνήθως, τα λειτουργικά πρότυπα δύο σταδίων, όπως η Άθροιση - Πολλαπλασιασμός και ο Πολλαπλασιασμός - Άθροιση, κυριαρχούν στους περισσότερους πυρήνες ΨΕΣ [36]. Ωστόσο, λειτουργικά πρότυπα τριών σταδίων μπορούν επίσης να απαντηθούν σε πολλούς πυρήνες ΨΕΣ, π.χ., τα Συμμετρικά φίλτρα Πεπερασμένης Κρουστικής Απόκρισης, ο Διακριτός Μετασχηματισμός Συνημιτόνου κτλ. Η FCU υποστηρίζει εγγενώς αρκετή ευελιξία προκειμένου να μπορεί να διαμορφωθεί ώστε να εκτελεί και τους δύο τύπους λειτουργικών προτύπων, δηλαδή, τα πρότυπα T1 και T2 του Σχ. 3.4, επιτρέποντας τη βελτιστοποίηση της απόδοσης σε ένα ευρύ πεδίο πυρήνων ΨΕΣ.

3.4.2 Ανάλυση του Κρίσιμου Μονοπατιού της FCU

Εφόσον η FCU αποτελεί μέρος ενός μεγαλύτερου μονοπατιού δεδομένων όπου ανταλλάσσονται δεδομένα μεταξύ των υπολογιστικών μονάδων, απαιτείται να είναι δυνατή η επαναχρησιμοποίηση του αποτελέσματος των υπολογισμών που διεξάγονται κατά τη διάρκεια ενός κύκλου ρολογιού. Ωστόσο, επειδή κάθε FCU λειτουργεί απευθείας με όρους σε αριθμητική αναπαράσταση ΣΚ και παράγει δεδομένα στην ίδια μορφή, η δυνατότητα επαναχρησιμοποίησης της εξόδου ΣΚ της κάθε μονάδας είναι εξασφαλισμένη.

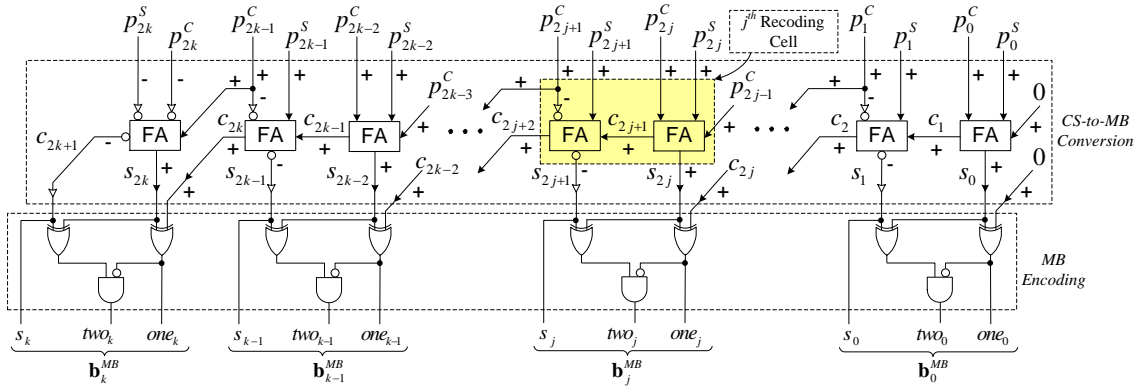
Στην παρούσα ενότητα περιγράφουμε το μονοπάτι δεδομένων του πολλαπλασιασμού, το οποίο περιλαμβάνεται στο κρίσιμο μονοπάτι της FCU. Στην περίπτωση όπου η FCU έχει ρυθμιστεί να πραγματοποιήσει έναν πολλαπλασιασμό, χρησιμοποιείται η μονάδα μετασχηματισμού. Η μονάδα αυτή (Ενότητες 2.3.2, 3.4.3) επιτρέπει τη διεξαγωγή του πολλαπλασιασμού με τη μία είσοδό του σε αναπαράσταση ΣΚ, πραγματοποιώντας την απευθείας μετατροπή από την αριθμητική μορφή ΣΚ στην αντίστοιχη MB και, στη συνέχεια, τη δημιουργία των αντίστοιχων MB ψηφίων (Ενότητα 2.2.2). Αξίζει να σημειώσουμε ότι η μονάδα μετασχηματισμού από την αναπαράσταση ΣΚ στην αντίστοιχη MB δεν περιλαμβάνει διαδόσεις κρατούμενων και, επομένως, συνεισφέρει ελάχιστα στην κρίσιμη καθυστέρηση της FCU. Στο σημείο αυτό εντοπίζεται η πρώτη διαφορά της προτεινόμενης FCU σε σύγκριση με την αντίστοιχη των [10, 11]. Η μονάδα μετασχηματισμού της προτεινόμενης FCU αποτελεί τη βέλτιστη σχεδιαστική προσέγγιση, η οποία απαντάται στη διεθνή βιβλιογραφία [108], και παρουσιάζει αξιοσημείωτα κέρδη κρίσιμης καθυστέρησης, επιφάνειας πυριτίου και κατανάλωσης ισχύος σε σύγκριση με τη μονάδα μετασχηματισμού της [4], η οποία ενσωματώθηκε στην FCU των [10, 11].

Η δεύτερη σημαντική σχεδιαστική διαφορά της προτεινόμενης FCU σε σύγκριση με την αντίστοιχη των [10, 11] έγκειται στον πολλαπλασιαστή ΣΚ της προτεινόμενης FCU, ο οποίος είναι ένας πολλαπλασιαστής περικοπής υλικού με ενσωματωμένη αντιστάθμιση σφάλματος. Η είσοδος A βρίσκεται σε μορφή συμπληρώματος ως προς 2 και αποτελείται από 16 bits. Ο όρος P^* , ο οποίος αποτελεί την είσοδο της μονάδας μετασχηματισμού, βρίσκεται σε μορφή ΣΚ και αποτελείται από δύο όρους των 17 bits σε αναπαράσταση συμπληρώματος ως προς 2. Επίσης, το αποτέλεσμα του πολλαπλασιασμού είναι ένας όρος των 17 bits σε μορφή ΣΚ. Ο πολλαπλασιαστής ενσωματώνει την υλοποίηση μίας μεθόδου αντιστάθμισης για την ελάττωση του σφάλματος που προκαλείται στην ακρίβεια του αποτελέσματος από την τεχνική περικοπής υλικού [7] (Ενότητα 3.4.4). Ο όρος W^* , ο οποίος είναι η έξοδος του Δένδρου Άθροισης ΣΚ και, επομένως, και της FCU, βρίσκεται σε μορφή ΣΚ και αποτελείται από δύο όρους των 17 bits. Ωστόσο, εφόσον το μήκος λέξης όλων των εισόδων της FCU είναι 16 bits και θεωρώντας πως δεν υπάρχουν υπερχειλίσεις, τα 16 bits υψηλότερης τάξης του όρου W^* εισάγονται στην κατάλληλη FCU όταν απαιτείται.

Η τρίτη σημαντική διαφορά της προτεινόμενης FCU σε σύγκριση με την αντίστοιχη των [10, 11] είναι δομική και εντοπίζεται στη συγχώνευση του τελικού 4:2 αθροιστή ΣΚ για αριθμούς σε μορφή συμπληρώματος ως προς 2, ο οποίος βρίσκεται στο κάτω άκρο της ιεραρχίας στο σχέδιο της FCU των [10, 11], με το Δένδρο Άθροισης ΣΚ του πολλαπλασιαστή ΣΚ της προτεινόμενης FCU.

3.4.3 Μονάδα Μετασχηματισμού από τη Μορφή ΣΚ στην Αντίστοιχη MB

Η μονάδα μετασχηματισμού μετατρέπει απευθείας έναν όρο, ο οποίος βρίσκεται σε μορφή ΣΚ, στο αντίστοιχο σύνολο MB ψηφίων. Στην FCU, υιοθετήσαμε την τε-



Σχήμα 3.5: Η μονάδα μετασχηματισμού που ενσωματώνεται στον πολλαπλασιαστή ΣΚ της FCU.

χνική μετασχηματισμού που περιγράφεται στην Ενότητα 2.3.2 [108]. Αποτελείται από δύο επίπεδα μετασχηματισμού, δηλαδή, (α) ο όρος P^* , ο οποίος βρίσκεται σε αναπαράσταση ΣΚ, μετατρέπεται στην αντίστοιχη MB μορφή και, στη συνέχεια, (β) η MB αναπαράσταση του όρου P^* κωδικοποιείται κατάλληλα προκειμένου να δημιουργηθούν τα αντίστοιχα MB ψηφία. Οφείλουμε να σημειώσουμε ότι στην Ενότητα 2.3.2 παρουσιάζονται τρία διαφορετικά σχέδια μετασχηματισμού, τα οποία, ωστόσο, έχουν δημιουργηθεί με βάση την ίδια τεχνική μετασχηματισμού. Η απόφαση να ενσωματώσουμε στον πολλαπλασιαστή ΣΚ το πρώτο εκ των τριών σχεδίων μετασχηματισμού που περιγράφονται στην Ενότητα 2.3.2, δηλαδή, το σχέδιο μετασχηματισμού της Ενότητας 2.3.2.1, ελήφθη έπειτα από προσεκτική αξιολόγηση των πειραματικών αποτελεσμάτων της Ενότητας 2.4.2. Λαμβάνοντας υπόψη ότι και οι δύο είσοδοι P^S και P^C της μονάδας μετασχηματισμού αποτελούνται από περιττό αριθμό από bits (17 bits), επιλέχθηκε το σχέδιο μετασχηματισμού της Ενότητας 2.3.2.1 επειδή παρουσιάζει τους υψηλότερους μέσους όρους κέρδους για την επιφάνεια πυριτίου και την κατανάλωση ισχύος μεταξύ των τριών σχεδίων μετασχηματισμού όταν το μήκος λέξης των εισόδων είναι περιττό.

3.4.3.1 Σχέδιο της Μονάδας Μετασχηματισμού

Θεωρούμε έναν αριθμό B , ο οποίος αποτελείται από $n + 1 = 2k + 2$ bits και αναπαρίσταται σε MB μορφή (Ενότητα 2.2.2) ως:

$$B = -b_{2k+1}2^{2k+1} + \sum_{j=0}^k b_{2j}2^{2j} = \sum_{j=0}^k \mathbf{b}_j^{MB}2^{2j}. \quad (3.3)$$

Κάθε ψηφίο $\mathbf{b}_j^{MB} \in \{-2, -1, 0, +1, +2\}$, $0 \leq j \leq k - 1$, αντιστοιχεί στα τρία συνεχόμενα bits b_{2j+1} , b_{2j} και b_{2j-1} , θεωρώντας ότι $b_{-1} = 0$ (2.2). Χρησιμοποιώντας αυτά τα τρία bits, υπολογίζουμε το αντίστοιχο MB ψηφίο \mathbf{b}_j^{MB} με βάση την (2.3). Οι εξισώσεις (2.4) δείχνουν πως δημιουργούνται τα σήματα MB κωδικοποίησης.

Το σχέδιο της μονάδας μετασχηματισμού απεικονίζεται λεπτομερώς στο Σχ. 3.5. Η είσοδος της μονάδας μετασχηματισμού είναι ο όρος P^* , ο οποίος αποτελείται από n bits (ο αριθμός n είναι περιττός και, πιο συγκεκριμένα, $n = 2k + 1 = 17$). Ο όρος P^* βρίσκεται σε αναπαράσταση ΣΚ, δηλαδή, $P^* = P^S + P^C$, και αποτελείται από τους δύο αριθμούς P^S και P^C σε μορφή συμπληρώματος ως προς 2, καθένας αποτελούμενος

από $n = 2k + 1 = 17$ bits.

$$\begin{aligned} P^S &= \{p_{n-1}^S \dots p_0^S\}, \quad P^C = \{p_{n-1}^C \dots p_0^C\}, \\ P^* &= (-2^{n-1})(p_{n-1}^S + p_{n-1}^C) + \sum_{i=0}^{n-2} (p_i^S + p_i^C)2^i, \end{aligned} \quad (3.4)$$

όπου p_i^S και p_i^C είναι τα bits τάξης i . Το άθροισμα των P^S και P^C αποτελείται από $2k + 2 = 18$ bits.

Για να μετασχηματίσουμε το άθροισμα των P^S και P^C στην αντίστοιχη MB αναπαράσταση, θεωρούμε ότι τα bits p_{2j+1}^S, p_{2j}^S και p_{2j+1}^C, p_{2j}^C είναι οι εισόδου του κελιού μετασχηματισμού τάξης j προκειμένου να λάβουμε στην έξοδό του τα τρία bits που απαιτούνται για τη δημιουργία του αντίστοιχου MB ψηφίου (\mathbf{b}_j^{MB}). Με βάση το Σχ. 3.5, το άθροισμα των P^S και P^C μπορεί να αναπαρασταθεί όπως στις ακόλουθες εξισώσεις:

$$P^S + P^C = \sum_{j=0}^k \mathbf{b}_j^{MB} 2^{2j}, \quad \mathbf{b}_j^{MB} = -2s_{2j+1} + s_{2j} + c_{2j}. \quad (3.5)$$

Η δημιουργία των MB ψηφίων \mathbf{b}_j^{MB} , $0 \leq j \leq k$, της (3.5) βασίζεται στην (2.2).

Το κελί μετασχηματισμού τάξης j του Σχ. 3.5 παράγει τα bits s_{2j+1} και s_{2j} . Ένας συμβατικός Πλήρης Άθροιστής (ΠΑ) με εισόδους p_{2j}^S, p_{2j}^C και p_{2j-1}^C παράγει το κρατούμενο $c_{2j+1} = (p_{2j}^S \wedge p_{2j}^C) \vee (p_{2j-1}^C \wedge (p_{2j}^S \vee p_{2j}^C))$ και το άθροισμα $s_{2j} = p_{2j}^S \oplus p_{2j}^C \oplus p_{2j-1}^C$. Με βάση την (3.5), το bit s_{2j+1} απαιτείται να είναι αρνητικά προσημασμένο. Συνεπώς, το κρατούμενο c_{2j+2} και το άθροισμα $s_{2j+1}(-)$ παράγονται όπως στις ακόλουθες εξισώσεις:

$$\begin{aligned} c_{2j+2} &= (p_{2j+1}^S \wedge \bar{p}_{2j+1}^C) \vee (c_{2j+1} \wedge (p_{2j+1}^S \vee \bar{p}_{2j+1}^C)), \\ s_{2j+1} &= p_{2j+1}^S \oplus p_{2j+1}^C \oplus c_{2j+1}. \end{aligned} \quad (3.6)$$

Εφόσον $p_{2j+1}^C = 2p_{2j+1}^S - p_{2j+1}^S$, το bit p_{2j+1}^C εισάγεται ως αρνητικά προσημασμένο στο κελί μετασχηματισμού τάξης j και με θετικό πρόσημο ως κρατούμενο εισόδου στο αμέσως επόμενη τάξης κελί μετασχηματισμού. Οι αρχικές τιμές που έχουμε θεωρήσει είναι $b_{-1} = 0$ και $c_0 = 0$.

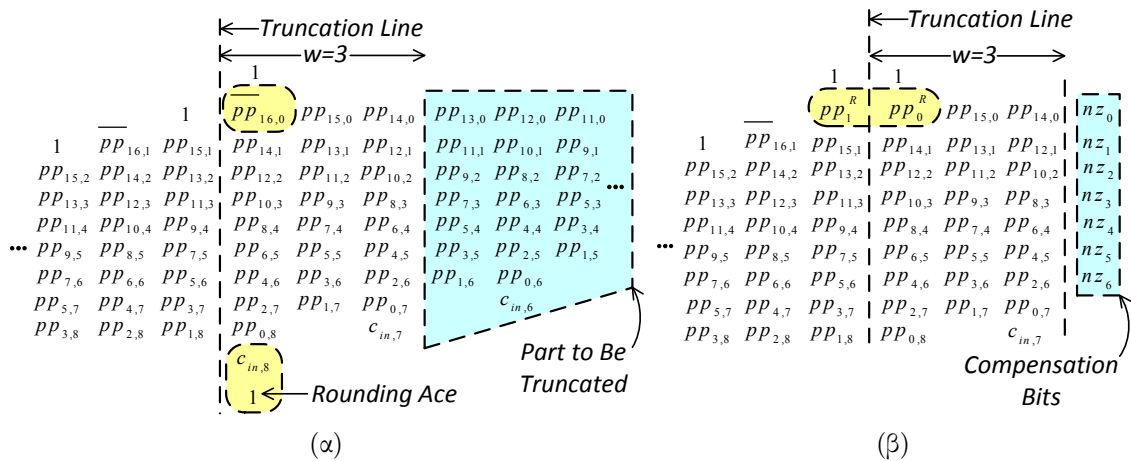
Το MB ψηφίο υψηλότερης τάξης, το οποίο παράγεται από τη μονάδα μετασχηματισμού, δημιουργείται με βάση τα bits c_{2k+1}, s_{2k} και c_{2k} . Το κρατούμενο $c_{2k+1}(-)$ και το άθροισμα s_{2k} παράγονται σύμφωνα με τις ακόλουθες εξισώσεις:

$$\begin{aligned} c_{2k+1} &= (p_{2k}^S \wedge p_{2k}^C) \vee (p_{2k-1}^C \wedge (p_{2k}^S \vee p_{2k}^C)), \\ s_{2k} &= p_{2k}^S \oplus p_{2k}^C \oplus p_{2k-1}^C. \end{aligned} \quad (3.7)$$

Τα bits, τα οποία εξάγονται από τα κελιά μετασχηματισμού, οδηγούνται στη μονάδα MB κωδικοποίησης (Σχ. 3.5) προκειμένου να παραχθούν τα αντίστοιχα σήματα κωδικοποίησης (2.4).

3.4.4 Περικοπή Υλικού και Αντιστάθμιση Σφάλματος

Κάθε FCU ενσωματώνει έναν πολλαπλασιαστή ΣΚ με περικοπή υλικού. Η είσοδος A είναι ένας όρος των 16 bits σε μορφή συμπληρώματος ως προς 2, ενώ η είσοδος P^* αποτελείται από δύο όρους των 17 bits σε μορφή συμπληρώματος ως προς 2. Η



Σχήμα 3.6: Τα μερικά γινόμενα του πολλαπλασιαστή ΣΚ στην προτεινόμενη FCU (α) πριν και (β) μετά την εφαρμογή της τεχνικής περικοπής υλικού και της μεθόδου αντιστάθμισης σφάλματος της [7].

μονάδα μετασχηματισμού λαμβάνει τον όρο P^* ως είσοδο και παράγει τα 9 MB ψηφία, τα οποία αντιστοιχούν στο άθροισμα $P^S + P^C$. Ένας συμβατικός πολλαπλασιαστής με τις προαναφερόμενες εισόδους παράγει τα μερικά γινόμενα του Σχ. 3.6α και εξάγει ένα αποτέλεσμα των 34 bits σε μορφή ΣΚ. Το αποτέλεσμα δύναται είτε να διατηρηθεί σε αναπαράσταση ΣΚ (όπως εξάγεται από το Δένδρο Άθροισης ΣΚ) είτε να μετατραπεί στην αντίστοιχη δυαδική μορφή συμπληρώματος ως προς 2 αφού προστεθούν τα διανύσματα C και S . Ωστόσο, ο πολλαπλασιαστής ΣΚ με περικοπή υλικού στην FCU παράγει 17 bits, δηλαδή, τα μισά bits σε σύγκριση με το αποτέλεσμα του συμβατικού πολλαπλασιαστή (Σχ. 3.6α), τα οποία διατηρούνται σε αναπαράσταση ΣΚ προκειμένου να αποφευχθούν οποιεσδήποτε χρονοβόρες διαδόσεις κρατούμενων λόγω μετατροπής της αναπαράστασης ΣΚ στην αντίστοιχη μορφή συμπληρώματος ως προς 2.

Για να αυξηθεί η ακρίβεια του αποτελέσματος του πολλαπλασιαστή ΣΚ με περικοπή υλικού, υλοποιήσαμε μία μέθοδο αντιστάθμισης (Σχ. 3.6β) για την ελάττωση του σφάλματος που προκαλείται στο αποτέλεσμα λόγω της περικοπής υλικού. Για το λόγο αυτό, τα bits των τάξεων 17, 16 και 15 όλων των μερικών γινομένων, δηλαδή, τα bits των τριών πιο σημαντικής τάξης στηλών που βρίσκονται δεξιά από τη γραμμή περικοπής (Σχ. 3.6), δεν περικόπτονται. Η απόφαση διατήρησης τριών στηλών για τα bits των μερικών γινομένων ($w=3$) ελήφθη με βάση την αξιολόγηση της ακρίβειας στην εργασία [7]. Η εφαρμογή της προαναφερόμενης τεχνικής για $w=3$ επιτυγχάνει σχεδόν την ίδια τιμή για το ΣηματοΘορυβικό Λόγο (ΣΘΛ) με τους πολλαπλασιαστές με περικοπή αποτελέσματος, οι οποίοι επιτυγχάνουν την καλύτερη ακρίβεια μεταξύ όλων των πολλαπλασιαστών περικοπής χρησιμοποιώντας έναν όρο στρογγυλοποίησης μετά τον υπολογισμό όλων των μερικών γινομένων. Όταν διατηρούμε περισσότερες στήλες για τα bits των μερικών γινομένων, η τιμή του ΣΘΛ αυξάνεται, όπως και η επιφάνεια πυριτίου και η κατανάλωση ισχύος του πολλαπλασιαστή. Διατηρώντας τον αριθμό των στηλών από bits μερικών γινομένων που δεν περικόπτονται στις $w=3$, στοχεύουμε σε μία ισορροπημένη λύση με γνώμονα τη σχέση ανάμεσα στην τιμή του ΣΘΛ και την επιφάνεια πυριτίου / κατανάλωση ισχύος.

Επιπλέον, επειδή η ακρίβεια του τελικού αποτελέσματος του πολλαπλασιαστή ελαττώνεται λόγω της περικοπής σε bits μερικών γινομένων ("Part to Be Truncated" στο Σχ. 3.6α), προστίθεται ένα bit αντιστάθμισης (nz_i) στη θέση τάξης 14 σε κάθε μερικό

γινόμενο που υφίσταται περικοπή (Σχ. 3.6β). Στην περίπτωση που το μερικό γινόμενο που περικόπεται αντιστοιχεί σε μηδενικό MB ψηφίο, το αντίστοιχο nz_i bit είναι ίσο με το μηδέν. Διαφορετικά, το nz_i bit είναι ίσο με ένα.

Στη συνέχεια, περιγράφουμε τη δημιουργία των μερικών γινομένων και των διορθωτικών όρων, οι οποίοι και προστίθενται μαζί με τα μερικά γινόμενα. Η περιγραφή μας αφορά το συμβατικό MB πολλαπλασιαστή του Σχ. 3.6α.

3.4.4.1 Παραγωγή των Μερικών Γινομένων

Ο όρος A αποτελείται από 16 bits και, συνεπώς, ισχύει ότι $A = a_{n-2}a_{n-3} \dots a_1a_0$. Οι επόμενες εξισώσεις περιγράφουν πως παράγονται τα $k+1$ μερικά γινόμενα.

$$PP_j = A \cdot \mathbf{b}_j^{MB} = \bar{p}_{n-1,j}2^{n-1} + \sum_{i=0}^{n-2} p_{i,j}2^i,$$

$$p_{i,j} = ((a_i \oplus s_j) \wedge one_j) \vee ((a_{i-1} \oplus s_j) \wedge two_j).$$

Για τον υπολογισμό των χαμηλότερης και υψηλότερης τάξης bits κάθε μερικού γινομένου, θεωρούμε ότι $a_{-1} = 0$ και $a_{n-1} = a_{n-2}$ αντίστοιχα. Αφού παραχθούν όλα τα μερικά γινόμενα, προστίθενται μέσω ενός Δένδρου Άθροισης ΣΚ μαζί με το Διορθωτικό Όρο (COR), ο οποίος σχηματίζεται όπως στις επόμενες εξισώσεις:

$$P = A \cdot B = COR + \sum_{j=0}^k PP_j 2^{2j}, \quad COR = \sum_{j=0}^k c_{in,j} 2^{2j} + 2^{n-1} (1 + \sum_{j=0}^k 2^{2j+1}),$$

όπου $c_{in,j} = (one_j + two_j) \wedge s_j$. Επίσης, αθροίσαμε τα bits $\bar{pp}_{16,0}$, $c_{in,8}$ και 1 (άσος στρογγυλοποίησης του ενός bit) (Σχ. 3.6α) και υπολογίσαμε τα bits $\{pp_1^R, pp_0^R\}$ (Σχ. 3.6β) με βάση τις ακόλουθες εξισώσεις:

$$pp_0^R = pp_{16,0} \oplus c_{in,8}, \quad pp_1^R = \bar{pp}_{16,0} \vee c_{in,8}. \quad (3.8)$$

Στο σημείο αυτό αξίζει να επαναλάβουμε και να αιτιολογήσουμε τη δομική διαφορά μεταξύ της προτεινόμενης FCU και της αντίστοιχης των [10,11]. Πιο συγκεκριμένα, ο τελικός 4:2 αθροιστής ΣΚ για αριθμούς σε μορφή συμπληρώματος ως προς 2, ο οποίος βρίσκεται στο κάτω άκρο της ιεραρχίας στο σχέδιο της FCU των [10,11], συγχωνεύεται με το Δένδρο Άθροισης ΣΚ του πολλαπλασιαστή ΣΚ της προτεινόμενης FCU. Η προαναφερόμενη δομική αλλαγή ελαττώνει την κρίσιμη καθυστέρηση της προτεινόμενης FCU κατά ένα επίπεδο πλήρων αθροιστών σε σύγκριση με την FCU των [10,11]. Αυτό συμβαίνει επειδή το Δένδρο Άθροισης ΣΚ του πολλαπλασιαστή ΣΚ της προτεινόμενης FCU τροφοδοτείται με συνολικά 11 όρους (9 μερικά γινόμενα συν 2 διανύσματα αναπαράστασης ΣΚ) και, συνεπώς, η κρίσιμη καθυστέρηση του ανέρχεται σε 5 επίπεδα πλήρων αθροιστών. Αντιθέτως, το Δένδρο Άθροισης ΣΚ του πολλαπλασιαστή ΣΚ της FCU των [10,11] τροφοδοτείται με 9 μερικά γινόμενα, τα οποία απαιτούν 4 επίπεδα πλήρων αθροιστών προκειμένου να συμπιεστούν σε ένα ζεύγος διανυσμάτων ΣΚ. Ωστόσο, απαιτούνται 2 επιπλέον επίπεδα πλήρων αθροιστών για τον τελικό 4:2 αθροιστή ΣΚ για αριθμούς σε μορφή συμπληρώματος ως προς 2, ο οποίος βρίσκεται στο κάτω άκρο της ιεραρχίας στο σχέδιο της FCU των [10,11] και, επομένως, ο συνολικός αριθμός των επιπέδων πλήρων αθροιστών ανέρχεται στα 6.

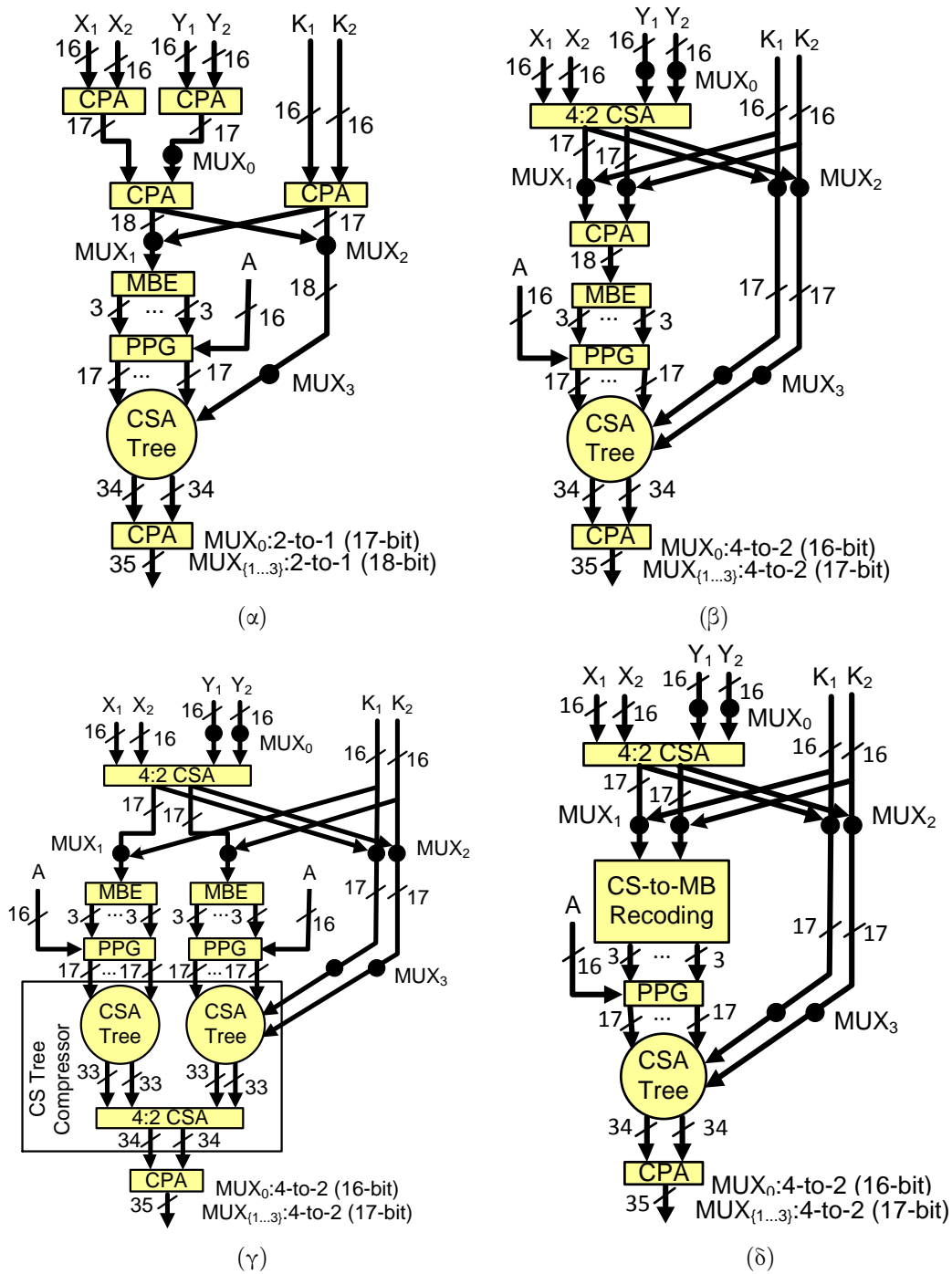
3.5 Απεικόνιση Γράφων Ροής Δεδομένων στην Αρχιτεκτονική των FCUs

Προκειμένου να απεικονίσουμε αποδοτικά πυρήνες ΨΕΣ στην αρχιτεκτονική επιτάχυνσης με τις προτεινόμενες FCUs, χρησιμοποιήσαμε τη μεθοδολογία σύνθεσης που παρουσιάστηκε στις [10,11] (βλέπε Παράρτημα Α για περισσότερες πληροφορίες). Αρχικά, πραγματοποιείται ένας μετασχηματισμός του αρχικού ΓΡΔ με βάση την αριθμητική ΣΚ, κατά τον οποίο κόμβοι με αλυσίδες πολλαπλών αθροίσεων / αφαιρέσεων συγχωνεύονται σε 4:2 συμπιεστές ΣΚ. Στη συνέχεια, ακολουθεί μία διαδικασία παραγωγής λειτουργικών προτύπων με βάση το μετασχηματισμένο ΓΡΔ, κατά την οποία κόμβοι ΣΚ τοποθετούνται μαζί με λειτουργίες πολλαπλασιασμού με σκοπό το σχηματισμό αλυσιδωτών λειτουργιών σύμφωνα με τα λειτουργικά πρότυπα της FCU (Σχ. 3.4). Ο σχεδιαστής επιλέγει τα κατάλληλα λειτουργικά πρότυπα της FCU με στόχο την κάλυψη ολόκληρου του ΓΡΔ για τον ελάχιστο δυνατό χρόνο εκτέλεσής του.

Ακολουθώντας, δεδομένου ότι ο αριθμός των FCUs είναι σταθερός και με βάση τους διαθέσιμους πόρους, πραγματοποιείται η χρονοδρομολόγηση του ΓΡΔ που έχει προκύψει. Το σύνολο των διαθέσιμων πόρων καθορίζεται από τον αριθμό των διαθέσιμων FCUs και CStoBin μονάδων. Ο συμπεπλεγμένος ΓΡΔ χρονοδρομολογείται με τέτοιο τρόπο ώστε κάθε περίπτωση λειτουργίας FCU να ανατίθεται και σε ένα συγκεκριμένο βήμα ελέγχου. Για τις ανάγκες της παρούσας εργασίας, υιοθετήθηκε ένας χρονοδρομολογητής βασισμένος σε λίστα λειτουργιών [109], ο οποίος λαμβάνει υπόψη την κινητικότητα όλων των περιπτώσεων λειτουργίας FCU, δηλαδή τη διαφορά του χρόνου που απαιτείται για την ASAP (As Soon As Possible) χρονοδρομολόγηση μίας περίπτωσης λειτουργίας από το χρόνο που απαιτείται για την ALAP (As Late As Possible) χρονοδρομολόγησης της. Οι περιπτώσεις λειτουργίας FCU χρονοδρομολογούνται με φθίνουσα κινητικότητα. Οι χρονοδρομολογημένες περιπτώσεις λειτουργίας FCU αντιστοιχίζονται σε FCUs και παράγονται τα κατάλληλα bits για τη διαμόρφωσή τους. Αφού ολοκληρωθεί και η τοποθέτηση του απαραίτητου αριθμού καταχωρητών, μία Μηχανή Πεπερασμένων Καταστάσεων δημιουργείται προκειμένου να λειτουργήσει ως μονάδα ελέγχου της συνολικής αρχιτεκτονικής.

3.6 Θεωρητική Ανάλυση

Στην παρούσα ενότητα, παρέχουμε μία θεωρητική ανάλυση της προτεινόμενης προσέγγισης προκειμένου να ποσοτικοποιήσουμε τα οφέλη που προκύπτουν από το συνδυασμό της δημιουργίας αλυσίδων λειτουργιών σε όσο το δυνατόν μεγαλύτερη κλίμακα και των αριθμητικών βελτιστοποιήσεων με βάση την αναπαράσταση ΣΚ. Το κρίσιμο λειτουργικό πρότυπο της προτεινόμενης FCU είναι το πρότυπο T1 του Σχ. 3.4 και αντικατοπτρίζει μία χαρακτηριστική αλυσίδα λειτουργιών Άθροισης - Πολλαπλασιασμού - Άθροισης (A_{PADD}). Η απόδοση της A_{PADD} ως προς τη σχέση επιφάνειας πυριτίου - κρίσιμη καθυστέρησης αξιολογείται συγκρίνοντας τις προσεγγίσεις υλοποίησής της με βάση (α) τη συμβατική τεχνική χωρίς βελτιστοποιήσεις με τη χρήση της μορφής ΣΚ, (β) την τεχνική βελτιστοποιήσεων ΣΚ της [8], (γ) την τεχνική βελτιστοποιήσεων ΣΚ της [9] και (δ) την προτεινόμενη τεχνική. Οι προσεγγίσεις αριθμητικών βελτιστοποιήσεων ΣΚ των [8] και [9] αποφέρουν σχεδιαστικές λύσεις υψηλής απόδοσης όταν εφαρμόζονται σε ΓΡΔ με μεγάλο αριθμό από λειτουργίες μετατόπισης, άθροισης / αφαιρέσεων ή λογικές λειτουργίες, αλλά εμφανίζουν περιορισμένες δυνατότητες βελτιστοποίησης σε ΓΡΔ



Σχήμα 3.7: Χαρακτηριστική αλυσίδα λειτουργιών Άθροισης - Πολλαπλασιασμού - Άθροισης, η οποία αντικατοπτρίζει το λειτουργικό πρότυπο T1 του Σχ. 3.4. Το σχέδιό της βασίζεται (α) στην αριθμητική συμπληρώματος ως προς 2, (β) στην τεχνική βελτιστοποιήσεων ΣΚ της [8], (γ) στην τεχνική βελτιστοποιήσεων ΣΚ με χρήση της επιμεριστικής ιδιότητας του πολλαπλασιασμού [9] και (δ) στην ενσωμάτωση της τεχνικής μετασχηματισμού της μορφής ΣΚ στην αντίστοιχη MB.

Πίνακας 3.1: Ανάλυση της Επιφάνειας Πυριτίου και της Κρίσιμης Καθυστέρησης για τις Συχεδιαστικές Λύσεις του ΓΡΔ του Σχ. 3.7.

Χρησιμοποιώντας αριθμητική συμπληρωμάτος ως προς 2 (Σχ. 3.7α)

$$\text{Επιφάνεια} = 3A_{CPA16} + A_{CPA17} + (9A_{MBE} + 9 \cdot (17 \cdot A_{PPG} + 2) + A_{CSATr10}) + A_{CPA34} + A_{21Mux17} + 3A_{21Mux18} = 2689A_g$$

$$\text{Καθυστέρηση} = T_{CPA16} + T_{21Mux17} + T_{CPA17} + T_{21Mux18} + T_{MBE} + T_{PPG} + T_{CSATr10} + T_{CPA34} = 170T_g$$

Με βάση την εργασία [8] (Σχ. 3.7β)

$$\text{Επιφάνεια} = A_{42CSA16} + A_{CPA17} + (9A_{MBE} + 9 \cdot (17 \cdot A_{PPG} + 2) + A_{CSATr11}) + A_{CPA34} + A_{42Mux16} + 3A_{42Mux17} = 2882A_g$$

$$\text{Καθυστέρηση} = T_{42CSA16} + T_{42Mux17} + T_{CPA17} + T_{MBE} + T_{PPG} + T_{CSATr11} + T_{CPA34} = 142T_g$$

Με βάση την εργασία [9] (Σχ. 3.7γ)

$$\text{Επιφάνεια} = A_{42CSA16} + 2(9A_{MBE} + 9 \cdot (17 \cdot A_{PPG} + 2)) + A_{CSATr9} + A_{CSATr11} + A_{42CSA33} + A_{CPA34} + A_{42Mux16} + 3A_{42Mux17} = 4886A_g$$

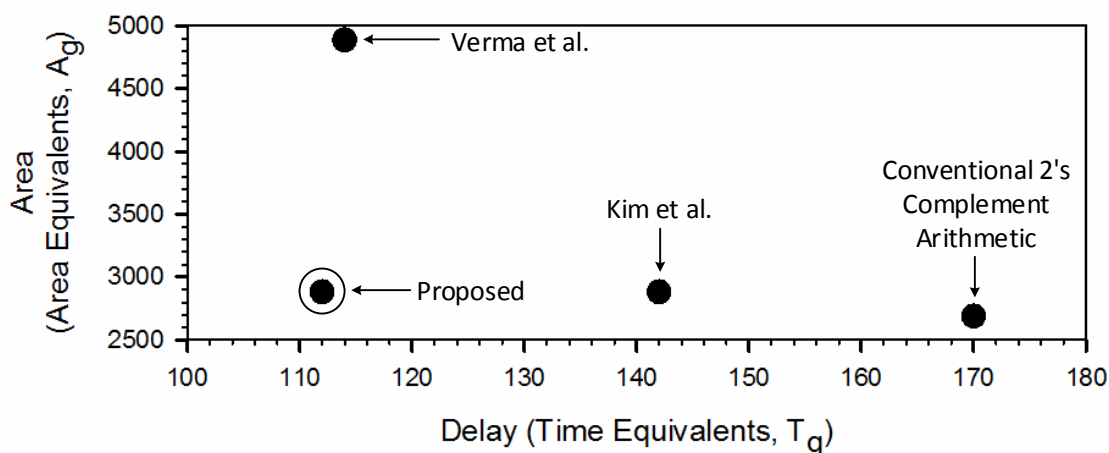
$$\text{Καθυστέρηση} = T_{42Mux16} + T_{42CSA16} + T_{42Mux17} + T_{MBE} + T_{PPG} + T_{CSATr11} + T_{42CSA33} + T_{CPA34} = 114T_g$$

Ερωματώντας τη μονάδα μετατροπής της μορφής ΣΚ στην αντίστοιχη ΜΒ (Σχ. 3.7δ)

$$\text{Επιφάνεια} = A_{42CSA16} + A_{CStoMB} + 9 \cdot (17 \cdot A_{PPG} + 2) + A_{CSATr11} + A_{CPA34} + A_{42Mux16} + 3A_{42Mux17} = 2882A_g$$

$$\text{Καθυστέρηση} = T_{42Mux16} + T_{42CSA16} + T_{42Mux17} + T_{CStoMB} + T_{PPG} + T_{CSATr11} + T_{CPA34} = 112T_g$$

Area-Delay Diagram of All Design Solutions of the DFG of Fig. 3.7.



Σχήμα 3.8: Τοποθέτηση της προτεινόμενης προσέγγισης σε σχέση με τη σχεδιαστική λύση σε αριθμητική συμπληρώματος ως προς 2 και τις λύσεις με βελτιστοποιήσεις ΣΚ με βάση τις εργασίες των Kim και άλλων [8], Verma και άλλων [9].

που κυριαρχούνται από λειτουργίες πολλαπλασιασμού. Όταν εμφανίζεται ένας κόμβος πολλαπλασιασμού με έναν όρο σε μορφή ΣΚ, είτε απαιτείται μία χρονοβόρα Άθροιση Διάδοσης Κρατουμένου για τη μετατροπή της αναπαράστασης ΣΚ στην αντίστοιχη συμπληρώματος ως προς 2 [8] είτε χρησιμοποιείται η επιμεριστική ιδιότητα του πολλαπλασιασμού [9] και ο κόμβος διαιρείται σε δύο νέους κόμβους, οι οποίοι αναλαμβάνουν τον πολλαπλασιασμό με τα διανύσματα C και S της αναπαράστασης ΣΚ.

Το Σχ. 3.7 απεικονίζει τη σχεδιαστική υλοποίηση, η οποία αντικατοπτρίζει το μονοπάτι δεδομένων της προτεινόμενης FCU. Υποθέτουμε ότι οι είσοδοι για όλα τα εναλλακτικά σχέδια αποτελούνται από 16 bits και, χωρίς απώλεια της γενικότητας, δε θεωρούμε κάποια τεχνική περικοπής υλικού για τις λειτουργίες πολλαπλασιασμού. Το Σχ. 3.7α απεικονίζει το σχέδιο της αλυσίδας λειτουργιών Άθροισης - Πολλαπλασιασμού - Άθροισης όταν όλοι οι όροι διατηρούνται στην αριθμητική αναπαράσταση συμπληρώματος ως προς 2. Το Σχ. 3.7β δείχνει πως πραγματοποιείται μία μετατροπή από τη μορφή ΣΚ στην αντίστοιχη συμπληρώματος ως προς 2 στην ΑΠΑ_{DFG} με βάση την εργασία [8]. Η λειτουργία Άθροισης με Διάδοση Κρατουμένου, η οποία τοποθετείται πριν από τη λειτουργία πολλαπλασιασμού, επηρεάζει αρνητικά την καθυστέρηση της ΑΠΑ_{DFG}. Το Σχ. 3.7γ απεικονίζει μία λειτουργία πολλαπλασιασμού, στην οποία ενεργοποιείται η επιμεριστική ιδιότητα για δεδομένα σε αναπαράσταση ΣΚ, όπως στην εργασία [9]. Παρόλο που η καθυστέρηση της ΑΠΑ_{DFG} δεν αυξάνεται, η επιφάνεια πυριτίου σημειώνει αύξηση επειδή διπλασιάζεται ο αριθμός των μονάδων που απαιτούνται για την πραγματοποίηση ενός πολλαπλασιασμού, δηλαδή, κωδικοποιητές MB, μονάδες παραγωγής μερικών γινομένων και συμπιεστές ΣΚ. Η προτεινόμενη προσέγγιση, η οποία ενσωματώνει τη μονάδα μετασχηματισμού της μορφής ΣΚ στην αντίστοιχη MB, απεικονίζεται στο Σχ. 3.7δ.

Για να ποσοτικοποιήσουμε τα οφέλη που απορρέουν από τις προσεγγίσεις του Σχ. 3.7, συνοψίζουμε στον Πίνακα 3.1 μία θεωρητική αλλά αντιπροσωπευτική ανάλυση για την επιφάνεια πυριτίου και την κρίσιμη καθυστέρηση όλων των σχεδιαστικών λύσεων της ΑΠΑ_{DFG} (Σχ. 3.7) με βάση το μοντέλο μοναδιαίας πύλης (unit gate model) (βλέπε Παράρτημα Β.1, Πίνακας Β.1). Με βάση τον Πίνακα 3.1, το Σχ. 3.8 παρουσιάζει τη σχέση μεταξύ επιφάνειας πυριτίου και κρίσιμης καθυστέρησης για όλα τα υπό

αξιολόγηση σχέδια. Η σχεδιαστική προσέγγιση με τη χρήση της αριθμητικής συμπληρώματος ως προς 2 (Σχ. 3.7α) εμφανίζεται ως η περισσότερο αποδοτική λύση όταν λαμβάνουμε υπόψη μόνο τη μετρική της επιφάνειας πυριτίου, αλλά αποδεικνύεται ότι είναι η λιγότερο αποδοτική λύση από την άποψη της κρίσιμης καθυστέρησης. Οι τεχνικές βελτιστοποιήσεων με τη χρήση της αριθμητικής ΣΚ των [8] και [9] οδηγούν σε ελκυστικές σχεδιαστικές λύσεις από την άποψη της κρίσιμης καθυστέρησης, αλλά και σε είτε μικρή είτε σημαντική αύξηση της επιφάνειας πυριτίου (7.18% και 81.70% για τις [8] και [9] αντίστοιχα). Η προτεινόμενη σχεδιαστική λύση αποδεικνύεται ότι είναι η περισσότερο αποτελεσματική μεταξύ όλων των εναλλακτικών σχεδίων με επιφάνεια πυριτίου ίση με της [8] και κρίσιμη καθυστέρηση παρόμοια με την εργασία [9], αλλά μικρότερη κατά $2T_g$. Συνεπώς, η προτεινόμενη προσέγγιση αποτελεί μία βελτιστοποιημένη επιλογή σχεδίασης με βάση τη σχέση μεταξύ της επιφάνειας πυριτίου και της κρίσιμης καθυστέρησης σε σύγκριση με τα εναλλακτικά μονοπάτια δεδομένων που έχουν βελτιστοποιηθεί με αριθμητική ΣΚ.

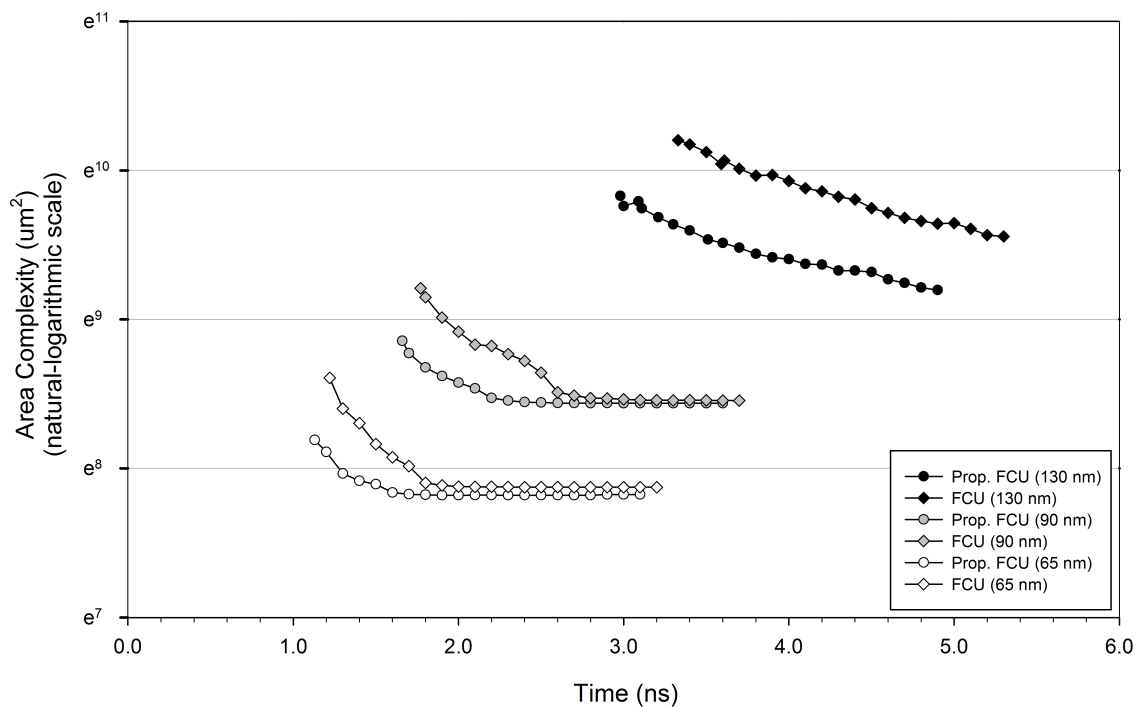
3.7 Πειραματική Αξιολόγηση

Στην παρούσα ενότητα, παρέχουμε εκτενή πειραματικά αποτελέσματα για την αξιολόγηση της απόδοσης της προτεινόμενης προσέγγισης. Πιο συγκεκριμένα, διενεργήθηκαν δύο ομάδες πειραμάτων, οι οποίες περιγράφονται στη συνέχεια.

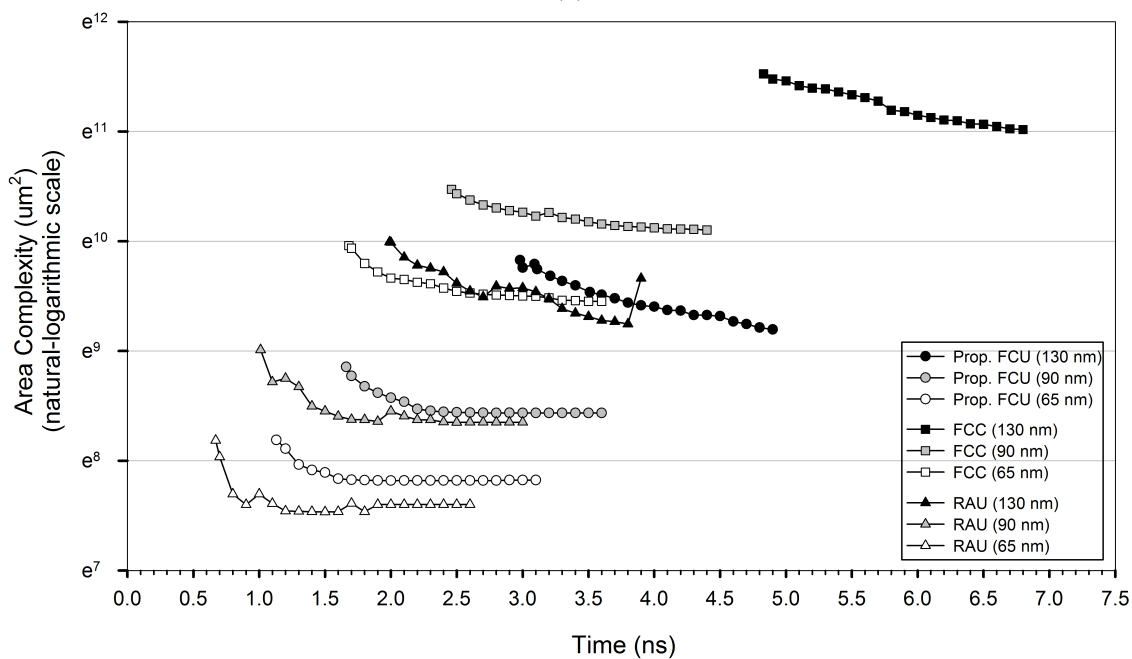
3.7.1 Διερεύνηση της Προτεινόμενης FCU σε Επίπεδο Κυκλώματος σε Σχέση με την Κλιμάκωση της Τεχνολογίας

Η πρώτη ομάδα πειραμάτων περιλαμβάνει μία συγκριτική μελέτη σε επίπεδο κυκλώματος ανάμεσα (α) στην προτεινόμενη FCU, (β) στην FCU των [10, 11], (γ) στο Ευέλικτο Υπολογιστικό Στοιχείο (Flexible Computational Component (FCC)) της [12] και (δ) στην Επαναδιαμορφούμενη Αριθμητική Μονάδα (RAU) της [13] θεωρώντας μόνο ένα Ευέλικτο Στάδιο Συνεχούς Διοχέτευσης (Flexible Pipeline Stage (FPS)) της RAU. Διερευνούμε τη συμπεριφορά των προαναφερόμενων μονάδων από τη σκοπιά της κρίσιμης καθυστέρησης, της επιφάνειας πυριτίου και της κατανάλωσης ισχύος, καθώς οι κόμβοι τεχνολογίας κλιμακώνονται. Εφόσον η αριθμητική αναπαράσταση ΣΚ απαιτεί διπλάσιο αριθμό από bits σε σύγκριση με την αντίστοιχη μορφή συμπληρώματος ως προς 2, η καλωδίωση αυξάνεται και η απόδοση επηρεάζεται. Τα πειράματα, τα οποία προαναφέραμε ότι διενεργήθηκαν, στοχεύουν να αποδείξουν ότι ο αντίκτυπος από την εφαρμογή της αριθμητικής ΣΚ στην απόδοση μίας μονάδας, δεν εξαλείφει τα οφέλη που προκύπτουν από τη χρήση της αριθμητικής ΣΚ.

Και οι τέσσερις υπό αξιολόγηση μονάδες περιγράφηκαν σε επίπεδο συνδυαστικού κυκλώματος μεταξύ καταχωρητών (RTL) χρησιμοποιώντας τη Γλώσσα Περιγραφής Υλικού (HDL) Verilog και τοποθετώντας καταχωρητές στις εισόδους και εξόδους των κυκλωμάτων. Χρησιμοποιήσαμε το εργαλείο Design Compiler της εταιρείας Synopsys [92] για να συνθέσουμε τις υπό αξιολόγηση μονάδες. Το Δένδρο Άθροισης ΣΚ της προτεινόμενης FCU (Σχ. 3.3) και οι μονάδες άθροισης και πολλαπλασιασμού του FCC εισήχθησαν από τη βιβλιοθήκη DesignWare της εταιρείας Synopsys [95], η οποία διαθέτει τις πιο αποδοτικές υλοποιήσεις για τις προαναφερόμενες μονάδες με δυνατότητα προσαρμογής στους χωρικούς και χρονικούς περιορισμούς που θέτει ο



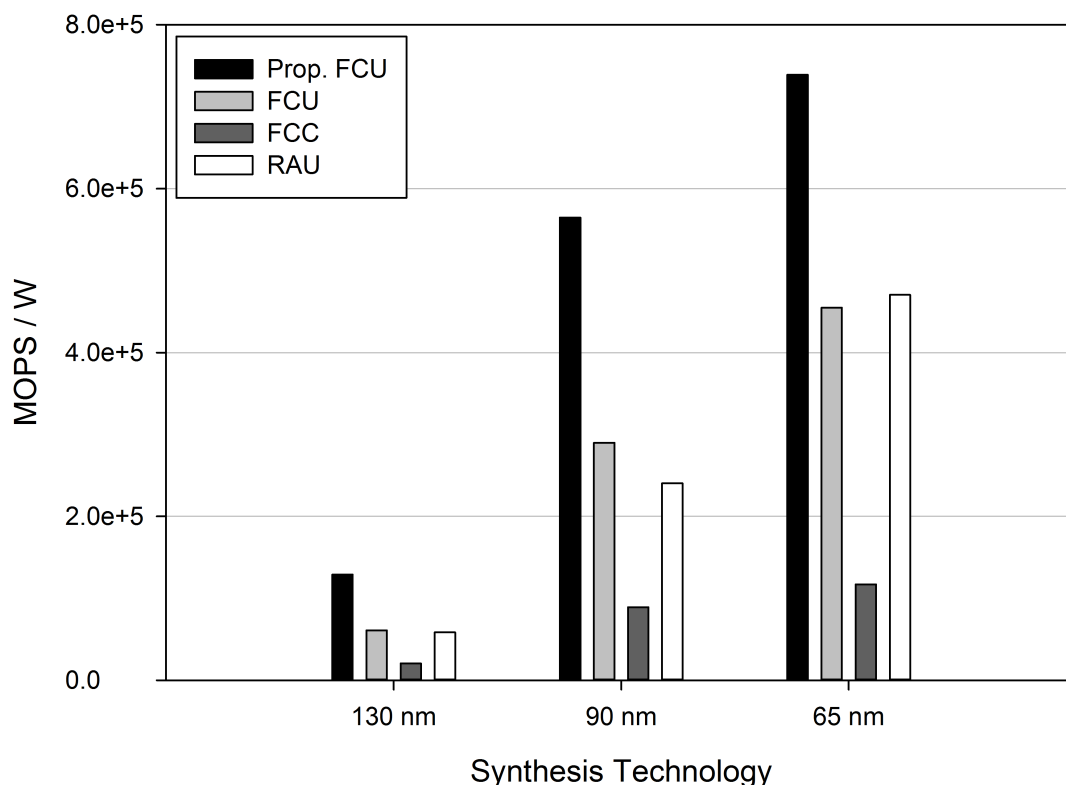
(α)



(β)

Σχήμα 3.9: Διάγραμμα επιφάνειας πυριτίου - καθυστέρησης των υπό αξιολόγηση ευέλικτων υπολογιστικών μονάδων, δηλαδή, (α) της προτεινόμενης FCU και της FCU των [10, 11] και (β) της προτεινόμενης FCU, του FCC [12] και της RAU [13].

MOPS / W Values of Flexible Computational Units



Σχήμα 3.10: Οι τιμές MOPS/W για τις υπό αξιολόγηση ευέλικτες υπολογιστικές μονάδες, δηλαδή, την προτεινόμενη FCU, της FCU των [10, 11], το FCC [12] και τη RAU [13], στις χαμηλότερες δυνατές περιόδους ρολογιού σε σχέση με την τεχνολογία σύνθεσης.

σχεδιαστής. Χρησιμοποιήσαμε τις βιβλιοθήκες πρότυπων κελιών της εταιρείας TSMC για τις τεχνολογίες των 130, 90 και 65 nm. Ο συντελεστής κλιμάκωσης της τεχνολογίας είναι περίπου ίσος με 0.7, καθώς η τεχνολογία συρρικνώνεται από τα 130 στα 90 nm και από τα 90 στα 65 nm. Αρχικά, συνθέσαμε κάθε μονάδα στη χαμηλότερη δυνατή περίοδο ρολογιού και, στη συνέχεια, σε 20 υψηλότερες περιόδους ρολογιού με βήμα 0.10 ns προκειμένου να διερευνήσουμε τη συμπεριφορά όλων των υπό αξιολόγηση μονάδων από τη σκοπιά της επιφάνειας πυριτίου και της κατανάλωσης ισχύος και θεωρώντας διαφορετικούς χρονικούς περιορισμούς. Η σύνθεση διεξήχθη θεωρώντας τον υψηλότερο βαθμό βελτιστοποίησης στο εργαλείο Design Compiler της Synopsys, ενώ διατηρήσαμε την ιεραρχία των υπό αξιολόγηση μονάδων και κατευθύνουμε το εργαλείο σύνθεσης προς την επίτευξη της χαμηλότερης δυνατής επιφάνειας πυριτίου.

Τα Σχ. 3.9 παρουσιάζουν τα συγκριτικά αποτελέσματα για την επιφάνεια πυριτίου όλων των υπό αξιολόγηση ευέλικτων υπολογιστικών μονάδων, δηλαδή, της προτεινόμενης FCU, της FCU των [10, 11], του FCC και της RAU, και στις τρεις περιπτώσεις τεχνολογίας σύνθεσης, δηλαδή, 130, 90 και 65 nm. Οφείλουμε να σημειώσουμε ότι ο άξονας της επιφάνειας πυριτίου (κάθετος άξονας) τόσο στο Σχ. 3.9α όσο και στο Σχ. 3.9β βρίσκεται σε φυσική λογαριθμική κλίμακα. Στην τεχνολογία σύνθεσης των 130 nm, η προτεινόμενη FCU, η FCU των [10, 11], το FCC και η RAU έχουν τη δυνατότητα να λειτουργήσουν, χωρίς να παραβιάζουν τους χρονικούς περιορισμούς που έχει θέσει ο σχεδιαστής, ξεκινώντας από τα 2.98, 3.33, 4.83 και 1.99 ns αντίστοιχα. Η προ-

τεινόμενη FCU παρουσιάζει μεγαλύτερο εύρος λειτουργίας από την FCU των [10,11] κατά 0.35 ns και από το FCC κατά 1.85 ns, αλλά η κρίσιμη καθυστέρησή της υπερβαίνει την αντίστοιχη της RAU κατά 0.99 ns. Επιπλέον, όταν η σύνθεση διεξάγεται στην τεχνολογία των 90 nm, η προτεινόμενη FCU, η FCU των [10,11], το FCC και η RAU δύνανται να λειτουργήσουν ξεκινώντας από τα 1.66, 1.77, 2.46 και 1.01 ns αντίστοιχα, δίχως να παραβιάζονται οι χρονικοί περιορισμοί. Παρατηρούμε ότι η κρίσιμη καθυστέρηση της προτεινόμενης FCU είναι χαμηλότερη από την κρίσιμη καθυστέρηση της FCU των [10,11] κατά 0.11 ns και του FCC κατά 0.80 ns, αλλά η RAU έχει τη δυνατότητα να λειτουργεί σε μία περίοδο ρολογιού, η οποία είναι χαμηλότερη κατά 0.65 ns από την κρίσιμη καθυστέρηση της προτεινόμενης FCU. Επίσης, στην τεχνολογία σύνθεσης των 65 nm, η προτεινόμενη FCU, η FCU των [10,11], το FCC και η RAU είναι χρονικά λειτουργικές ξεκινώντας από τα 1.13, 1.22, 1.68 και 0.67 ns αντίστοιχα. Η προτεινόμενη FCU επιτυγχάνει μεγαλύτερο εύρος λειτουργίας από την FCU των [10,11] κατά 0.09 ns και από το FCC κατά 0.55 ns, αλλά η κρίσιμη καθυστέρησή της είναι υψηλότερη από την αντίστοιχη της RAU κατά 0.46 ns. Συνεπώς, καθώς η τεχνολογία σύνθεσης συρρικνώνεται, η προτεινόμενη FCU παραμένει πιο αποδοτική σε σύγκριση με την FCU των [10,11] και το FCC από τη σκοπιά της κρίσιμης καθυστέρησης. Τα Σχ. 3.9 επιβεβαιώνουν ότι η ίδια παρατήρηση ισχύει και από την άποψη της επιφάνειας πυριτίου. Επίσης, όπως φαίνεται και στο Σχ. 3.9β, η κρίσιμη καθυστέρηση και η επιφάνεια πυριτίου της προτεινόμενης FCU εμφανίζουν μεγαλύτερες τιμές σε σύγκριση με τις τιμές των αντίστοιχων μετρικών της RAU σε όλες τις περιπτώσεις τεχνολογίας σύνθεσης. Ωστόσο, η υπό αξιολόγηση RAU περιέχει μόνο ένα ευέλικτο στάδιο συνεχούς διοχέτευσης [13] και χαρακτηρίζεται από μειωμένη ικανότητα να διεξάγει βαριές αριθμητικές λειτουργίες, όπως υποδηλώνει και η μετρική αξιολόγησης MOPS/W (Mega OPerations per Second/Watt) στην επόμενη παράγραφο.

Το Σχ. 3.10 παραθέτει τις τιμές MOPS/W για την προτεινόμενη FCU, την FCU των [10,11], το FCC και τη RAU στις χαμηλότερες δυνατές (κρίσιμες) περιόδους ρολογιού σε σχέση με την τεχνολογία σύνθεσης, δηλαδή, 130, 90 και 65 nm. Η τιμή των MOPS ορίζεται ως ο αριθμός των λειτουργιών, οι οποίες εκτελούνται σε μία συγκεκριμένη περίοδο ρολογιού, πολλαπλασιασμένος με την αντίστοιχη συχνότητα ρολογιού και διαιρεμένος με την καθυστέρηση εκτέλεσης, δηλαδή, τον αριθμό των κύκλων εκτέλεσης. Συνεπώς, $MOPS = \frac{\#Ops \times ClkFreq}{\#Cycles} = \frac{\#Ops}{\#Cycles} \times ClkFreq$. Για κάθε υπό αξιολόγηση μονάδα, λαμβάνουμε υπόψη μόνο τα πιο ενισχυμένα λειτουργικά πρότυπα, δηλαδή, εκείνα τα οποία περιλαμβάνουν το μεγαλύτερο αριθμό ενεργών λειτουργιών, χωρίς να επικαλύπτονται μεταξύ τους και υπολογίζουμε τη μέση τιμή του παράγοντα $\frac{\#Ops}{\#Cycles}$. Θεωρούμε ως αριθμό λειτουργιών ($\#Ops$) τον αριθμό των αριθμητικών λειτουργιών συμπληρώματος ως προς 2 και λαμβάνουμε υπόψη μόνο αριθμητικές λειτουργίες, οι οποίες είναι είτε αθροιστικές είτε πολλαπλασιασμού. Κάθε φορά που εμφανίζεται ένας όρος σε μορφή ΣΚ, υπολογίζουμε μία επιπλέον αθροιστική λειτουργία για τη μετατροπή στην αντίστοιχη αριθμητική αναπαράσταση συμπληρώματος ως προς 2. Πιο συγκεκριμένα, για την προτεινόμενη FCU και την FCU των [10,11], λαμβάνουμε υπόψη τα λειτουργικά πρότυπα T1 (ή T2) με 6 λειτουργίες σε 1 κύκλο εκτέλεσης και T3 με 5 λειτουργίες σε 1 κύκλο εκτέλεσης (βλέπε Σχ. 3.4). Συνεπώς, $\frac{\#Ops}{\#Cycles_{FCU}} = 11/2$. Για το FCC, λαμβάνουμε υπόψη μόνο την περίπτωση των 4 λειτουργιών σε 1 κύκλο εκτέλεσης και έχουμε $\frac{\#Ops}{\#Cycles_{FCC}} = 4$. Επίσης, για τη RAU, λαμβάνουμε υπόψη το λειτουργικό πρότυπο με 5 αθροιστικές λειτουργίες, οι οποίες διεξάγονται σε ένα κύκλο εκτέλεσης, και το λειτουργικό πρότυπο με 1 λειτουργία πολλαπλασιασμού, το οποίο απαιτεί 4 κύκλους εκτέλεσης. Συνεπώς, $\frac{\#Ops}{\#Cycles_{RAU}} = 21/8$. Η συχνότητα ρολογιού

ClkFreq για τον υπολογισμό της τιμής των MOPS είναι η υψηλότερη δυνατή που μπορεί να επιτύχει η κάθε ευέλικτη υπολογιστική μονάδα. Οι τιμές κατανάλωσης ισχύος για τον υπολογισμό των τιμών MOPS/W του Σχ. 3.10 προέκυψαν έπειτα από προσομοίωση της κάθε υπό αξιολόγηση μονάδας με το εργαλείο Modelsim [97] για τυχαίες εισόδους, οι οποίες παρήχθησαν τυχαία με ίση πιθανότητα για ένα bit να είναι 0 ή 1, και χρήση του εργαλείου PrimeTime-PX της εταιρείας Synopsys [93] ενεργοποιώντας τη διαδικασία υπολογισμού του μέσου όρου της κατανάλωσης ισχύος.

Όπως φαίνεται, η προτεινόμενη FCU παρουσιάζει υψηλότερες επιδόσεις σε σχέση με την FCU των [10,11], το FCC και τη RAU από την άποψη της μετρικής MOPS/W για όλους τους κόμβους τεχνολογίας που μελετήσαμε (130, 90 και 65 nm). Στα 130 nm, η τιμή των MOPS/W για την προτεινόμενη FCU είναι 2.12, 6.26 και 2.21 φορές μεγαλύτερη από τις αντίστοιχες τιμές της FCU των [10,11], του FCC και της RAU. Όταν η τεχνολογία σύνθεσης είναι 90 nm, η τιμή των MOPS/W για την προτεινόμενη FCU είναι 1.95, 6.34 και 2.35 φορές μεγαλύτερη από τις αντίστοιχες τιμές της FCU των [10,11], του FCC και της RAU. Στα 65 nm, η τιμή των MOPS/W για την προτεινόμενη FCU είναι 1.62, 6.31 και 1.57 φορές μεγαλύτερη από τις αντίστοιχες τιμές της FCU των [10,11], του FCC και της RAU. Συνεπώς, καθώς η τεχνολογία σύνθεσης συρρικνώνεται, η προτεινόμενη FCU εμφανίζεται ως η πιο αποδοτική μονάδα από την άποψη της μετρικής MOPS/W σε σύγκριση με την FCU των [10,11], το FCC και τη RAU. Επιπλέον, οι αναλογίες των τιμών της μετρικής MOPS/W της προτεινόμενης FCU ως προς τις αντίστοιχες τιμές της FCU των [10,11], του FCC ή της RAU για 130, 90 και 65 nm τεχνολογίας σύνθεσης είναι παρόμοιες μεταξύ τους, επιβεβαιώνοντας ότι τα προνόμια της προτεινόμενης FCU διατηρούνται, καθώς η τεχνολογία σύνθεσης συρρικνώνεται.

3.7.2 Απεικόνιση Πυρήνων ΨΕΣ στην Αρχιτεκτονική με τις Προτεινόμενες FCUs

Η δεύτερη ομάδα πειραμάτων στοχεύει στη μελέτη της αποδοτικότητας της προτεινόμενης λύσης όταν αντιπροσωπευτικοί πυρήνες ΨΕΣ απεικονίζονται και επιταχύνονται επάνω στο μονοπάτι δεδομένων με FCUs. Χρησιμοποιήσαμε συνολικά έξι διαφορετικούς και υπολογιστικά απαιτητικούς πυρήνες ΨΕΣ: (α) ένα Ελλειπτικό φίλτρο τάξης 6 (ELLIPTIC) [110], (β) ένα Πεπερασμένης Κρουστικής Απόκρισης φίλτρο 16 σημείων (FIR16), (γ) ένα μη γραμμικό Άπειρης Κρουστικής Απόκρισης φίλτρο Volterra (VOLTERRA), (δ) έναν πυρήνα Διακριτού Μετασχηματισμού Συνημιτόνου μονής διάστασης με τον ενδότερο βρόχο ξεδιπλωμένο (UDCT), (ε) έναν πυρήνα Διακριτού Μετασχηματισμού Συνημιτόνου δύο διαστάσεων που χρησιμοποιείται στον αλγόριθμο JPEG (JPEGDCT) [111] και (στ) έναν πυρήνα Αντίστροφου Διακριτού Μετασχηματισμού Συνημιτόνου που χρησιμοποιείται στον αλγόριθμο MPEG (MPEG_IDCT) [111].

Οι πυρήνες ΨΕΣ χρονοδρομολογήθηκαν και απεικονίστηκαν επάνω στην προτεινόμενη αρχιτεκτονική με FCUs και σε δύο ευέλικτες αρχιτεκτονικές με υψηλές επιδόσεις στη σύγχρονη βιβλιογραφία, δηλαδή, α) την αρχιτεκτονική με βάση FCCs [12] και β) την αρχιτεκτονική με RAUs [13]. Πιο συγκεκριμένα, θεωρήσαμε ότι η προτεινόμενη ευέλικτη αρχιτεκτονική ενσωματώνει 4 FCUs και 1 CStoBin μονάδα, η αρχιτεκτονική με βάση το FCC περιέχει 2 FCCs (= 8 Αριθμητικές Λογικές Μονάδες + 8 Πολλαπλασιαστές) [12] και η αρχιτεκτονική με βάση τη RAU αποτελείται από 4 Ευέλικτα Στάδια Συνεχούς Διοχέτευσης (FPSs) και 1 CStoBin μονάδα [13]. Για κάθε πυρήνα που απεικονίσαμε, διετέθη το μέγιστο δυνατό εύρος ζώνης μνήμης ανάμεσα στους τοπικούς

καταχωρητές και στα επεξεργαστικά στοιχεία.

Όλα τα μονοπάτια δεδομένων συντέθηκαν χρησιμοποιώντας το εργαλείο Design Compiler της εταιρείας Synopsys και τη βιβλιοθήκη πρότυπων κελιών της εταιρείας TSMC για τεχνολογία 65 nm. Οι περίοδοι ρολογιού καθορίστηκαν λαμβάνοντας υπόψη τις κρίσιμες καθυστερήσεις που παρατέθηκαν στο Σχ. 3.9β και προσθέτοντας 0.50 ns επιπλέον καθυστέρηση προκειμένου να απορροφηθούν οποιεσδήποτε καθυστερήσεις εισάγουν οι πολυπλέκτες και οι μονάδες ελέγχου των ευέλικτων αρχιτεκτονικών. Πιο συγκεκριμένα, οι περίοδοι ρολογιού καθορίστηκαν στα 1.60 ns, 2.20 ns και 1.20 ns για τις αρχιτεκτονικές με βάση την προτεινόμενη FCU, το FCC και τη RAU αντίστοιχα. Η σύνθεση διεξήχθη θεωρώντας το μέγιστο βαθμό βελτιστοποίησης στο εργαλείο Design Compiler της Synopsys, ενώ η ιεραρχία των υπό αξιολόγηση σχεδίων διατηρήθηκε και το εργαλείο σύνθεσης κατευθύνθηκε προς την επίτευξη της ελάχιστης δυνατής επιφάνειας πυριτίου. Οι τιμές της κατανάλωσης ενέργειας υπολογίστηκαν χρησιμοποιώντας το εργαλείο PrimeTime-PX της Synopsys, αφού για κάθε μονοπάτι δεδομένων έγινε προσομοίωση με χρήση του εργαλείου Modelsim στην αντίστοιχη περίοδο ρολογιού.

Στον Πίνακα 3.2 παραθέτουμε τις τιμές για την καθυστέρηση εκτέλεσης, την επιφάνεια πυριτίου και την κατανάλωση ενέργειας όλων των πυρήνων ΨΕΣ που απεικονίστηκαν επάνω στις υπό αξιολόγηση αρχιτεκτονικές. Η καθυστέρηση εκτέλεσης ορίζεται ως ο συνολικός αριθμός των κύκλων εκτέλεσης πολλαπλασιασμένος με την περίοδο ρολογιού που καθορίστηκε για τη σύνθεση της κάθε αρχιτεκτονικής ($\#Cycles \times T_{ArchSyn}$). Σε σύγκριση με την αρχιτεκτονική με τα FCCs, η προτεινόμενη λύση επιτυγχάνει κέρδος στην καθυστέρηση εκτέλεσης της τάξης του 33.36% κατά μέσο όρο, το οποίο κυμαίνεται μεταξύ 24.43% και 48.05% για τους πυρήνες UDCT και VOLTERRA αντίστοιχα. Το κέρδος καθυστέρησης εκτέλεσης της προτεινόμενης αρχιτεκτονικής με τις FCUs έναντι εκείνης με τις RAUs είναι της τάξης του 56.69% κατά μέσο όρο και κυμαίνεται μεταξύ 33.33% και 68.25% για τους πυρήνες ELLIPTIC και VOLTERRA αντίστοιχα. Όσον αφορά την επιφάνεια πυριτίου, η προτεινόμενη ευέλικτη αρχιτεκτονική με τις FCUs αποφέρει κέρδος της τάξης του 31.75% και 13.23% κατά μέσο όρο σε σύγκριση με τις λύσεις που βασίζονται στο FCC και τη RAU αντίστοιχα. Όπως φαίνεται, διαφορετικοί πυρήνες απαιτούν διαφορετικά μεγέθη επιφάνειας πυριτίου λόγω διαφορετικών απαιτήσεων ως προς τον αριθμό των καταχωρητών και των πολυπλεκτών, καθώς και ως προς την πολυπλοκότητα της μονάδας ελέγχου, δηλαδή, όσο περισσότερους κύκλους χρειάζεται ένας απεικονισμένος πυρήνας προκειμένου να εκτελεστεί, τόσο περισσότερο πολύπλοκη γίνεται η μονάδα ελέγχου. Ο Πίνακας 3.2 παρουσιάζει επίσης τη μετρική του γινομένου επιφάνειας - καθυστέρησης, παρέχοντας μία σαφή εικόνα των ωφέλιμων και πλεονεκτικών χαρακτηριστικών της προτεινόμενης προσέγγισης, η οποία επιτυγχάνει κατά μέσο όρο κέρδη της τάξης του 55.65% και 61.91% έναντι των αρχιτεκτονικών που βασίζονται στο FCC και τη RAU αντίστοιχα. Όσον αφορά την αποδοτικότητα του προτεινόμενου ευέλικτου μονοπατιού δεδομένων ως προς την κατανάλωση ενέργειας, ο Πίνακας 3.2 δείχνει ότι όλοι οι πυρήνες ΨΕΣ καταναλώνουν λιγότερη ενέργεια όταν υλοποιούνται χρησιμοποιώντας την προτεινόμενη ευέλικτη αρχιτεκτονική με τις FCUs. Πιο συγκεκριμένα, το κέρδος στην κατανάλωση ενέργειας για την προτεινόμενη αρχιτεκτονική με τις FCUs έναντι των αρχιτεκτονικών με FCCs και RAUs είναι 36.83% και 54.43% κατά μέσο όρο αντίστοιχα. Συνεπώς, μπορούμε να συμπεράνουμε με ασφάλεια ότι η προτεινόμενη αρχιτεκτονική αποτελεί μία πολύ αποδοτική λύση για την επιτάχυνση εφαρμογών ΨΕΣ τόσο από την άποψη της καθυστέρησης εκτέλεσης όσο και από εκείνη της κατανάλωσης ενέργειας.

Επιπλέον, μελετήσαμε τη συμπεριφορά της υλοποίησης του πυρήνα JPEGDCCT με

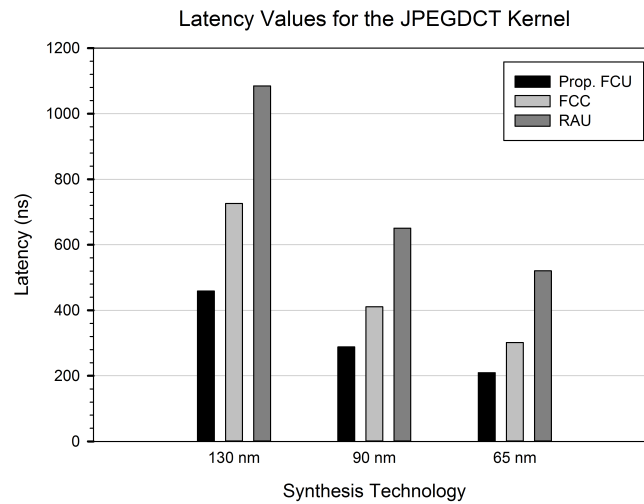
Πίνακας 3.2: Οι Τιμές της Καθυστέρησης Εκτέλεσης, Επιφάνειας Πυριτίου και Κατανάλωσης Ενέργειας για Αντιπροσωπευτικούς Πυρήνες ΨΕΣ με Βάση την Προτεινόμενη FCU, το FCC και τη RAU στα 65 nm.

Πυρήνας	Προτεινόμενη FCU			FCC [12]			RAU [13]			Κέρδος A×L ως προς το FCC (%)	Κέρδος E ως προς το FCC (%)	Κέρδος A×L ως προς το RAU (%)	Κέρδος E ως προς το RAU (%)		
	L ^a		E ^c	L		A	E		L					A	E
	A ^b														
ELLIPTIC	9.6	21636	198.72	13.2	41226	348.48	14.4	22042	234.72	61.83	42.98	34.56	15.34		
FIR16	9.6	21150	182.40	17.6	17387	297.44	19.2	25975	391.68	33.65	38.68	59.29	53.43		
VOLTERRA	8.0	19385	144.00	15.4	38299	264.88	25.2	21069	337.68	73.71	45.64	70.79	57.36		
JPEGDCCT	209.6	42803	5240.00	301.4	59897	7625.42	520.8	47588	14009.52	50.30	31.28	63.80	62.60		
MPEG_IDCT	216.0	41525	3218.40	286.0	59382	6292.00	580.8	46136	11906.40	47.19	48.85	66.53	72.97		
UDCT	212.8	17387	3553.76	281.6	40100	4111.36	625.2	25169	10128.24	67.23	13.56	76.49	64.91		
Μέσος Όρος	-	-	-	-	-	-	-	-	-	55.65	36.83	61.91	54.43		

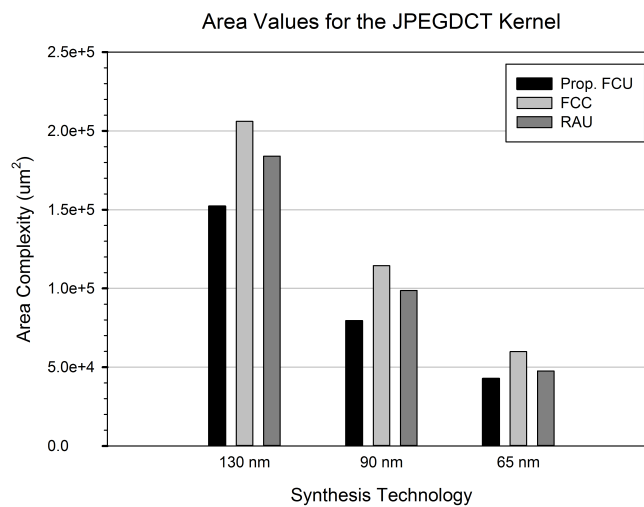
^a Καθυστέρηση εκτέλεσης σε ns.

^b Επιφάνεια πυριτίου σε μm^2 .

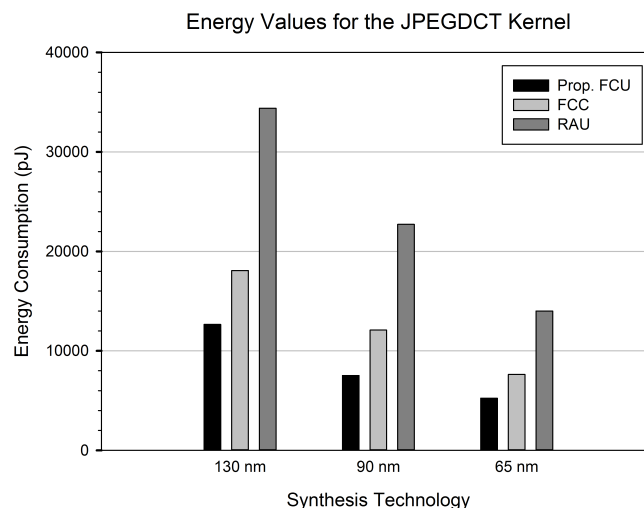
^c Κατανάλωση ενέργειας σε pJ.



(α)



(β)



(γ)

Σχήμα 3.11: Οι τιμές της (α) καθυστέρησης εκτέλεσης, (β) επιφάνειας πυριτίου και (γ) κατανάλωσης ενέργειας του πυρήνα JPEGDCT για την προτεινόμενη FCU, το FCC [12] και τη RAU [13] στα 130, 90 και 65 nm τεχνολογίας σύνθεσης.

Πίνακας 3.3: Θεωρητικά Υπολογισμένες Τιμές Καθυστέρησης Εκτέλεσης και Επιφάνειας Πυριτίου για Πυρήνες ΨΕΣ.

Πυρήνας	Προτ. FCU		FCC [12]		RAU [13]	
	L^a	A^b	L	A	L	A
ELLIPTIC	258	14572	534	30056	360	27642
FIR16	258	14860	712	27176	480	26850
VOLTERRA	215	14092	623	28136	630	24666
JPEGDCT	5633	22420	12193	36806	13020	33912
MPEG_IDCT	5805	23572	11570	36806	14520	33768
UDCT	5719	14284	11392	29624	15630	28044

^a Καθυστέρηση εκτέλεσης σε ισοδύναμα χρόνου (T_g).

^b Επιφάνεια πυριτίου σε ισοδύναμα επιφάνειας (A_g).

βάση την προτεινόμενη αρχιτεκτονική επιταχυντή, καθώς οι κόμβοι τεχνολογίας κλιμακώνονται. Στο Σχ. 3.11α, τα κέρδη για την καθυστέρηση εκτέλεσης της προτεινόμενης αρχιτεκτονικής με τις FCUs έναντι της αρχιτεκτονικής με βάση το FCC είναι της τάξης του 36.85%, του 29.88% και του 30.46% για τους κόμβους τεχνολογίας των 130, 90 και 65 nm αντίστοιχα. Τα αντίστοιχα κέρδη για την καθυστέρηση εκτέλεσης έναντι της αρχιτεκτονικής με βάση τη RAU είναι της τάξης του 57.74%, του 55.73% και του 59.75%. Το Σχ. 3.11β δείχνει ότι τα κέρδη για την επιφάνεια πυριτίου του προτεινόμενου ευέλικτου μονοπατιού δεδομένων με τις FCUs έναντι εκείνου με βάση το FCC είναι της τάξης του 26.12%, του 30.64% και του 28.54% για 130, 90 και 65 nm τεχνολογίας σύνθεσης αντίστοιχα. Επίσης, η προτεινόμενη αρχιτεκτονική με βάση την FCU παρουσιάζει σημαντικά κέρδη για την επιφάνεια πυριτίου έναντι της ευέλικτης αρχιτεκτονικής με βάση τη RAU, τα οποία φθάνουν το 17.25%, το 19.49% και το 10.06% για 130, 90 και 65 nm τεχνολογίας σύνθεσης αντίστοιχα. Όσον αφορά την κατανάλωση ενέργειας, το Σχ. 3.11γ αποκαλύπτει κέρδη της τάξης του 30.01%, του 37.75% και του 31.28% στα 130, 90 και 65 nm τεχνολογίας σύνθεσης σε σύγκριση με την υλοποίηση του πυρήνα JPEGDCT με βάση το FCC. Τα αντίστοιχα κέρδη έναντι της αρχιτεκτονικής με βάση τη RAU φθάνουν το 63.21%, το 66.89% και το 62.60%. Όπως φαίνεται, τα προτεινόμενα μονοπάτια δεδομένων με βάση την FCU διατηρούν τα πλεονεκτικά τους χαρακτηριστικά, καθώς οι τεχνολογίες σύνθεσης κλιμακώνονται, αποφέροντας την πιο αποδοτική λύση με βάση όλες τις μετρικές που μελετήθηκαν.

Ο Πίνακας 3.3 παρουσιάζει τις θεωρητικά υπολογισμένες τιμές για την καθυστέρηση εκτέλεσης και την επιφάνεια πυριτίου των πυρήνων ΨΕΣ, οι οποίοι απεικονίστηκαν επάνω στις υπό αξιολόγηση αρχιτεκτονικές. Η ανάλυση βασίστηκε στο μοντέλο μοναδιαίας λογικής πύλης όπως στην Ενότητα 3.6 (βλέπε Παράρτημα Β.2). Η καθυστέρηση εκτέλεσης υπολογίστηκε ως ο αριθμός των κύκλων που απαιτούνται για την εκτέλεση ενός πυρήνα πολλαπλασιασμένου με την κρίσιμη καθυστέρηση της κύριας μονάδας της κάθε αρχιτεκτονικής. Η κρίσιμη καθυστέρηση της προτεινόμενης FCU, του FCC [12] και της RAU [13] είναι $43 T_g$, $89 T_g$ και $30 T_g$ αντίστοιχα. Οφείλουμε να παρατηρήσουμε ότι η κρίσιμη καθυστέρηση της RAU αναφέρεται στην κρίσιμη καθυστέρηση ενός σταδίου συνεχούς διοχέτευσης. Από την άποψη τόσο της καθυστέρησης εκτέλεσης όσο και της επιφάνειας πυριτίου και λαμβάνοντας υπόψη όλους τους πυρήνες ΨΕΣ, η προτεινόμενη αρχιτεκτονική με τις FCUs παρουσιάζει υψηλότερες επιδόσεις σε σύγκριση με το FCC και τη RAU. Όπως αναμενόταν, σε μερικές περιπτώσεις παρατηρούνται ασυνέπειες μεταξύ των πειραματικών και των θεωρητικών αποτελεσμάτων, οι οποίες οφείλονται στους χρονικούς περιορισμούς κατά τη σύνθεση των σχεδίων και στη διαστασιολόγηση των πρότυπων κελιών από το εργαλείο σύνθεσης Design Compiler. Για

παράδειγμα, στον Πίνακα 3.2, η υλοποίηση του πυρήνα ELLIPTIC με βάση το FCC είναι περισσότερο αποδοτική από την άποψη της καθυστέρησης εκτέλεσης σε σχέση με την αντίστοιχη υλοποίηση με βάση τη RAU, αλλά στον Πίνακα 3.3 η υλοποίηση του πυρήνα ELLIPTIC με βάση τη RAU παρουσιάζει καλύτερες επιδόσεις σε σχέση με την αντίστοιχη υλοποίηση με βάση το FCC. Σε κάθε περίπτωση, τόσο η πειραματική όσο και η θεωρητική ανάλυση υποδεικνύουν την προτεινόμενη προσέγγιση ως την πιο αποδοτική αρχιτεκτονική λύση.

3.7.2.1 Μελέτη Χρήσης Διαθέσιμων Λειτουργικών Προτύπων FCU στην Απεικόνιση Πυρήνων ΨΕΣ

Στον Πίνακα 3.4 καταγράφουμε πόσες φορές χρησιμοποιήσαμε το κάθε ένα από τα διαφορετικά λειτουργικά πρότυπα της FCU (Σχ. 3.4) προκειμένου να απεικονίσουμε κάθε πυρήνα ΨΕΣ. Κατά τους υπολογισμούς μας δε λάβαμε υπόψη πιθανές άεργες εκτελέσεις FCU, οι οποίες δύναται να απαιτήθηκαν για την ορθή απεικόνιση και εκτέλεση του εκάστοτε πυρήνα ΨΕΣ. Ορισμένα από τα στοιχεία του Πίνακα 3.4 βρίσκονται στη μορφή $x(y,z)$. Κάθε στοιχείο της μορφής αυτής δηλώνει το συνολικό αριθμό x των εκτελέσεων της FCU, οι οποίες διαμορφώθηκαν ώστε να εκτελέσουν το εκάστοτε λειτουργικό πρότυπο, το οποίο και εξετάζουμε, και από τις οποίες οι y σε αριθμό χρησιμοποιήσαν ολόκληρο το διαθέσιμο υπολογιστικό μονοπάτι και οι z σε αριθμό χρησιμοποιήσαν ένα τμήμα του διαθέσιμου υπολογιστικού μονοπατιού.

Με βάση τον Πίνακα 3.4 παρατηρούμε ότι το λειτουργικό πρότυπο T1 χρησιμοποιήθηκε στις περισσότερες περιπτώσεις και, πιο συγκεκριμένα, στο 44.76% των περιπτώσεων. Συγχρόνως, το T1 ήταν και το ένα εκ των δύο προτύπων, τα οποία χρησιμοποιήσαμε σε όλους τους πυρήνες ΨΕΣ, με το δεύτερο τέτοιο πρότυπο να είναι το T4. Το πρότυπο T5 δεν απαιτήθηκε σε καμία περίπτωση. Μία ενδιαφέρουσα πληροφορία του Πίνακα 3.4 είναι ο αριθμός των περιπτώσεων για κάθε λειτουργικό πρότυπο κατά τις οποίες εκμεταλλευτήκαμε το συνολικό υπολογιστικό μονοπάτι του και ο αριθμός των περιπτώσεων κατά τις οποίες χρησιμοποιήσαμε μόνο ένα τμήμα του προσφερόμενου υπολογιστικού μονοπατιού. Η συνολική αλυσίδα λειτουργιών Άθροισης - Πολλαπλασιασμού - Άθροισης (λειτουργικό πρότυπο T1) χρησιμοποιήθηκε στο 15.38% των περιπτώσεων, ένας σημαντικός αριθμός εμφάνισης της εν λόγω υπολογιστικής αλυσίδας λειτουργιών στους πυρήνες ΨΕΣ που αξιολογήσαμε. Η αλυσίδα λειτουργιών Άθροισης - Πολλαπλασιασμού, η οποία επετεύχθη μέσω διαμόρφωσης των απαιτούμενων FCUs στο λειτουργικό πρότυπο T4, χρησιμοποιήθηκε στο 6.29% των περιπτώσεων. Στις υπόλοιπες περιπτώσεις χρήσης του λειτουργικού προτύπου T4 (12.59%), οι αντίστοιχες FCUs χρησιμοποιήθηκαν για τη διεξαγωγή πολλαπλασιασμών μεταξύ ενός ζεύγους όρων προς άθροιση και ενός συμβατικού όρου. Η αλυσίδα λειτουργιών Πολλαπλασιασμού - Άθροισης χρησιμοποιήθηκε στο $29.37\% + 9.09\% = 38.46\%$ των περιπτώσεων και είτε αποτέλεσε τμήμα του υπολογιστικού μονοπατιού που προσφέρει το λειτουργικό πρότυπο T1 είτε χρησιμοποίησε το λειτουργικό πρότυπο T2. Το λειτουργικό πρότυπο T3 χρησιμοποιήθηκε στο 27.27% των περιπτώσεων απαιτώντας μόνο το ένα εκ των δύο επιπέδων συμπίεσης αθροίσεων που προσφέρει.

3.8 Επίλογος

Στο παρόν κεφάλαιο, παρουσιάσαμε μία ευέλικτη αρχιτεκτονική επιταχυντή, η οποία ενσωματώνει βελτιστοποιήσεις με βάση την αριθμητική ΣΚ προκειμένου να είναι δυνατή η

Πίνακας 3.4: Χρήση Προτύπων FCU κατά την Απεικόνιση των Πυρήνων ΨΕΣ.

Πυρήνας	Διαθέσιμα Πρότυπα				
	T1	T2	T3	T4	T5
ELLIPTIC	6 (6, 0)	12 (10, 2)	6 (0, 6)	1 (1, 0)	-
FIR16	12 (0, 12)	-	3 (0, 3)	4 (0, 4)	-
VOLTERRA	4 (2, 2)	1 (1, 0)	1 (0, 1)	9 (2, 7)	-
JPEGDCT	8 (8, 0)	-	10 (0, 10)	6 (6, 0)	-
MPEG_IDCT	6 (6, 0)	-	19 (0, 19)	3 (0, 3)	-
UDCT	28 (0, 28)	-	-	4 (0, 4)	-
<i>Ποσοστό Χρήσης επί του Συνόλου (%)</i>	44.76 (15.38, 29.37)	9.09 (7.69, 1.40)	27.27 (0.00, 27.27)	18.88 (6.29, 12.59)	-

υψηλής ταχύτητας εκτέλεση αλυσιδωτών λειτουργιών άθροισης και πολλαπλασιασμού. Η προτεινόμενη ευέλικτη αρχιτεκτονική επιταχυντή δύναται να λειτουργεί με όρους τόσο στη συμβατική αριθμητική αναπαράσταση συμπληρώματος ως προς 2 όσο και στη μορφή ΣΚ και, συνεπώς, επιτρέπει την επίτευξη υψηλών βαθμών υπολογιστικής πυκνότητας. Η πειραματική και θεωρητική ανάλυση έδειξαν ότι η προτεινόμενη προσέγγιση αποτελεί μία αποδοτική σχεδιαστική λύση, η οποία αποφέρει βελτιστοποιημένες υλοποιήσεις ως προς το γινόμενο επιφάνειας πυριτίου - καθυστέρησης εκτέλεσης και ως προς την κατανάλωση ενέργειας.

Κεφάλαιο 4

Τεχνικές Βελτιστοποίησης Σύνθετων / Αλυσιδωτών Αριθμητικών Λειτουργιών Υπολοίπου $2^n \pm 1$

Το σύνολο των υπολοίπων $(2^n - 1, 2^n, 2^n + 1)$ και οι επεκτάσεις του έχουν γίνει αποδέκτες ιδιαίτερης προσοχής από την επιστημονική κοινότητα, καθώς προσφέρουν απλές και αποδοτικές υλοποιήσεις αριθμητικών κυκλωμάτων [112]. Εκτενής έρευνα έχει διεξαχθεί τόσο επάνω στην άθροιση [113–117] όσο και στον πολλαπλασιασμό [118] υπολοίπου $2^n - 1$. Σε συστήματα, τα οποία βασίζονται σε Αριθμητικά Συστήματα Υπολοίπων (ΑΣΥ), οι αριθμητικές μονάδες υπολοίπου $2^n + 1$ για όρους στην κανονική αναπαράσταση λειτουργούν με όρους μήκους λέξης $(n+1)$ bits, ενώ το μήκος λέξης των όρων των υπολοίπων μονάδων είναι μικρότερο ή ίσο με n bits. Συνεπώς, η κρίσιμη καθυστέρηση αυξάνεται. Με στόχο την επιτάχυνση των αριθμητικών λειτουργιών υπολοίπου $2^n + 1$, προτάθηκε για τους δυαδικούς αριθμούς η αναπαράσταση ελάττωσης κατά 1 στην εργασία [119]. Οι [78, 114, 120–122] περιγράφουν αποδοτικές αριθμητικές μονάδες υπολοίπου $2^n + 1$ για όρους σε αναπαράσταση ελάττωσης κατά 1. Ωστόσο, τα κυκλώματα μετατροπής των όρων από την κανονική τους αναπαράσταση στην αντίστοιχη ελάττωσης κατά 1 και αντιστρόφως επιβαρύνουν τα αριθμητικά κυκλώματα, στα οποία και περιλαμβάνονται, από την άποψη της κρίσιμης καθυστέρησης, της επιφάνειας πυριτίου και της κατανάλωσης ισχύος. Συνεπώς, η σχεδίαση και υλοποίηση αποδοτικών αριθμητικών μονάδων υπολοίπου $2^n + 1$ για όρους στη συμβατική κανονική αναπαράσταση είναι επιβεβλημένη [77–79, 123].

4.1 Μονάδες Συγχωνευμένης Πράξης Άθροισης - Πολλαπλασιασμού Υπολοίπου $2^n \pm 1$

Σύνθετες αριθμητικές λειτουργίες απαντώνται ευρέως σε συστήματα ΨΕΣ. Αρκετές εφαρμογές ΨΕΣ, π.χ., ο Γρήγορος Μετασχηματισμός Fourier, τα φίλτρα Πεπερασμένης Κρουστικής Απόκρισης, διεξάγουν ένα μεγάλο αριθμό λειτουργιών Άθροισης - Πολλαπλασιασμού (ΑΠ). Όταν κατά τη σχεδίαση μίας μονάδας ΑΠ τοποθετούμε αρχικά έναν αθροιστή και, στη συνέχεια, οδηγούμε την έξοδό του στη μία εκ των δύο εισόδων ενός πολλαπλασιαστή, τόσο η επιφάνεια πυριτίου όσο και η κρίσιμη καθυστέρηση του κυκλώ-

ματος ΑΠ αυξάνονται σημαντικά. Με στόχο την αύξηση της απόδοσης της λειτουργίας ΑΠ υπολοίπου $2^n \pm 1$, εστιάζουμε την προσοχή μας στη βελτιστοποίηση της σχεδίασής της. Οι προτεινόμενες μονάδες συγχωνευμένης ΑΠ υπολοίπου $2^n \pm 1$ ενσωματώνουν μία αρχική σειρά Ημι-Αθροιστών (ΗΑ) (Half Adders), οι οποίοι πραγματοποιούν τη ζητούμενη άθροιση δύο συγκεκριμένων όρων και παράγουν μία ενδιάμεση αριθμητική αναπαράσταση Καθυστερημένου Κρατουμένου (Delayed Carry representation) για το άθροισμά τους [5]. Στη συνέχεια, τα δύο διανύσματα της αναπαράστασης Καθυστερημένου Κρατουμένου πολλαπλασιάζονται με έναν προκαθορισμένο όρο και τα μερικά γινόμενα, τα οποία παράγονται, οδηγούνται σε λογικές πύλες OR σε ζεύγη. Οι όροι των n bits, οι οποίοι προκύπτουν, εισέρχονται στα κατάλληλα δένδρα Αθροιστών Σωσίματος - Κρατουμένου (ΣΚ) (Carry - Save Adder (CSA) trees) και συμπιέζονται σε ένα τελικό ζεύγος διανυσμάτων ΣΚ, τα οποία αθροίζονται χρησιμοποιώντας έναν τελικό αθροιστή υπολοίπου $2^n - 1$ ή $2^n + 1$. Σε σύγκριση με τα συμβατικά σχέδια, όπου ένας αθροιστής υπολοίπου $2^n \pm 1$ τοποθετείται στην κορυφή τους και, στη συνέχεια, η έξοδος του οδηγείται στη μία εκ των δύο εισόδων ενός πολλαπλασιαστή υπολοίπου $2^n \pm 1$, οι προτεινόμενες μονάδες συγχωνευμένης ΑΠ αποδίδουν σημαντικά κέρδη από την άποψη της κρίσιμης καθυστέρησης, της επιφάνειας πυριτίου και της κατανάλωσης ισχύος.

4.1.1 Μεθοδολογίες Σχεδίασης

4.1.1.1 Σχεδίαση Μονάδας Συγχωνευμένης Άθροισης - Πολλαπλασιασμού Υπολοίπου $2^n - 1$

Θεωρούμε τις $A = a_{n-1} \dots a_0$, $B = b_{n-1} \dots b_0$ και $D = d_{n-1} \dots d_0$ αναπαραστάσεις υπολοίπου $2^n - 1$ τριών αριθμών στο εύρος τιμών $[0, 2^n - 1)$, οι οποίες αποτελούνται από n bits η κάθε μία. Η προτεινόμενη μονάδα Συγχωνευμένης Άθροισης - Πολλαπλασιασμού (ΣΑΠ) υπολοίπου $2^n - 1$ διεξάγει τη λειτουργία $|(A + B) \times D|_{2^n - 1}$. Το ζεύγος διανυσμάτων (A, B) μετατρέπονται σε μία αναπαράσταση Καθυστερημένου Κρατουμένου, την οποία συμβολίζουμε ως (U, V) , αφού οδηγηθούν σε μία σειρά από n ΗΑς [5]. Συνεπώς, $|(A + B) \times D|_{2^n - 1} = |(2U + V) \times D|_{2^n - 1}$, όπου $U = u_{n-1} \dots u_0$ και $V = v_{n-1} \dots v_0$. Για τον υπολογισμό της έκφρασης $|(2U + V) \times D|_{2^n - 1}$, προκύπτουν τα μερικά γινόμενα του Σχ. 4.1α.

Όταν $n \leq k \leq 2n - 1$, ισχύει ότι

$$|2^k|_{2^n - 1} = |2^n 2^{k-n} + 2^{k-n} - 2^{k-n}|_{2^n - 1} = |(2^n - 1)2^n + 2^{k-n}|_{2^n - 1} = 2^{k-n}.$$

Επομένως, λαμβάνοντας υπόψη τον πίνακα μερικών γινομένων που απεικονίζεται στο Σχ. 4.1α, κάθε όρος τάξης $2^n \leq 2^k \leq 2^{2n-1}$ μπορεί να επανατοποθετηθεί σε μία στήλη τάξης 2^{k-n} . Συνεπώς, προκύπτει ο $n \times 2n$ πίνακας μερικών γινομένων του Σχ. 4.1β.

Εφόσον τα bits u_i, v_i παράγονται από ημι-αθροιστές, δε δύνανται να έχουν συγχρόνως την τιμή 1. Συνεπώς, οι όροι $u_i d_{|n+j-1|_n}$ και $v_i d_j$ μπορούν να οδηγηθούν σε μία λογική πύλη OR αντί να αθροιστούν. Οι όροι, οι οποίοι βρίσκονται στην πρώτη σειρά του πίνακα του Σχ. 4.1β, οδηγούνται σε μία λογική πύλη OR μαζί με τους αντίστοιχους όρους της τελευταίας σειράς. Επομένως, προκύπτουν τα μερικά γινόμενα του Σχ. 4.1γ, όπου $p_{i,j} = u_i d_{|n+j-1|_n} \vee v_i d_j$.

Τα μερικά γινόμενα PP_i του Σχ. 4.1γ αθροίζονται χρησιμοποιώντας ένα Επανεισαγομένου Κρατουμένου (End Around Carry (EAC)) δένδρο Αθροιστών ΣΚ (CSA

$$\begin{array}{c}
\overline{2^{2n-1} \quad 2^{2n-2} \quad 2^{2n-3} \quad \dots \quad 2^{n+1} \quad 2^n \quad 2^{n-1} \quad 2^{n-2} \quad \dots \quad 2^2 \quad 2^1 \quad 2^0} \\
\left(\overline{\overline{v_{n-1}d_0} \quad \overline{v_{n-2}d_0} \quad \dots \quad \overline{v_2d_0} \quad \overline{v_1d_0} \quad \overline{v_0d_0}} \right) \\
PP_1 \begin{cases} u_{n-1}d_0 & u_{n-2}d_0 & u_{n-3}d_0 & \dots & u_1d_0 & u_0d_0 \\ v_{n-1}d_1 & v_{n-2}d_1 & v_{n-3}d_1 & \dots & v_1d_1 & v_0d_1 \end{cases} \\
PP_2 \begin{cases} u_{n-1}d_1 & u_{n-2}d_1 & u_{n-3}d_1 & u_{n-4}d_1 & \dots & u_0d_1 \\ v_{n-1}d_2 & v_{n-2}d_2 & v_{n-3}d_2 & v_{n-4}d_2 & \dots & v_0d_2 \\ \dots & \dots & \dots & \dots & \dots & \dots \end{cases} \\
\dots \\
PP_{n-1} \begin{cases} u_{n-1}d_{n-2} & u_{n-2}d_{n-2} & \dots & u_2d_{n-2} & u_1d_{n-2} & u_0d_{n-2} \\ v_{n-1}d_{n-1} & v_{n-2}d_{n-1} & \dots & v_2d_{n-1} & v_1d_{n-1} & v_0d_{n-1} \end{cases} \\
\left(\overline{\overline{u_{n-1}d_{n-1} \quad u_{n-2}d_{n-1} \quad u_{n-3}d_{n-1} \quad \dots \quad u_1d_{n-1} \quad u_0d_{n-1}}} \right)
\end{array} \quad PP_0$$

(α)

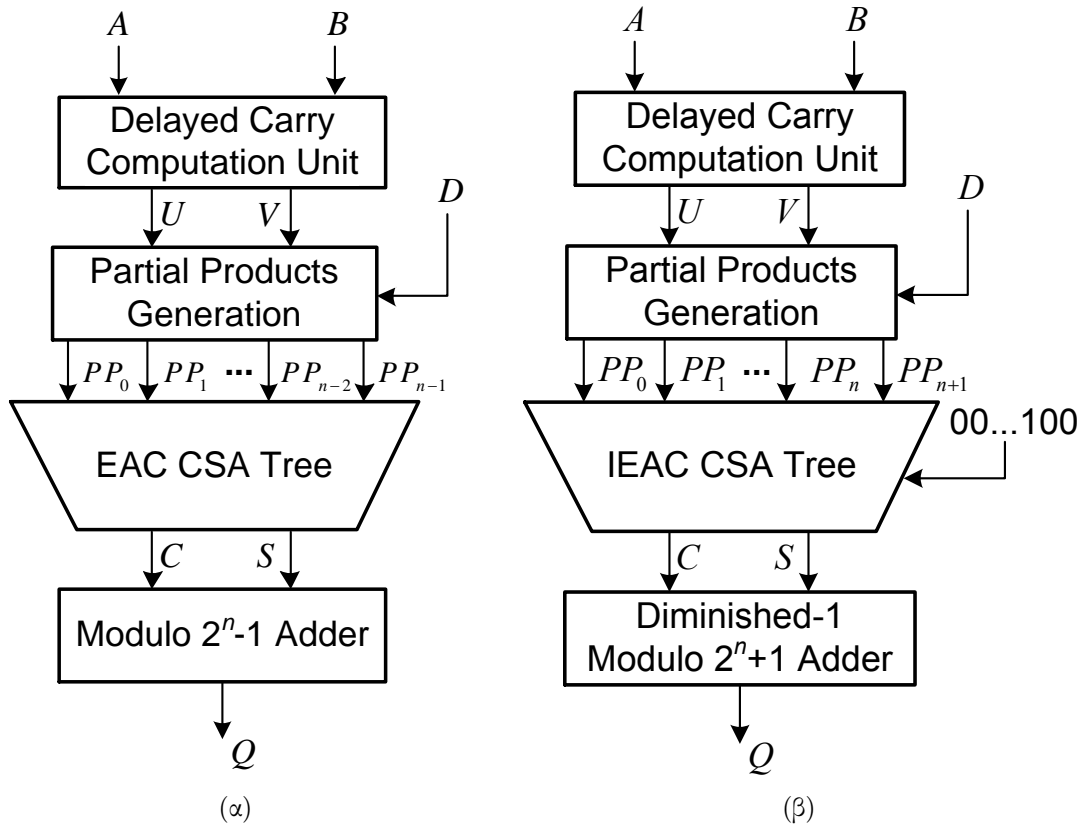
$$\begin{array}{c}
\overline{2^{n-1} \quad 2^{n-2} \quad \dots \quad 2^2 \quad 2^1 \quad 2^0} \\
\left(\overline{\overline{v_{n-1}d_0} \quad \overline{v_{n-2}d_0} \quad \dots \quad \overline{v_2d_0} \quad \overline{v_1d_0} \quad \overline{v_0d_0}} \right) \\
PP_1 \begin{cases} \left(\overline{\overline{u_{n-2}d_0}} \right) \left(\overline{\overline{u_{n-3}d_0}} \right) & \dots & \left(\overline{\overline{u_1d_0}} \right) \left(\overline{\overline{u_0d_0}} \right) \left(\overline{\overline{u_{n-1}d_0}} \right) \\ \left(\overline{\overline{v_{n-2}d_1}} \right) \left(\overline{\overline{v_{n-3}d_1}} \right) & \dots & \left(\overline{\overline{v_1d_1}} \right) \left(\overline{\overline{v_0d_1}} \right) \left(\overline{\overline{v_{n-1}d_1}} \right) \end{cases} \\
PP_2 \begin{cases} \left(\overline{\overline{u_{n-3}d_1}} \right) \left(\overline{\overline{u_{n-4}d_1}} \right) & \dots & \left(\overline{\overline{u_0d_1}} \right) \left(\overline{\overline{u_{n-1}d_1}} \right) \left(\overline{\overline{u_{n-2}d_1}} \right) \\ \left(\overline{\overline{v_{n-3}d_2}} \right) \left(\overline{\overline{v_{n-4}d_2}} \right) & \dots & \left(\overline{\overline{v_0d_2}} \right) \left(\overline{\overline{v_{n-1}d_2}} \right) \left(\overline{\overline{v_{n-2}d_2}} \right) \\ \dots & \dots & \dots & \dots & \dots & \dots \end{cases} \\
PP_{n-1} \begin{cases} \left(\overline{\overline{u_0d_{n-2}}} \right) \left(\overline{\overline{u_{n-1}d_{n-2}}} \right) & \dots & \left(\overline{\overline{u_3d_{n-2}}} \right) \left(\overline{\overline{u_2d_{n-2}}} \right) \left(\overline{\overline{u_1d_{n-2}}} \right) \\ \left(\overline{\overline{v_0d_{n-1}}} \right) \left(\overline{\overline{v_{n-1}d_{n-1}}} \right) & \dots & \left(\overline{\overline{v_3d_{n-1}}} \right) \left(\overline{\overline{v_2d_{n-1}}} \right) \left(\overline{\overline{v_1d_{n-1}}} \right) \end{cases} \\
\left(\overline{\overline{u_{n-1}d_{n-1} \quad u_{n-2}d_{n-1} \quad \dots \quad u_2d_{n-1} \quad u_1d_{n-1} \quad u_0d_{n-1}}} \right)
\end{array} \quad PP_0$$

(β)

PP_i	2^{n-1}	2^{n-2}	\dots	2^2	2^1	2^0
PP_0	$P_{n-1,0}$	$P_{n-2,0}$	\dots	$P_{2,0}$	$P_{1,0}$	$P_{0,0}$
PP_1	$P_{n-2,1}$	$P_{n-3,1}$	\dots	$P_{1,1}$	$P_{0,1}$	$P_{n-1,1}$
PP_2	$P_{n-3,2}$	$P_{n-4,2}$	\dots	$P_{0,2}$	$P_{n-1,2}$	$P_{n-2,2}$
\dots	\dots	\dots	\dots	\dots	\dots	\dots
PP_{n-1}	$P_{0,n-1}$	$P_{n-1,n-1}$	\dots	$P_{3,n-1}$	$P_{2,n-1}$	$P_{1,n-1}$

(γ)

Σχήμα 4.1: Ο α) αρχικός, β) επαναδομημένος και αποτελούμενος από n στήλες και γ) τελικός πίνακας μερικών γινομένων για την προτεινόμενη μονάδα ΣΑΠ υπολοίπου $2^n - 1$.



Σχήμα 4.2: Σχηματικό διάγραμμα της προτεινόμενης μονάδας ΣΑΠ υπολοίπου α) $2^n - 1$ και β) $2^n + 1$.

tree) [114], το οποίο παράγει τα διανύσματα C, S των n bits. Ισχύει ότι

$$|(A + B) \times D|_{2^n - 1} = \left| \sum_{i=0}^{n-1} PP_i \right|_{2^n - 1} = |C + S|_{2^n - 1}. \quad (4.1)$$

Το άθροισμα $|C + S|_{2^n - 1}$ υπολογίζεται χρησιμοποιώντας έναν τελικό αθροιστή υπολοίπου $2^n - 1$ [113, 114, 124]. Το σχηματικό διάγραμμα της προτεινόμενης μονάδας ΣΑΠ υπολοίπου $2^n - 1$ φαίνεται στο Σχ. 4.2α.

4.1.1.2 Σχεδίαση Μονάδας Συγχωνευμένης Άθροισης - Πολλαπλασιασμού Υπολοίπου $2^n + 1$ με Όρους Κανονικής Αναπαράστασης

Θεωρούμε τις $A = a_n a_{n-1} \dots a_0$, $B = b_n b_{n-1} \dots b_0$ και $D = d_n d_{n-1} \dots d_0$ κανονικές αναπαραστάσεις υπολοίπου $2^n + 1$ τριών αριθμών στο εύρος τιμών $[0, 2^n + 1)$, οι οποίες αποτελούνται από $(n+1)$ bits η κάθε μία. Η προτεινόμενη μονάδα ΣΑΠ υπολοίπου $2^n + 1$ για όρους σε κανονική αναπαράσταση διεξάγει τη λειτουργία $|(A + B) \times D|_{2^n + 1}$. Το ζεύγος διανυσμάτων (A, B) μετατρέπονται σε μία αναπαράσταση Καθυστερημένου Κρατούμενου, την οποία συμβολίζουμε ως (U, V) , αφού οδηγηθούν σε μία σειρά από $(n+1)$ ΗΑ [5]. Συνεπώς, $|(A + B) \times D|_{2^n + 1} = |(2U + V) \times D|_{2^n + 1}$, όπου $U = u_n u_{n-1} \dots u_0$ και $V = v_n v_{n-1} \dots v_0$ είναι οι κανονικές αναπαραστάσεις υπολοίπου $2^n + 1$ των διανυσμάτων (U, V) αντίστοιχα. Για τον υπολογισμό της έκφρασης $|(2U + V) \times D|_{2^n + 1}$, προκύπτουν τα μερικά γινόμενα του Σχ. 4.3α.

Εφόσον τα bits u_i, v_i παράγονται από ημι-αθροιστές, δε δύνανται να έχουν συγχρόνως την τιμή 1. Συνεπώς, για $0 \leq i \leq n-1$ και $1 \leq j \leq n$, οι όροι $u_i d_{j-1}$ και $v_i d_j$ μπορούν να οδηγηθούν σε μία λογική πύλη OR αντί να προστεθούν. Η ίδια παρατήρηση ισχύει και για τους όρους $u_n d_i, v_n d_{i+1}, u_i d_n$. Λαμβάνοντας υπόψη ότι $p_{i,j} = u_i d_{j-1} \vee v_i d_j$, για $0 \leq i \leq n-1$ και $1 \leq j \leq n$, $q_i = u_n d_{i-1} \vee v_n d_i \vee u_{i-1} d_n$, για $1 \leq i \leq n$, και $q_0 = v_n d_0$, προκύπτουν τα μερικά γινόμενα του Σχ. 4.3β.

Όταν $n \leq k \leq 2n-2$, ισχύει ότι $|2^k|_{2^{n+1}} = |-2^{k-n}|_{2^{n+1}}$. Συνεπώς, για $n \leq i+j \leq 2n-2$, έχουμε ότι

$$\begin{aligned} |p_{i,j} 2^{i+j}|_{2^{n+1}} &= |-p_{i,j} 2^{i+j-n}|_{2^{n+1}} \\ &= |2^{i+j-n} - p_{i,j} 2^{i+j-n} - 2^{i+j-n}|_{2^{n+1}} \\ &= |\bar{p}_{i,j} 2^{i+j-n} - 2^{i+j-n}|_{2^{n+1}} \end{aligned}$$

ή $|\bar{p}_{i,j} 2^{i+j-n}|_{2^{n+1}} = |p_{i,j} 2^{i+j} + 2^{i+j-n}|_{2^{n+1}}$. Επομένως, κάθε όρος $p_{i,j}$ τάξης 2^{i+j} , $1 \leq i \leq n-1, 1 \leq j \leq n-1$, του συνόλου A (Σχ. 4.3β) αναστρέφεται και επανατοποθετείται σε μία στήλη τάξης 2^{i+j-n} (Σχ. 4.3γ). Ωστόσο, χρειάζεται συγχρόνως και ένας διορθωτικός όρος της μορφής -2^{i+j-n} . Ο συνολικός διορθωτικός όρος που απαιτείται λόγω της αναστροφής και της αναδιάταξης των όρων του συνόλου A , υπολογίζεται ότι είναι ίσος με $-(2^n - n - 1)$ [79].

Για τους όρους $p_{i,n}$ τάξης 2^{i+n} , $0 \leq i \leq n-1$, του συνόλου B (Σχ. 4.3β) ισχύει ότι

$$\begin{aligned} |p_{n-1,n} 2^{2n-1} + \dots + p_{0,n} 2^n|_{2^{n+1}} &= |(p_{n-1,n} 2^{n-1} + \dots + p_{0,n}) 2^n|_{2^{n+1}} = \\ &= |-(p_{n-1,n} 2^{n-1} + \dots + p_{0,n})|_{2^{n+1}} = \\ &= |2^n + 1 - (p_{n-1,n} 2^{n-1} + \dots + p_{0,n})|_{2^{n+1}} = \\ &= |2^n - 1 - (p_{n-1,n} 2^{n-1} + \dots + p_{0,n}) + 2|_{2^{n+1}} = \\ &= |\bar{p}_{n-1,n} 2^{n-1} + \dots + \bar{p}_{0,n} + 2|_{2^{n+1}}. \end{aligned}$$

Συνεπώς, κάθε όρος του συνόλου B (Σχ. 4.3β) αναστρέφεται και επανατοποθετείται σε μία στήλη τάξης 2^i (Σχ. 4.3γ). Ωστόσο, απαιτείται συγχρόνως και ένας συνολικός διορθωτικός όρος ίσος με $+2$. Η ίδια παρατήρηση ισχύει και για τους όρους του συνόλου C .

Εφόσον $|2^{2n}|_{2^{n+1}} = 1$, οι όροι τάξης 2^{2n} στον ελαττωμένο πίνακα μερικών γινομένων του Σχ. 4.3β δύνανται να επανατοποθετηθούν στη στήλη τάξης 1. Οι όροι $v_0 d_0, u_n d_{n-1}, v_n d_n, u_{n-1} d_n$ δεν μπορούν να έχουν ταυτόχρονα την τιμή 1 και, επομένως, οδηγούνται σε μία λογική πύλη OR αντί να προστεθούν. Με τον ίδιο τρόπο, ο όρος $u_n d_n$ τάξης 2^{2n+1} επανατοποθετείται στη στήλη τάξης 2 και οδηγείται μαζί με τον όρο $v_1 d_0$ σε μία λογική πύλη OR. Συνεπώς, προκύπτουν $(n+2)$ μερικά γινόμενα PP_i των n bits (Σχ. 4.3γ). Στο Σχ. 4.3γ, με βάση τις προαναφερόμενες παρατηρήσεις, $r_0 = v_0 d_0 \vee u_n d_{n-1} \vee v_n d_n \vee u_{n-1} d_n$ και $r_1 = u_n v_n \vee v_1 d_0$.

Εφόσον $|(2^n - n - 1)|_{2^{n+1}} = n + 2$, ισχύει ότι

$$\begin{aligned} |(A + B) \times D|_{2^{n+1}} &= |PP_i - (2^n - n - 1) + 4|_{2^{n+1}} \\ &= |PP_i + n + 6|_{2^{n+1}} \\ &= |PP_i + 4 + n + 1 + 1|_{2^{n+1}}. \end{aligned} \tag{4.2}$$

Τα μερικά γινόμενα PP_i και ο διορθωτικός όρος $00 \dots 0100 = 4$ των n bits (Σχ. 4.3γ) προστίθενται μέσω ενός Ανεστραμμένου Επανεισαγομένου Κρατουμένου (Inverted

End Around Carry (IEAC)) δένδρο Αθροιστών ΣΚ (CSA tree) με διανύσματα εξόδου τα C, S . Η εξίσωση $|c_{n,i}|_{2^{n+1}} = |-c_{n,i} + 1|_{2^{n+1}} = |c_{n,i}2^n + 1|_{2^{n+1}}$ υποδηλώνει ότι κάθε κρατούμενο εξόδου $c_{n,i}$ του δένδρου, το οποίο αναστρέφεται και επανατοποθετείται στη χαμηλότερης τάξης θέση bit, προσθέτει έναν 1 στο αποτέλεσμα. Εφόσον $(n+1)$ κρατούμενα αναστρέφονται και αναδιατάσσονται, το δένδρο υπολογίζει το άθροισμα $|PP_i + 4 + n + 1|_{2^{n+1}}$. Συνεπώς,

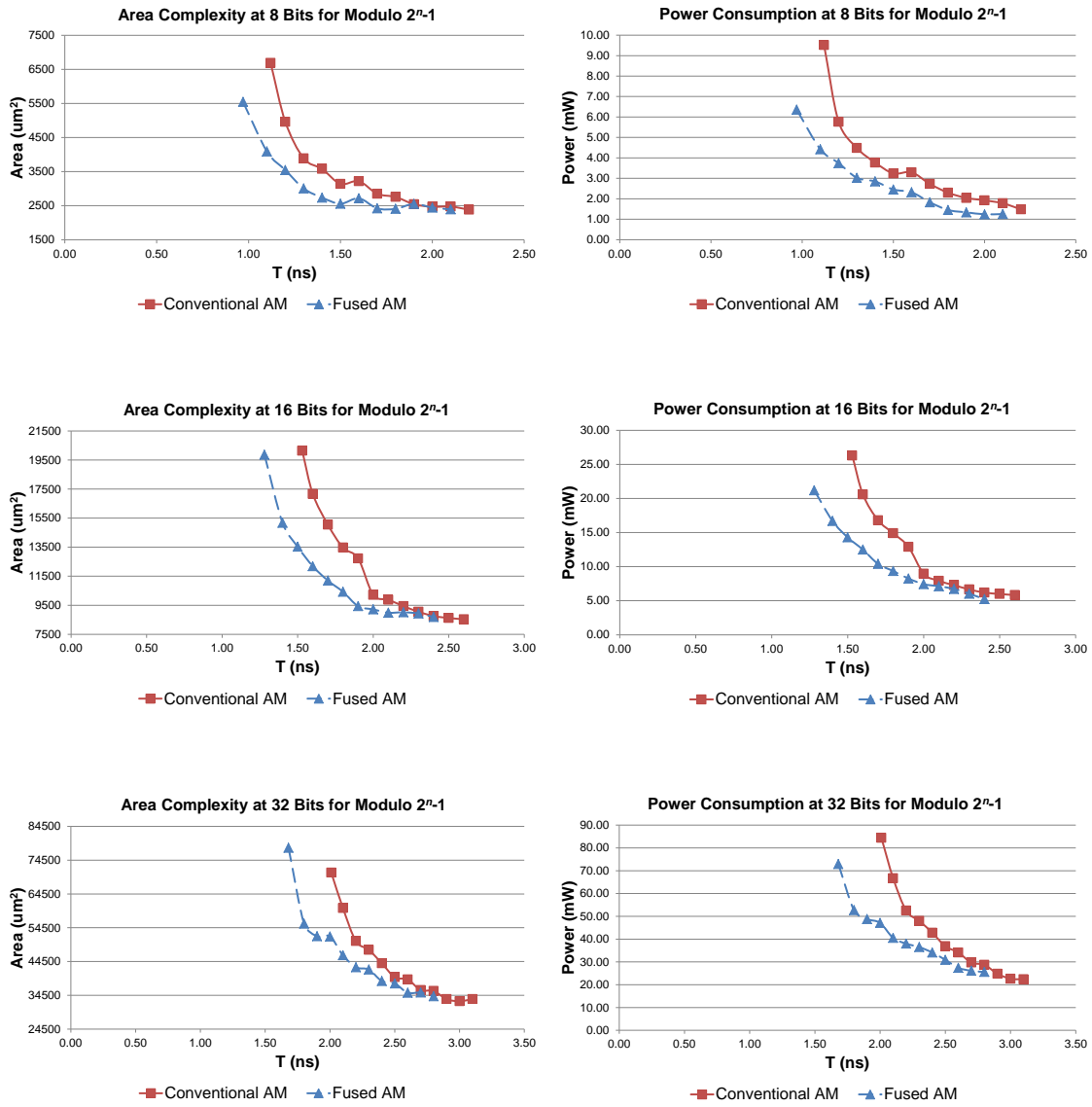
$$|(A + B) \times D|_{2^{n+1}} = |C + S + 1|_{2^{n+1}}. \quad (4.3)$$

Το άθροισμα $|C + S + 1|_{2^{n+1}}$ υπολογίζεται μέσω ενός αθροιστή υπολοίπου $2^n + 1$ για όρους σε αναπαράσταση ελάττωσης κατά 1 [79, 125]. Το σχηματικό διάγραμμα της προτεινόμενης μονάδας ΣΑΠ υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης φαίνεται στο Σχ. 4.2β.

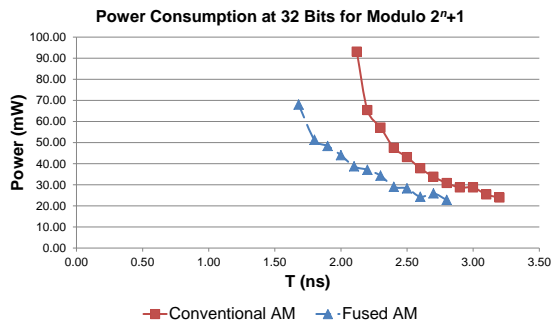
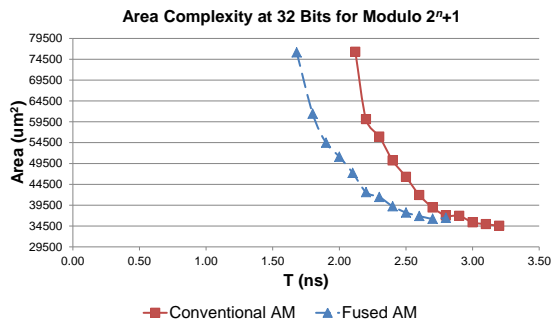
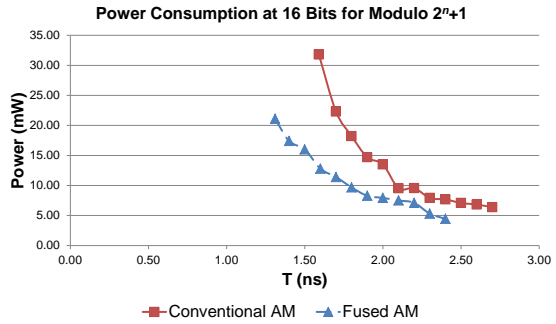
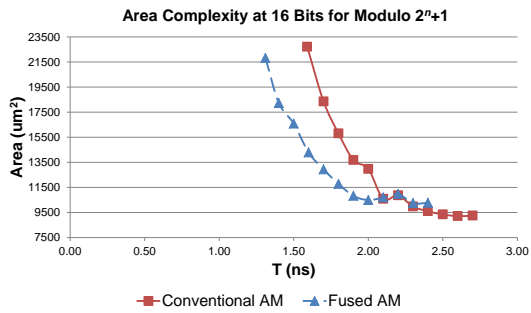
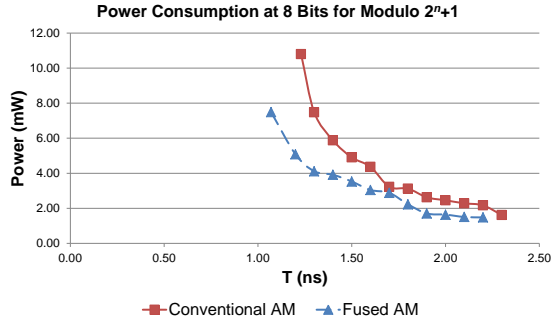
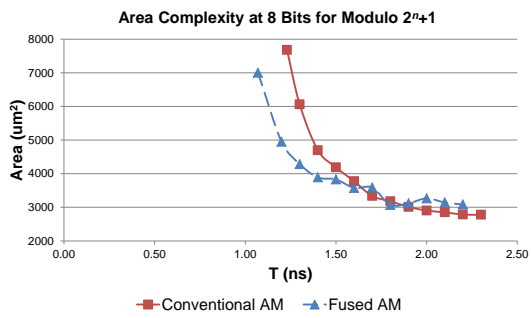
4.1.2 Πειραματικά Αποτελέσματα

Παρουσιάζουμε τις πειραματικές αξιολογήσεις των λειτουργιών ΑΠ υπολοίπου $2^n \pm 1$, δηλαδή, $|(A + B) \times D|_{2^n - 1}$ και $|(A + B) \times D|_{2^n + 1}$, οι οποίες υλοποιούνται χρησιμοποιώντας συμβατικούς αθροιστές και πολλαπλασιαστές υπολοίπου $2^n - 1$ και υπολοίπου $2^n + 1$ για όρους σε κανονική αναπαράσταση, καθώς και χρησιμοποιώντας τις προτεινόμενες μονάδες ΣΑΠ υπολοίπου $2^n - 1$ και υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης. Η αξιολόγηση όλων των σχεδίων πραγματοποιήθηκε δομικά χρησιμοποιώντας τη Verilog Γλώσσα Περιγραφής Υλικού (HDL) και τοποθετώντας καταχωρητές στις εισόδους και εξόδους των κυκλωμάτων. Για όλες τις υπό αξιολόγηση μονάδες πραγματοποιήθηκε προσομοίωση σε επίπεδο συνδυαστικού κυκλώματος μεταξύ καταχωρητών (RTL) προκειμένου να επαληθευτεί η ορθή λειτουργία τους και, στη συνέχεια, σύνθεση με το εργαλείο Design Compiler της εταιρείας Synopsys [92] για μήκος λέξης των εισόδων $n = 8, 16$ και 32 bits χρησιμοποιώντας μία βιβλιοθήκη πρότυπων κελιών της εταιρείας Faraday [96] για τεχνολογία 90 nm σε τυπικές συνθήκες. Η σύνθεση όλων των υπό αξιολόγηση σχεδίων διεξήχθη θεωρώντας τον υψηλότερο βαθμό βελτιστοποίησης στο εργαλείο Design Compiler της Synopsys. Αρχικά, συνθέσαμε κάθε υπό αξιολόγηση μονάδα στη χαμηλότερη δυνατή περίοδο ρολογιού και, στη συνέχεια, σε 10 υψηλότερες περιόδους ρολογιού με βήμα 0.10 ns για να διερευνήσουμε τη συμπεριφορά όλων των υπό αξιολόγηση σχεδίων από τη σκοπιά της επιφάνειας πυριτίου και της κατανάλωσης ισχύος και θεωρώντας διαφορετικούς χρονικούς περιορισμούς. Για κάθε περίοδο ρολογιού, προσομοιώσαμε όλες τις υπό αξιολόγηση μονάδες χρησιμοποιώντας το εργαλείο Modelsim [97] για το ίδιο σύνολο εισόδων στο εύρος τιμών $[0, 2^n - 1)$ ή $[0, 2^n + 1)$ για τις μονάδες υπολοίπου $2^n - 1$ ή $2^n + 1$ αντίστοιχα. Οι είσοδοι παρήχθησαν τυχαία με ίση πιθανότητα για ένα bit να είναι 0 ή 1. Επίσης, προκειμένου να υπολογίσουμε την κατανάλωση ισχύος όλων των υπό αξιολόγηση σχεδίων, χρησιμοποιήσαμε το εργαλείο PrimeTime-PX της εταιρείας Synopsys [93] ενεργοποιώντας τη διαδικασία υπολογισμού του μέσου όρου της κατανάλωσης ισχύος.

Το Σχ. 4.4 απεικονίζει γραφικά την επιφάνεια πυριτίου και την κατανάλωση ισχύος για το συμβατικό και το προτεινόμενο συγχωνευμένο σχέδιο ΑΠ υπολοίπου $2^n - 1$. Η συμβατική υλοποίηση της έκφρασης $|(A + B) \times D|_{2^n - 1}$ περιλαμβάνει έναν αθροιστή παράλληλου προθέματος (parallel-prefix) υπολοίπου $2^n - 1$ [114], ο οποίος ακολουθείται από έναν πολλαπλασιαστή υπολοίπου $2^n - 1$ [118]. Η κρίσιμη καθυστέρηση της προτεινόμενης μονάδας ΣΑΠ υπολοίπου $2^n - 1$ είναι μειωμένη σε σύγκριση με τη συμβατική υλοποίηση του σχεδίου ΑΠ κατά 0.15 ns (ή 13.39%) για μήκος λέξης των



Σχήμα 4.4: Επιφάνεια πυριτίου και κατανάλωση ισχύος των συμβατικών και των προτεινόμενων συγχωνευμένων σχεδίων ΑΠ υπολοίπου $2^n - 1$ για 8, 16 και 32 bits.



Σχήμα 4.5: Επιφάνεια πυριτίου και κατανάλωση ισχύος των συμβατικών και των προτεινόμενων συγχωνευμένων σχεδίων ΑΠ υπολοίπου $2^n + 1$ με όρους κανονικής αναπαράστασης για 8, 16 και 32 bits.

εισόδων ίσο με 8 bits, 0.25 ns (ή 16.34%) για τα 16 bits και 0.33 ns (ή 16.42%) για τα 32 bits. Οφείλουμε να σημειώσουμε ότι όσο μεγαλύτερο είναι το μήκος λέξης των εισόδων, τόσο μεγαλύτερες είναι οι τιμές της ελάττωσης στην καθυστέρηση διάδοσης. Η παρατήρηση αυτή δικαιολογείται από το γεγονός ότι η κρίσιμη καθυστέρηση της μονάδας που παράγει την αναπαράσταση Καθυστερημένου Κρατουμένου (Σχ. 4.2α) είναι σταθερή και δεν εξαρτάται από το μήκος λέξης των εισόδων, ενώ η κρίσιμη καθυστέρηση του αθροιστή υπολοίπου $2^n - 1$ του συμβατικού σχεδίου ΑΠ αυξάνεται όταν αυξάνεται το μήκος λέξης των εισόδων. Επίσης, λαμβάνοντας υπόψη τις πειραματικές τιμές επιφάνειας πυριτίου και κατανάλωσης ισχύος στις περιόδους ρολογιού όπου δύνανται να συντεθούν τόσο η συμβατική όσο και η προτεινόμενη συγχωνευμένη μονάδα ΑΠ, το προτεινόμενο σχέδιο ΣΑΠ υπολοίπου $2^n - 1$ παρουσιάζει αξιοσημείωτα κέρδη για την επιφάνεια πυριτίου της τάξεως του 14.04%, του 14.26% και του 10.47% και για την κατανάλωση ισχύος της τάξεως του 31.51%, του 23.37% και του 21.25% κατά μέσο όρο για 8, 16 και 32 bits μήκος λέξης των εισόδων αντίστοιχα. Τα προαναφερόμενα κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος φτάνουν τις μέγιστες τιμές τους 29.00% και 39.32% αντίστοιχα, όταν $T=1.60\text{ns}$ στα 16 bits.

Στο Σχ. 4.5 απεικονίζονται γραφικά η επιφάνεια πυριτίου και η κατανάλωση ισχύος του συμβατικού και του προτεινόμενου συγχωνευμένου σχεδίου ΑΠ υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης. Ένας αθροιστής παράλληλου προθέματος υπολοίπου $2^n + 1$ [114] και, στη συνέχεια, ένας πολλαπλασιαστής υπολοίπου $2^n + 1$ [79], αμφότεροι για όρους κανονικής αναπαράστασης, συνθέτουν τη συμβατική υλοποίηση της έκφρασης $|(A + B) \times D|_{2^n + 1}$. Σε σύγκριση με τη συμβατική μονάδα ΑΠ υπολοίπου $2^n + 1$, η κρίσιμη καθυστέρηση του προτεινόμενου σχεδίου ΣΑΠ υπολοίπου $2^n + 1$ είναι μειωμένη κατά 0.16 ns (ή 13.01%) για μήκος λέξης των εισόδων ίσο με 8 bits, 0.28 ns (ή 17.61%) για τα 16 bits και 0.44 ns (ή 20.75%) για τα 32 bits. Όπως σημειώσαμε και για τις μονάδες υπολοίπου $2^n - 1$, όσο μεγαλύτερο είναι το μήκος λέξης των εισόδων, τόσο μεγαλύτερες είναι οι τιμές της ελάττωσης στην καθυστέρηση διάδοσης. Η αιτιολόγηση παραμένει η ίδια όπως για τα σχέδια υπολοίπου $2^n - 1$. Επιπλέον, λαμβάνοντας υπόψη τις πειραματικές τιμές επιφάνειας πυριτίου και κατανάλωσης ισχύος στις περιόδους ρολογιού όπου δύνανται να συντεθούν τόσο η συμβατική όσο και η προτεινόμενη συγχωνευμένη μονάδα ΑΠ, το προτεινόμενο σχέδιο ΣΑΠ υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης παρουσιάζει αξιολογικά κέρδη για την επιφάνεια πυριτίου της τάξεως του 1.92%, του 10.41% και του 16.52% και για την κατανάλωση ισχύος της τάξεως του 31.02%, του 37.84% και του 34.51% κατά μέσο όρο για 8, 16 και 32 bits μήκος λέξης των εισόδων αντίστοιχα. Τα προαναφερόμενα κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος φτάνουν τις μέγιστες τιμές τους 29.52% και 48.88% αντίστοιχα, όταν $T=1.70\text{ns}$ στα 16 bits.

4.2 Άθροιση και Πολλαπλασιασμός Υπολοίπου $2^n + 1$ με Πλεονάζοντες Όρους

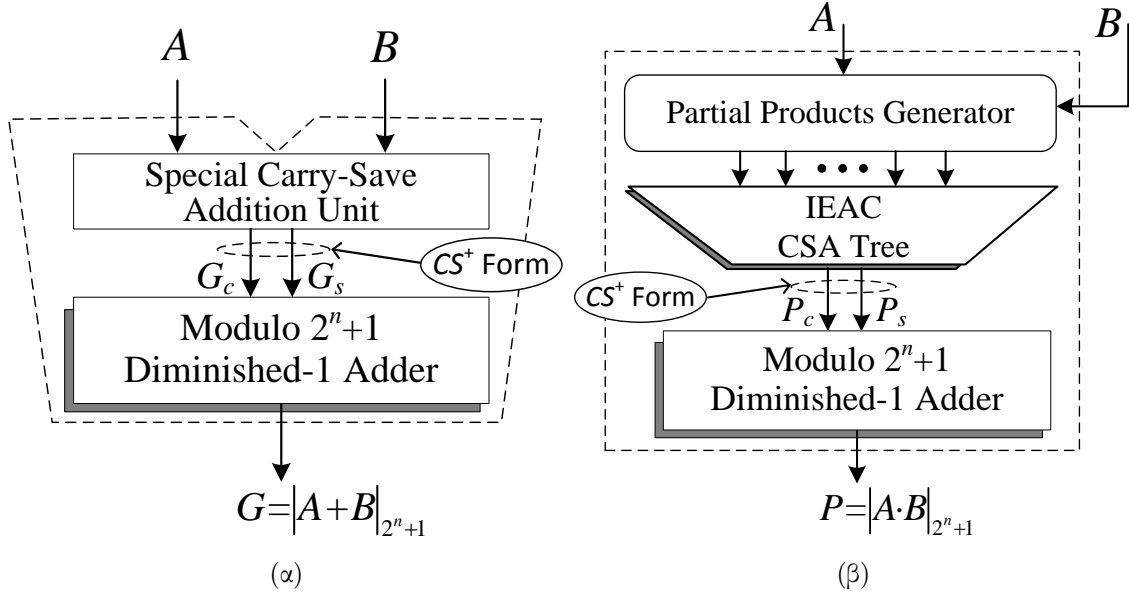
Οι αλυσιδωτές αριθμητικές λειτουργίες κυριαρχούν σε εφαρμογές ΨΕΣ (DSP) απαιτώντας σημαντικούς πόρους του συστήματος για την εκτέλεσή τους. Η διατήρηση των ενδιάμεσων αποτελεσμάτων σε μία πλεονάζουσα αναπαράσταση, π.χ., Σωσίματος - Κρατουμένου, είναι μία ευρέως διαδεδομένη τεχνική, η οποία χρησιμοποιείται για την επιτάχυνση και αποδοτικότερη εκτέλεση των αλυσιδωτών αριθμητικών λειτουργιών λόγω της εξάλειψης των ενδιάμεσων αθροίσεων, καθώς οι τελευταίες συνεπάγονται

διαδόσεις κρατουμένων και, κατά συνέπεια, αυξάνουν σε μεγάλο βαθμό τη συνολική κρίσιμη καθυστέρηση, ενώ καταλαμβάνουν και σημαντική επιφάνεια πυριτίου. Στην εργασία [126], παρουσιάστηκε η υλοποίηση ενός φίλτρου Πεπερασμένης Κρουστικής Απόκρισης με τη χρήση ΑΣΥ, στην οποία χρησιμοποιήθηκε μία μορφή Σωσίματος - Κρατουμένου για την αναπαράσταση των δυαδικών υπολοίπων προκειμένου να επιτευχθεί επιτάχυνση των λειτουργιών άθροισης. Στην παρούσα ενότητα, χρησιμοποιούμε μία ειδική πλεονάζουσα αναπαράσταση υπολοίπου $2^n + 1$, την οποία αποκαλούμε πλεονάζουσα μορφή CS^+ υπολοίπου $2^n + 1$, και σχεδιάζουμε μονάδες άθροισης υπολοίπου $2^n + 1$ με έναν ή δύο όρους στην αναπαράσταση CS^+ και μία μονάδα πολλαπλασιασμού υπολοίπου $2^n + 1$ με τον έναν εκ των δύο όρων στην αναπαράσταση CS^+ . Αναπτύσσοντας μία συστηματική μεθοδολογία για τη χρησιμοποίηση των προαναφερόμενων αριθμητικών μονάδων υπολοίπου $2^n + 1$, η εφαρμογή τους σε συστήματα ΨΕΣ, τα οποία βασίζονται σε ΑΣΥ, και σε κυκλώματα παραγωγής υπολοίπων [127] μπορεί να είναι ευρεία και παρουσιάζει σημαντικό πρακτικό ενδιαφέρον.

4.2.1 Μεθοδολογίες Σχεδίασης

Ένας αθροιστής υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6α) [77] υλοποιεί τη λειτουργία $G = |A + B|_{2^n+1}$ και αποτελείται από δύο μονάδες: ένα ειδικό στάδιο Άθροισης ΣΚ (CS Addition (CSA)), το οποίο παράγει το ζεύγος διανυσμάτων ΣΚ ($G_{CS}^+ = \{G_C, G_S\}$) των n bits, και ένας αθροιστής υπολοίπου $2^n + 1$ για όρους αναπαράστασης ελάττωσης κατά 1 [78], ο οποίος υπολογίζει το άθροισμα $G = |G_C + G_S + 1|_{2^n+1}$. Επίσης, ένας πολλαπλασιαστής υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6β) [79] υπολογίζει το γινόμενο $P = |A \cdot B|_{2^n+1}$ και περιλαμβάνει μία μονάδα παραγωγής μερικών γινομένων, ένα Ανεστραμμένου Επανεισαγομένου Κρατουμένου (IEAC) δένδρο Αθροιστών ΣΚ (CSA tree), το οποίο παράγει το ζεύγος διανυσμάτων ΣΚ ($P_{CS}^+ = \{P_C, P_S\}$) των n bits, και έναν τελικό αθροιστή υπολοίπου $2^n + 1$ για όρους αναπαράστασης ελάττωσης κατά 1, ο οποίος υπολογίζει τον όρο $P = |P_C + P_S + 1|_{2^n+1}$. Όπως φαίνεται και στο Σχ. 4.6, και στις δύο προαναφερόμενες περιπτώσεις εμφανίζεται μία ειδική αναπαράσταση ΣΚ (CS), την οποία στο εξής αποκαλούμε πλεονάζουσα αναπαράσταση CS^+ υπολοίπου $2^n + 1$.

Όταν μία άθροιση ή ένας πολλαπλασιασμός υπολοίπου $2^n + 1$ έπεται μίας άθροισης ή ενός πολλαπλασιασμού υπολοίπου $2^n + 1$, η χρησιμοποίηση μίας μονάδας άθροισης (Σχ. 4.7α) ή πολλαπλασιασμού (Σχ. 4.7β) υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ παραλείπει τις ενδιάμεσες αθροιστικές λειτουργίες και οδηγεί σε χαμηλότερες καθυστερήσεις και σε κέρδη επιφάνειας πυριτίου. Πιο συγκεκριμένα, τα Σχ. 4.7α και 4.7β απεικονίζουν αντίστοιχα δύο αριθμητικές μονάδες άθροισης και πολλαπλασιασμού υπολοίπου $2^n + 1$, στις οποίες ο ένας αριθμός αναπαρίσταται σε κανονική μορφή υπολοίπου $2^n + 1$ και ο δεύτερος όρος στην πλεονάζουσα μορφή CS^+ . Τα αποτελέσματα αναπαρίστανται επίσης στην πλεονάζουσα μορφή CS^+ . Οι αριθμητικές μονάδες υπολοίπου $2^n + 1$ με αμφότερες εισόδους στην πλεονάζουσα αναπαράσταση CS^+ παρουσιάζουν εξίσου μεγάλο ενδιαφέρον. Ωστόσο, ενώ μία μονάδα άθροισης υπολοίπου $2^n + 1$ με αμφότερες εισόδους και το αποτέλεσμα στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.8) μπορεί να υλοποιηθεί αποδοτικά, μία μονάδα πολλαπλασιασμού υπολοίπου $2^n + 1$ με τις δύο εισόδους της στην πλεονάζουσα αναπαράσταση CS^+ καταλήγει να χαρακτηρίζεται από μειωμένη αποδοτικότητα επειδή ο αριθμός των μερικών γινομένων αυξάνεται και, κατά συνέπεια, απαιτούνται περισσότερα στάδια άθροισης στο Ανεστραμμένου Επανεισαγομένου Κρατουμένου (IEAC) δένδρο



Σχήμα 4.6: Αριθμητική μονάδα υπολοίπου $2^n + 1$ για α) άθροιση και β) πολλαπλασιασμό όρων κανονικής αναπαράστασης.

Αθροιστών ΣΚ (CSA tree). Στις επόμενες παραγράφους, αναλύουμε τη σχεδίαση των προαναφερόμενων αριθμητικών μονάδων υπολοίπου $2^n + 1$, οι οποίες λειτουργούν με όρους στην πλεονάζουσα αναπαράσταση CS^+ .

4.2.1.1 Αθροιστής Υπολοίπου $2^n + 1$ με Μία Είσοδο στην Πλεονάζουσα Αναπαράσταση CS^+

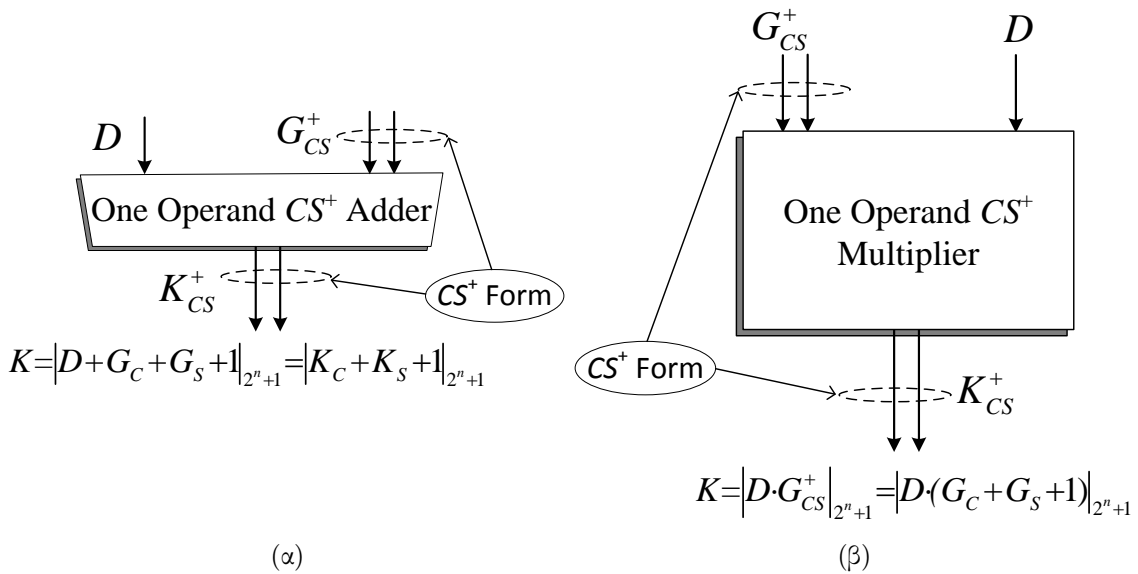
Θεωρούμε την άθροιση ενός αριθμού $D = d_n d_{n-1} \dots d_1 d_0$ υπολοίπου $2^n + 1$, ο οποίος αναπαρίσταται σε κανονική μορφή στο πεδίο τιμών $[0, 2^n]$, με έναν αριθμό G που συμβολίζεται ως $\{G_C, G_S\} = G_{CS}^+$ και είναι ένα ζευγάρι διανυσμάτων ΣΚ των n bits στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.7α). Η πραγματική τιμή του όρου G ισούται με $|G_C + G_S + 1|_{2^n+1}$. Συνεπώς, το άθροισμα $K = G + D$ υπολογίζεται όπως στην επόμενη εξίσωση:

$$K = |(G_C + G_S + 1) + D|_{2^n+1} = |(G_C + G_S + 1) + d_n 2^n + D_{n-1:0}|_{2^n+1}, \quad (4.4)$$

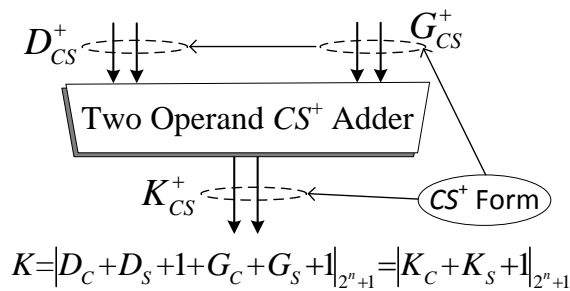
όπου ο όρος $D_{n-1:0}$ συμβολίζει τα n χαμηλότερης τάξης bits του D . Συνεπώς,

$$\begin{aligned} K &= |G_C + G_S + 1 + D|_{2^n+1} \\ &= |G_C + G_S + D_{n-1:0} + \bar{d}_n|_{2^n+1} \\ &= |G_C + G_S + D_{n-1:0} + \bar{d}_n + 2^n - 2 + 2 + 1|_{2^n+1} \\ &= |G_C + G_S + D_{n-1:0} + 11 \dots 1 \bar{d}_n + 2 + 1|_{2^n+1}, \end{aligned} \quad (4.5)$$

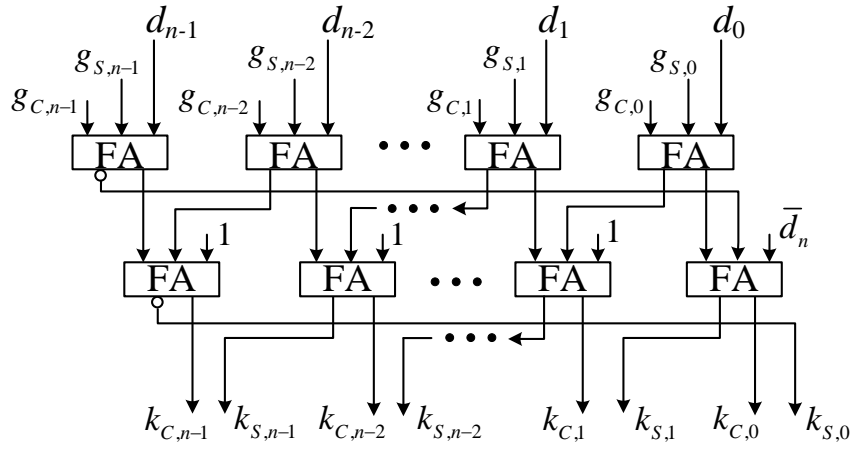
όπου ο όρος $11 \dots 1 \bar{d}_n$ των n bits αντιστοιχεί στο άθροισμα $2^n - 2 + \bar{d}_n$. Οι όροι $G_C, G_S, D_{n-1:0}$ και $11 \dots 1 \bar{d}_n$ προστίθενται χρησιμοποιώντας ένα Ανεστραμμένου Επανεισαγομένου Κρατουμένου (IEAC) δένδρο Αθροιστών ΣΚ (CSA tree), το οποίο αποτελείται από δύο επίπεδα και παράγει ένα ζευγάρι διανυσμάτων ΣΚ K_C, K_S , όπως φαίνεται λεπτομερώς στο Σχ. 4.9. Οι Πλήρεις Αθροιστές (ΠΑ) (Full Adders (FA)) με μία είσοδο ίση με 1 απλοποιούνται σε ειδικούς ΗΑ, οι οποίοι υλοποιούν τις συναρτήσεις $c_i = a_i \vee b_i$ και $s_i = a_i \oplus b_i$ για τις εξόδους κρατουμένου



Σχήμα 4.7: Αριθμητικές μονάδες υπολοίπου $2^n + 1$ για α) άθροιση ενός αριθμού υπολοίπου $2^n + 1$ σε κανονική αναπαράσταση με έναν αριθμό στην πλεονάζουσα μορφή CS^+ και β) πολλαπλασιασμό ενός αριθμού στην πλεονάζουσα μορφή CS^+ με έναν αριθμό υπολοίπου $2^n + 1$ σε κανονική αναπαράσταση. Και στις δύο περιπτώσεις, τα αποτελέσματα των αριθμητικών μονάδων εξάγονται στην πλεονάζουσα αναπαράσταση CS^+ .



Σχήμα 4.8: Αριθμητική μονάδα υπολοίπου $2^n + 1$ για άθροιση δύο αριθμών στην πλεονάζουσα αναπαράσταση CS^+ . Το αποτέλεσμα της αριθμητικής μονάδας εξάγεται στην πλεονάζουσα αναπαράσταση CS^+ .



Σχήμα 4.9: Αθροιστής υπολοίπου $2^n + 1$ με μία είσοδο σε πλεονάζουσα αναπαράσταση CS^+ .

(c_i) και αθροίσματος (s_i) αντίστοιχα, όταν a_i και b_i είναι οι είσοδοί τους. Η σχέση $|\bar{c}_{n,i}|_{2^{n+1}} = |-c_{n,i} + 1|_{2^{n+1}} = |c_{n,i}2^n + 1|_{2^{n+1}}$ υποδηλώνει ότι κάθε κρατούμενο εξόδου $c_{n,i}$ του δένδρου, το οποίο αναστρέφεται και επανατοποθετείται στη χαμηλότερης τάξης θέση bit, προσθέτει έναν 1 στο αποτέλεσμα. Εφόσον απαιτούνται δύο επίπεδα Αθροιστών ΣΚ (CSA) για την άθροιση των τεσσάρων όρων που προκύπτουν, το δένδρο υπολογίζει το άθροισμα $|G_C + G_S + D_{n-1:0} + 11 \dots 1\bar{d}_n + 2|_{2^{n+1}} = |K_C + K_S|_{2^{n+1}}$. Συνεπώς,

$$K = |G_C + G_S + 1 + D|_{2^{n+1}} = |K_C + K_S + 1|_{2^{n+1}}. \quad (4.6)$$

Το αποτέλεσμα $\{K_C, K_S\} = K_{CS}^+$ αναπαρίσταται στην πλεονάζουσα μορφή CS^+ και δύναται να χρησιμοποιηθεί ως είσοδος σε μία επακόλουθη αριθμητική μονάδα υπολοίπου $2^n + 1$ για πλεονάζοντες όρους. Το άθροισμα $K = |K_C + K_S + 1|_{2^{n+1}}$ δύναται να υπολογιστεί μέσω ενός αθροιστή υπολοίπου $2^n + 1$ για όρους ελάττωσης κατά 1.

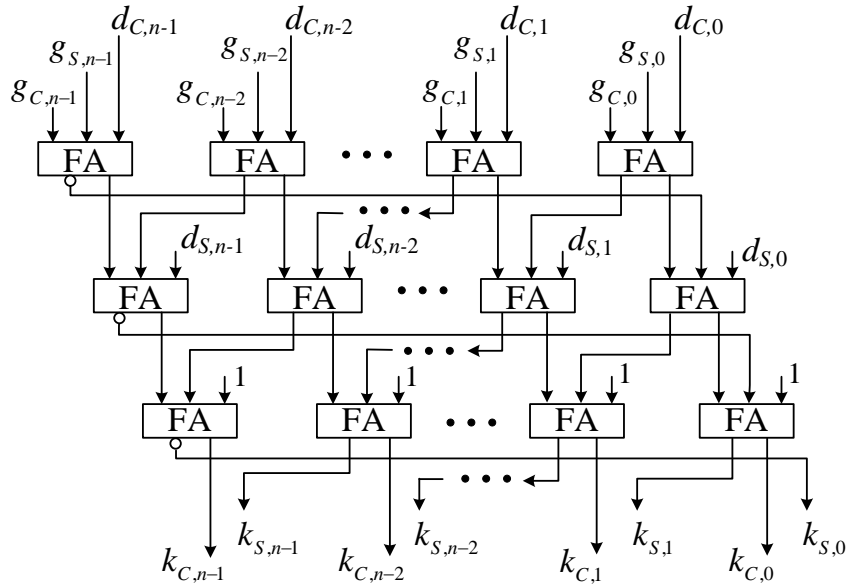
4.2.1.2 Αθροιστής Υπολοίπου $2^n + 1$ με Αμφότερες Εισόδους στη Πλεονάζουσα Αναπαράσταση CS^+

Θεωρούμε δύο αριθμούς υπολοίπου $2^n + 1$, οι οποίοι συμβολίζονται ως G_C, G_S και D_C, D_S στην πλεονάζουσα αναπαράσταση CS^+ . Προκειμένου να αθροίσουμε τους εν λόγω αριθμούς χρησιμοποιώντας αριθμητική υπολοίπου $2^n + 1$, είναι περισσότερο αποδοτικό να υπολογίσουμε το άθροισμα $|G + D|_{2^{n+1}} = |G_C + G_S + 1 + D_C + D_S + 1|_{2^{n+1}}$ απευθείας και να αποφύγουμε τις ενδιάμεσες αθροίσεις (Σχ. 4.8). Συνεπώς, έχουμε ότι

$$\begin{aligned} |G + D|_{2^{n+1}} &= |G_C + G_S + 3 - 2 + D_C + D_S + 1|_{2^{n+1}} \\ &= |G_C + G_S + D_C + D_S + 2^n - 1 + 3 + 1|_{2^{n+1}}. \end{aligned} \quad (4.7)$$

Οι όροι G_C, G_S, D_C, D_S και ο όρος $11 \dots 11 (= 2^n - 1)$ των n bits, προστίθενται χρησιμοποιώντας ένα Ανεστραμμένου Επανεισαγομένου Κρατούμενου (IEAC) δένδρο Αθροιστών ΣΚ (CSA tree) (Σχ. 4.10). Εφόσον απαιτούνται τρία επίπεδα Αθροιστών ΣΚ (CSA) για την άθροιση πέντε όρων, προκύπτουν τρία κρατούμενα εξόδου, τα οποία αναστρέφονται και επανατοποθετούνται σε χαμηλότερης τάξης θέσεις bit. Επομένως, το δένδρο υπολογίζει το άθροισμα $|G_C + G_S + D_C + D_S + 2^n - 1 + 3|_{2^{n+1}}$. Θεωρώντας ότι $\{K_C, K_S\} = K_{CS}^+$ είναι τα διανύσματα εξόδου του δένδρου, έχουμε ότι

$$|G_C + G_S + 1 + D_C + D_S + 1|_{2^{n+1}} = |K_C + K_S + 1|_{2^{n+1}}. \quad (4.8)$$



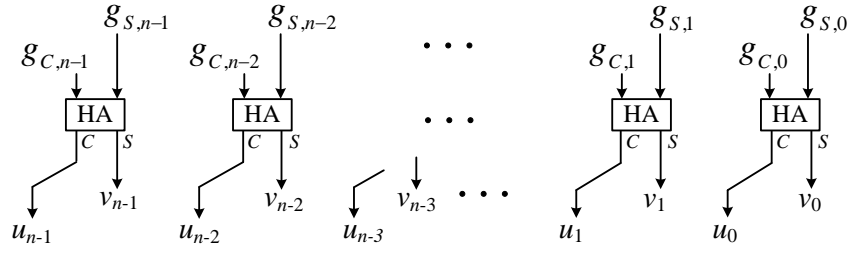
Σχήμα 4.10: Αθροιστής υπολοίπου $2^n + 1$ με αμφότερες εισόδους σε πλεονάζουσα αναπαράσταση CS^+ .

Το αποτέλεσμα $\{K_C, K_S\} = K_{CS}^+$ αναπαρίσταται στην πλεονάζουσα μορφή CS^+ . Ένας αθροιστής υπολοίπου $2^n + 1$ για όρους ελάττωσης κατά 1 δύναται να χρησιμοποιηθεί προκειμένου να υπολογιστεί το άθροισμα $|K_C + K_S + 1|_{2^n + 1}$ ή οι όροι $K_C, K_S = \{K_{CS}^+\}$ μπορούν να χρησιμοποιηθούν ως εισόδοι σε μία αριθμητική μονάδα υπολοίπου $2^n + 1$ για πλεονάζοντες όρους.

4.2.1.3 Πολλαπλασιαστής Υπολοίπου $2^n + 1$ με Μία Είσοδο στην Πλεονάζουσα Αναπαράσταση CS^+

Όταν μία άθροιση ή ένας πολλαπλασιασμός υπολοίπου $2^n + 1$ ακολουθείται από έναν πολλαπλασιασμό υπολοίπου $2^n + 1$, ένα πολλαπλασιαστής υπολοίπου $2^n + 1$ με μία είσοδο στην πλεονάζουσα αναπαράσταση CS^+ δύναται να χρησιμοποιηθεί προκειμένου να παραληφθεί η χρονοβόρα ενδιάμεση άθροιση (Σχ. 4.7β). Ο πολλαπλασιαστής αυτός υπολογίζει το γινόμενο $K = |(G_C + G_S + 1) \times D|_{2^n + 1}$, όπου G_C, G_S είναι τα διανύσματα εξόδου μίας μονάδας άθροισης ή πολλαπλασιασμού υπολοίπου $2^n + 1$ και $D = d_n d_{n-1} \dots d_1 d_0$ είναι ένας όρος στο πεδίο τιμών $[0, 2^n]$. Για τον υπολογισμό του γινομένου $|(G_C + G_S + 1) \times D|_{2^n + 1}$, το ζεύγος CS^+ με τα διανύσματα (G_C, G_S) τροφοδοτεί μία σειρά από ΗΑ [5] και μετατρέπεται σε μία αναπαράσταση Καθυστερημένου Κρατουμένου (Delayed-Carry representation), την οποία συμβολίζουμε ως (U, V) (Σχ. 4.11). Επομένως, $|(G_C + G_S + 1) \times D|_{2^n + 1} = |(2U + V + 1) \times D|_{2^n + 1}$, όπου $U = u_{n-1} \dots u_0$ και $V = v_{n-1} \dots v_0$. Προκειμένου να υπολογιστεί το γινόμενο $|(2U + V + 1) \times D|_{2^n + 1}$, τα μερικά γινόμενα του Σχ. 4.12 αθροίζονται. Εφόσον τα bits u_i, v_i παράγονται από ΗΑς, δε δύνανται να έχουν ταυτόχρονα την τιμή 1. Συνεπώς, οι όροι $u_i d_{j-1}$ και $v_i d_j$, οι οποίοι χαρακτηρίζονται από την ίδια τάξη, μπορούν να οδηγηθούν σε μία λογική πύλη OR αντί να αθροιστούν. Στο Σχ. 4.13 φαίνονται τα μερικά γινόμενα που προκύπτουν, όπου $p_{i,j} = u_i d_{j-1} \vee v_i d_j$.

Αναδιατάσσοντας στο Σχ. 4.13 όλους τους όρους τάξης μεγαλύτερης της $2^n - 1$, αποκτούμε έναν $n \times (n + 3)$ πίνακα μερικών γινομένων. Εφόσον, για $2^n \leq k \leq 2^{2n-1}$, ισχύει ότι $|s2^k|_{2^n + 1} = |s2^n 2^{k-n}|_{2^n + 1} = |-s2^{k-n}|_{2^n + 1} = |-s2^{k-n} + 2^{k-n} - 2^{k-n}|_{2^n + 1}$



Σχήμα 4.11: Μονάδα υπολογισμού της αναπαράστασης καθυστερημένου κρατουμένου.

$$\begin{array}{cccccccccccc}
 2^{2n} & 2^{2n-1} & 2^{2n-2} & \dots & 2^{n+1} & 2^n & 2^{n-1} & 2^{n-2} & \dots & 2^2 & 2 & 1 \\
 \hline
 & & & & & & & & & & & & v_{n-1}d_0 & v_{n-2}d_0 & \dots & v_2d_0 & v_1d_0 & v_0d_0 \\
 & & & & & & & & & & & & \{ u_{n-1}d_0 & u_{n-2}d_0 & u_{n-3}d_0 & \dots & u_1d_0 & u_0d_0 \} & p_{i,1} \\
 & & & & & & & & & & & & \{ v_{n-1}d_1 & v_{n-2}d_1 & v_{n-3}d_1 & \dots & v_1d_1 & v_0d_1 \} & p_{i,1} \\
 & & & & & & & & & & & & \{ u_{n-1}d_1 & u_{n-2}d_1 & u_{n-3}d_1 & u_{n-4}d_1 & \dots & u_0d_1 \} & p_{i,2} \\
 & & & & & & & & & & & & \{ v_{n-1}d_2 & v_{n-2}d_2 & v_{n-3}d_2 & v_{n-4}d_2 & \dots & v_0d_2 \} & p_{i,2} \\
 & & & & & & & & & & & & \dots & \dots & \dots & \dots & \dots & \dots & \dots \\
 & & & & & & & & & & & & \{ u_{n-1}d_{n-1} & u_{n-2}d_{n-1} & \dots & u_1d_{n-1} & u_0d_{n-1} \} & p_{i,n} \\
 & & & & & & & & & & & & \{ v_{n-1}d_n & v_{n-2}d_n & \dots & v_1d_n & v_0d_n \} & p_{i,n} \\
 u_{n-1}d_n & u_{n-2}d_n & u_{n-3}d_n & \dots & u_0d_n & & & & & & & & d_n & d_{n-1} & d_{n-2} & \dots & d_2 & d_1 & d_0
 \end{array}$$

Σχήμα 4.12: Ο αρχικός πίνακας μερικών γινομένων.

$$\begin{array}{cccccccccccc}
 2^{2n} & 2^{2n-1} & 2^{2n-2} & \dots & 2^{n+1} & 2^n & 2^{n-1} & 2^{n-2} & \dots & 2^2 & 2 & 1 \\
 \hline
 & & & & & & & & & & & & v_{n-1}d_0 & v_{n-2}d_0 & \dots & v_2d_0 & v_1d_0 & v_0d_0 \\
 & & & & & & & & & & & & p_{n-1,1} & p_{n-2,1} & p_{n-3,1} & \dots & p_{1,1} & p_{0,1} \\
 & & & & & & & & & & & & p_{n-1,2} & p_{n-2,2} & p_{n-3,2} & p_{n-4,2} & \dots & p_{0,2} \\
 & & & & & & & & & & & & \dots & \dots & \dots & \dots & \dots & \dots \\
 & & & & & & & & & & & & p_{n-1,n} & p_{n-2,n} & \dots & p_{1,n} & p_{0,n} & \\
 & & & & & & & & & & & & \dots & \dots & \dots & \dots & \dots & \dots \\
 u_{n-1}d_n & u_{n-2}d_n & u_{n-3}d_n & \dots & u_0d_n & & & & & & & & d_n & d_{n-1} & d_{n-2} & \dots & d_2 & d_1 & d_0
 \end{array}$$

Σχήμα 4.13: Ο πίνακας μερικών γινομένων με τους όρους τάξης μεγαλύτερης της $2^n - 1$, οι οποίοι πρέπει να διαταχθούν εκ νέου.

$$\begin{array}{cccccccc}
 PP_i & 2^{n-1} & 2^{n-2} & \dots & 2^2 & 2 & 1 \\
 \hline
 PP_0 = & v_{n-1}d_0 & v_{n-2}d_0 & \dots & v_2d_0 & v_1d_0 & v_0d_0 \\
 PP_1 = & p_{n-2,1} & p_{n-3,1} & \dots & p_{1,1} & p_{0,1} & \bar{p}_{n-1,1} \\
 PP_2 = & p_{n-3,2} & p_{n-4,2} & \dots & p_{0,2} & \bar{p}_{n-1,2} & \bar{p}_{n-2,2} \\
 \dots & \dots & \dots & \dots & \dots & \dots & \dots \\
 PP_n = & \bar{p}_{n-1,n} & \bar{p}_{n-2,n} & \dots & \bar{p}_{2,n} & \bar{p}_{1,n} & \bar{p}_{0,n} \\
 PP_{n+1} = & u_{n-2}d_n & u_{n-3}d_n & \dots & u_1d_n & u_0d_n & u_{n-1} \vee \bar{d}_n \\
 PP_{n+2} = & d_{n-1} & d_{n-2} & \dots & d_2 & d_1 & d_0
 \end{array}$$

Σχήμα 4.14: Ο πίνακας μερικών γινομένων μετά την αναδιάταξη των όρων τάξης μεγαλύτερης της $2^n - 1$.

PP_i	2^{n-1}	2^{n-2}	...	2^2	2	1
$PP_0 =$	$v_{n-1}d_0$	$v_{n-2}d_0$...	v_2d_0	v_1d_0	v_0d_0
$PP_1 =$	$p_{n-2,1}$	$p_{n-3,1}$...	$p_{1,1}$	$p_{0,1}$	$\bar{p}_{n-1,1}$
$PP_2 =$	$p_{n-3,2}$	$p_{n-4,2}$...	$p_{0,1}$	$\bar{p}_{n-1,2}$	$\bar{p}_{n-2,2}$

$PP_n =$	$\bar{p}_{n-1,n}$	$\bar{p}_{n-2,n}$...	$\bar{p}_{2,n}$	$\bar{p}_{1,n}$	$\bar{p}_{0,n}$
$PP_{n+1}^* =$	$\bar{d}_n d_{n-1} \vee d_n \bar{u}_{n-2}$	$\bar{d}_n d_{n-2} \vee d_n \bar{u}_{n-3}$...	$\bar{d}_n d_2 \vee d_n \bar{u}_1$	$\bar{d}_n d_1 \vee d_n \bar{u}_0$	$\bar{d}_n d_0 \vee d_n u_{n-1}$
$PP_{n+2}^* =$	0	0	...	d_n	\bar{d}_n	0

Σχήμα 4.15: Ο ελαττωμένος πίνακας μερικών γινομένων.

$= |\bar{s}2^{k-n} - 2^{k-n}|_{2^{n+1}}$, κάθε όρος $p_{i,j}$ τάξης 2^{i+j} στο σύνολο A του Σχ. 4.13 αναστρέφεται και επανατοποθετείται σε μία στήλη τάξης 2^{i+j-n} απαιτώντας ένα διορθωτικό όρο της μορφής -2^{i+j-n} . Η αναστροφή και επανατοποθέτηση του όρου $p_{n-1,1}$ στη δεύτερη σειρά απαιτεί ένα διορθωτικό όρο ίσο με $-1 = -(2-1)$, ενώ η αναστροφή και επανατοποθέτηση των όρων $p_{n-1,2}, p_{n-2,2}$ στην τρίτη σειρά απαιτεί ένα διορθωτικό όρο ίσο με $-2-1 = -(2^2-1)$. Με τον ίδιο τρόπο, η αναστροφή και επανατοποθέτηση των όρων $p_{n-1,n}, p_{n-2,n}, \dots, p_{0,n}$ απαιτεί ένα διορθωτικό όρο της μορφής $-(2^{n-1} + 2^{n-2} + \dots + 2^0) = -(2^n - 1)$. Συνεπώς, ο συνολικός διορθωτικός όρος που απαιτείται λόγω της αναστροφής και αναδιάταξης των όρων του συνόλου A στο Σχ. 4.13 είναι ίσος με $-(2-1) - (2^2-1) - \dots - (2^n-1) = n - (2^n + 2^{n-1} + \dots + 2) = n - 2(2^n - 1) = -2 \times 2^n + n + 2$. Η αναστροφή και αναδιάταξη των όρων του συνόλου B στο Σχ. 4.13 απαιτεί ένα διορθωτικό όρο της μορφής $-(2^{n-1} + 2^{n-2} + \dots + 2) = -(2^{n-1} + 2^{n-2} + \dots + 2 + 1) + 1 = -2^n + 2$. Επίσης, η αναστροφή και επανατοποθέτηση του bit d_n απαιτεί ένα διορθωτικό όρο ίσο με -1 . Η συνολική διόρθωση που απαιτείται λόγω της αναστροφής και αναδιάταξης των όρων τάξης μεγαλύτερης της 2^{n-1} είναι ίση με $COR = -3 \times 2^n + n + 3$. Εφόσον $|2^{2n}|_{2^{n+1}} = 1$, ο όρος $u_{n-1}d_n$ επανατοποθετείται στη λιγότερη σημαντική θέση bit. Επειδή οι όροι \bar{d}_n και $u_{n-1}d_n$ δεν μπορούν να έχουν ταυτόχρονα την τιμή 1, οδηγούνται σε μία λογική πύλη OR αντί να προστεθούν. Επομένως, $u_{n-1}d_n + \bar{d}_n = u_{n-1}d_n \vee \bar{d}_n = u_{n-1} \vee \bar{d}_n$. Συνεπώς,

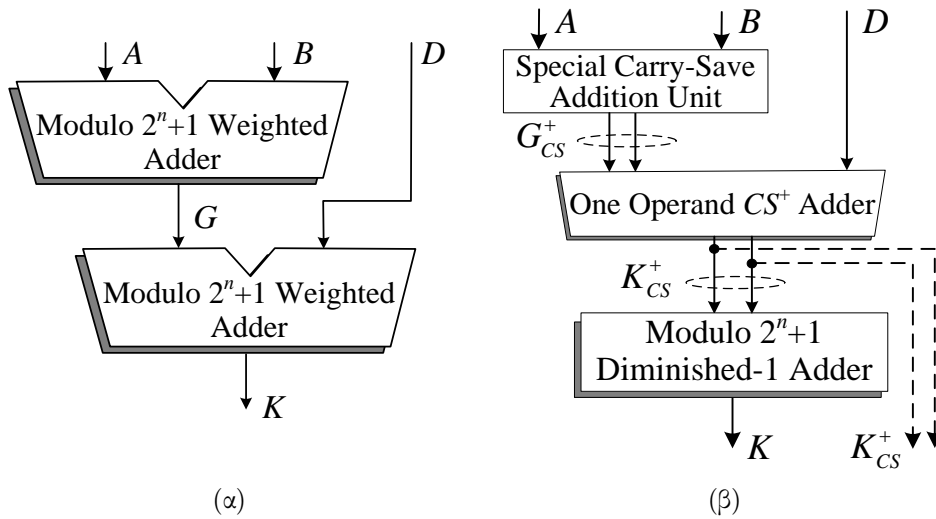
$$\begin{aligned}
K &= |(G_C + G_S + 1) \times D|_{2^{n+1}} = \left| \sum_{i=0}^{n+2} PP_i + COR \right|_{2^{n+1}} \\
&= \left| \sum_{i=0}^{n+2} PP_i - 3 \times 2^n + n + 2 + 1 \right|_{2^{n+1}}.
\end{aligned} \tag{4.9}$$

Εφόσον $|-3 \times 2^n|_{2^{n+1}} = 3$, έχουμε ότι

$$\begin{aligned}
K &= \left| \sum_{i=0}^{n+2} PP_i + 4 + n + 1 + 1 \right|_{2^{n+1}} \\
&= \left| \sum_{i=0}^n PP_i + |PP_{n+1} + PP_{n+2} + 4|_{2^{n+1}} + n + 1 + 1 \right|_{2^{n+1}},
\end{aligned} \tag{4.10}$$

όπου $PP_i, 0 \leq i \leq n+2$, είναι τα μερικά γινόμενα που φαίνονται στο Σχ. 4.14.

Ο όρος $X = |PP_{n+1} + PP_{n+2} + 4|_{2^{n+1}}$ αναλύεται ως ακολούθως:



Σχήμα 4.16: Αριθμητική μονάδα υπολοίπου $2^n + 1$ για την άθροιση τριών όρων κανονικής αναπαράστασης. Η σχεδίαση της μονάδας πραγματοποιήθηκε α) συμβατικά χρησιμοποιώντας δύο αθροιστές υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6α) και β) με βάση έναν αθροιστή με έναν πλεονάζοντα όρο (Σχ. 4.7α).

Όταν $d_n = 0$,

$$\begin{aligned} X &= |d_{n-1}2^{n-1} + d_{n-2}2^{n-2} + \dots + d_12 + d_0 + 2^n - 1 + 4|_{2^{n+1}} \\ &= |d_{n-1}2^{n-1} + d_{n-2}2^{n-2} + \dots + d_12 + d_0 + 2|_{2^{n+1}}. \end{aligned}$$

Όταν $d_n = 1$,

$$X = |\bar{u}_{n-2}2^{n-1} + \bar{u}_{n-3}2^{n-2} + \dots + \bar{u}_02 + u_{n-1} + 4|_{2^{n+1}}.$$

Συνεπώς,

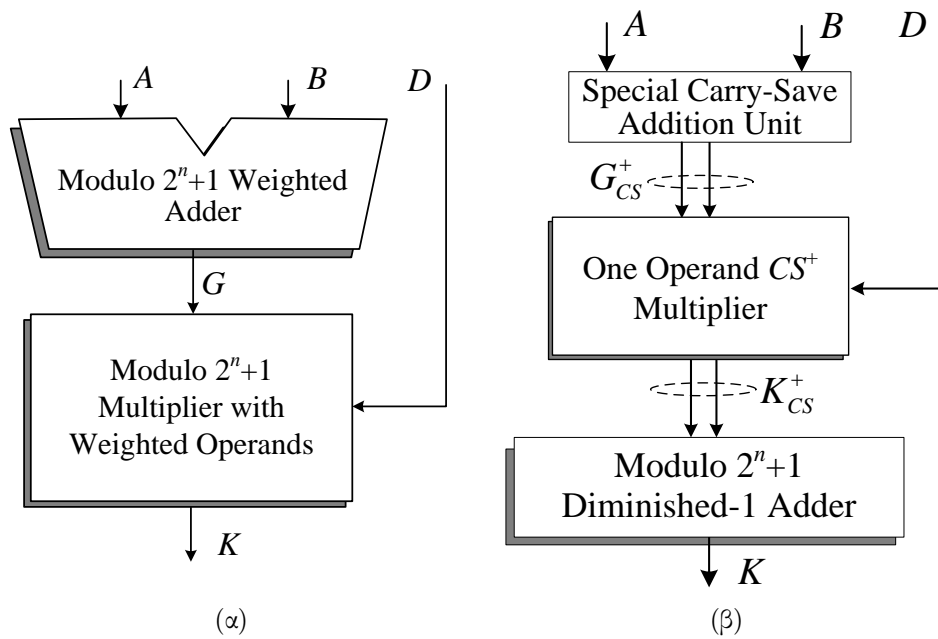
$$\begin{aligned} X &= |(\bar{d}_n d_{n-1} \vee d_n \bar{u}_{n-2})2^{n-1} + \dots + (\bar{d}_n d_1 \vee d_n \bar{u}_0)2 + (\bar{d}_n d_0 \vee d_n u_{n-1}) + \\ &\quad + 4d_n + 2\bar{d}_n|_{2^{n+1}}. \end{aligned}$$

Καταλήγουμε ότι $X = |PP_{n+1}^* + PP_{n+2}^*|_{2^{n+1}}$, όπου $PP_{n+1}^* = (\bar{d}_n d_{n-1} \vee d_n \bar{u}_{n-2})2^{n-1} + \dots + (\bar{d}_n d_1 \vee d_n \bar{u}_0)2 + (\bar{d}_n d_0 \vee d_n u_{n-1})$ και $PP_{n+2}^* = 4d_n + 2\bar{d}_n$. Ο ελαττωμένος πίνακας μερικών γινομένων φαίνεται στο Σχ. 4.15.

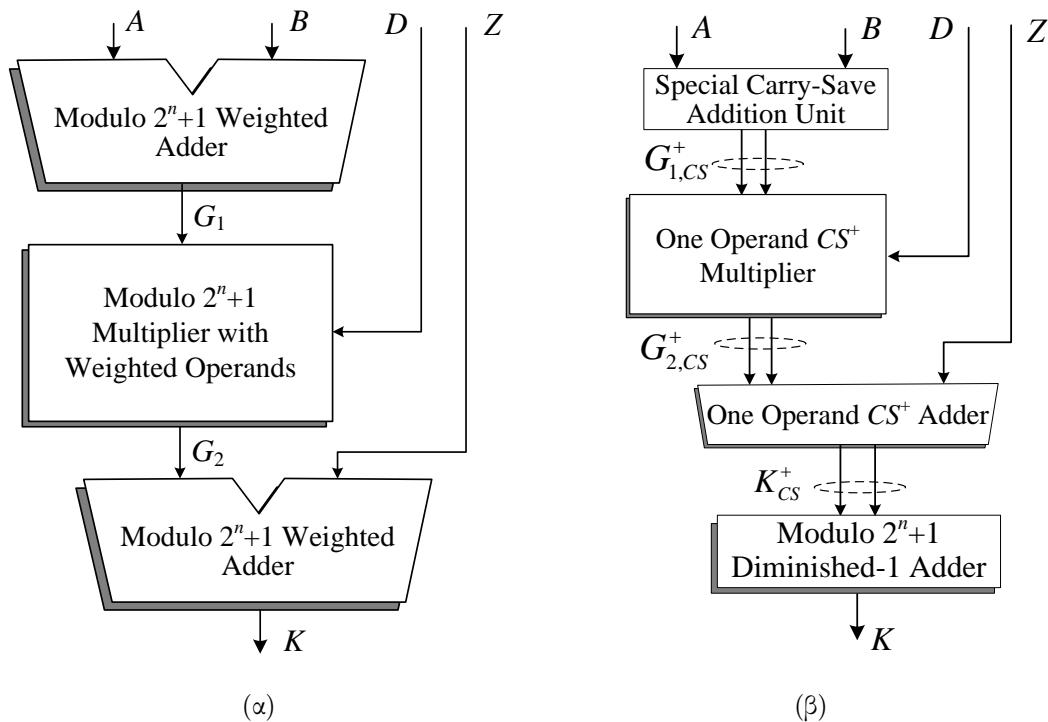
Τα $n+3$ μερικά γινόμενα, τα οποία προκύπτουν, προστίθενται χρησιμοποιώντας ένα Ανεστραμμένου Επανεισαγομένου Κρατούμενου (IEAC) δένδρο Αθροιστών ΣΚ (CSA tree) με εξόδους τα διανύσματα $\{K_C, K_S\} = K_{CS}^+$. Εφόσον $n+1$ κρατούμενα αναστρέφονται και επανατοποθετούνται στις κατάλληλες θέσεις, το δένδρο υπολογίζει το άθροισμα $|\sum_{i=0}^n PP_i + PP_{n+1}^* + PP_{n+2}^* + n + 1|_{2^{n+1}}$. Συνεπώς, $K = |K_C + K_S + 1|_{2^{n+1}}$. Το άθροισμα $|K_C + K_S + 1|_{2^{n+1}}$ υπολογίζεται μέσω ενός αθροιστή υπολοίπου $2^n + 1$ για όρους ελάττωσης κατά 1 ή οι όροι $\{K_C, K_S\} = K_{CS}^+$ τροφοδοτούν μία επακόλουθη αριθμητική μονάδα υπολοίπου $2^n + 1$ με πλεονάζοντες όρους.

4.2.2 Πειραματικά Αποτελέσματα

Παρουσιάζουμε τις πειραματικές μετρήσεις για τις αλυσιδωτές αριθμητικές λειτουργίες $|(A + B) + D|_{2^{n+1}}$, $|(A + B) \times D|_{2^{n+1}}$ και $|((A + B) \times D) + Z|_{2^{n+1}}$, οι οποίες υλοποιούνται χρησιμοποιώντας συμβατικές αριθμητικές μονάδες υπολοίπου $2^n + 1$ για όρους



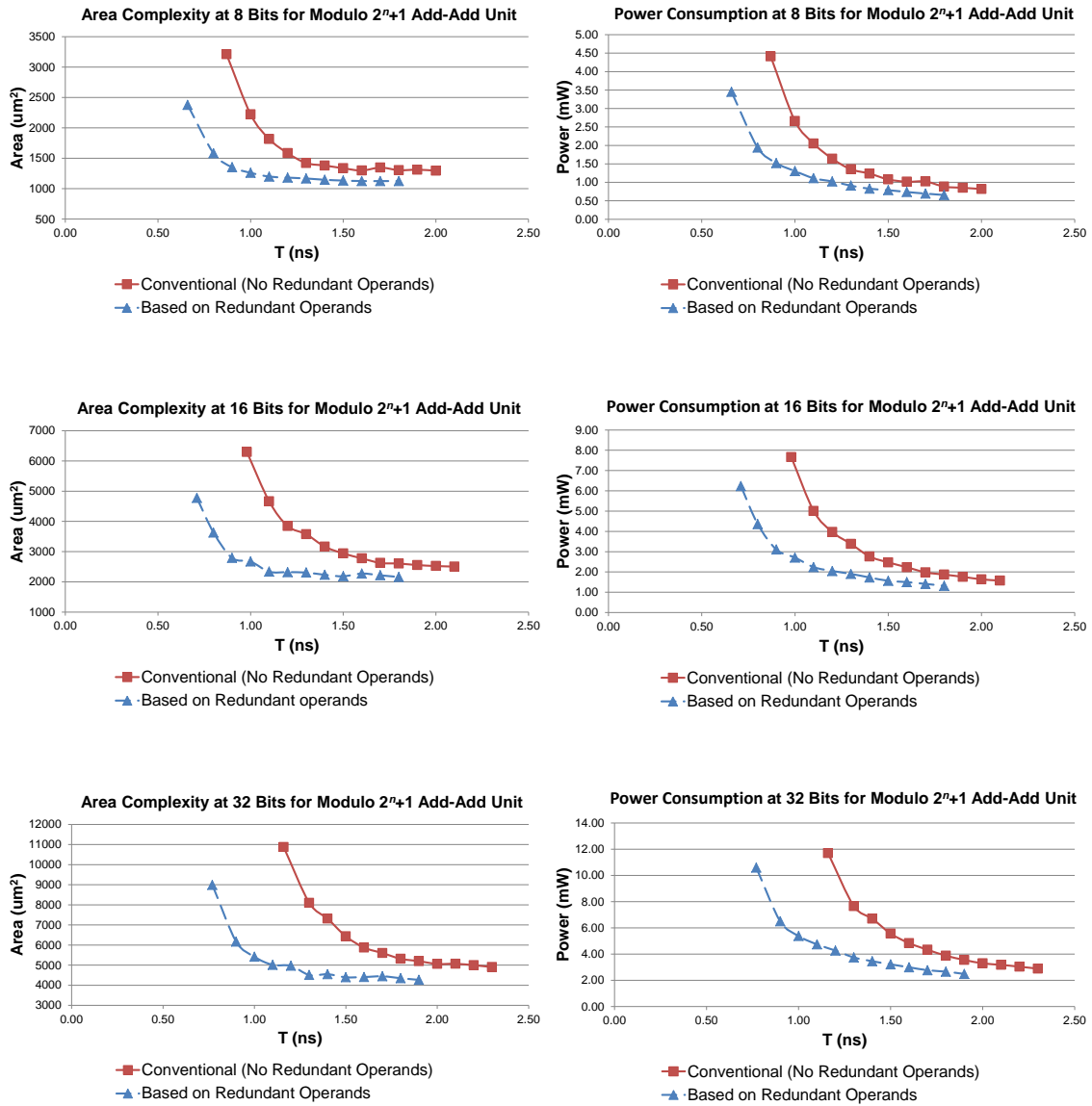
Σχήμα 4.17: Αριθμητική μονάδα υπολοίπου $2^n + 1$ για τον πολλαπλασιασμό με το άθροισμα όρων κανονικής αναπαράστασης. Η σχεδίαση της μονάδας πραγματοποιήθηκε α) συμβατικά χρησιμοποιώντας έναν αθροιστή υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6α) και έναν πολλαπλασιαστή υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6β), και β) με βάση έναν πολλαπλασιαστή με έναν πλεονάζοντα όρο (Σχ. 4.7β).



Σχήμα 4.18: Αριθμητική μονάδα υπολοίπου $2^n + 1$ για τον υπολογισμό της αλυσίδας αριθμητικών λειτουργιών άθροισης - πολλαπλασιασμού - άθροισης για όρους κανονικής αναπαράστασης. Η σχεδίαση της μονάδας πραγματοποιήθηκε α) συμβατικά χρησιμοποιώντας αθροιστές υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6α) και έναν πολλαπλασιαστή υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.6β), και β) με βάση έναν πολλαπλασιαστή με έναν πλεονάζοντα όρο (Σχ. 4.7β) και έναν αθροιστή με έναν πλεονάζοντα όρο (Σχ. 4.7α).

κανονικής αναπαράστασης (Σχ. 4.16α, 4.17α και 4.18α, αντίστοιχα) και χρησιμοποιώντας τους αθροιστές και πολλαπλασιαστές υπολοίπου $2^n + 1$ για πλεονάζοντες όρους (Σχ. 4.16β, 4.17β και 4.18β, αντίστοιχα). Όλα τα υπό αξιολόγηση σχέδια περιγράφηκαν δομικά σε ξύλινο Γλώσσα Περιγραφής Υλικού (HDL) τοποθετώντας καταχωρητές τόσο στις εισόδους όσο και στις εξόδους των κυκλωμάτων και χρησιμοποιώντας την παράμετρο $n = 8, 16$ και 32 bits για το μήκος λέξης των εισόδων. Κάθε υπό αξιολόγηση σχέδιο προσομοιώθηκε σε επίπεδο συνδυαστικού κυκλώματος μεταξύ καταχωρητών (RTL) προκειμένου να επιβεβαιώσουμε την ορθότητά του, ενώ στη συνέχεια συντέθηκε χρησιμοποιώντας το εργαλείο Design Compiler της εταιρείας Synopsys [92] και τη βιβλιοθήκη πρότυπων κελιών της εταιρείας Faraday [96] για τεχνολογία κατασκευής 90 nm σε τυπικές συνθήκες. Η σύνθεση διεξήχθη θεωρώντας το μέγιστο δυνατό βαθμό βελτιστοποίησης στο εργαλείο Design Compiler. Αρχικά, συνθέσαμε κάθε υπό αξιολόγηση σχέδιο στην ελάχιστη δυνατή περίοδο ρολογιού και, στη συνέχεια, σε υψηλότερες περιόδους ρολογιού προκειμένου να διερευνήσουμε τη συμπεριφορά όλων των υπό αξιολόγηση σχεδίων από τη σκοπιά της επιφάνειας πυριτίου και της κατανάλωσης ισχύος και θεωρώντας διαφορετικούς χρονικούς περιορισμούς. Για κάθε ξεχωριστή περίοδο ρολογιού, προσομοιώσαμε όλα τα υπό αξιολόγηση σχέδια χρησιμοποιώντας το εργαλείο Modelsim [97] για το ίδιο σύνολο εισόδων στο εύρος τιμών $[0, 2^n + 1)$. Οι εισόδοι παρήχθησαν τυχαία με ίση πιθανότητα για ένα bit να είναι 0 ή 1 . Επίσης, προκειμένου να υπολογίσουμε την κατανάλωση ισχύος όλων των υπό αξιολόγηση σχεδίων, χρησιμοποιήσαμε το εργαλείο PrimeTime-PX της εταιρείας Synopsys [93] ενεργοποιώντας τη διαδικασία υπολογισμού του μέσου όρου της κατανάλωσης ισχύος.

Το Σχ. 4.19 απεικονίζει γραφικά τις πειραματικές τιμές για την επιφάνεια πυριτίου και την κατανάλωση ισχύος της αριθμητικής μονάδας υπολοίπου $2^n + 1$, η οποία υλοποιεί την αλυσίδα αριθμητικών λειτουργιών άθροισης - άθροισης $((A + B) + D)_{|2^n + 1}$. Η υλοποίηση της προαναφερόμενης αριθμητικής μονάδας διεξήχθη τόσο συμβατικά όσο και με βάση τον προτεινόμενο αθροιστή υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.16β). Η συμβατική σχεδίαση των αλυσιδωτών αριθμητικών λειτουργιών $((A + B) + D)_{|2^n + 1}$ περιλαμβάνει δύο αθροιστές παράλληλου προθέματος (parallel-prefix) υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.16α) [77, 114]. Η κρίσιμη καθυστέρηση της προτεινόμενης προσέγγισης είναι ελαττωμένη σε σύγκριση με το συμβατικό σχέδιο κατά 0.21 ns (ή 24.14%) για μήκος λέξης των εισόδων ίσο με 8 bits, 0.27 ns (ή 27.55%) για 16 bits και 0.39 ns (ή 33.62%) για 32 bits. Παρατηρούμε ότι όσο μεγαλύτερο είναι το μήκος λέξης των εισόδων, τόσο υψηλότερες είναι οι τιμές της ελάττωσης της κρίσιμης καθυστέρησης. Αυτό συμβαίνει επειδή η κρίσιμη καθυστέρηση τόσο της ειδικής μονάδας Άθροισης ΣΚ όσο και του προτεινόμενου αθροιστή υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.16β) είναι σταθερή και δεν εξαρτάται από το μήκος λέξης των εισόδων, ενώ η κρίσιμη καθυστέρηση του αθροιστή υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης, όπως ο αθροιστής που τοποθετείται στην κορυφή της ιεραρχίας του συμβατικού σχεδίου (Σχ. 4.16α), αυξάνεται όταν το μήκος λέξης των εισόδων γίνεται μεγαλύτερο. Επίσης, λαμβάνοντας υπόψη τις πειραματικές τιμές επιφάνειας πυριτίου και κατανάλωσης ισχύος στις περιόδους ρολογιού όπου δύνανται να συντεθούν τόσο η συμβατική όσο και η προτεινόμενη προσέγγιση, το προτεινόμενο σχέδιο παρουσιάζει αξιοσημείωτα κέρδη για την επιφάνεια πυριτίου της τάξεως του 21.82% , του 28.87% και του 27.92% και για την κατανάλωση ισχύος της τάξεως του 34.70% , του 39.07% και του 39.66% κατά μέσο όρο για μήκος λέξης των εισόδων ίσο με $8, 16$ και 32 bits αντίστοιχα. Τα προαναφερόμενα κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος

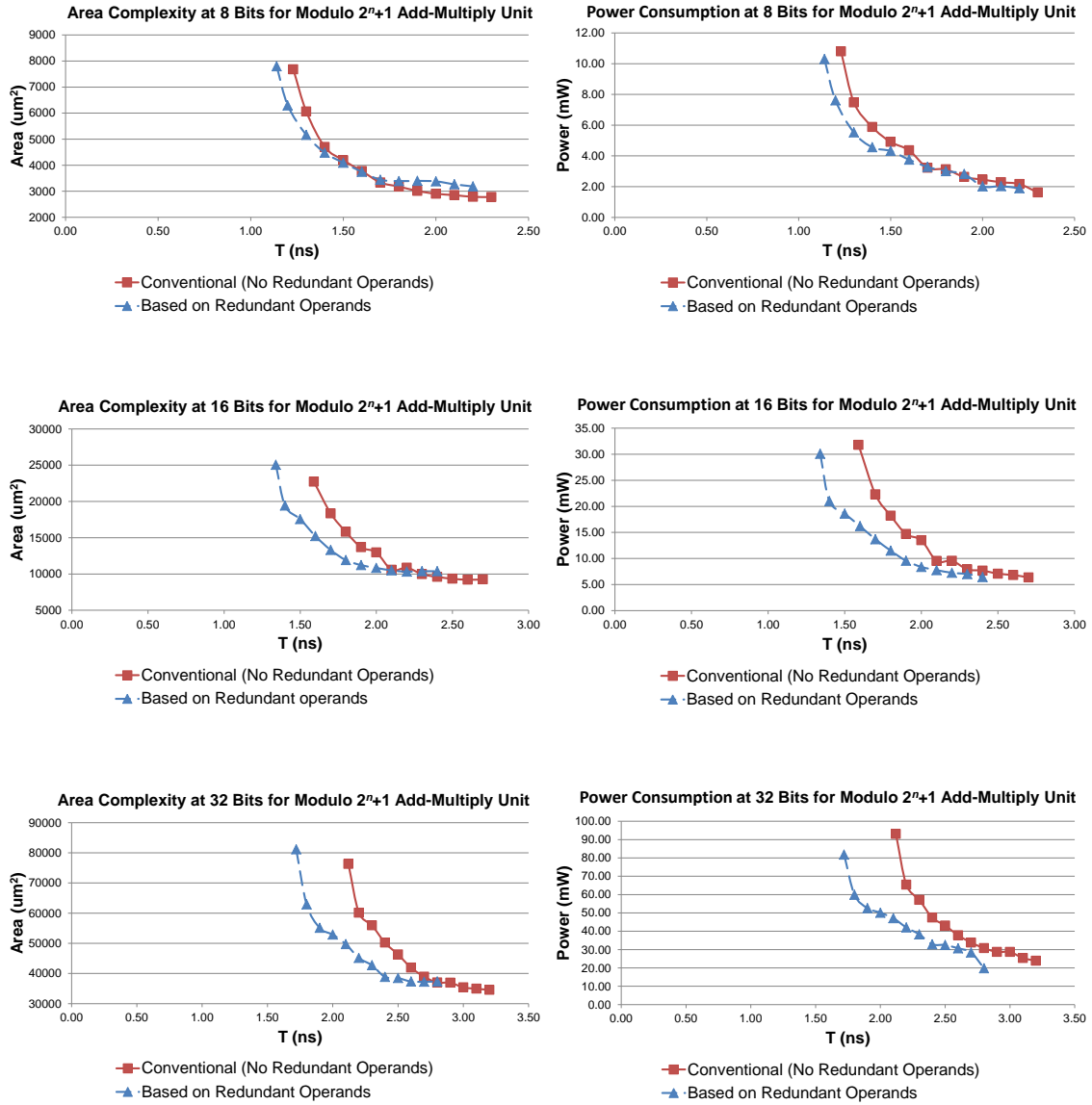


Σχήμα 4.19: Επιφάνεια πυριτίου και κατανάλωση ισχύος για την αριθμητική μονάδα υπολοίπου $2^n + 1$, η οποία υλοποιεί την αλυσίδα αριθμητικών λειτουργιών άθροισης - άθροισης $((A + B) + D)_{2^n+1}$. Η σχεδίαση της αριθμητικής μονάδας πραγματοποιήθηκε τόσο συμβατικά (Σχ. 4.16α) όσο και με βάση τον προτεινόμενο αθροιστή υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.16β) για μήκος λέξης των εισόδων ίσο με 8, 16 και 32 bits.

φθάνουν τις μέγιστες τιμές τους ίσες με 49.92% και 55.29% αντίστοιχα, όταν η περίοδος ρολογιού ισούται με 1.10 ns και για 16 bits μήκος λέξης των εισόδων. Συνεπώς, το Σχ. 4.19 επιβεβαιώνει το πλεονέκτημα της χρησιμοποίησης της πλεονάζουσας αναπαράστασης CS^+ για τη σχεδίαση μίας αποδοτικής μονάδας άθροισης υπολοίπου $2^n + 1$, η οποία διεξάγει περισσότερες της μίας διαδοχικές αθροίσεις υπολοίπου $2^n + 1$.

Στο Σχ. 4.20 απεικονίζονται γραφικά τα πειραματικά αποτελέσματα επιφάνειας πυριτίου και κατανάλωσης ισχύος για την αριθμητική μονάδα υπολοίπου $2^n + 1$, η οποία υλοποιεί την αλυσίδα αριθμητικών λειτουργιών άθροισης - πολλαπλασιασμού $((A + B) \times D)_{2^n+1}$. Η υλοποίηση της προαναφερόμενης αριθμητικής μονάδας πραγματοποιήθηκε τόσο συμβατικά όσο και με βάση τον προτεινόμενο πολλαπλασιαστή υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.17β). Ένας αθροιστής παράλληλου προθέματος (parallel-prefix) υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης [77,114] και ένας επακόλουθος πολλαπλασιαστής υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης [79] σχηματίζουν τη συμβατική υλοποίηση των αλυσιδωτών αριθμητικών λειτουργιών $((A + B) \times D)_{2^n+1}$ (Σχ. 4.17α). Σε σύγκριση με το συμβατικό σχέδιο, η κρίσιμη καθυστέρηση της προτεινόμενης προσέγγισης είναι ελαττωμένη κατά 0.09 ns (ή 7.32%) για μήκος λέξης των εισόδων ίσο με 8 bits, 0.25 ns (ή 15.72%) για 16 bits και 0.40 ns (ή 18.87%) για 32 bits. Επίσης, λαμβάνοντας υπόψη τις πειραματικές τιμές επιφάνειας πυριτίου και κατανάλωσης ισχύος στις περιόδους ρολογιού όπου δύνανται να συντεθούν τόσο η συμβατική όσο και η προτεινόμενη προσέγγιση, το προτεινόμενο σχέδιο παρουσιάζει αξιολογικά κέρδη για την επιφάνεια πυριτίου της τάξεως του -4.55%, του 10.02% και του 14.63% και για την κατανάλωση ισχύος της τάξεως του 11.05%, του 27.27% και του 27.77% κατά μέσο όρο για μήκος λέξης των εισόδων ίσο με 8, 16 και 32 bits αντίστοιχα. Τα προαναφερόμενα κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος φθάνουν τις υψηλότερες τιμές τους ίσες με 27.48% και 38.57% αντίστοιχα, όταν η περίοδος ρολογιού είναι ίση με 1.70 ns για 16 bits μήκος λέξης των εισόδων.

Παρατηρούμε ότι όσο μεγαλύτερο είναι το μήκος λέξης των εισόδων, τόσο υψηλότερες είναι οι τιμές της ελάττωσης για την κρίσιμη καθυστέρηση. Αυτό δικαιολογείται από το γεγονός ότι η κρίσιμη καθυστέρηση τόσο της ειδικής μονάδας Άθροισης ΣΚ όσο και της υπολογιστικής μονάδας για τη δημιουργία της αναπαράστασης Καθυστερημένου Κρατουμένου (Σχ. 4.11), η οποία περιλαμβάνεται στον προτεινόμενο πολλαπλασιαστή υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ , (Σχ. 4.17β) είναι σταθερή και δεν εξαρτάται από το μήκος λέξης των εισόδων, ενώ η κρίσιμη καθυστέρηση του αθροιστή υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης, όπως ο αθροιστής που περιλαμβάνει το συμβατικό σχέδιο (Σχ. 4.17α), αυξάνεται όταν το μήκος λέξης των εισόδων γίνεται μεγαλύτερο. Επίσης, παρατηρούμε ότι η προτεινόμενη προσέγγιση για μήκος λέξης των εισόδων ίσο με 8 bits δε συμβαδίζει με τις αντίστοιχες υλοποιήσεις για μήκος λέξης των εισόδων ίσο με 16 και 32 bits από την άποψη της βελτίωσης στην κρίσιμη καθυστέρηση και των κερδών επιφάνειας πυριτίου / κατανάλωσης ισχύος. Αντιθέτως, στην περίπτωση που το μήκος λέξης των εισόδων είναι ίσο με 8 bits, το προτεινόμενο σχέδιο παρουσιάζει ζημιές επιφάνειας πυριτίου σε σύγκριση με τη συμβατική προσέγγιση. Ωστόσο, μετά από μία περισσότερο προσεκτική και λεπτομερή εξέταση της συμβατικής και της προτεινόμενης υλοποίησης για την αλυσίδα αριθμητικών λειτουργιών $((A + B) \times D)_{2^n+1}$, όταν το μήκος λέξης των εισόδων είναι ίσο με 8 bits, και με βάση τον Πίνακα 4.1, παρατηρούμε ότι το δένδρο Άθροισης ΣΚ (CSA tree) αποτελείται από 4 επίπεδα πλήρων αθροιστών στην περίπτωση της συμβατικής προσέγγισης (9 μερικά γινόμενα προς άθροιση), ενώ το αντίστοιχο



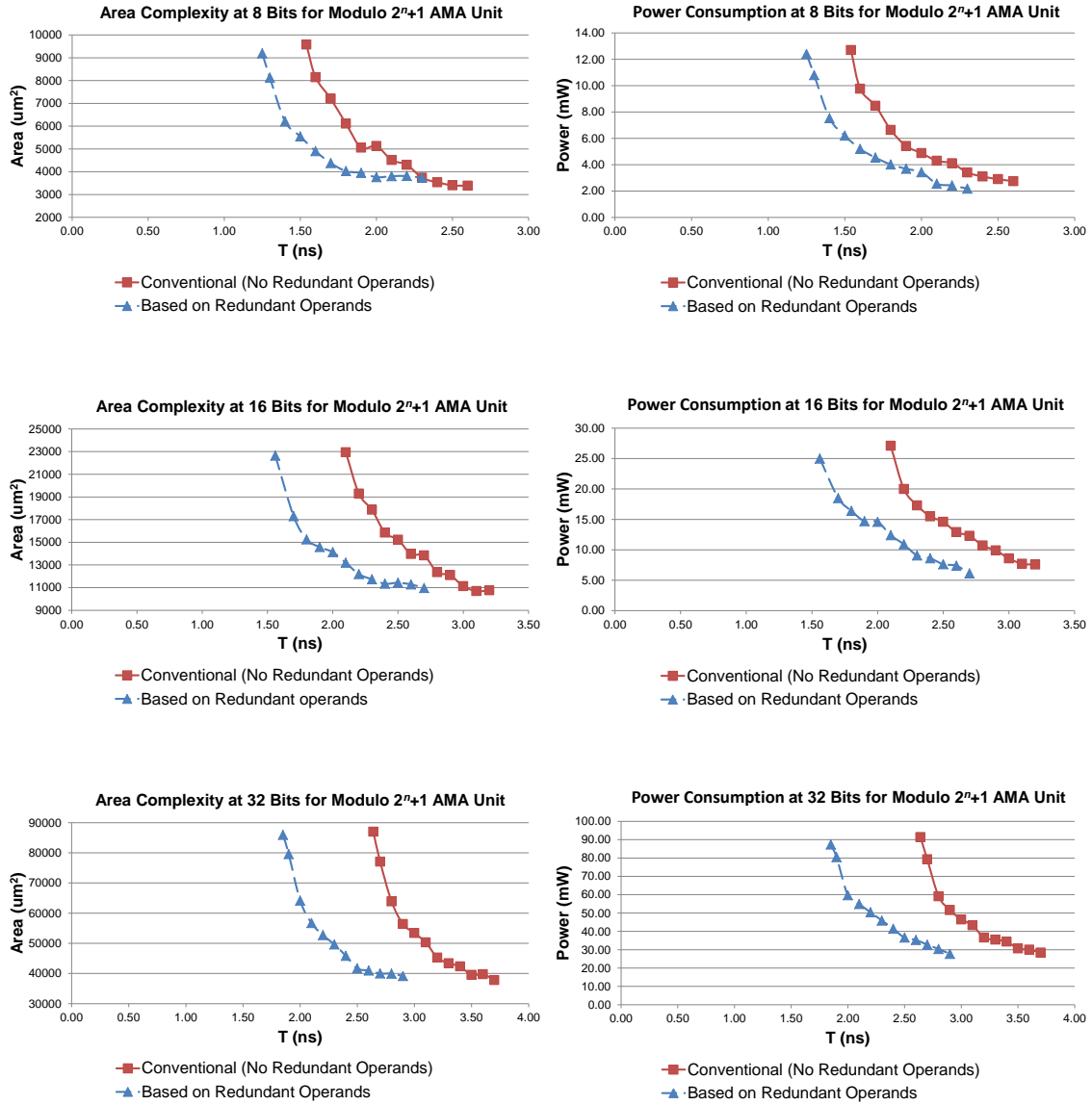
Σχήμα 4.20: Επιφάνεια πυριτίου και κατανάλωση ισχύος για την αριθμητική μονάδα υπολοίπου 2^n+1 , η οποία υλοποιεί την αλυσίδα αριθμητικών λειτουργιών άθροισης - πολλαπλασιασμού $((A+B) \times D)_{2^n+1}$. Η σχεδίαση της αριθμητικής μονάδας πραγματοποιήθηκε τόσο συμβατικά (Σχ. 4.17α) όσο και με βάση τον προτεινόμενο πολλαπλασιαστή υπολοίπου 2^n+1 με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.17β) για μήκος λέξης των εισόδων με 8, 16 και 32 bits.

Πίνακας 4.1: Βάθος Δένδρου Αθροιστών ΣΚ σε Επίπεδα Πλήρων Αθροιστών

Αριθμός όρων προς άθροιση	4	5-6	7-9	10-13	14-19	20-28	29-42
Βάθος σε επίπεδα πλήρων αθροιστών	2	3	4	5	6	7	8

δένδρο του προτεινόμενου σχεδίου απαιτεί 5 επίπεδα πλήρων αθροιστών (11 μερικά γινόμενα προς άθροιση). Η παρατήρηση αυτή δεν ισχύει για τις περιπτώσεις όπου το μήκος λέξης των εισόδων είναι ίσο με 16 ή 32 bits επειδή, σε κάθε μία από αυτές, το δένδρο Άθροισης ΣΚ (CSA tree) απαιτεί τον ίδιο αριθμό επιπέδων πλήρων αθροιστών τόσο για τη συμβατική όσο και για την προτεινόμενη προσέγγιση.

Το Σχ. 4.21 απεικονίζει γραφικά τις τιμές επιφάνειας πυριτίου και κατανάλωσης ισχύος, όπως αυτές προέκυψαν από τη διεξαγωγή των κατάλληλων πειραμάτων για την αριθμητική μονάδα υπολοίπου $2^n + 1$, η οποία υλοποιεί την αλυσίδα αριθμητικών λειτουργιών άθροισης - πολλαπλασιασμού - άθροισης $|(A + B) \times D + Z|_{2^n+1}$. Η υλοποίηση της προαναφερόμενης αριθμητικής μονάδας διεξήχθη τόσο συμβατικά όσο και με βάση τις προτεινόμενες αριθμητικές μονάδες για τον πολλαπλασιασμό και την άθροιση με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.18β). Η συμβατική σχεδίαση των αλυσιδωτών λειτουργιών $|(A + B) \times D + Z|_{2^n+1}$ περιλαμβάνει δύο αθροιστές παράλληλου προθέματος (parallel-prefix) υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης (Σχ. 4.18α) [77, 114], έναν στο πάνω και έναν στο κάτω άκρο της ιεραρχίας του σχεδίου, και έναν πολλαπλασιαστή υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης [79] για τη λειτουργία του πολλαπλασιασμού. Η κρίσιμη καθυστέρηση της προτεινόμενης προσέγγισης είναι ελαττωμένη σε σύγκριση με το συμβατικό σχέδιο κατά 0.29 ns (ή 18.83%) για μήκος λέξης των εισόδων ίσο με 8 bits, 0.54 ns (ή 25.71%) για 16 bits και 0.79 ns (ή 29.92%) για 32 bits. Όπως παρατηρήσαμε και στις προηγούμενες παραγράφους για τις αριθμητικές μονάδες που υλοποιούν τις αλυσιδωτές αριθμητικές λειτουργίες $|(A + B) + D|_{2^n+1}$ και $|(A + B) \times D|_{2^n+1}$, όσο μεγαλύτερο είναι το μήκος λέξης των εισόδων, τόσο υψηλότερες είναι οι τιμές της ελάττωσης της κρίσιμης καθυστέρησης. Η ουσία της αιτιολόγησης είναι η ίδια όπως και για τα σχέδια που αναλύθηκαν στις προηγούμενες παραγράφους. Η ολοένα και μεγαλύτερη ελάττωση της κρίσιμης καθυστέρησης οφείλεται στις σταθερές κρίσιμες καθυστερήσεις της ειδικής μονάδας Άθροισης ΣΚ, της υπολογιστικής μονάδας για τη δημιουργία της αναπαράστασης Καθυστερημένου Κρατουμένου (Σχ. 4.11), η οποία περιλαμβάνεται στον προτεινόμενο πολλαπλασιαστή υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ , και του προτεινόμενου αθροιστή υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.18β). Αντιθέτως, η κρίσιμη καθυστέρηση του αθροιστή υπολοίπου $2^n + 1$ για όρους κανονικής αναπαράστασης, όπως οι δύο αθροιστές που τοποθετούνται στο επάνω και κάτω μέρος της ιεραρχίας του συμβατικού σχεδίου (Σχ. 4.18α), εξαρτάται από το μήκος λέξης των εισόδων και αυξάνεται όταν το μήκος λέξης γίνεται μεγαλύτερο. Επίσης, λαμβάνοντας υπόψη τις πειραματικές τιμές επιφάνειας πυριτίου και κατανάλωσης ισχύος στις περιόδους ρολογιού όπου δύνανται να συντεθούν τόσο η συμβατική όσο και η προτεινόμενη προσέγγιση, το προτεινόμενο σχέδιο παρουσιάζει αξιοσημείωτα κέρδη για την επιφάνεια πυριτίου της τάξεως του 23.62%, του 29.56% και του 38.72% και για την κατανάλωση ισχύος της τάξεως του 39.02%, του 47.53% και του 51.21% κατά μέσο όρο για μήκος λέξης των εισόδων ίσο με 8, 16 και 32 bits, αντίστοιχα. Τα προαναφερόμενα κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος φθάνουν τις μέγιστες τιμές τους ίσες με 48.09% και 58.76% αντίστοιχα, όταν η περίοδος ρολογιού είναι ίση με 2.70 ns για μή-



Σχήμα 4.21: Επιφάνεια πυριτίου και κατανάλωση ισχύος για την αριθμητική μονάδα υπολοίπου 2^n+1 , η οποία υλοποιεί την αλυσίδα αριθμητικών λειτουργιών άθροισης - πολλαπλασιασμού - άθροισης $((A+B) \times D + Z)_{2^n+1}$. Η σχεδίαση της αριθμητικής μονάδας πραγματοποιήθηκε τόσο συμβατικά (Σχ. 4.18α) όσο και με βάση τις προτεινόμενες μονάδες άθροισης και πολλαπλασιασμού υπολοίπου 2^n+1 με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ (Σχ. 4.18β) για μήκος λέξης των εισόδων ίσο με 8, 16 και 32 bits.

κος λέξης των εισόδων τα 32 bits. Επομένως, το Σχ. 4.21 ενισχύει τη χρησιμοποίηση της πλεονάζουσας αναπαράστασης CS^+ για τη σχεδίαση αποδοτικών υπολογιστικών μονάδων υπολοίπου $2^n + 1$ για αλυσιδωτές αριθμητικές λειτουργίες.

Η προτεινόμενη μεθοδολογία μπορεί να εφαρμοστεί με απλό τρόπο είτε σε μικρό είτε σε μεγάλο αριθμό αλυσιδωτών αριθμητικών λειτουργιών άθροισης και πολλαπλασιασμού διατηρώντας όλα τα ενδιάμεσα αποτελέσματα στην προτεινόμενη αναπαράσταση CS^+ . Παραδείγματος χάριν, σε ένα συμμετρικό φίλτρο Πεπερασμένης Κρουστικής Απόκρισης 8 σημείων [128], η έξοδος είναι ίση με $y_n = (x_n + x_{n-7})a_0 + (x_{n-1} + x_{n-6})a_1 + (x_{n-2} + x_{n-5})a_2 + (x_{n-3} + x_{n-4})a_3$. Συνεπώς, μπορούμε να σχεδιάσουμε το προαναφερόμενο φίλτρο χρησιμοποιώντας τέσσερις μονάδες για τον υπολογισμό της αλυσίδα άθροισης - πολλαπλασιασμού, όπως στο Σχ. 4.17β χωρίς να λαμβάνουμε υπόψη τον τελικό αθροιστή του σχεδίου που απεικονίζεται. Στη συνέχεια, εφόσον τα ενδιάμεσα αποτελέσματα των τεσσάρων αυτών μονάδων (K_{CS}^+ του Σχ. 4.17β) βρίσκονται στην πλεονάζουσα αναπαράσταση CS^+ , απαιτούνται τρεις μονάδες όπως εκείνη του Σχ. 4.10 για την άθρισή τους. Ένας τελικός αθροιστής υπολοίπου $2^n + 1$ για όρους ελάττωσης κατά 1 δύναται να χρησιμοποιηθεί για να υπολογίσει το τελικό αποτέλεσμα y_n .

4.3 Επίλογος

Στο παρόν κεφάλαιο, αναπτύξαμε δύο διαφορετικές τεχνικές με σκοπό τη βελτιστοποίηση σύνθετων και αλυσιδωτών αριθμητικών λειτουργιών υπολοίπου $2^n \pm 1$. Αρχικά, προτείναμε μία μεθοδολογία για τη βελτιστοποιημένη σχεδίαση της σύνθετης αριθμητικής πράξης Άθροισης - Πολλαπλασιασμού υπολοίπου $2^n \pm 1$. Η άθροιση δύο συγκεκριμένων όρων, η οποία απαιτείται να πραγματοποιηθεί, διεξάγεται χρησιμοποιώντας μία σειρά από Ημι-Αθροιστές, οι οποίοι παράγουν μία ενδιάμεση αναπαράσταση Καθυστερημένου Κρατούμενου (Delayed Carry representation) του αθροίσματος των δύο όρων. Στη συνέχεια, τα δύο διανύσματα της αναπαράστασης Καθυστερημένου Κρατούμενου πολλαπλασιάζονται με ένα συγκεκριμένο όρο και τα μερικά γινόμενα τροφοδοτούν λογικές πύλες OR σε ζεύγη. Σε σύγκριση με τη συμβατική σχεδίαση, όπου ένας αθροιστής υπολοίπου $2^n \pm 1$ τοποθετείται στην κορυφή της ιεραρχίας και, ακολούθως, η έξοδος του οδηγείται σε έναν πολλαπλασιαστή υπολοίπου $2^n \pm 1$, η προτεινόμενη συγχωνευμένη σχεδίαση της σύνθετης αριθμητικής πράξης Άθροισης - Πολλαπλασιασμού παρουσιάζει αξιοσημείωτες βελτιώσεις από την άποψη της κρίσιμης καθυστέρησης, της επιφάνειας πυριτίου και της κατανάλωσης ισχύος.

Επειτα, παρουσιάσαμε μονάδες άθροισης υπολοίπου $2^n + 1$ με έναν ή αμφότερους όρους στην πλεονάζουσα αναπαράσταση CS^+ και έναν πολλαπλασιαστή υπολοίπου $2^n + 1$ με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ . Οι προαναφερόμενες αριθμητικές μονάδες προορίζονται κυρίως για την επιτάχυνση αλυσιδωτών αριθμητικών λειτουργιών διατηρώντας τα ενδιάμεσα αποτελέσματα στην πλεονάζουσα αναπαράσταση CS^+ και χρησιμοποιώντας αθροιστές υπολοίπου $2^n + 1$ μόνο για το τελικό στάδιο των υπολογισμών ή όπου αυτό είναι απαραίτητο. Η πειραματική αξιολόγηση των αριθμητικών μονάδων που αναπτύξαμε επιβεβαιώνει το πλεονέκτημα της χρησιμοποίησης της πλεονάζουσας μορφής CS^+ . Η επιφάνεια πυριτίου και η κατανάλωση ισχύος ελαττώνονται σε μεγάλο βαθμό, ενώ και η κρίσιμη καθυστέρηση μειώνεται σημαντικά.

Κεφάλαιο 5

Πολλαπλασιαστές Συντελεστών Προ-Κωδικοποιημένων σε Μη-Πλεονάζουσα Αναπαράσταση Προσημασμένων Ψηφίων Βάσης 4

Στο παρόν κεφάλαιο, στοχεύουμε στη βελτίωση της απόδοσης διαφόρων εφαρμογών ΨΕΣ τόσο από την άποψη της επιφάνειας πυριτίου όσο και από την άποψη της κατανάλωσης ισχύος. Προς αυτήν την κατεύθυνση, εισάγουμε μία αρχιτεκτονική πολλαπλασιαστών προ-κωδικοποιημένων συντελεστών. Οι συντελεστές των εν λόγω πολλαπλασιαστών κωδικοποιούνται εκ των προτέρων και το αποτέλεσμα της κωδικοποίησής τους αποθηκεύεται σε μνήμη πριν από την εκκίνηση της λειτουργίας του πολλαπλασιασμού. Παράλληλα, προτείνουμε για την κωδικοποίηση των συντελεστών τη χρήση μίας μη-πλεονάζουσας αναπαράστασης προσημασμένων ψηφίων με βάση το 4 (Non-Redundant radix-4 Signed-Digit (NR4SD)), όπου τα ψηφία παίρνουν τις τιμές $\{-1, 0, +1, +2\}$ ή $\{-2, -1, 0, +1\}$. Το σχέδιο πολλαπλασιαστή που προκύπτει, ενσωματώνει λιγότερο σύνθετη παραγωγή μερικών γινομένων ελαττώνοντας την επιφάνεια πυριτίου και την κατανάλωση ισχύος. Μία εκτεταμένη πειραματική ανάλυση επιβεβαίωσε ότι οι πολλαπλασιαστές συντελεστών προ-κωδικοποιημένων σε NR4SD αναπαράσταση, συμπεριλαμβανομένης της μνήμης αποθήκευσης των συντελεστών, είναι περισσότερο αποδοτικοί από το συμβατικό σχέδιο του Modified Booth πολλαπλασιαστή από την άποψη της επιφάνειας πυριτίου και της κατανάλωσης ισχύος.

5.1 Εισαγωγή

Οι εφαρμογές ΨΕΣ και πολυμέσων, όπως ο Γρήγορος Μετασχηματισμός Fourier, τα φίλτρα Πεπερασμένης Κρουστικής Απόκρισης και η Κωδικοποίηση / Αποκωδικοποίηση Ήχου και Βίντεο, διεξάγουν μεγάλο αριθμό πολλαπλασιασμών με συντελεστές που δε μεταβάλλονται όσο εκτελείται μία εφαρμογή. Λαμβάνοντας υπόψη ότι η μονάδα πολλαπλασιασμού αποτελεί το βασικό στοιχείο για την υλοποίηση υπολογιστικά απαιτητικών εφαρμογών, η αρχιτεκτονική της επηρεάζει σημαντικά την απόδοσή τους. Η βελτίωση της απόδοσης των προαναφερόμενων εφαρμογών απαιτεί τη σχεδίαση αποδοτικών πολλαπλασιαστών χαμηλής επιφάνειας πυριτίου και κατανάλωσης ισχύος.

Οι σταθεροί συντελεστές δύνανται να κωδικοποιηθούν ώστε να περιέχουν το χαμηλότερο δυνατό αριθμό μη-μηδενικών ψηφίων. Η Κανονική αναπαράσταση Προσημασμέ-

νου Ψηφίου (Canonic Signed Digit (CSD) representation) χρησιμοποιείται κυρίως για την επίτευξη του συγκεκριμένου στόχου [80]. Οι CSD πολλαπλασιαστές χαρακτηρίζονται από τα λιγότερα μη-μηδενικά μερικά γινόμενα. Συνεπώς, ο αριθμός των εναλλαγών στην κατάσταση των διακοπών στους εν λόγω πολλαπλασιαστές μειώνεται με αποτέλεσμα να ελαττώνεται η κατανάλωση ισχύος. Ωστόσο, η τεχνική της κωδικοποίησης σε Κανονική αναπαράσταση Προσημασμένου Ψηφίου ενέχει σημαντικούς περιορισμούς στην εφαρμογή της. Η τεχνική της αναδίπλωσης (folding technique) [129], η οποία ελαττώνει την επιφάνεια πυριτίου πολυπλέκοντας χρονικά πολλές αλγοριθμικές λειτουργίες σε συγκεκριμένες λειτουργικές μονάδες, π.χ., αθροιστές, πολλαπλασιαστές, πολλαπλασιαστές - συσσωρευτές κτλ., δεν είναι υλοποιήσιμη, καθώς οι CSD πολλαπλασιαστές υλοποιούνται αποκλειστικά για συγκεκριμένους συντελεστές και δεν μπορούν να επαναχρησιμοποιηθούν για διαφορετικούς όρους. Στην εργασία [81], οι Kim και άλλοι πρότειναν μία μεθοδολογία για τη σχεδίαση ενός αποδοτικού προγραμματιζόμενου πολλαπλασιαστή με βάση την CSD αναπαράσταση για ομάδες προ-καθορισμένων συντελεστών, οι οποίοι παρουσιάζουν ορισμένα κοινά χαρακτηριστικά. Το μέγεθος της μνήμης τύπου ROM που χρησιμοποιείται για την αποθήκευση των ομάδων συντελεστών, ελαττώνεται σημαντικά, όπως και η επιφάνεια πυριτίου και η κατανάλωση ισχύος του κυκλώματος. Ωστόσο, ο εν λόγω πολλαπλασιαστής στερείται ευελιξίας, καθώς το κύκλωμα παραγωγής των μερικών γινομένων του σχεδιάζεται αποκλειστικά για μία συγκεκριμένη ομάδα συντελεστών και δεν μπορεί να επαναχρησιμοποιηθεί για μία διαφορετική ομάδα. Επίσης, η επέκταση της μεθόδου σχεδίασης της [81] σε μεγάλες ομάδες προ-καθορισμένων συντελεστών ελαττώνει την απόδοση.

Η τεχνική της κωδικοποίησης στην αναπαράσταση Modified Booth (MB) χρησιμοποιείται ευρέως στη σχεδίαση αποδοτικών πολλαπλασιαστών [33, 82–84] χωρίς τους περιορισμούς που αναφέρθηκαν προηγουμένως για την CSD αναπαράσταση. Ο αριθμός των μερικών γινομένων ελαττώνεται στο μισό με αποτέλεσμα η κρίσιμη καθυστέρηση, η επιφάνεια πυριτίου και η κατανάλωση ισχύος να μειώνονται. Ωστόσο, είναι απαραίτητη η ύπαρξη ενός εξειδικευμένου κυκλώματος κωδικοποίησης και η παραγωγή των μερικών γινομένων είναι περισσότερο σύνθετη. Στην εργασία [85], οι Kim και άλλοι πρότειναν μία τεχνική, η οποία είναι εφάμιλλη της [81], για τη σχεδίαση αποδοτικών MB πολλαπλασιαστών για ομάδες προ-καθορισμένων συντελεστών με τους ίδιους περιορισμούς που αναφέρθηκαν στην προηγούμενη παράγραφο.

Στις [130–132], πολλαπλασιαστές που περιέχονται σε μονάδες πεταλούδας σε επεξεργαστές Γρήγορου Μετασχηματισμού Fourier, χρησιμοποιούν σταθερούς συντελεστές αποθηκευμένους σε μνήμες τύπου ROM. Σε μονάδες Κωδικοποίησης και Αποκωδικοποίησης Ήχου [133, 134] και Βίντεο [135, 136], σταθεροί συντελεστές που είναι αποθηκευμένοι σε μνήμη, χρησιμοποιούνται ως είσοδοι σε μονάδες πολλαπλασιασμού. Λαμβάνοντας υπόψη ότι οι τιμές των σταθερών συντελεστών είναι γνωστές εκ των προτέρων και στοχεύοντας στην υλοποίηση ενός αποδοτικού MB πολλαπλασιαστή, κωδικοποιούμε τους σταθερούς συντελεστές πριν από την έναρξη της λειτουργίας πολλαπλασιασμού στη MB αναπαράσταση. Στη συνέχεια, αποθηκεύουμε τους κωδικοποιημένους στη MB μορφή συντελεστές (3 bits για κάθε ψηφίο) σε μία ROM. Χρησιμοποιώντας αυτήν την τεχνική [137–139], το κύκλωμα κωδικοποίησης του MB πολλαπλασιαστή παραλείπεται. Αναφερόμαστε σε αυτό το σχέδιο πολλαπλασιαστή ως προ-κωδικοποιημένος MB πολλαπλασιαστής. Έπειτα, διερευνούμε μία μη-πλεονάζουσα αναπαράσταση με προσημασμένα ψηφία και βάση το 4 (Non-Redundant radix-4 Signed-Digit (NR4SD)) επεκτείνοντας τις αντίστοιχες σειριακές τεχνικές κωδικοποίησης που παρουσιάζονται στις [83] και [86]. Η προτεινόμενη αναπαράσταση χρησιμοποιεί ένα α-

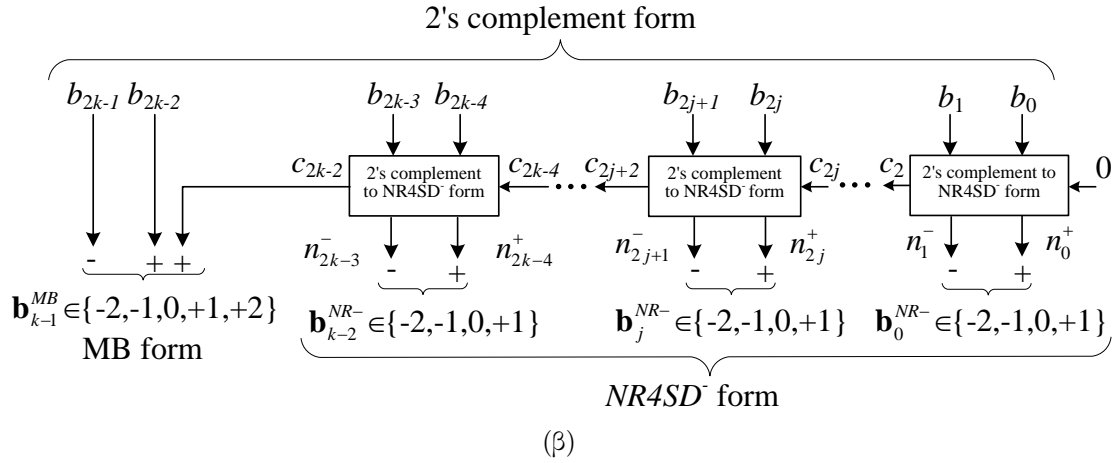
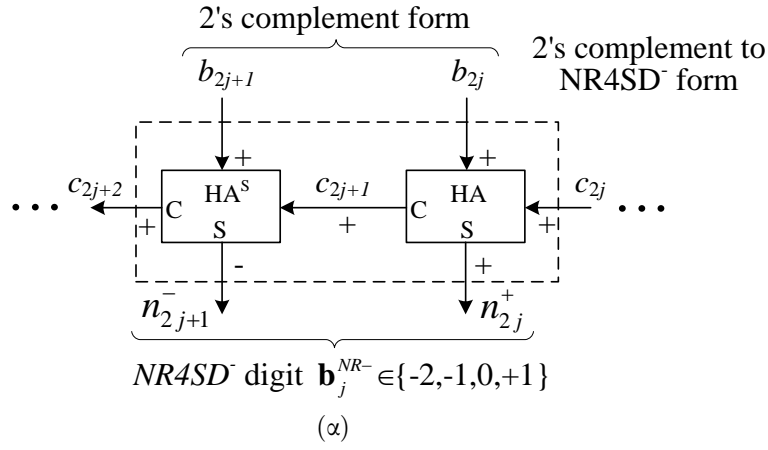
πό τα ακόλουθα σύνολα για τις τιμές των ψηφίων: $\{-1, 0, +1, +2\}$ ή $\{-2, -1, 0, +1\}$. Προκειμένου να καλύψουμε το δυναμικό εύρος τιμών της μορφής συμπληρώματος ως προς 2, όλα τα ψηφία της προτεινόμενης αναπαράστασης προκύπτουν έπειτα από την κωδικοποίησή τους στην NR4SD μορφή εκτός από το υψηλότερης τάξης ψηφίο, το οποίο δημιουργείται σύμφωνα με τη συμβατική τεχνική κωδικοποίησης στη MB αναπαράσταση. Με βάση το σχέδιο του προ-κωδικοποιημένου MB πολλαπλασιαστή, διερευνούμε ένα αντίστοιχο σχέδιο προ-κωδικοποιημένου NR4SD πολλαπλασιαστή. Χρησιμοποιώντας την προτεινόμενη αναπαράσταση, προ-κωδικοποιούμε τους σταθερούς συντελεστές ώστε να αποθηκεύονται σε μία μνήμη τύπου ROM σε μία συμπυκνωμένη μορφή (2 bits για κάθε ψηφίο). Σε σύγκριση με τον προ-κωδικοποιημένο MB πολλαπλασιαστή, στον οποίον οι κωδικοποιημένοι συντελεστές χρειάζονται 3 bits για κάθε ψηφίο, το προτεινόμενο NR4SD σχέδιο μειώνει το απαιτούμενο μέγεθος της μνήμης. Διερευνούμε την απόδοση και την αποδοτικότητα όλων των προ-κωδικοποιημένων πολλαπλασιαστών που αναφέρθηκαν παραπάνω, λαμβάνοντας υπόψη το μέγεθος της μνήμης τύπου ROM που απαιτείται για την αποθήκευση των συντελεστών.

Η MB μορφή χρησιμοποιεί τις πέντε τιμές ψηφίων $\{-2, -1, 0, +1, +2\}$. Ωστόσο, η προτεινόμενη NR4SD αναπαράσταση χρησιμοποιεί λιγότερες τιμές ψηφίων και, συνεπώς, οι προ-κωδικοποιημένοι NR4SD πολλαπλασιαστές ενσωματώνουν ένα λιγότερο σύνθετο κύκλωμα παραγωγής μερικών γινομένων σε σύγκριση με το συμβατικό MB πολλαπλασιαστή, ελαττώνοντας την κρίσιμη καθυστέρηση, την επιφάνεια πυριτίου και την κατανάλωση ισχύος. Προσφάτως προταθείσες τεχνικές [140–142] για τη μείωση του βάθους της συστοιχίας ή του δένδρου άθροισης των μερικών γινομένων εφαρμόζονται αυτούσιες στην υλοποίηση του προτεινόμενου σχεδίου πολλαπλασιαστή.

Το υπόλοιπο του κεφαλαίου έχει οργανωθεί ως εξής: Στην Ενότητα 5.2, παρουσιάζεται η προτεινόμενη αναπαράσταση NR4SD. Στην Ενότητα 5.3, αναλύουμε την υλοποίηση των προ-κωδικοποιημένων MB και NR4SD πολλαπλασιαστών. Στην Ενότητα 5.4, παρατίθενται πειραματικά αποτελέσματα, τα οποία αναδεικνύουν τα πλεονεκτήματα των προτεινόμενων σχεδίων από την άποψη της επιφάνειας πυριτίου και της κατανάλωσης ισχύος. Η Ενότητα 5.5 συνοψίζει τα κυριότερα συμπεράσματα της εργασίας μας.

5.2 Μη-Πλεονάζουσα Αναπαράσταση Προσημασμένων Ψηφίων με Βάση το 4

Στην παρούσα ενότητα, εισάγουμε μία μη-πλεονάζουσα αναπαράσταση με προσημασμένα ψηφία και βάση το 4 (NR4SD). Ο αριθμός των μερικών γινομένων ελαττώνεται στο μισό, όπως και στη MB μορφή (Ενότητα 2.2.2). Θεωρούμε την κωδικοποίηση του όρου B , ο οποίος αναπαρίσταται στη συμβατική μορφή συμπληρώματος ως προς 2. Στην περίπτωση που κωδικοποιούμε έναν όρο στην NR4SD⁻ αναπαράσταση, τα ψηφία \mathbf{b}_j^{NR-} παίρνουν μία από τις τέσσερις τιμές $\{-2, -1, 0, +1\}$. Ωστόσο, στην περίπτωση που ένας όρος κωδικοποιείται στην NR4SD⁺ μορφή, $\mathbf{b}_j^{NR+} \in \{-1, 0, +1, +2\}$. Χρησιμοποιούμε τέσσερις διαφορετικές τιμές και όχι πέντε, όπως στη συμβατική MB αναπαράσταση, και, συνεπώς, $0 \leq j \leq k - 2$. Ωστόσο, το υψηλότερης τάξης ψηφίο κωδικοποιείται σύμφωνα με τη MB μορφή, όπως αυτή περιγράφεται στην Ενότητα 2.2.2, προκειμένου να καλύψουμε το δυναμικό εύρος τιμών της αναπαράστασης συμπληρώματος ως προς 2. Συνεπώς, $\mathbf{b}_{k-1}^{MB} \in \{-2, -1, 0, +1, +2\}$. Η τεχνική της κωδικοποίησης στην NR4SD⁻ αναπαράσταση παρουσιάζεται παρακάτω και απεικονίζεται λεπτομερώς



Σχήμα 5.1: Σχηματικό διάγραμμα της τεχνικής κωδικοποίησης στην $NR4SD^-$ αναπαράσταση σε επίπεδο (α) ψηφίου και (β) λέξης.

στο Σχ. 5.1.

5.2.1 Τεχνική Κωδικοποίησης σε $NR4SD^-$ Αναπαράσταση

Βήμα 1: Θεωρούμε τις αρχικές τιμές $j=0$ και $c_0=0$.

Βήμα 2: Υπολογίζουμε το κρατούμενο c_{2j+1} και το άθροισμα n_{2j}^+ , τα οποία παράγονται από έναν Ημι-Αθροιστή (HA) με εισόδους b_{2j} και c_{2j} (Σχ. 5.1α).

$$n_{2j}^+ = b_{2j} \oplus c_{2j}, \quad c_{2j+1} = b_{2j} \wedge c_{2j}. \quad (5.1)$$

Βήμα 3: Υπολογίζουμε το θετικά προσημασμένο κρατούμενο c_{2j+2} (+) και το αρνητικά προσημασμένο άθροισμα n_{2j+1}^- (-), τα οποία παράγονται από έναν προσημασμένο HA (HA^S) με εισόδους b_{2j+1} (+) και c_{2j+1} (+) (Σχ. 5.1α). Η ακόλουθη αλγεβρική εξίσωση περιγράφει τη σχέση που έχουν το κρατούμενο c_{2j+2} και το άθροισμα n_{2j+1}^- του HA^S με τις εισόδους του:

$$2c_{2j+2} - n_{2j+1}^- = b_{2j+1} + c_{2j+1}. \quad (5.2)$$

Οι ακόλουθες Boolean εξισώσεις περιγράφουν τη λειτουργία του HA^S , η οποία συνο-

Πίνακας 5.1: Λειτουργία HA^S

Είσοδοι		Εξοδοι	
b_{2j+1}	c_{2j+1}	c_{2j+2}	n_{2j+1}^-
0	0	0	0
0	1	1	1
1	0	1	1
1	1	1	0

Πίνακας 5.2: Πίνακας Κωδικοποίησης $NR4SD^-$

Συμπλήρωμα ως προς 2			Μορφή $NR4SD^-$			Ψηφίο	Κωδικοποίηση $NR4SD^-$		
b_{2j+1}	b_{2j}	c_{2j}	c_{2j+2}	n_{2j+1}^-	n_{2j}^+	$\mathbf{b}_j^{NR^-}$	one_j^+	one_j^-	two_j^-
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	1	+1	1	0	0
0	1	0	0	0	1	+1	1	0	0
0	1	1	1	1	0	-2	0	0	1
1	0	0	1	1	0	-2	0	0	1
1	0	1	1	1	1	-1	0	1	0
1	1	0	1	1	1	-1	0	1	0
1	1	1	1	0	0	0	0	0	0

ψίζεται στον Πίνακα 5.1:

$$\begin{aligned} n_{2j+1}^- &= b_{2j+1} \oplus c_{2j+1} = b_{2j+1} \oplus (b_{2j} \wedge c_{2j}), \\ c_{2j+2} &= b_{2j+1} \vee c_{2j+1} = b_{2j+1} \vee (b_{2j} \wedge c_{2j}). \end{aligned} \quad (5.3)$$

Βήμα 4: Υπολογίζουμε την τιμή του ψηφίου $\mathbf{b}_j^{NR^-}$.

$$\mathbf{b}_j^{NR^-} = -2n_{2j+1}^- + n_{2j}^+. \quad (5.4)$$

Η εξίσωση (5.4) προκύπτει από το γεγονός ότι το bit n_{2j+1}^- είναι αρνητικά προσημασμένο, ενώ το bit n_{2j}^+ είναι θετικά προσημασμένο.

Βήμα 5: $j = j+1$.

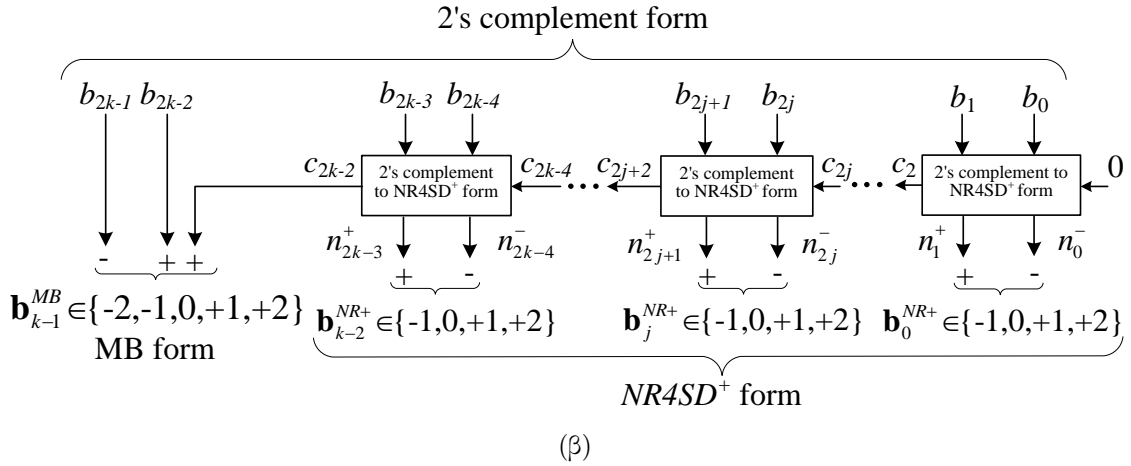
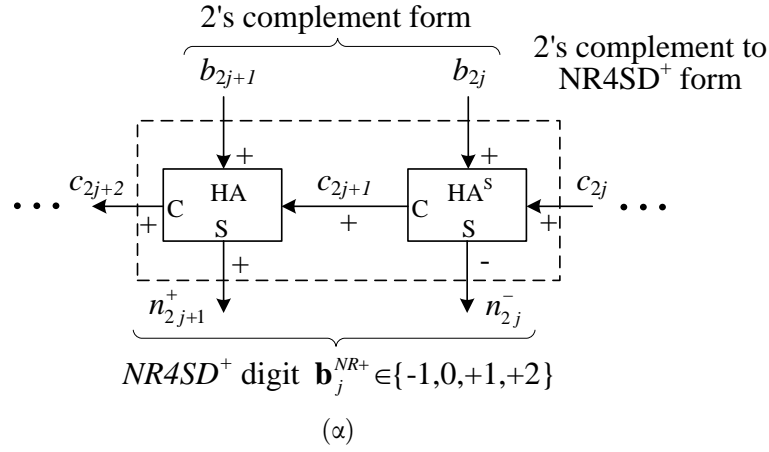
Βήμα 6: Εάν ($j < k-1$), τότε πηγαίνουμε στο *Βήμα 2*. Εάν ($j = k-1$), τότε κωδικοποιούμε το τελευταίο και υψηλότερης τάξης ψηφίο του όρου σύμφωνα με τη MB αναπαράσταση και θεωρώντας ότι τα τρία διαδοχικά bits για τη δημιουργία του ψηφίου είναι τα b_{2k-1} , b_{2k-2} και c_{2k-2} (Σχ. 5.1β). Εάν ($j = k$), τότε σταματάμε.

Ο Πίνακας 5.2 δείχνει πως δημιουργούνται τα $NR4SD^-$ ψηφία για όλους τους δυνατούς συνδυασμούς εισόδων. Οι εξισώσεις (5.5) δείχνουν πως δημιουργούνται τα $NR4SD^-$ σήματα κωδικοποίησης one_j^+ , one_j^- και two_j^- του Πίνακα 5.2.

$$one_j^+ = \overline{n_{2j+1}^-} \wedge n_{2j}^+, \quad one_j^- = n_{2j+1}^- \wedge n_{2j}^+, \quad two_j^- = n_{2j+1}^- \wedge \overline{n_{2j}^+}. \quad (5.5)$$

Τα κάτω και άνω όρια του δυναμικού εύρους τιμών της $NR4SD^-$ αναπαράστασης είναι

$$-2^{n-1} - 2^{n-3} - 2^{n-5} - \dots - 2 < -2^{n-1}$$



Σχήμα 5.2: Σχηματικό διάγραμμα της τεχνικής κωδικοποίησης στην $NR4SD^+$ αναπαράσταση σε επίπεδο (α) ψηφίου και (β) λέξης.

και

$$2^{n-1} + 2^{n-4} + 2^{n-6} + \dots + 1 > 2^{n-1} - 1,$$

αντίστοιχα. Όπως παρατηρείται στις παραπάνω εξισώσεις, το δυναμικό εύρος τιμών της αναπαράστασης $NR4SD^-$ είναι μεγαλύτερο από εκείνο της μορφής συμπληρώματος ως προς 2.

Η τεχνική κωδικοποίησης σε $NR4SD^+$ αναπαράσταση παρουσιάζεται στο Σχ. 5.2.

5.2.2 Τεχνική Κωδικοποίησης σε $NR4SD^+$ Αναπαράσταση

Βήμα 1: Θεωρούμε τις αρχικές τιμές $j=0$ και $c_0=0$.

Βήμα 2: Υπολογίζουμε το θετικά προσημασμένο κρατούμενο c_{2j+1} (+) και το αρνητικά προσημασμένο άθροισμα n_{2j}^- (-) (Σχ. 5.2α), τα οποία παράγονται από έναν HA^S με εισόδους b_{2j} (+) και c_{2j} (+). Η ακόλουθη αλγεβρική εξίσωση περιγράφει τη σχέση που έχουν το κρατούμενο c_{2j+1} και το άθροισμα n_{2j}^- του HA^S με τις εισόδους του:

$$2c_{2j+1} - n_{2j}^- = b_{2j} + c_{2j}. \quad (5.6)$$

Σύμφωνα με τον Πίνακα 5.1, οι έξοδοι του HA^S υπολογίζονται όπως στις ακόλουθες Boolean εξισώσεις:

$$n_{2j}^- = b_{2j} \oplus c_{2j}, \quad c_{2j+1} = b_{2j} \vee c_{2j}. \quad (5.7)$$

Πίνακας 5.3: Πίνακας Κωδικοποίησης $NR4SD^+$

Συμπλήρωμα ως προς 2			Μορφή $NR4SD^+$			Ψηφίο	Κωδικοποίηση $NR4SD^+$		
b_{2j+1}	b_{2j}	c_{2j}	c_{2j+2}	n_{2j+1}^+	n_{2j}^-	\mathbf{b}_j^{NR+}	one_j^+	one_j^-	two_j^+
0	0	0	0	0	0	0	0	0	0
0	0	1	0	1	1	+1	1	0	0
0	1	0	0	1	1	+1	1	0	0
0	1	1	0	1	0	+2	0	0	1
1	0	0	0	1	0	+2	0	0	1
1	0	1	1	0	1	-1	0	1	0
1	1	0	1	0	1	-1	0	1	0
1	1	1	1	0	0	0	0	0	0

Βήμα 3: Υπολογίζουμε το κρατούμενο c_{2j+2} και το άθροισμα n_{2j+1}^+ , τα οποία παράγονται από έναν ΗΑ με εισόδους b_{2j+1} και c_{2j+1} .

$$\begin{aligned} n_{2j+1}^+ &= b_{2j+1} \oplus c_{2j+1} = b_{2j+1} \oplus (b_{2j} \vee c_{2j}) \\ c_{2j+2} &= b_{2j+1} \wedge c_{2j+1} = b_{2j+1} \wedge (b_{2j} \vee c_{2j}). \end{aligned} \quad (5.8)$$

Βήμα 4: Υπολογίζουμε την τιμή του ψηφίου \mathbf{b}_j^{NR+} .

$$\mathbf{b}_j^{NR+} = 2n_{2j+1}^+ - n_{2j}^-. \quad (5.9)$$

Η εξίσωση (5.9) προκύπτει από το γεγονός ότι το bit n_{2j+1}^+ είναι θετικά προσημασμένο και το bit n_{2j}^- είναι αρνητικά προσημασμένο.

Βήμα 5: $j := j+1$.

Βήμα 6: Εάν ($j < k-1$), τότε πηγαίνουμε στο *Βήμα 2*. Εάν ($j = k-1$), τότε κωδικοποιούμε το τελευταίο και υψηλότερης τάξης ψηφίο του όρου σύμφωνα με τη ΜΒ αναπαράσταση και θεωρώντας ότι τα τρία διαδοχικά bits για τη δημιουργία του ψηφίου είναι τα b_{2k-1} , b_{2k-2} και c_{2k-2} (Σχ. 5.2β). Εάν ($j = k$), τότε σταματάμε.

Ο Πίνακας 5.3 δείχνει πως δημιουργούνται τα $NR4SD^+$ ψηφία για όλους τους δυνατούς συνδυασμούς εισόδων. Οι εξισώσεις (5.10) δείχνουν πως δημιουργούνται τα $NR4SD^+$ σήματα κωδικοποίησης one_j^+ , one_j^- και two_j^+ του Πίνακα 5.3.

$$one_j^+ = n_{2j+1}^+ \wedge n_{2j}^-, \quad one_j^- = \overline{n_{2j+1}^+} \wedge n_{2j}^-, \quad two_j^+ = n_{2j+1}^+ \wedge \overline{n_{2j}^-}. \quad (5.10)$$

Τα κάτω και άνω όρια του δυναμικού εύρους τιμών της $NR4SD^+$ αναπαράστασης είναι

$$-2^{n-1} - 2^{n-4} - 2^{n-6} - \dots - 1 < -2^{n-1}$$

και

$$2^{n-1} + 2^{n-3} + 2^{n-5} + \dots + 2 > 2^{n-1} - 1,$$

αντίστοιχα. Όπως παρατηρείται και για την $NR4SD^-$ μορφή, το δυναμικό εύρος τιμών της $NR4SD^+$ αναπαράστασης είναι επίσης μεγαλύτερο από εκείνο της μορφής συμπληρώματος ως προς 2.

Με στόχο να διευκολύνουμε την κατανόηση των τεχνικών κωδικοποίησης στις $NR4SD^-$ και $NR4SD^+$ αναπαραστάσεις, ας θεωρήσουμε έναν 8-bit αριθμό N σε μορφή

Πίνακας 5.4: Αριθμητικά Παραδείγματα Τεχνικών Κωδικοποίησης

Συμπλήρωμα ως προς 2	10000000	10011010	01011001	01111111
Ακέραιος	-128	-102	+89	+127
Modified Booth	$\bar{2} 0 0 0$	$\bar{2} 2 \bar{1} \bar{2}$	$1 2 \bar{2} 1$	$2 0 0 \bar{1}$
NR4SD ⁻	$\bar{2} 0 0 0$	$\bar{1} \bar{2} \bar{1} \bar{2}$	$2 \bar{2} \bar{2} 1$	$2 0 0 \bar{1}$
NR4SD ⁺	$\bar{2} 0 0 0$	$\bar{2} 1 2 2$	$1 1 2 1$	$2 0 0 \bar{1}$

συμπληρώματος ως προς 2. Ο Πίνακας 5.4 παρουσιάζει τα MB, NR4SD⁻ και NR4SD⁺ ψηφία που προκύπτουν από την εφαρμογή των αντίστοιχων τεχνικών κωδικοποίησης τόσο στις οριακές ($-2^8 = -128$, $2^8 - 1 = 127$) όσο και σε δύο χαρακτηριστικές τιμές του N . Για να ξεχωρίσουμε τα θετικά και αρνητικά προσημασμένα ψηφία μεταξύ τους, έχουμε προσθέσει μία γραμμή πάνω από εκείνα που έχουν αρνητικό πρόσημο.

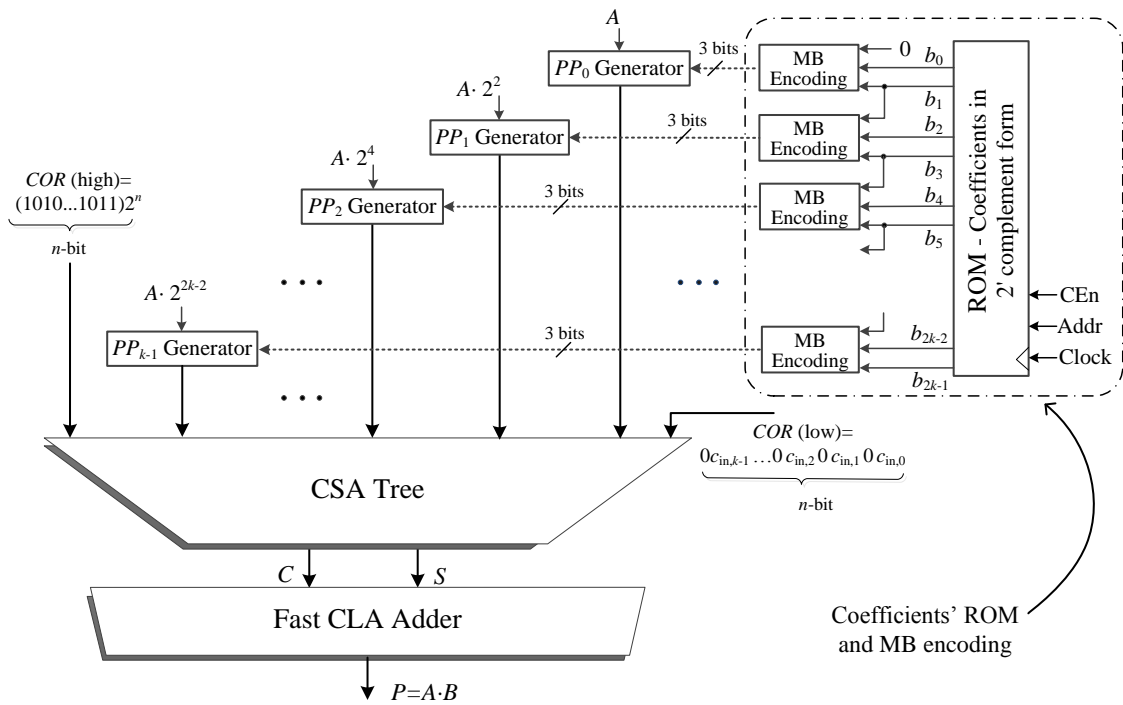
5.3 Σχεδίαση Προ-Κωδικοποιημένων Πολλαπλασιαστών

Στην παρούσα ενότητα, περιγράφουμε την υλοποίηση των προ-κωδικοποιημένων πολλαπλασιαστών. Η μία εκ των δύο εισόδων τους είναι προ-κωδικοποιημένη είτε σε MB είτε σε NR4SD⁻ / NR4SD⁺ αριθμητική αναπαράσταση. Θεωρούμε ότι αυτή η είσοδος προέρχεται από ένα σύνολο σταθερών συντελεστών, οι οποίοι κωδικοποιούνται εκ των προτέρων είτε σε MB είτε σε NR4SD⁻ / NR4SD⁺ μορφή και το αποτέλεσμα της κωδικοποίησής τους αποθηκεύεται σε μνήμη πριν από την εκκίνηση της λειτουργίας του πολλαπλασιασμού. Εφόσον ο σκοπός μας είναι να εκτιμήσουμε την αποδοτικότητα των προτεινόμενων πολλαπλασιαστών, περιγράφουμε αρχικά το συμβατικό MB πολλαπλασιαστή προκειμένου να συγκριθεί με τα προ-κωδικοποιημένα σχέδια.

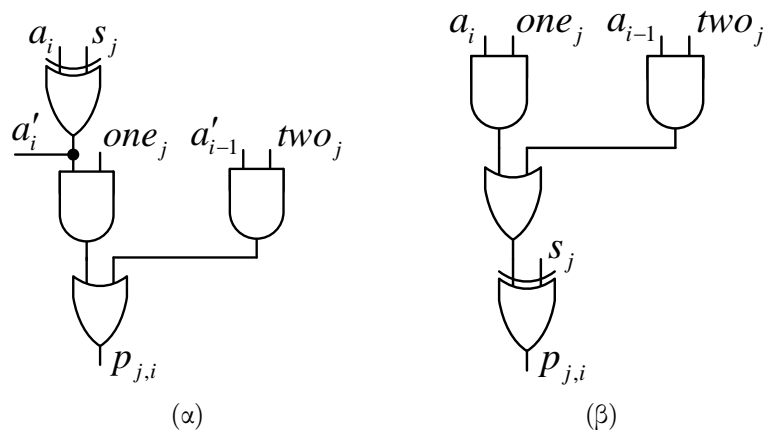
5.3.1 Συμβατικός MB Πολλαπλασιαστής

Το σχηματικό διάγραμμα του Σχ. 5.3 παρουσιάζει την αρχιτεκτονική του συστήματος, το οποίο περιλαμβάνει το συμβατικό MB πολλαπλασιαστή και τη ROM με συντελεστές σε μορφή συμπληρώματος ως προς 2. Θεωρούμε τον πολλαπλασιασμό $A \cdot B$. Ο συντελεστής $B = \langle b_{n-1} \dots b_0 \rangle_{2^s}$ αναπαρίσταται σε μορφή συμπληρώματος ως προς 2, αποτελείται από $n=2k$ bits και βρίσκεται αποθηκευμένος σε μία ROM, από την οποία οδηγείται στις μονάδες MB κωδικοποίησης. Ο συντελεστής αυτός κωδικοποιείται σύμφωνα με τον αλγόριθμο MB κωδικοποίησης (Ενότητα 2.2.2) χρησιμοποιώντας τα σήματα της εξίσωσης (2.4) και πολλαπλασιάζεται με τον ακέραιο $A = \langle a_{n-1} \dots a_0 \rangle_{2^s}$, ο οποίος βρίσκεται σε μορφή συμπληρώματος ως προς 2. Το μήκος λέξης του διαδρόμου δεδομένων της ROM ισούται με το μήκος λέξης του συντελεστή B (n bits) και εξάγεται ένας συντελεστής από τη μνήμη σε κάθε κύκλο ρολογιού.

Η εξίσωση (2.5) περιγράφει τη δημιουργία των k μερικών γινομένων. Το Σχ. 5.4α απεικονίζει την υλοποίηση σε επίπεδο λογικών πυλών του bit $p_{j,i}$ τάξης i του μερικού γινομένου PP_j [83, 84]. Για τον υπολογισμό των bits χαμηλότερης και υψηλότερης τάξης κάθε μερικού γινομένου θεωρούμε $a_{-1}=0$, $a_n = a_{n-1}$. Αφού παραχθούν τα μερικά γινομένα, σταθμίζονται κατάλληλα και προστίθενται μέσω ενός Δένδρου με Αθροιστές Σωσίματος Κρατούμενου (Carry Save Adder (CSA) Tree) [25] μαζί με το



Σχήμα 5.3: Αρχιτεκτονική συστήματος συμβατικού MB πολλαπλασιαστή.



Σχήμα 5.4: Δημιουργία του bit $p_{j,i}$ τάξης i του μερικού γινομένου PP_j για το α) συμβατικό και β) προ-κωδικοποιημένο MB πολλαπλασιαστή.

Διορθωτικό Όρο (CORrection term (COR)), ο οποίος υπολογίζεται στις ακόλουθες εξισώσεις:

$$P = A \cdot B = COR + \sum_{j=0}^{k-1} PP_j 2^{2j}, \quad (5.11)$$

$$COR = COR(low) + COR(high) = \sum_{j=0}^{k-1} c_{in,j} 2^{2j} + 2^n (1 + \sum_{j=0}^{k-1} 2^{2j+1}), \quad (5.12)$$

όπου $c_{in,j} = (one_j + two_j) s_j$ (βλέπε Πίνακας 2.1). Τα διανύσματα C και S της εξόδου του Δένδρου με Αθροιστές Σωσίματος Κρατουμένου οδηγείται σε ένα γρήγορο Αθροιστή Πρόβλεψης Κρατουμένου (Carry Look Ahead (CLA) Adder) [25], ο οποίος παράγει το τελικό αποτέλεσμα $P = A \cdot B$ (Σχ. 5.3).

5.3.2 Σχεδίαση Προ-Κωδικοποιημένου Modified Booth Πολλαπλασιαστή

Στην παρούσα υποενότητα περιγράφουμε τη σχεδίαση του προ-κωδικοποιημένου MB πολλαπλασιαστή. Ο συντελεστής B κωδικοποιείται εκ των προτέρων στη συμβατική MB αριθμητική αναπαράσταση (βλέπε Πίνακας 2.1). Τα αντίστοιχα σήματα MB κωδικοποίησης, τα οποία προκύπτουν για το συντελεστή B , αποθηκεύονται σε μία ROM πριν από την εκκίνηση της λειτουργίας του πολλαπλασιασμού. Το κυκλωμένο τμήμα του Σχ. 5.3, το οποίο περιλαμβάνει τη ROM με συντελεστές σε μορφή συμπληρώματος ως προς 2 και τις μονάδες MB κωδικοποίησης του πολλαπλασιαστή, αντικαθίσταται από τη ROM του Σχ. 5.5. Οι μονάδες MB κωδικοποίησης του Σχ. 5.3 παραλείπονται.

Η νέα ROM του Σχ. 5.5 χρησιμοποιείται για την αποθήκευση των σημάτων MB κωδικοποίησης του B , τα οποία σε κάθε κύκλο του ρολογιού οδηγούνται στα κυκλώματα παραγωγής μερικών γινομένων (Σχ. 5.4β).

Στον προ-κωδικοποιημένο MB πολλαπλασιαστή, η τιμή '1' του s_j στην τελευταία γραμμή του Πίνακα 2.1 αντικαθίσταται από την τιμή '0' προκειμένου να ελαττώσουμε τη δραστηριότητα μεταγωγής (switching activity) των κυκλωμάτων παραγωγής μερικών γινομένων [83]. Το σήμα προσήμου s_j υπολογίζεται πλέον όπως στην ακόλουθη εξίσωση:

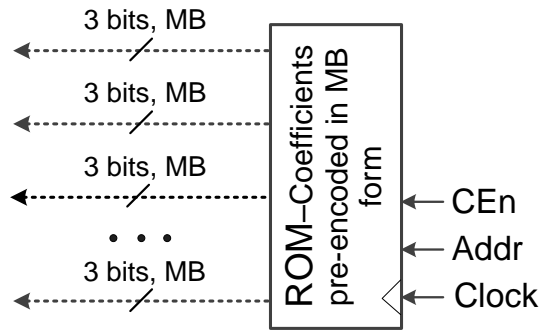
$$s_j = b_{2j+1} \oplus (b_{2j+1} \wedge b_{2j} \wedge b_{2j-1}). \quad (5.13)$$

Κατά συνέπεια, το κύκλωμα παραγωγής μερικών γινομένων του Σχ. 5.4α αντικαθίσταται από εκείνο του Σχ. 5.4β, το οποίο είναι περισσότερο αποδοτικό από την άποψη της κατανάλωσης ισχύος. Σε σύγκριση με την αντίστοιχη εξίσωση των (2.4), η (5.13) απαιτεί ένα περισσότερο σύνθετο σχέδιο. Ωστόσο, λόγω της τεχνικής προ-κωδικοποίησης, δεν υπάρχει επιβάρυνση στην επιφάνεια πυριτίου ή στην κρίσιμη καθυστέρηση του κυκλώματος.

Αφού παραχθούν τα μερικά γινόμενα, σταθμίζονται κατάλληλα και προστίθενται μέσω ενός Δένδρου με Αθροιστές Σωσίματος Κρατουμένου μαζί με το Διορθωτικό Όρο (COR) της εξίσωσης (5.12). Το κρατούμενο εισόδου $c_{in,j}$ της (5.12) υπολογίζεται σύμφωνα με την εξίσωση (5.14) με βάση τον Πίνακα 2.1 και την εξίσωση (5.13).

$$c_{in,j} = s_j \quad (5.14)$$

Η έξοδος του Δένδρου με Αθροιστές Σωσίματος Κρατουμένου, η οποία αναπαρίσταται σε μορφή Σωσίματος Κρατουμένου, οδηγείται σε ένα γρήγορο Αθροιστή Πρόβλεψης Κρατουμένου για την παραγωγή του τελικού αποτελέσματος.



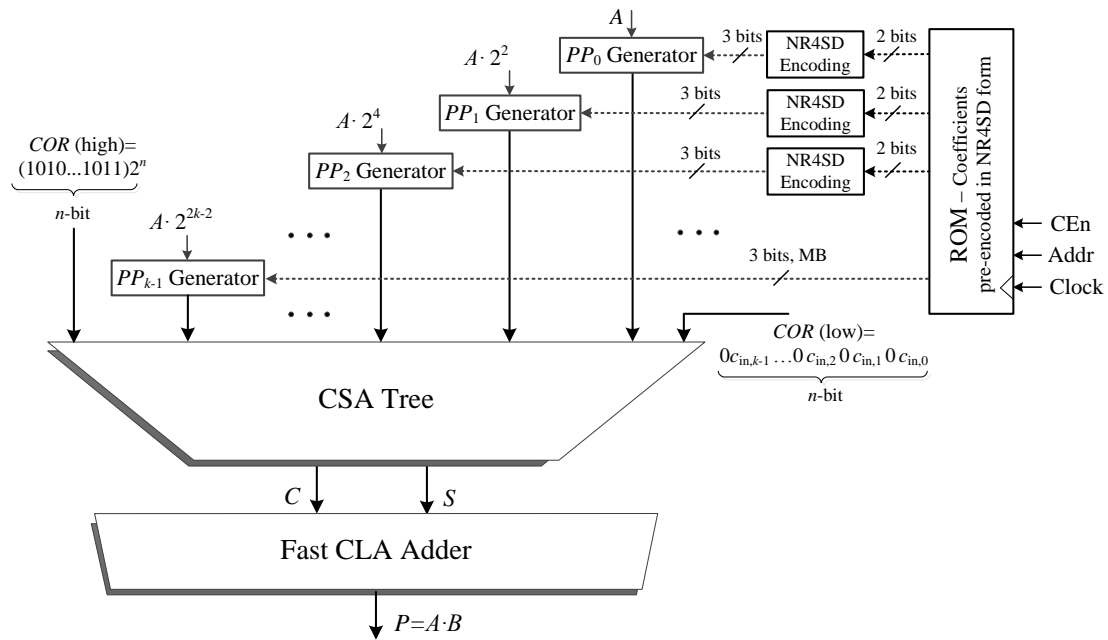
Σχήμα 5.5: Η ROM του προ-κωδικοποιημένου πολλαπλασιαστή με σταθερούς συντελεστές σε MB μορφή.

Ωστόσο, το μήκος λέξης του διαδρόμου δεδομένων της ROM αυξάνεται. Κάθε MB ψηφίο αντιστοιχεί στα 3 σήματα MB κωδικοποίησης *s*, *two* και *one* (βλέπε Πίνακας 2.1), τα οποία αποθηκεύονται στη ROM. Δεδομένου ότι ο συντελεστής *B*, ο οποίος αποτελείται από *n* bits, απαιτεί 3 bits για κάθε ψηφίο όταν κωδικοποιείται στη MB αναπαράσταση, το μήκος λέξης του διαδρόμου δεδομένων της ROM απαιτείται να είναι $3n/2$ bits για κάθε συντελεστή. Συνεπώς, το μήκος λέξης και το συνολικό μέγεθος της ROM αυξάνονται κατά 50% σε σύγκριση με τη ROM που χρησιμοποιείται στο συμβατικό σχέδιο του Σχ. 5.3. Επιπλέον, εφόσον αυξάνονται η επιφάνεια πυριτίου και το μήκος λέξης του διαδρόμου δεδομένων της ROM, αυξάνεται και η κατανάλωση ισχύος.

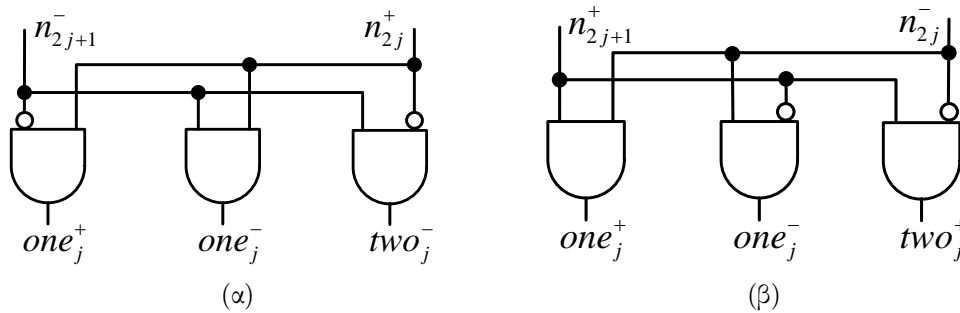
5.3.3 Σχεδίαση Προ-Κωδικοποιημένων NR4SD Πολλαπλασιαστών

Η αρχιτεκτονική συστήματος για τους προ-κωδικοποιημένους NR4SD πολλαπλασιαστές παρουσιάζεται στο Σχ. 5.6. Στη ROM αποθηκεύονται πλέον μόνο 2 bits για κάθε ψηφίο: n_{2j+1}^- και n_{2j}^+ (Πίνακας 5.2) στην περίπτωση της NR4SD⁻ ή n_{2j+1}^+ και n_{2j}^- (Πίνακας 5.3) στην περίπτωση της NR4SD⁺ κωδικοποίησης. Συνεπώς, το μήκος λέξης του διαδρόμου δεδομένων της ROM ελαττώνεται σε $n+1$ bits για κάθε συντελεστή, όταν οι αντίστοιχες απαιτήσεις για τη ROM του προ-κωδικοποιημένου MB σχεδίου είναι $3n/2$ bits για κάθε συντελεστή. Ως εκ τούτου, ο αριθμός των αποθηκευμένων bits είναι ίσος με τον αρχικό, δηλαδή, τον απαιτούμενο αριθμό για το συμβατικό MB σχέδιο, εκτός από το υψηλότερης τάξης ψηφίο, το οποίο απαιτεί ένα επιπλέον bit επειδή κωδικοποιείται στη MB αναπαράσταση. Σε σύγκριση με τον προ-κωδικοποιημένο MB πολλαπλασιαστή, όπου οι μονάδες της MB κωδικοποίησης παραλείπονται, οι προ-κωδικοποιημένοι NR4SD πολλαπλασιαστές απαιτούν επιπλέον υλικό για τη δημιουργία των σημάτων κωδικοποίησης με βάση τις εξισώσεις (5.5) και (5.10) για την NR4SD⁻ και NR4SD⁺ αναπαράσταση αντίστοιχα. Οι μονάδες για την NR4SD κωδικοποίηση στο Σχ. 5.6 περιλαμβάνουν τα κυκλώματα που παρουσιάζονται στο Σχ. 5.7.

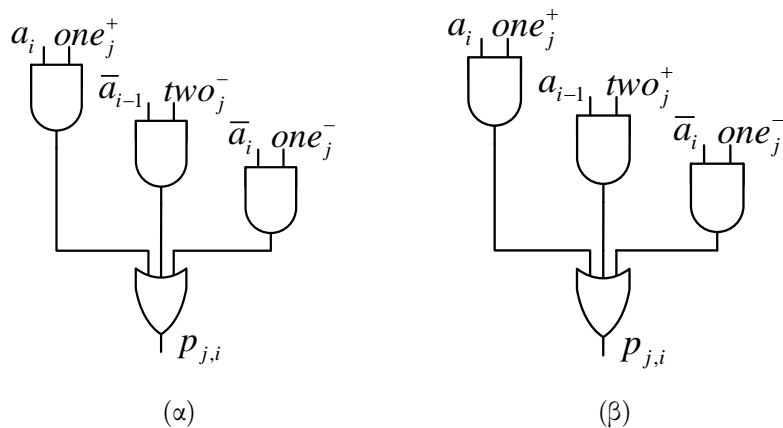
Τα κυκλώματα δημιουργίας των μερικών γινομένων για τους NR4SD⁻ και NR4SD⁺ πολλαπλασιαστές απεικονίζονται στο Σχ. 5.8. Κάθε ένα από τα μερικά γινόμενα των προ-κωδικοποιημένων NR4SD⁻ και NR4SD⁺ πολλαπλασιαστών υλοποιείται σύμφωνα με τα Σχ. 5.8α και 5.8β αντίστοιχα, εκτός από το μερικό γινόμενο PP_{k-1} , το οποίο αντιστοιχεί στο υψηλότερης τάξης ψηφίο. Επειδή το ψηφίο αυτό κωδικοποιείται στη MB αναπαράσταση, χρησιμοποιούμε τα κυκλώματα δημιουργίας των μερικών γινομένων



Σχήμα 5.6: Αρχιτεκτονική συστήματος για τους NR4SD πολλαπλασιαστές.



Σχήμα 5.7: Επιπλέον υλικό που απαιτείται στους προ-κωδικοποιημένους NR4SD πολλαπλασιαστές για την ολοκλήρωση της α) NR4SD⁻ και β) NR4SD⁺ κωδικοποίησης.

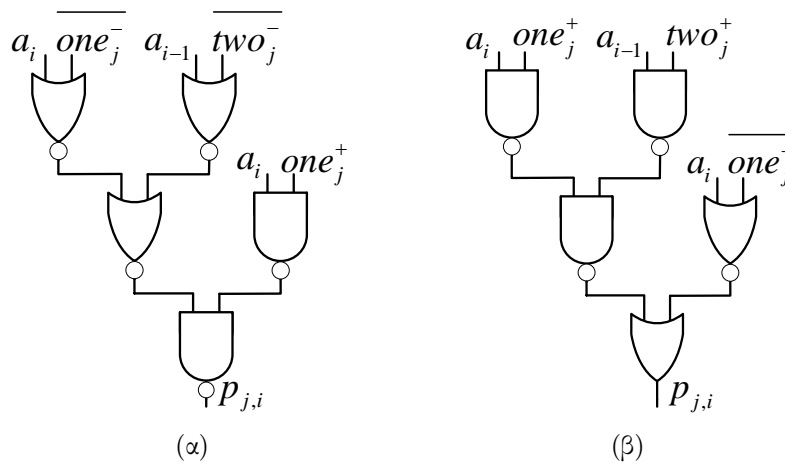


Σχήμα 5.8: Δημιουργία του bit $p_{j,i}$ τάξης i του μερικού γινομένου PP_j για τον α) NR4SD⁻ και β) NR4SD⁺ προ-κωδικοποιημένο πολλαπλασιαστή.

Πίνακας 5.5: Σχέδια Πολλαπλασιαστών

Πολλαπλασιαστής		Είσοδος A	Κωδικοποίηση Εισόδου B		Μήκος λέξης ROM
			Είδος	Τεχνική	
Συμβατικός MB		Συμπλήρωμα ως προς 2 n-bit	MB	Κωδικοποίηση MB	n-bit
ΠΚ ^a	MB		MB	Πλήρως ΠΚ ^a	3n/2-bit
	NR4SD ⁻		NR4SD ⁻	Μερικώς ΠΚ ^a	(n+1)-bit
	NR4SD ⁺		NR4SD ⁺		(n+1)-bit

^a ΠΚ = Προ-Κωδικοποιημένος.



Σχήμα 5.9: Νέα κυκλώματα παραγωγής μερικών γινομένων για τους προ-κωδικοποιημένους α) NR4SD⁻ και β) NR4SD⁺ πολλαπλασιαστές.

του Σχ. 5.4β ενσωματώνοντας την αλλαγή της εξίσωσης (5.13) για το s_j bit.

Αφού παραχθούν τα μερικά γινόμενα, σταθμίζονται κατάλληλα και προστίθενται μέσω ενός Δένδρου με Αθροιστές Σωσίματος Κρατούμενου μαζί με το Διορθωτικό Όρο (COR) της (5.12). Το κρατούμενο εισόδου $c_{in,j}$ της (5.12) υπολογίζεται με βάση τις εξισώσεις (5.15) και (5.16) για τους προ-κωδικοποιημένους NR4SD⁻ και NR4SD⁺ πολλαπλασιαστές αντίστοιχα.

$$c_{in,j} = two_j^- \vee one_j^-, \quad (5.15)$$

$$c_{in,j} = one_j^-. \quad (5.16)$$

Οι εξισώσεις (5.15) και (5.16) προκύπτουν από τους Πίνακες 5.2 και 5.3 αντίστοιχα. Η έξοδος του Δένδρου με Αθροιστές Σωσίματος Κρατούμενου αναπαρίσταται σε μορφή Σωσίματος Κρατούμενου και οδηγείται σε ένα γρήγορο Αθροιστή Πρόβλεψης Κρατούμενου για την παραγωγή του τελικού αποτελέσματος.

5.4 Πειραματικά Αποτελέσματα

Υλοποιήσαμε στη Γλώσσα Περιγραφής Υλικού (HDL) Verilog τα σχέδια πολλαπλασιαστών που συνοψίζονται στον Πίνακα 5.5. Τα κυκλώματα παραγωγής μερικών γινομένων για τους NR4SD⁻ / NR4SD⁺ πολλαπλασιαστές (Σχ. 5.8α και 5.8β) περιέχουν ένα σημαντικό αριθμό αντιστροφών επειδή όλα τα bits του όρου A πρέπει να αντιστραφούν για τις περιπτώσεις αρνητικών ψηφίων ($\mathbf{b}_j^{NR-} = -2$ ή -1 / $\mathbf{b}_j^{NR+} = -1$). Προκειμένου να αποφύγουμε όλους αυτούς τους αντιστροφείς και, συνεπώς, να μειώσουμε την κρίσιμη καθυστέρηση και την επιφάνεια πυριτίου των προ-κωδικοποιημένων NR4SD⁻ / NR4SD⁺ πολλαπλασιαστών, τα κυκλώματα παραγωγής μερικών γινομένων αντικαταστάθηκαν από εκείνα στο Σχ. 5.9, τα οποία βασίζονται σε πρωτόγονες NAND και NOR λογικές πύλες. Στο Σχ. 5.9, τα σήματα κωδικοποίησης one^- , two^- για την NR4SD⁻ και one^- για την NR4SD⁺ αναπαράσταση εισέρχονται ανεστραμμένα.

Το Δένδρο με Αθροιστές Σωσίματος Κρατουμένου και ο γρήγορος Αθροιστής Πρόβλεψης Κρατουμένου εισήχθησαν από τη βιβλιοθήκη DesignWare της Synopsys [95]. Η ROM που χρησιμοποιήθηκε για την αποθήκευση των συντελεστών B , είτε των αρχικών στη μορφή συμπληρώματος ως προς 2 είτε των αντίστοιχων προ-κωδικοποιημένων, είναι μία σύγχρονη ROM των 512 λέξεων, η οποία απαντάται συχνά σε συστήματα ΨΕΣ [143]. Το μήκος λέξης των καταχωρήσεων σε κάθε ROM εξαρτάται από την αρχιτεκτονική του εκάστοτε πολλαπλασιαστή και παρέχεται στην τελευταία στήλη του Πίνακα 5.5. Επίσης, υλοποιήθηκε και μία μηχανή πεπερασμένων καταστάσεων για το συγχρονισμό μεταξύ της ροής δεδομένων και της λειτουργίας πολλαπλασιασμού, χωρίς να ληφθεί υπόψη στους υπολογισμούς της επιφάνειας πυριτίου και της κατανάλωσης ισχύος των συστημάτων.

Χρησιμοποιήσαμε το εργαλείο Design Compiler της εταιρείας Synopsys [92] και τη βιβλιοθήκη πρότυπων κελιών FSD0A_A_GENERIC_CORE της εταιρείας Faraday τεχνολογίας 90 nm [96] προκειμένου να συνθέσουμε τα λογικά κυκλώματα των πολλαπλασιαστών. Η σύνθεση διεξήχθη θεωρώντας τον υψηλότερο βαθμό βελτιστοποίησης στο εργαλείο Design Compiler της Synopsys, ενώ διατηρήσαμε την ιεραρχία των υπό αξιολόγηση σχεδίων. Χρησιμοποιήσαμε επίσης το εργαλείο δημιουργίας μνημών της εταιρείας Faraday για την τεχνολογία των 90 nm προκειμένου να παράξουμε τις φυσικές ROMs για τους συντελεστές. Οι ROMs, οι οποίες απαιτούνται για τα σχέδια των προ-κωδικοποιημένων πολλαπλασιαστών, είναι μεγαλύτερες από εκείνη που απαιτεί το συμβατικό MB σχέδιο και, συνεπώς, ο χρόνος προσπέλασής τους είναι αυξημένος. Ωστόσο, τα προ-κωδικοποιημένα σχέδια μπορούν να επιτύχουν χαμηλότερες περιόδους ρολογιού σε σύγκριση με το συμβατικό MB σχέδιο επειδή τα κυκλώματα κωδικοποίησης, τα οποία αποτελούν μέρος του κρίσιμου μονοπατιού, είτε παραλείπονται είτε είναι λιγότερο σύνθετα. Εφόσον ο σκοπός μας είναι να συγκρίνουμε όλα τα σχέδια του Πίνακα 5.5 από την άποψη της απόδοσης, αρχικά, συνθέσαμε κάθε σχέδιο στη χαμηλότερη δυνατή περίοδο ρολογιού και, στη συνέχεια, κάθε προ-κωδικοποιημένο σχέδιο στην περίοδο ρολογιού που επετεύχθη από το συμβατικό MB σχέδιο. Επίσης, συνθέσαμε όλες τις υπό αξιολόγηση αρχιτεκτονικές σε υψηλότερες περιόδους ρολογιού προκειμένου να διερευνήσουμε τη συμπεριφορά όλων των σχεδίων από την άποψη της επιφάνειας πυριτίου και της κατανάλωσης ισχύος και θεωρώντας διαφορετικούς χρονικούς περιορισμούς. Για κάθε διαφορετική περίοδο ρολογιού, προσομοιώσαμε όλα τα υπό αξιολόγηση σχέδια χρησιμοποιώντας το εργαλείο Modelsim [97] για το ίδιο σύνολο τυχαίων αριθμών. Στην περίπτωση του συμβατικού MB πολλαπλασιαστή, οι είσοδοι βρίσκονται σε μορφή συμπληρώματος ως προς 2 και δημιουργήθηκαν τυχαία θεωρώντας ότι το κάθε bit

Πίνακας 5.6: Απόδοση στις Χαμηλότερες Περίόδους Ρολογιού

Σχέδιο Πολλαπλασιαστή		T (ns)	A (μm^2) ^a	$A \times D$ ^b	P (mW) ^c	$P \times D$ ^d
16 bits						
Συμβατικός MB		2.01	18945	38079	11.20	22.51
ΠΚ	MB	1.95	19079	37205	11.00	21.45
	NR4SD ⁻	1.95	18357	35796	11.00	21.45
	NR4SD ⁺	1.95	18485	36045	11.10	21.65
24 bits						
Συμβατικός MB		2.26	32354	73121	18.80	42.49
ΠΚ	MB	2.18	30251	65948	16.80	36.62
	NR4SD ⁻	2.18	28822	62832	16.80	36.62
	NR4SD ⁺	2.18	29573	64470	17.40	37.93
32 bits						
Συμβατικός MB		2.34	50199	117465	29.50	69.03
ΠΚ	MB	2.28	47490	108277	27.30	62.24
	NR4SD ⁻	2.28	43779	99816	26.40	60.19
	NR4SD ⁺	2.29	46318	106068	27.50	62.98

^a A = Επιφάνεια πυριτίου για ROM + Πολ/στή.

^b $A \times D$ = Επιφάνεια πυριτίου \times Καθυστέρηση για ROM + Πολ/στή ($\mu\text{m}^2 \cdot \text{ns}$).

^c P = Κατανάλωση ισχύος για ROM + Πολ/στή.

^d $P \times D$ = Κατανάλωση ισχύος \times Καθυστέρηση για ROM + Πολ/στή ($\text{mW} \cdot \text{ns} = \text{pJ}$).

^e ΠΚ = Προ-Κωδικοποιημένος.

χαρακτηρίζεται από την ίδια πιθανότητα να είναι ίσο με 0 ή 1. Χρησιμοποιώντας μία γλώσσα προγραμματισμού υψηλού επιπέδου, παράγαμε τις προ-κωδικοποιημένες τιμές του όρου B , τις οποίες αποθηκεύσαμε στις ROMs όλων των προ-κωδικοποιημένων σχεδίων. Τέλος, η κατανάλωση ισχύος υπολογίστηκε χρησιμοποιώντας το εργαλείο PrimeTime-PX της εταιρείας Synopsys [93].

Η απόδοση όλων των σχεδίων του Πίνακα 5.5 αξιολογείται σε σχέση με το μήκος λέξης των εισόδων για 16, 24 και 32 bits. Ο Πίνακας 5.6 συνοψίζει την απόδοση όλων των υπό αξιολόγηση αρχιτεκτονικών στην ελάχιστη δυνατή περίοδο ρολογιού της κάθε μίας. Επειδή κάθε σχέδιο έχει συντεθεί σε διαφορετική περίοδο ρολογιού, συγκρίνουμε τις υπό αξιολόγηση αρχιτεκτονικές χρησιμοποιώντας τα γινόμενα επιφάνειας πυριτίου - κρίσιμης καθυστέρησης και κατανάλωσης ισχύος - κρίσιμης καθυστέρησης, τα οποία δύνανται να θεωρηθούν ως μετρικές για την αποδοτικότητα ενός σχεδίου [144]. Λαμβάνοντας υπόψη την απόδοση όλων των υπό αξιολόγηση σχεδίων στις ελάχιστες δυνατές περιόδους ρολογιού του καθενός, παρατηρούμε ότι οι προ-κωδικοποιημένες NR4SD αρχιτεκτονικές είναι περισσότερο αποδοτικές από την άποψη της επιφάνειας πυριτίου σε σύγκριση με το συμβατικό ή το προ-κωδικοποιημένο MB σχέδιο. Από την άποψη της κατανάλωσης ισχύος, το προ-κωδικοποιημένο NR4SD⁻ σχέδιο καταναλώνει την ελάχιστη ισχύ, η οποία είναι ίση με την ισχύ που καταναλώνει το προ-κωδικοποιημένο MB σχέδιο για μήκος λέξης των εισόδων ίσο με 16 και 24 bits.

Οι Πίνακες 5.7 και 5.8 περιλαμβάνουν τις πειραματικές μετρήσεις για την επιφάνεια πυριτίου και την κατανάλωση ισχύος αντίστοιχα για όλα τα υπό αξιολόγηση σχέδια του

Πίνακας 5.7: Μετρήσεις Επιφάνειας Πιπυτίου για Όλα τα Τύα Αξιολόγηση Σχέδια και για 16, 24 και 32 Bits Μήκος Δέξης Εισόδων

Σχέδιο	Συμβατικό MB			Προ-Κωδικοποιημένο MB			Προ-Κωδικοποιημένο NR45D-			Προ-Κωδικοποιημένο NR45D+		
	A_{System} (μm^2)	$A_{Multiplier}$ (μm^2)	$APPG$ (μm^2)	A_{System} (μm^2)	$A_{Multiplier}$ (μm^2)	$APPG$ (μm^2)	A_{System} (μm^2)	$A_{Multiplier}$ (μm^2)	$APPG$ (μm^2)	A_{System} (μm^2)	$A_{Multiplier}$ (μm^2)	$APPG$ (μm^2)
T (ns)												
<i>16 bits</i>												
2.01	18945	10408	3995	17584	6631	2182	16495	7619	2417	16675	7799	2596
2.20	15654	7117	2416	16658	5704	1813	14576	5700	1586	14693	5817	1535
2.40	14755	6218	2022	16589	5635	1808	14343	5467	1531	14324	5448	1481
2.60	14613	6075	1995	16531	5577	1800	14270	5394	1487	14279	5403	1472
2.80	14554	6016	1988	16463	5510	1788	14247	5371	1504	14246	5370	1472
3.00	14563	6026	2034	16386	5433	1750	14184	5308	1445	14208	5332	1443
3.20	14568	6031	2083	16316	5363	1637	14130	5254	1423	14195	5319	1438
3.40	14574	6037	2118	16227	5274	1562	14077	5201	1395	14142	5266	1409
3.60	14840	6303	2180	16233	5280	1495	14158	5282	1393	14217	5341	1410
3.80	14675	6138	2092	16144	5191	1487	14063	5187	1390	14104	5228	1396
4.00	14498	5961	2085	16102	5148	1486	14044	5168	1382	14079	5203	1393
<i>24 bits</i>												
2.26	32354	21401	9035	28088	13477	4321	25700	14408	4495	25576	14284	4344
2.40	26398	15445	5522	27283	12672	4005	23548	12256	3386	23504	12212	3340
2.60	25301	14348	5078	26871	12259	3998	23095	11803	3377	23036	11744	3210
2.80	24166	13213	4461	26701	12090	3992	22863	11571	3302	22882	11590	3237
3.00	23863	12910	4445	26622	12011	3986	22873	11581	3258	22796	11505	3211
3.20	23688	12735	4310	26578	11967	3980	22782	11490	3267	22815	11523	3200
3.40	23519	12566	4355	26519	11907	3973	22629	11337	3270	22796	11505	3203
3.60	23602	12649	4440	26492	11881	3961	22570	11278	3223	22656	11364	3162
3.80	23678	12724	4570	26332	11721	3848	22495	11203	3192	22626	11334	3135
4.00	23754	12801	4616	26196	11584	3735	22482	11190	3160	22590	11298	3122
<i>32 bits</i>												
2.34	50199	36829	15275	43414	25213	8593	40762	27054	9083	41757	28049	10166
2.60	38181	24811	8364	39954	21753	7050	35157	21449	6118	34932	21224	5943
2.80	36356	22987	7657	39567	21366	7043	34123	20415	5824	34057	20349	5699
3.00	35807	22438	7491	39228	21027	7037	33722	20014	5783	33774	20066	5648
3.20	35591	22222	7469	39022	20821	7031	33858	20150	5795	33813	20105	5657
3.40	35497	22128	7482	38987	20786	7018	33683	19975	5737	33729	20021	5639
3.60	35498	22128	7512	38959	20758	7012	33550	19842	5732	33710	20002	5668
3.80	35486	22117	7586	38984	20783	7006	33505	19797	5751	33639	19931	5631
4.00	35584	22215	7661	38914	20713	7000	33528	19820	5762	33606	19898	5671

Πίνακας 5.8: Μετρήσεις Κατανάλωσης Ισχύος για Όλα τα Υπό Αξιολόγηση Σχέδια και για 16, 24 και 32 Bits Μήκος Λέξης Εισόδων

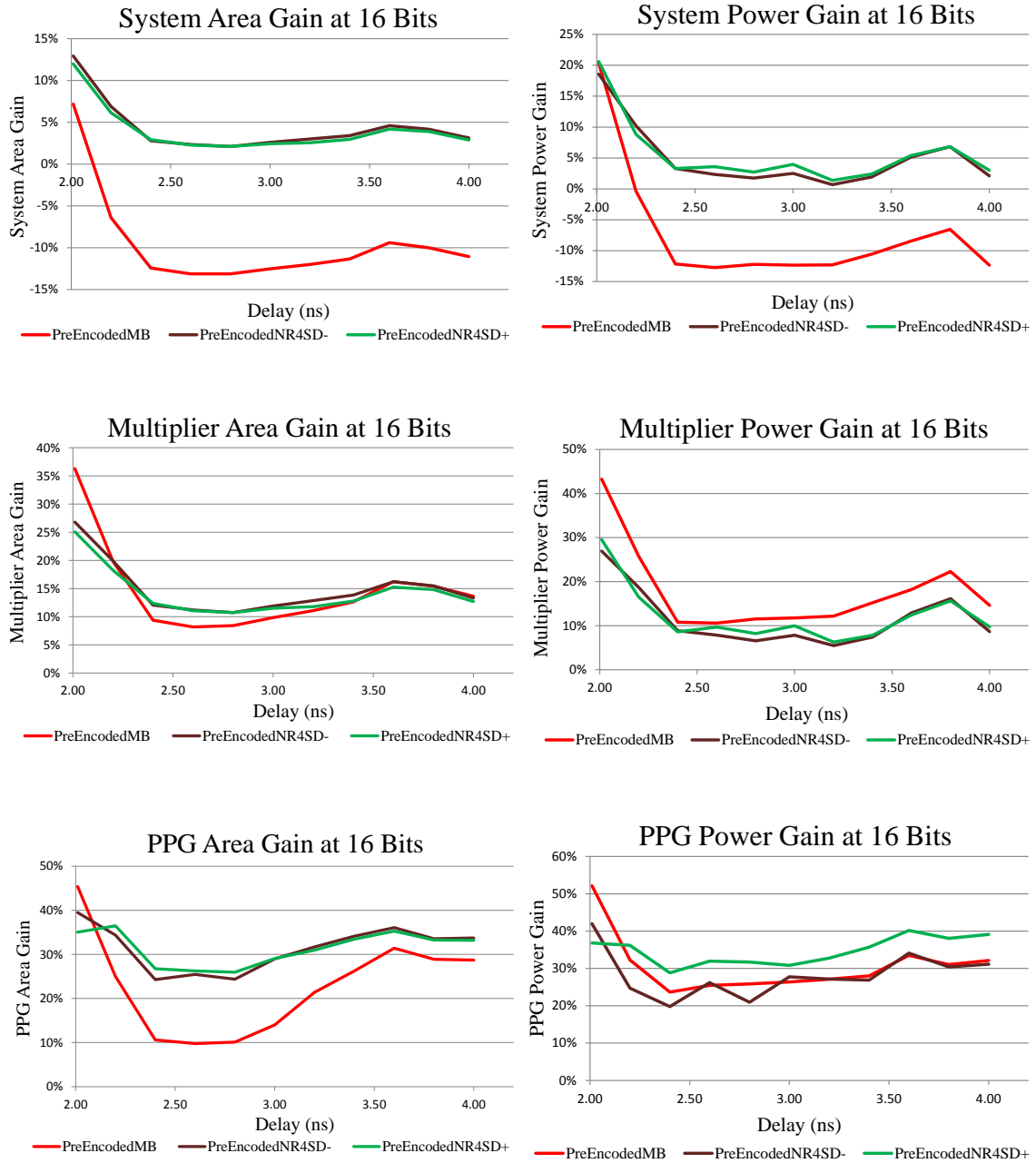
Σχέδιο	Συμβατικό MB			Προ-Κωδικοποιημένο MB			Προ-Κωδικοποιημένο NR4SD ⁻			Προ-Κωδικοποιημένο NR4SD ⁺		
	P_{System} (mW)	$P_{Multiplier}$ (mW)	P_{PPG} (mW)	P_{System} (mW)	$P_{Multiplier}$ (mW)	P_{PPG} (mW)	P_{System} (mW)	$P_{Multiplier}$ (mW)	P_{PPG} (mW)	P_{System} (mW)	$P_{Multiplier}$ (mW)	P_{PPG} (mW)
<i>16 bits</i>												
2.01	11.20	8.14	2.60	8.92	4.62	1.24	9.12	5.95	1.51	8.89	5.74	1.64
2.20	7.26	4.55	1.42	7.29	3.38	0.96	6.52	3.70	1.07	6.62	3.80	0.91
2.40	6.08	3.61	1.17	6.82	3.22	0.89	5.88	3.29	0.94	5.88	3.30	0.83
2.60	5.57	3.31	1.10	6.28	2.96	0.82	5.44	3.05	0.81	5.37	2.99	0.75
2.80	5.15	3.04	1.02	5.78	2.69	0.76	5.06	2.84	0.81	5.01	2.79	0.70
3.00	4.78	2.81	0.96	5.37	2.48	0.71	4.66	2.59	0.69	4.59	2.53	0.66
3.20	4.39	2.55	0.87	4.93	2.24	0.63	4.36	2.41	0.63	4.33	2.39	0.58
3.40	4.16	2.43	0.80	4.60	2.06	0.57	4.08	2.25	0.58	4.06	2.24	0.51
3.60	3.90	2.25	0.81	4.23	1.84	0.54	3.70	1.96	0.53	3.69	1.97	0.48
3.80	3.66	2.11	0.74	3.90	1.64	0.51	3.41	1.77	0.51	3.41	1.78	0.46
4.00	3.32	1.85	0.70	3.73	1.58	0.47	3.25	1.69	0.48	3.22	1.67	0.43
<i>24 bits</i>												
2.26	18.80	15.00	5.44	14.00	8.27	2.34	13.40	9.64	2.93	13.30	9.55	2.73
2.40	13.10	9.57	3.22	12.40	7.01	2.05	10.60	7.06	2.02	10.50	7.04	1.92
2.60	11.20	8.00	2.86	11.30	6.38	1.93	9.69	6.46	1.97	9.52	6.31	1.66
2.80	9.29	6.34	2.18	10.90	6.23	1.86	9.16	6.16	1.83	9.04	6.06	1.66
3.00	8.66	5.92	2.03	10.40	6.08	1.79	8.49	5.69	1.65	8.52	5.74	1.54
3.20	8.08	5.52	1.70	9.77	5.69	1.68	8.06	5.43	1.62	7.86	5.25	1.40
3.40	7.81	5.40	1.69	9.18	5.34	1.58	7.84	5.36	1.62	7.35	4.89	1.30
3.60	7.39	5.11	1.61	8.58	4.96	1.48	7.42	5.08	1.52	7.00	4.67	1.29
3.80	7.08	4.91	1.59	8.12	4.70	1.41	7.07	4.85	1.42	6.63	4.43	1.17
4.00	6.73	4.67	1.51	7.68	4.44	1.33	6.57	4.46	1.27	6.33	4.24	1.10
<i>32 bits</i>												
2.34	29.50	24.80	8.58	22.90	15.50	4.55	22.50	17.80	5.49	22.90	18.30	6.09
2.60	17.90	13.80	4.72	17.40	10.80	3.35	16.40	12.30	3.79	15.80	11.70	3.52
2.80	15.60	11.80	4.11	16.30	10.10	3.17	14.70	10.90	3.37	14.80	11.00	3.27
3.00	14.40	10.90	3.88	15.90	10.10	3.10	14.00	10.40	3.27	14.00	10.50	3.07
3.20	13.50	10.20	3.68	15.20	9.72	2.99	12.90	9.51	2.91	13.20	9.82	2.86
3.40	12.80	9.73	3.45	14.30	9.17	2.81	12.20	9.02	2.60	12.50	9.34	2.70
3.60	11.60	8.66	2.74	13.50	8.63	2.65	11.80	8.76	2.51	11.30	8.34	2.33
3.80	11.10	8.29	2.63	12.80	8.19	2.50	11.10	8.28	2.42	10.80	7.93	2.11
4.00	10.40	7.77	2.45	12.20	7.76	2.38	11.00	8.31	2.69	10.30	7.66	2.14

Πίνακα 5.5 σε σχέση με το μήκος λέξης των εισόδων. Η σύγκριση μεταξύ των σχεδίων ξεκινά από τη χαμηλότερη δυνατή περίοδο ρολογιού, η οποία είναι κοινή για όλα τα σχέδια, και συνεχίζει σε υψηλότερες περιόδους ρολογιού με αυξανόμενο βήμα 0.20 ns έως την περίοδο των 4.00 ns (250 MHz συχνότητα λειτουργίας). Και οι δύο Πίνακες 5.7 και 5.8 παρουσιάζουν τα πειραματικά αποτελέσματα της επιφάνειας πυριτίου και της κατανάλωσης ισχύος για το συνολικό σύστημα της ROM και του πολλαπλασιαστή (system), για τον πολλαπλασιαστή (multiplier) και για τα κυκλώματα παραγωγής μερικών γινομένων (Partial Products Generators (PPG)). Αρχικά, συγκρίνουμε ολόκληρα τα υπό αξιολόγηση σχέδια, τα οποία περιλαμβάνουν και τις απαιτούμενες ROMs και, στη συνέχεια, κάνουμε μία σύγκριση μεταξύ των πολλαπλασιαστών των υπό αξιολόγηση αρχιτεκτονικών, καθώς έχουν υλοποιηθεί με βάση διαφορετικές τεχνικές κωδικοποίησης, και μεταξύ των κυκλωμάτων παραγωγής μερικών γινομένων των πολλαπλασιαστών επειδή αποτελούν βασικές μονάδες τους και καταλαμβάνουν σημαντικό μέρος της επιφάνειας πυριτίου των πολλαπλασιαστών.

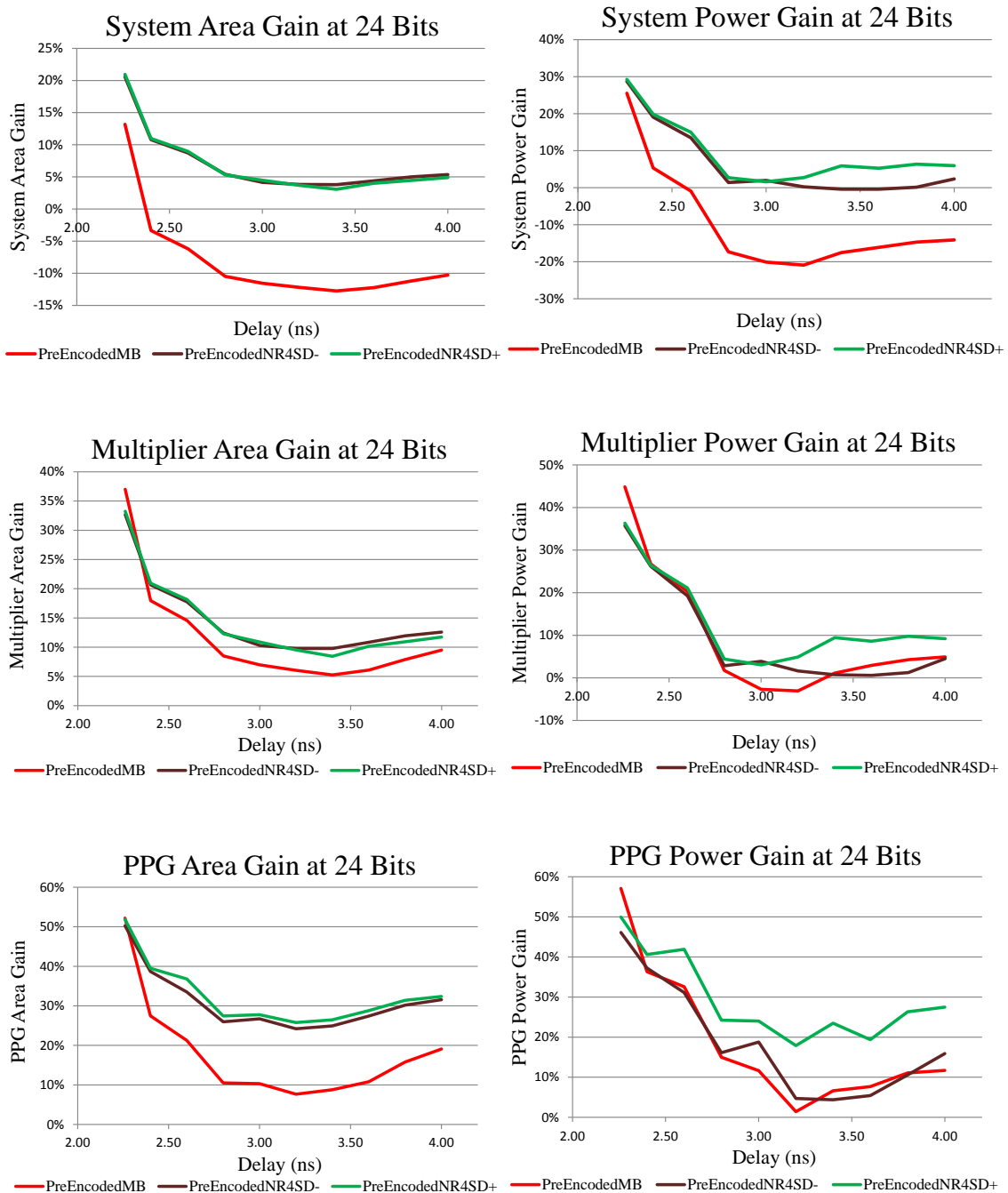
Οφείλουμε να σημειώσουμε ότι οι πειραματικές μετρήσεις των Πινάκων 5.7 και 5.8 θα πρέπει να αξιολογηθούν λαμβάνοντας υπόψη ότι, καθώς αυξάνεται η περίοδος ρολογιού, το μονοπάτι δεδομένων του κυκλώματος πολλαπλασιασμού μεταβάλλεται και τα πρότυπα κελιά, τα οποία χρησιμοποιούνται για τη σύνθεσή του, είναι λιγότερο σύνθετα, δηλαδή, ελαττώνονται η επιφάνεια πυριτίου, η εσωτερική χωρητικότητα και το φορτίο των θυρών τους. Ωστόσο, η ROM, η οποία χρησιμοποιείται σε κάθε ένα από τα σχέδια που συγκρίνουμε μεταξύ τους, είναι ένα πρότυπο κελί. Η κρίσιμη καθυστέρησή της, η επιφάνεια πυριτίου που καταλαμβάνει και τόσο το εσωτερικό της φορτίο όσο και το φορτίο των θυρών της παραμένουν αμετάβλητα, καθώς αυξάνεται η περίοδος ρολογιού. Συνεπώς, το κύκλωμα του πολλαπλασιασμού μεταβάλλεται έντονα, καθώς αυξάνεται η περίοδος ρολογιού, ενώ η ROM δε μεταβάλλεται. Επίσης, καθώς αυξάνεται η περίοδος ρολογιού, η κατανάλωση ισχύος του κυκλώματος πολλαπλασιασμού ελαττώνεται έντονα λαμβάνοντας υπόψη ότι τόσο η συχνότητα λειτουργίας όσο και το συνολικό φορτίο ελαττώνονται, ενώ η κατανάλωση ισχύος της ROM ελαττώνεται γραμμικά ακολουθώντας την ελάττωση στην τιμή της συχνότητας λειτουργίας.

Παρατηρώντας την απόδοση όλων των υπό αξιολόγηση σχεδίων στους Πίνακες 5.7 και 5.8, στις χαμηλές περιόδους ρολογιού και μέχρι και τις υψηλότερες που παρουσιάζονται στους πίνακες αυτούς, το προ-κωδικοποιημένο MB σχέδιο είναι λιγότερο αποδοτικό σε σύγκριση με το συμβατικό MB σχέδιο. Ωστόσο, τα προτεινόμενα προ-κωδικοποιημένα NR4SD⁻ και NR4SD⁺ σχέδια, όπως και οι υπομονάδες τους (πολλαπλασιαστής και κυκλώματα παραγωγής μερικών γινομένων), παρουσιάζουν κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος σε σύγκριση με τη συμβατική MB αρχιτεκτονική, καθώς αυξάνεται η περίοδος ρολογιού. Επιπλέον, καθώς αυξάνεται η περίοδος ρολογιού, τα προτεινόμενα προ-κωδικοποιημένα NR4SD⁻ και NR4SD⁺ σχέδια εμφανίζουν στις χαμηλότερες περιόδους ρολογιού μεγαλύτερα κέρδη στην επιφάνεια πυριτίου και στην κατανάλωση ισχύος σε σύγκριση με το συμβατικό MB σχέδιο. Ωστόσο, η προαναφερόμενη παρατήρηση ήταν αναμενόμενη επειδή τα προ-κωδικοποιημένα σχέδια δύνανται να συντεθούν σε χαμηλότερες περιόδους ρολογιού και, συνεπώς, καθώς χαλαρώνουν οι χρονικοί περιορισμοί και αυξάνεται η περίοδος ρολογιού, εμφανίζουν ελαττώσεις στην επιφάνεια πυριτίου και στην κατανάλωση ισχύος.

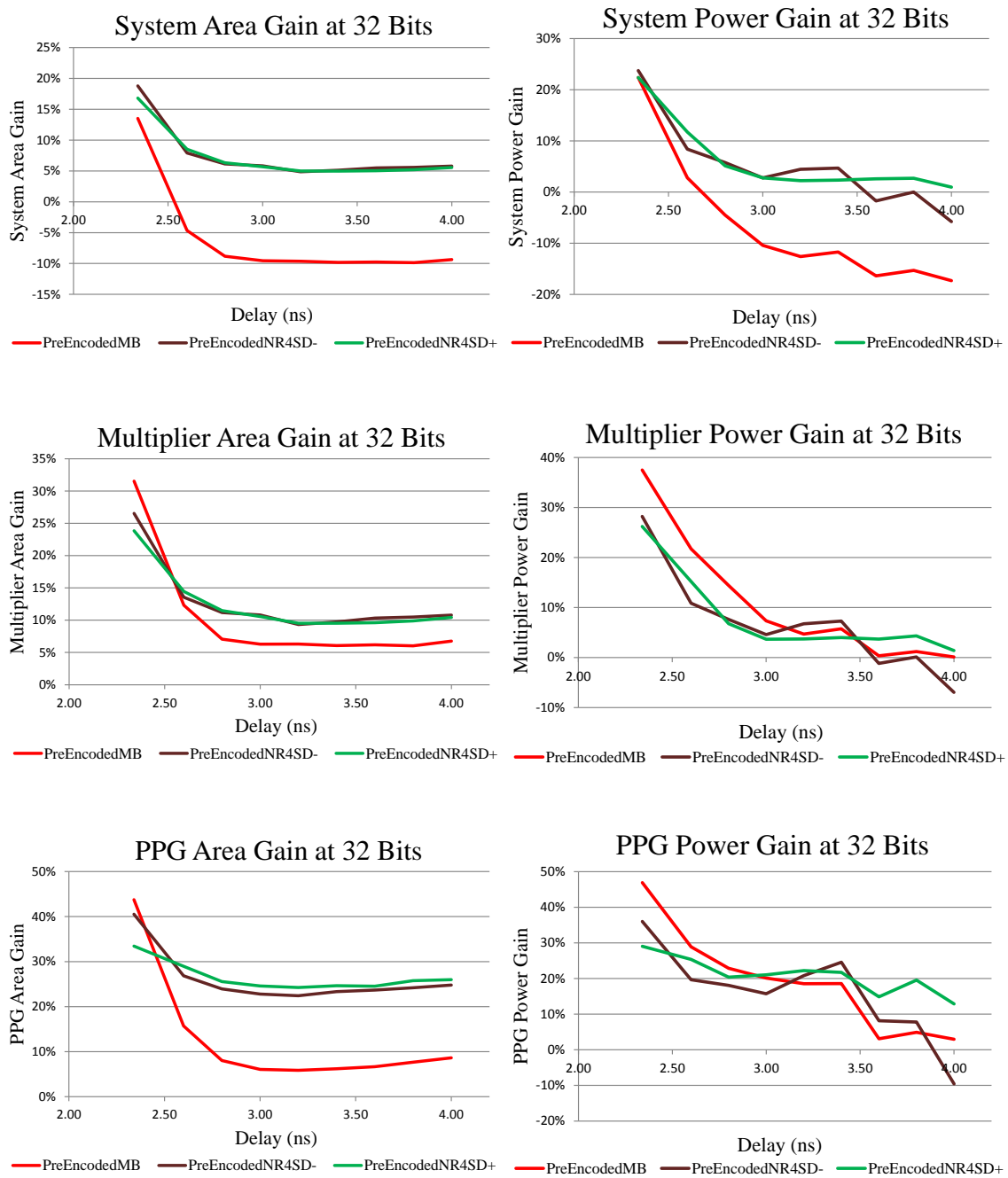
Με βάση τους Πίνακες 5.7 και 5.8 και λαμβάνοντας υπόψη τις πειραματικές μετρήσεις για όλες τις περιόδους ρολογιού, απεικονίσαμε γραφικά στα Σχ. 5.10 - 5.12 τα κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος που παρουσιάζουν τα προ-κωδικοποιημένα MB, NR4SD⁻ και NR4SD⁺ σχέδια σε επίπεδο συστήματος (system), πολλαπλασια-



Σχήμα 5.10: Κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος των προ-κωδικοποιημένων σχεδίων σε σχέση με το συμβατικό MB σχέδιο για μήκος λέξης των εισόδων ίσο με 16 bits.



Σχήμα 5.11: Κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος των προ-κωδικοποιημένων σχεδίων σε σχέση με το συμβατικό MB σχέδιο για μήκος λέξης των εισόδων ίσο με 24 bits.



Σχήμα 5.12: Κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος των προ-κωδικοποιημένων σχεδίων σε σχέση με το συμβατικό MB σχέδιο για μήκος λέξης των εισόδων ίσο με 32 bits.

Πίνακας 5.9: Μέσες Τιμές Κερδών Επιφάνειας Πυριτίου και Κατανάλωσης Ισχύος Όλων των Προ-Κωδικοποιημένων Σχεδίων σε Σύγκριση με το Συμβατικό MB Σχέδιο

Προ-Κωδικοποιημένο Σχέδιο	A_{System} (%)	$A_{Multiplier}$ (%)	A_{PPG} (%)	P_{System} (%)	$P_{Multiplier}$ (%)	P_{PPG} (%)
16 bits						
MB	-9.47	14.63	22.86	-7.25	17.82	30.68
NR4SD ⁻	4.36	14.94	31.47	5.03	11.57	28.28
NR4SD ⁺	4.03	14.22	31.06	5.64	12.21	34.74
24 bits						
MB	-7.71	11.97	18.39	-9.08	10.11	19.11
NR4SD ⁻	7.20	14.87	31.33	6.66	9.66	19.03
NR4SD ⁺	7.08	14.63	32.82	9.46	13.33	29.52
32 bits						
MB	-6.44	9.84	12.06	-7.01	10.35	18.54
NR4SD ⁻	7.28	12.53	25.84	4.70	6.38	15.69
NR4SD ⁺	7.01	12.15	26.42	5.87	7.67	20.78

στή (multiplier) και κυκλωμάτων παραγωγής μερικών γινομένων (PPG) σε σύγκριση με το συμβατικό MB σχέδιο. Επίσης, ο Πίνακας 5.9 παρουσιάζει τις μέσες τιμές για τα προαναφερόμενα κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος. Τα Σχ. 5.10 - 5.12 δείχνουν ότι το προ-κωδικοποιημένο MB σχέδιο παρουσιάζει απώλειες τόσο στην επιφάνεια πυριτίου (-9.47%, -7.71% και -6.44% κατά μέσο όρο για μήκος λέξης εισόδων ίσο με 16, 24 και 32 bits αντίστοιχα, όπως φαίνεται στον Πίνακα 5.9) όσο και στην κατανάλωση ισχύος (-7.25%, -9.08% και -7.01% κατά μέσο όρο για μήκος λέξης εισόδων ίσο με 16, 24 και 32 bits αντίστοιχα, όπως φαίνεται στον Πίνακα 5.9) σε σύγκριση με το συμβατικό MB σχέδιο. Η προαναφερόμενη παρατήρηση ήταν αναμενόμενη λαμβάνοντας υπόψη ότι το μέγεθος της ROM, η οποία απαιτείται για το προ-κωδικοποιημένο MB σχέδιο, είναι κατά 50% μεγαλύτερη από τη ROM του συμβατικού MB σχεδίου. Ωστόσο, οι προτεινόμενες προ-κωδικοποιημένες NR4SD αρχιτεκτονικές παρουσιάζουν βελτιώσεις τόσο στην επιφάνεια πυριτίου (έως 7.28% κατά μέσο όρο για το προ-κωδικοποιημένο NR4SD⁻ σχέδιο στα 32 bits, όπως φαίνεται στον Πίνακα 5.9) όσο και στην κατανάλωση ισχύος (έως 9.46% κατά μέσο όρο για το προ-κωδικοποιημένο NR4SD⁺ σχέδιο στα 24 bits, όπως φαίνεται στον Πίνακα 5.9) σε σύγκριση με το συμβατικό MB σχέδιο. Οφείλουμε να σημειώσουμε ότι τα κέρδη που αφορούν τους πολλαπλασιαστές των προ-κωδικοποιημένων NR4SD σχεδίων σε σύγκριση με τον πολλαπλασιαστή του συμβατικού MB σχεδίου είναι πολύ υψηλότερα. Αυτό οφείλεται κυρίως στο γεγονός ότι τα κυκλώματα παραγωγής μερικών γινομένων των NR4SD σχεδίων (Σχ. 5.9) είναι λιγότερο σύνθετα σε σύγκριση με τα αντίστοιχα κυκλώματα του συμβατικού MB σχεδίου (Σχ. 5.4α) λαμβάνοντας υπόψη ότι η παραγωγή των μερικών γινομένων επιβαρύνει σε μεγάλο βαθμό έναν πολλαπλασιαστή από την άποψη της επιφάνειας πυριτίου και της κατανάλωσης ισχύος. Τα Σχ. 5.10 - 5.12 επιβεβαιώνουν τα κέρδη επιφάνειας πυριτίου και κατανάλωσης ισχύος που παρουσιάζουν τα κυκλώματα παραγωγής μερικών γινομένων των NR4SD σχεδίων σε σύγκριση με τα αντίστοιχα κυκλώματα του συμβατικού MB σχεδίου.

Παρατηρώντας περισσότερο προσεκτικά τον Πίνακα 5.9, διαπιστώνουμε ότι τα κέρδη κατανάλωσης ισχύος, τα οποία επιτυγχάνονται από το προ-κωδικοποιημένο NR4SD⁺

σχέδιο σε σύγκριση με τη συμβατική MB αρχιτεκτονική, είναι μεγαλύτερα από τα αντίστοιχα κέρδη του προ-κωδικοποιημένου NR4SD⁻ σχεδίου και, πιο συγκεκριμένα, είναι σε αξιοσημείωτο βαθμό ευρύτερα για τα κυκλώματα παραγωγής μερικών γινομένων. Η προαναφερόμενη παρατήρηση αποκτά ιδιαίτερη αξία και ενδιαφέρον επειδή τα κέρδη επιφάνειας πυριτίου των προ-κωδικοποιημένων NR4SD σχεδίων σε σύγκριση με τη συμβατική MB αρχιτεκτονική είναι παρόμοια μεταξύ τους για το συνολικό σύστημα, τον πολλαπλασιαστή και το κύκλωμα παραγωγής μερικών γινομένων για όλα τα μήκη λέξης εισόδων. Συνεπώς, μία περισσότερο ενδελεχής εξέταση και ανάλυση των κυκλωμάτων παραγωγής μερικών γινομένων των προ-κωδικοποιημένων NR4SD σχεδίων κρίθηκε απαραίτητη. Πιο συγκεκριμένα, εστίασαμε στα σύνολα τυχαίων αριθμών, τα οποία χρησιμοποιήθηκαν για τις προσομοιώσεις των υπό αξιολόγηση σχεδίων, και στα αρχεία πρότυπων κελιών απεικονισμένων, τα οποία δημιουργούνται ως αποτέλεσμα της σύνθεσης με το εργαλείο Design Compiler και χρησιμοποιούνται κατά τις προσομοιώσεις των υπό αξιολόγηση σχεδίων με απώτερο σκοπό τον υπολογισμό της μέσης κατανάλωσης ισχύος τους. Κατά πρώτον, παρατηρήσαμε ότι τα σύνολα τυχαίων αριθμών, τα οποία δημιουργήθηκαν για τη συμβατική MB αρχιτεκτονική και περιείχαν περίπου τον ίδιο αριθμό μηδενικών και μονάδων, οδηγούν στην εισαγωγή λιγότερων μηδενικών και περισσότερων μονάδων (περίπου 43% μηδενικά και 57% μονάδες) στα κυκλώματα παραγωγής μερικών γινομένων του προ-κωδικοποιημένου NR4SD⁻ σχεδίου. Εν αντιθέσει, περισσότερα μηδενικά και λιγότερες μονάδες (περίπου 58% μηδενικά και 42% μονάδες) εισάγονταν στα κυκλώματα παραγωγής μερικών γινομένων του προ-κωδικοποιημένου NR4SD⁺ σχεδίου. Κατά δεύτερον, το εργαλείο Design Compiler χρησιμοποίησε για την απεικόνιση των κυκλωμάτων παραγωγής μερικών γινομένων των προ-κωδικοποιημένων NR4SD⁻ και NR4SD⁺ σχεδίων πολυπλέκτες και τα σύνθετα πρότυπα κελιά AND-OR-Inverted κατά το πρώτο επίπεδο ιεραρχίας και τα σύνθετα πρότυπα κελιά OR-AND-Inverted κατά το επόμενο και τελευταίο επίπεδο ιεραρχίας. Κατά συνέπεια, στην κορυφή της ιεραρχίας των κυκλωμάτων παραγωγής μερικών γινομένων των προ-κωδικοποιημένων NR4SD⁻ και NR4SD⁺ σχεδίων βρίσκονται λογικές πύλες AND / NAND. Σε συνδυασμό με το μεγαλύτερο αριθμό μηδενικών, τα οποία εισάγονται στα κυκλώματα παραγωγής μερικών γινομένων του προ-κωδικοποιημένου NR4SD⁺ σχεδίου, δύναται να αιτιολογηθεί η παρατήρηση που αναφέραμε στην αρχή της παρούσας παραγράφου σχετικά με τον Πίνακα 5.9.

Η πειραματική ανάλυση της παρούσας ενότητας βασίζεται στη χρήση της βιβλιοθήκης πρότυπων κελιών της εταιρείας Faraday για τεχνολογία 90 nm [96] και στη δημιουργία των φυσικών ROMs με το εργαλείο δημιουργίας μνημών της ίδιας εταιρείας και για την ίδια τεχνολογία. Ωστόσο, οι πειραματικές μετρήσεις των συστημάτων (ROM + πολλαπλασιαστής) δύναται να μεταβληθούν εάν χρησιμοποιήσουμε μη πτητικές μνήμες ανερχόμενων τεχνολογιών, π.χ., ReRAMs, [145]. Επομένως, οι πειραματικές μετρήσεις επιφάνειας πυριτίου και κατανάλωσης ισχύος για τους πολλαπλασιαστές των υπό αξιολόγηση σχεδίων είναι χρήσιμες για πιθανές διερευνήσεις των προτεινόμενων προ-κωδικοποιημένων σχεδίων βασισμένων σε διαφορετικές τεχνολογίες μνήμης.

5.5 Επίλογος

Στο παρόν κεφάλαιο, παρουσιάσαμε νέες αρχιτεκτονικές προ-κωδικοποιημένων πολλαπλασιαστών για εφαρμογές ΨΕΣ. Οι συντελεστές των εν λόγω πολλαπλασιαστών κωδικοποιούνται εκ των προτέρων και το αποτέλεσμα της κωδικοποίησής τους αποθηκεύεται σε μνήμη πριν από την εκκίνηση της λειτουργίας του πολλαπλασιασμού.

Παράλληλα, προτείνουμε για την κωδικοποίηση των συντελεστών τη χρήση μίας μη-πλεονάζουσας αναπαράστασης προσημασμένων ψηφίων με βάση το 4 (Non-Redundant radix-4 Signed-Digit (NR4SD)), όπου τα ψηφία παίρνουν τις τιμές $\{-1, 0, +1, +2\}$ ή $\{-2, -1, 0, +1\}$. Τα προτεινόμενα σχέδια προ-κωδικοποιημένων NR4SD πολλαπλασιαστών, στα οποία οι συντελεστές αποθηκεύονται στη μνήμη σε μία συμπυκνωμένη μορφή και τα οποία περιλαμβάνουν επιπλέον υλικό για την ολοκλήρωση της NR4SD κωδικοποίησης, είναι περισσότερο αποδοτικά σε σύγκριση με το συμβατικό και το προ-κωδικοποιημένο MB σχέδιο από την άποψη της επιφάνειας πυριτίου και της κατανάλωσης ισχύος. Μία εκτεταμένη πειραματική ανάλυση επιβεβαίωσε ότι οι πολλαπλασιαστές συντελεστών προ-κωδικοποιημένων σε NR4SD αναπαράσταση, συμπεριλαμβανομένης της μνήμης αποθήκευσης των συντελεστών, είναι περισσότερο αποδοτικοί από το συμβατικό σχέδιο του MB πολλαπλασιαστή τόσο ως προς την επιφάνεια πυριτίου όσο και ως προς την κατανάλωση ισχύος.

Κεφάλαιο 6

Συμπεράσματα και Μελλοντικές Επεκτάσεις

Στο παρόν κεφάλαιο συνοψίζεται με συντομία η ερευνητική δραστηριότητα, η οποία παρουσιάστηκε στα προηγούμενα κεφάλαια, απαριθμούνται τα κύρια συμπεράσματα και συνεισφορές της προαναφερόμενης ερευνητικής δραστηριότητας στο πεδίο των τεχνικών βελτιστοποίησης σύγχρονων αριθμητικών συστημάτων και παρουσιάζονται ορισμένες κατευθύνσεις για μελλοντική ερευνητική δραστηριότητα στο ευρύτερο πεδίο των αριθμητικών βελτιστοποιήσεων.

Το υπόλοιπο του παρόντος κεφαλαίου είναι οργανωμένο ως εξής: Στην Ενότητα 6.1, περιγράφονται συνοπτικά οι περιορισμοί, οι οποίοι απαντώνται κατά τη σχεδίαση αριθμητικών μονάδων για συστήματα ΨΕΣ και οι οποίοι ενήργησαν ως κίνητρα για την ανάπτυξη της ερευνητικής δραστηριότητας των προηγούμενων κεφαλαίων, ενώ συγχρόνως παρουσιάζονται και οι προτεινόμενες τεχνικές για την αύξηση της απόδοσης και της αποδοτικότητας των προαναφερόμενων αριθμητικών μονάδων. Στην Ενότητα 6.2, παρουσιάζονται ορισμένες κατευθύνσεις για επέκταση της ερευνητικής δραστηριότητας στα πλαίσια του ευρύτερου πεδίου των αριθμητικών βελτιστοποιήσεων. Στην Ενότητα 6.3, καταγράφονται οι δημοσιεύσεις του συγγραφέα στα πρακτικά διεθνών συνεδρίων και σε διεθνή επιστημονικά και καταξιωμένα περιοδικά.

6.1 Συμπεράσματα

Στην παρούσα ενότητα, αναπτύσσονται με συντομία οι περιορισμοί, οι οποίοι μας απασχόλησαν κατά τη σχεδίαση αριθμητικών μονάδων για συστήματα ΨΕΣ. Οι συγκεκριμένοι περιορισμοί αποτέλεσαν τα κίνητρα για την ανάπτυξη της ερευνητικής δραστηριότητας των προηγούμενων κεφαλαίων. Συγχρόνως, παρουσιάζονται οι προτεινόμενες τεχνικές για την αύξηση της απόδοσης και την ενίσχυση της αποδοτικότητας των προαναφερόμενων αριθμητικών μονάδων.

- Η αριθμητική πράξη της Άθροισης - Πολλαπλασιασμού (ΑΠ) απαντάται σε ένα ευρύ πεδίο εφαρμογών ΨΕΣ. Κατά τη συμβατική σχεδίαση μίας μονάδας ΑΠ, τοποθετούμε στην κορυφή της ιεραρχίας του σχεδίου έναν αθροιστή και οδηγούμε την έξοδό του στη μία είσοδο ενός πολλαπλασιαστή. Ωστόσο, η κρίσιμη καθυστέρηση του κυκλώματος ΑΠ επιβαρύνονται σημαντικά, καθώς ένας αθροιστής εισάγει σημαντική καθυστέρηση στο κρίσιμο μονοπάτι της ΑΠ. Επίσης, εφόσον υπάρχουν σήματα κρατουμένου που πρέπει να διαδοθούν εντός του αθροιστή,

το κρίσιμο μονοπάτι του και, συνεπώς, το κρίσιμο μονοπάτι του τελεστή ΑΠ, εξαρτάται από το μήκος λέξης των εισόδων.

Ορισμένες τεχνικές, οι οποίες συγχωνεύουν το άθροισμα δύο αριθμών και το μετασχηματίζουν απευθείας στη ΜΒ μορφή του, συγχωνεύουν τον αθροιστή και τη μονάδα ΜΒ κωδικοποίησης του πολλαπλασιαστή σε ένα και μοναδικό δομικό στοιχείο του μονοπατιού δεδομένων. Συνεπώς, ο αθροιστής της συμβατικής σχεδίασης ΑΠ εξαλείφεται με αποτέλεσμα η απόδοσή της να γνωρίζει σημαντικά κέρδη και η διαδικασία μετασχηματισμού να γίνεται ανεξάρτητη από το μήκος λέξης των εισόδων. Ωστόσο, οι τεχνικές απευθείας ΜΒ μετασχηματισμού που απαντώνται στη βιβλιογραφία βασίζονται σε περίπλοκους χειρισμούς των σημάτων σε επίπεδο bit και, συνεπώς, η υλοποίησή τους σε επίπεδο λογικών πυλών γίνεται μόνο μέσω κυκλωμάτων αποκλειστικών για τους χειρισμούς αυτούς.

Στο Κεφάλαιο 2 παρουσιάσαμε μία βελτιωμένη τεχνική απευθείας μετασχηματισμού του αθροίσματος δύο αριθμών στη ΜΒ μορφή του. Ο προτεινόμενος αλγόριθμος μετασχηματισμού είναι δομημένος και τροποποιείται εύκολα ώστε να εφαρμοστεί είτε σε προσημασμένους είτε σε απρόσημους αριθμούς με άρτιο ή περιττό αριθμό από bits. Τα τρία εναλλακτικά σχέδια της προτεινόμενης τεχνικής μετασχηματισμού χρησιμοποιούν ως δομικά στοιχεία τόσο συμβατικούς όσο και προσημασμένου bit Πλήρεις Αθροιστές και Ημι-Αθροιστές, και παρουσιάζουν αξιοσημείωτα και βελτιωμένα πειραματικά αποτελέσματα ως προς τις μετρικές της κρίσιμης καθυστέρησης, της επιφάνειας πυριτίου και της κατανάλωσης ισχύος σε σύγκριση με τις πιο σύγχρονες τεχνικές απευθείας ΜΒ μετασχηματισμού της βιβλιογραφίας.

- Κατά τη σχεδίαση του μονοπατιού δεδομένων ενός επιταχυντή, οι αποφάσεις που λαμβάνονται επηρεάζουν σε μεγάλο βαθμό την απόδοση και αποτελεσματικότητά του. Τα παραγόμενα μονοπάτια δεδομένων χαρακτηρίζονται από τον εγγενή περιορισμό των μεγάλων αλυσίδων διάδοσης κρατούμενων, οι οποίες απαντώνται σε συμβατικά δυαδικά αριθμητικά σχέδια και καθορίζουν την κρίσιμη καθυστέρησή τους. Χρησιμοποιώντας την αριθμητική αναπαράσταση Σωσίματος Κρατούμενου (ΣΚ, Carry-Save (CS)), επιτυγχάνεται η εξάλειψη των μεγάλων αλυσίδων διάδοσης κρατούμενων. Ωστόσο, η αξιοποίηση της αριθμητικής αναπαράστασης ΣΚ μόνο στις περιπτώσεις αλυσιδωτών προσθετικών ή αφαιρετικών πράξεων και όχι στην πράξη του πολλαπλασιασμού, στερεί την προοπτική ενίσχυσης της αποτελεσματικότητας και βελτίωσης της απόδοσης των παραγόμενων μονοπατιών δεδομένων.

Στο Κεφάλαιο 3 υιοθετήσαμε μία αρχιτεκτονική υψηλής απόδοσης για τη σύνθεση ευέλικτων επιταχυντών υλικού, η οποία συνδυάζει τεχνικές βελτιστοποίησης τόσο από το υψηλότερο αρχιτεκτονικό όσο και από το χαμηλότερο αριθμητικό επίπεδο σχεδίασης και περιλαμβάνει ομοιόμορφες και ευέλικτες υπολογιστικές μονάδες. Παρουσιάσαμε μία βελτιωμένη υπολογιστική μονάδα, η οποία αξιοποιεί την τεχνική του απευθείας μετασχηματισμού της μορφής ΣΚ στην αντίστοιχη ΜΒ. Μέσω της τεχνικής αυτής, η διεξαγωγή των υπολογισμών σε αριθμητική ΣΚ πραγματοποιείται και διά μέσου των πράξεων πολλαπλασιασμού δίχως να απαιτούνται χρονοβόρες μετατροπές από την αναπαράσταση ΣΚ στην αντίστοιχη του συμπληρώματος ως προς 2. Καθώς η τεχνολογία σύνθεσης συρρικνώνεται, η προτεινόμενη υπολογιστική μονάδα εμφανίζεται ως η πιο αποδοτική λύση από την άποψη της μετρικής MOPS/W για τη σύνθεση ευέλικτων μονοπατιών

δεδομένων.

- Στο Κεφάλαιο 4 και, πιο συγκεκριμένα, στην Ενότητα 4.1 εστιάσαμε στη σχεδίαση της Συγχωνευμένης λειτουργίας ΑΠ (ΣΑΠ) υπολοίπου $2^n \pm 1$. Οι προτεινόμενες μονάδες ΣΑΠ υπολοίπου $2^n \pm 1$ ενσωματώνουν μία αρχική σειρά Ημι-Αθροιστών, οι οποίοι πραγματοποιούν την άθροιση δύο όρων και παράγουν μία ενδιάμεση αριθμητική αναπαράσταση Καθυστερημένου Κρατουμένου (Delayed Carry representation) για το άθροισμά τους [5]. Στη συνέχεια, τα δύο διανύσματα της αναπαράστασης Καθυστερημένου Κρατουμένου πολλαπλασιάζονται με έναν προκαθορισμένο όρο και τα μερικά γινόμενα, τα οποία παράγονται, οδηγούνται σε λογικές πύλες OR σε ζεύγη. Οι όροι των n bits, οι οποίοι προκύπτουν, εισέρχονται στα κατάλληλα δένδρα Αθροιστών Σωσίματος - Κρατουμένου (Carry - Save Adder trees) και συμπιέζονται σε ένα τελικό ζεύγος διανυσμάτων ΣΚ, τα οποία αθροίζονται χρησιμοποιώντας έναν τελικό αθροιστή υπολοίπου $2^n - 1$ ή $2^n + 1$. Σε σύγκριση με τα συμβατικά σχέδια, όπου ένας αθροιστής υπολοίπου $2^n \pm 1$ τοποθετείται στην κορυφή τους και, στη συνέχεια, η έξοδος του οδηγείται στη μία εκ των δύο εισόδων ενός πολλαπλασιαστή υπολοίπου $2^n \pm 1$, οι προτεινόμενες μονάδες ΣΑΠ αποδίδουν σημαντικά κέρδη από την άποψη της κρίσιμης καθυστέρησης, της επιφάνειας πυριτίου και της κατανάλωσης ισχύος.

- Επιπλέον, οι αλυσιδωτές αριθμητικές λειτουργίες κυριαρχούν σε εφαρμογές ΨΕΣ απαιτώντας σημαντικούς πόρους του συστήματος για την εκτέλεσή τους. Η διατήρηση των ενδιάμεσων αποτελεσμάτων σε μία πλεονάζουσα αναπαράσταση, π.χ., Σωσίματος - Κρατουμένου, είναι μία ευρέως διαδεδομένη τεχνική, η οποία χρησιμοποιείται για την επιτάχυνση και αποδοτικότερη εκτέλεση των αλυσιδωτών αριθμητικών λειτουργιών λόγω της εξάλειψης των ενδιάμεσων αθροίσεων, καθώς οι τελευταίες συνεπάγονται διαδόσεις κρατουμένων και, κατά συνέπεια, αυξάνουν σε μεγάλο βαθμό τη συνολική κρίσιμη καθυστέρηση, ενώ καταλαμβάνουν και σημαντική επιφάνεια πυριτίου. Χρησιμοποιώντας μία ειδική πλεονάζουσα αναπαράσταση CS^+ υπολοίπου $2^n + 1$, σχεδιάσαμε στο Κεφάλαιο 4 και, πιο συγκεκριμένα, στην Ενότητα 4.2 μονάδες άθροισης υπολοίπου $2^n + 1$ με έναν ή δύο όρους στην αναπαράσταση CS^+ και μία μονάδα πολλαπλασιασμού υπολοίπου $2^n + 1$ με τον έναν εκ των δύο όρων στην αναπαράσταση CS^+ .

Υλοποιήσαμε τις αλυσίδες αριθμητικών λειτουργιών άθροισης - άθροισης, άθροισης - πολλαπλασιασμού και άθροισης - πολλαπλασιασμού - άθροισης τόσο συμβατικά όσο και με βάση τις προτεινόμενες μονάδες υπολοίπου $2^n + 1$ για άθροιση ή πολλαπλασιασμό με έναν όρο στην πλεονάζουσα αναπαράσταση CS^+ . Σε κάθε μία από τις τρεις προαναφερόμενες περιπτώσεις, η κρίσιμη καθυστέρηση της προτεινόμενης προσέγγισης είναι ελαττωμένη σε σύγκριση με το συμβατικό σχέδιο και, πιο συγκεκριμένα, όσο μεγαλύτερο είναι το μήκος λέξης των εισόδων, τόσο υψηλότερες είναι οι τιμές της ελάττωσης της κρίσιμης καθυστέρησης. Επίσης, τα προτεινόμενα σχέδια παρουσιάζουν αξιοσημείωτα κέρδη για την επιφάνεια πυριτίου και για την κατανάλωση ισχύος επιβεβαιώνοντας το πλεονέκτημα της χρησιμοποίησης της πλεονάζουσας αναπαράστασης CS^+ για τη σχεδίαση αριθμητικών μονάδων, οι οποίες διεξάγουν περισσότερες της μίας διαδοχικές λειτουργίες άθροισης ή πολλαπλασιασμού υπολοίπου $2^n + 1$.

- Οι εφαρμογές ΨΕΣ και πολυμέσων διεξάγουν μεγάλο αριθμό πολλαπλασιασμών με συντελεστές που δε μεταβάλλονται όσο εκτελείται μία εφαρμογή. Στις εργασί-

ες [85] και [81], προτάθηκαν μεθοδολογίες για τη σχεδίαση αποδοτικών προγραμματιζόμενων πολλαπλασιαστών με βάση τη Modified Booth (MB) και Canonic Signed Digit (CSD) αναπαράσταση για ομάδες προ-καθορισμένων συντελεστών, οι οποίοι παρουσιάζουν ορισμένα κοινά χαρακτηριστικά. Ωστόσο, οι εν λόγω πολλαπλασιαστές στερούνται ευελιξίας, καθώς το κύκλωμα παραγωγής μερικών γινομένων σχεδιάζεται αποκλειστικά για μία συγκεκριμένη ομάδα συντελεστών και δεν μπορεί να επαναχρησιμοποιηθεί για μία διαφορετική ομάδα, ενώ η επέκταση της εκάστοτε μεθόδου σε μεγάλες ομάδες προ-καθορισμένων συντελεστών ελαττώνει την απόδοση.

Λαμβάνοντας υπόψη ότι οι τιμές των σταθερών συντελεστών είναι γνωστές εκ των προτέρων, σχεδιάσαμε στο Κεφάλαιο 5 έναν προ-κωδικοποιημένο MB πολλαπλασιαστή, στον οποίο κωδικοποιούμε τους σταθερούς συντελεστές πριν από την έναρξη της λειτουργίας πολλαπλασιασμού στη MB αναπαράσταση και τους αποθηκεύουμε κωδικοποιημένους στη MB μορφή (3 bits για κάθε ψηφίο) σε μία ROM, ώστε το κύκλωμα κωδικοποίησης να παραλειφθεί. Συγχρόνως, διερευνήσαμε μία μη-πλεονάζουσα αναπαράσταση με προσημασμένα ψηφία και βάση το 4 (Non-Redundant radix-4 Signed-Digit (NR4SD)), στην οποία χρησιμοποιείται ένα από τα σύνολα $\{-1, 0, +1, +2\}$ ή $\{-2, -1, 0, +1\}$ για τις τιμές των ψηφίων. Χρησιμοποιώντας την προτεινόμενη αναπαράσταση, διερευνήσαμε ένα σχέδιο προ-κωδικοποιημένου NR4SD πολλαπλασιαστή προ-κωδικοποιώντας τους σταθερούς συντελεστές ώστε να αποθηκεύονται σε μία μνήμη τύπου ROM σε μία συμπυκνωμένη μορφή (2 bits για κάθε ψηφίο). Το προτεινόμενο NR4SD σχέδιο μειώνει το απαιτούμενο μέγεθος της μνήμης και ενσωματώνει ένα λιγότερο σύνθετο κύκλωμα παραγωγής μερικών γινομένων σε σύγκριση με το συμβατικό MB πολλαπλασιαστή. Οι προτεινόμενες προ-κωδικοποιημένες NR4SD αρχιτεκτονικές παρουσιάζουν βελτιώσεις τόσο στην επιφάνεια πυριτίου όσο και στην κατανάλωση ισχύος σε σύγκριση με το συμβατικό MB σχέδιο.

6.2 Μελλοντικές Επεκτάσεις

Στην παρούσα ενότητα, παρουσιάζονται ορισμένες κατευθύνσεις για την επέκταση της ερευνητικής δραστηριότητας στα πλαίσια του ευρύτερου πεδίου των αριθμητικών βελτιστοποιήσεων.

- Λαμβάνοντας υπόψη την εργασία [103] και την κατεύθυνση της ενσωμάτωσης ευελιξίας, η οποία είναι στοχευμένη για ένα ή περισσότερα πεδία εφαρμογών, η αρχιτεκτονική με τις προτεινόμενες FCUs του Κεφαλαίου 3 δύναται να επεκταθεί ώστε να σχηματιστεί μία διδιάστατη συστοιχία από FCUs. Η εν λόγω συστοιχία εμφανίζει μία ισχυρή δυναμική για αποδοτική υλοποίηση και εκτέλεση εφαρμογών ΨΕΣ, καθώς στο Κεφάλαιο 3 αποδείχθηκε ότι η απεικόνιση χαρακτηριστικών πυρήνων ΨΕΣ στην αρχιτεκτονική με τις προτεινόμενες FCUs παρουσιάζει έντονα πλεονεκτικά χαρακτηριστικά. Επιπλέον, η χωροθέτηση των διαθέσιμων FCUs σε σχηματισμό διδιάστατης συστοιχίας προσφέρει τη δυνατότητα άμεσου διαμοιρασμού πληροφοριών μεταξύ των FCUs και προς τις δύο διαστάσεις με αποτέλεσμα την αποδοτικότερη και αποτελεσματικότερη εκτέλεση στοχευμένων εφαρμογών ΨΕΣ, οι οποίες απαιτούν την εκτέλεση όμοιων συναρτήσεων ΨΕΣ, π.χ., ο Διακριτός Μετασχηματισμός Συνημιτόνου σε διάφορες εκδόσεις των αλγορίθμων

JPEG και MPEG. Συνεπώς, εμφανίζεται η διερεύνηση μίας άκρως ενδιαφέρουσας και αισιόδοξης δυνατότητας της εν λόγω συστοιχίας, εκείνη της ταυτόχρονης απεικόνισης δύο ή περισσότερων εφαρμογών από το ίδιο πεδίο.

- Λαμβάνοντας υπόψη την ανάλυση του Κεφαλαίου 4 και, πιο συγκεκριμένα, της Ενότητας 4.2 σχετικά με την ειδική πλεονάζουσα αναπαράσταση CS^+ υπολοίπου $2^n + 1$, είναι δυνατή η υλοποίηση μίας αρχιτεκτονικής ομοιογενών και ευέλικτων υπολογιστικών μονάδων, όπως στο Κεφάλαιο 3. Η ιδέα αυτή ενισχύεται από τα πλεονεκτικά χαρακτηριστικά επιφάνειας πυριτίου και κατανάλωσης ισχύος, τα οποία διαφαίνονται στο Σχ. 4.21 για την αλυσίδα αριθμητικών λειτουργιών άθροισης - πολλαπλασιασμού - άθροισης, σε συνδυασμό με το γεγονός ότι το προαναφερόμενο μονοπάτι αριθμητικών λειτουργιών αποτελεί ουσιαστικά το βασικό μονοπάτι δεδομένων της προτεινόμενης FCU στο Κεφάλαιο 3. Ωστόσο, υπάρχουν δύο βασικά σημεία κατά τη διάρκεια σχεδίασης της εν λόγω αρχιτεκτονικής, τα οποία χρήζουν ιδιαίτερης προσοχής. Κατά πρώτον, θα πρέπει να αναπτυχθεί η αλυσίδα αριθμητικών λειτουργιών άθροισης - πολλαπλασιασμού - άθροισης για όρους σε αναπαράσταση υπολοίπου $2^n - 1$ και να διερευνηθούν εναλλακτικές αναπαραστάσεις υπολοίπου ως πιθανές για αύξηση της απόδοσης του εν λόγω μονοπατιού δεδομένων. Κατά δεύτερον, μία τέτοια αρχιτεκτονική απαιτεί την ενσωμάτωση μονάδων για τη μετατροπή των όρων από τη συμβατική αναπαράσταση συμπληρώματος ως προς 2 στις αντίστοιχες μορφές υπολοίπου $2^n \pm 1$ (ή και όποιες άλλες μορφές υπολοίπου χρησιμοποιηθούν) και αντιστρόφως.
- Τα πειραματικά αποτελέσματα του Κεφαλαίου 5 προσδίδουν μία έντονη δυναμική στην ιδέα της προ-ενταμίευσης δεδομένων σε μνήμες ROM. Κατά πρώτον, η κωδικοποίηση του ψηφίου υψηλότερης τάξης με βάση την προτεινόμενη NR4SD αναπαράσταση και όχι με βάση τη συμβατική MB μορφή οδηγεί σε περαιτέρω κέρδη κρίσιμης καθυστέρησης, επιφάνειας πυριτίου και κατανάλωσης ισχύος και δύναται να πραγματοποιηθεί για στοχευμένες εφαρμογές, στις οποίες το δυναμικό πεδίο των όρων καλύπτεται ακόμα και έπειτα από την προ-αναφερόμενη αλλαγή. Κατά δεύτερον, η χρησιμοποίηση μνημών νέων τεχνολογιών για την αποθήκευση των προ-υπολογισμένων δεδομένων παρουσιάζει ενδιαφέρον ως προς τη διερεύνηση της απόδοσης του συνολικού συστήματος.

6.3 Κατάλογος Δημοσιεύσεων του Συγγραφέα

Στην παρούσα ενότητα, καταγράφονται οι δημοσιεύσεις του συγγραφέα στα πρακτικά διεθνών συνεδρίων και σε διεθνή επιστημονικά και καταξιωμένα περιοδικά.

Journal Publications:

J1. **K. Tsoumanis**, S. Xydis, C. Efstathiou, N. Moschopoulos, and K. Pekmestzi, "An Optimized Modified Booth Recoder for Efficient Design of the Add-Multiply Operator," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, no. 4, pp. 1133-1143, Apr. 2014.

J2. **K. Tsoumanis**, S. Xydis, G. Zervakis, and K. Pekmestzi, "Flexible DSP Accelerator Architecture Exploiting Carry-Save Arithmetic," *IEEE Transactions on Very Large Scale Integration Systems*, vol. 24, no. 1, pp. 368-372, Jan. 2016.

J3. **K. Tsoumanis**, N. Axelos, N. Moschopoulos, G. Zervakis, and K. Pekmestzi, "Pre-Encoded Multipliers Based on Non-Redundant Radix-4 Signed-Digit

Encoding,” *IEEE Transactions on Computers*, vol. 65, no. 2, pp. 670-676, Feb. 2016.

J4. G. Zervakis, **K. Tsoumanis**, S. Xydis, D. Soudris, and K. Pekmestzi, ”Design-Efficient Approximate Multiplication Circuits Through Partial Product Perforation,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, pp. 1-13, 2016.

J5. D. Stamoulis, **K. Tsoumanis**, D. Rodopoulos, H. B. Meyer, K. Pekmestzi, D. Soudris, and Z. Zilic, ”Efficient variability analysis of arithmetic units using linear regression techniques,” *Analog Integrated Circuits and Signal Processing*, pp. 1-13, 2016.

Conference Publications:

C1. C. Efstathiou, N. Moschopoulos, **K. Tsoumanis** and K. Pekmestzi, ”On the Design of Configurable Modulo $2^n \pm 1$ Residue Generators,” *15th Euromicro Conference on Digital System Design (DSD)*, 5-8 Sep. 2012.

C2. K. Pekmestzi, C. Efstathiou, N. Moschopoulos and **K. Tsoumanis**, ”Efficient Modulo $2^n + 1$ Multiplication for the IDEA Block Cipher,” *23th Great Lakes Symposium on VLSI (GLSVLSI 2013)*, 2-3 May 2013, Paris, France.

C3. N. Eftaxiopoulou-Sarris, G. Zervakis, **K. Tsoumanis** and K. Pekmestzi, ”A radiation tolerant and self-repair memory cell,” *19th IEEE International On-Line Testing Symposium (IOLTS)*, 8-10 Jul. 2013, Chania, Greece.

C4. **K. Tsoumanis**, C. Efstathiou, N. Moschopoulos and K. Pekmestzi, ”On the Design of Modulo $2^n \pm 1$ Residue Generators,” *21st IFIP/IEEE VLSI-SoC Conference*, 7-9 Oct. 2013, Istanbul, Turkey.

C5. G. Zervakis, N. Eftaxiopoulou, **K. Tsoumanis**, N. Axelos, K. Pekmestzi, ”A segmentation-based BISR scheme,” *19th Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 652-657, 20-23 Jan. 2014.

C6. C. Efstathiou, **K. Tsoumanis**, K. Pekmestzi, and I. Voyiatzis, ”On the Design of Efficient Modulo $2^n + 1$ Multiply-Add-Add Units,” *9th International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS 2014)*, 6-8 May 2014, Santorini, Greece.

C7. N. Axelos, N. Eftaxiopoulou-Sarris, G. Zervakis, **K. Tsoumanis**, and K. Pekmestzi, ”FF-DICE: An 8T Soft-Error Tolerant Cell using Independent Dual Gate SOI FinFETs,” *20th IEEE International On-Line Testing Symposium (IOLTS)*, 7-9 Jul. 2014, Catalunya, Spain.

C8. **K. Tsoumanis**, K. Pekmestzi, and C. Efstathiou, ”Fused Modulo $2^n - 1$ Add-Multiply Unit,” *21st IEEE International Conference on Electronics Circuits & Systems (ICECS 2014)*, 7-10 Dec. 2014, Marseille, France.

C9. **K. Tsoumanis**, C. Efstathiou, and K. Pekmestzi, ”Modulo $2^n + 1$ Addition and Multiplication for Redundant Operands,” *9th International Design & Test Symposium (IDT 2014)*, 16-18 Dec. 2014, Algiers, Algeria.

C10. G. Zervakis, N. Eftaxiopoulou, **K. Tsoumanis**, N. Axelos, and K. Pekmestzi, ”A High Radix Montgomery Multiplier with Concurrent Error Detection,” *9th International Design & Test Symposium (IDT 2014)*, 16-18 Dec. 2014, Algiers, Algeria.

C11. N. Eftaxiopoulou, N. Axelos, G. Zervakis, **K. Tsoumanis**, and K. Pekmestzi, ”An Independent Dual Gate SOI FinFET Soft-Error Resilient Memory Cell,” *9th International Design & Test Symposium (IDT)*, 16-18 Dec. 2014, Algiers,

Algeria.

C12. **K. Tsoumanis**, C. Efstathiou, N. Axelos, and K. Pekmestzi, "Design of Efficient 1's Complement Modified Booth Multiplier," *3rd Pan-Hellenic Conference on Electronics and Telecommunications (PACET)*, 8-9 May 2015, Ioannina, Greece.

C13. G. Zervakis, **K. Tsoumanis**, S. Xydis, N. Axelos, and K. Pekmestzi, "Approximate Multiplier Architectures Through Partial Product Perforation: Power-Area Tradeoffs Analysis," *25th Great Lakes Symposium on VLSI (GLSVLSI 2015)*, 20-22 May 2015, Pittsburgh, Pennsylvania, USA.

C14. N. Eftaxiopoulos Sarris, N. Axelos, G. Zervakis, **K. Tsoumanis**, and K. Pekmestzi, "Low Leakage Radiation Tolerant CAM/TCAM Cell," *21st IEEE International On-Line Testing Symposium (IOLTS)*, 6-8 Jul. 2015, Halkidiki, Greece.

C15. C. Efstathiou, **K. Tsoumanis**, K. Pekmestzi, and I. Voyiatzis, "Modulo $2^n \pm 1$ Fused Add-Multiply Units," *IEEE Computer Society Annual Symposium on VLSI*, 8-10 Jul. 2015, Montpellier, France.

C16. G. Zervakis, S. Xydis, **K. Tsoumanis**, D. Soudris, and K. Pekmestzi, "Hybrid Approximate Multiplier Architectures for Improved Power-Accuracy Tradeoffs," *International Symposium on Low Power Electronics and Design (ISLPED)*, 22-24 Jul. 2015, Rome, Italy.

C17. N. Eftaxiopoulos, N. Axelos, G. Zervakis, **K. Tsoumanis**, and K. Pekmestzi, "Delta DICE: A Double Node Upset resilient latch," *58th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2-5 Aug. 2015, Fort Collins, CO, USA.

C18. K. Pekmestzi, **K. Tsoumanis**, and C. Efstathiou, "Fused Modulo $2^n + 1$ Add-Multiply Unit For Weighted Operands," *11th IEEE International Conference on Design & Technology of Integrated Systems In Nanoscale Era (DTIS)*, 12-14 Apr. 2016, Istanbul, Turkey.

C19. **K. Tsoumanis**, K. Pekmestzi, and C. Efstathiou, "Fused Modulo $2^n + 1$ Add-Multiply Unit For Diminished-1 Operands," *5th International Conference on Circuits and Systems Technologies (MOCASST)*, 12-14 May 2016, Thessaloniki, Greece.

Παράρτημα Α

Μεθοδολογία Σύνθεσης για την Απεικόνιση Πυρήνων στην Αρχιτεκτονική με FCUs του Κεφαλαίου 3

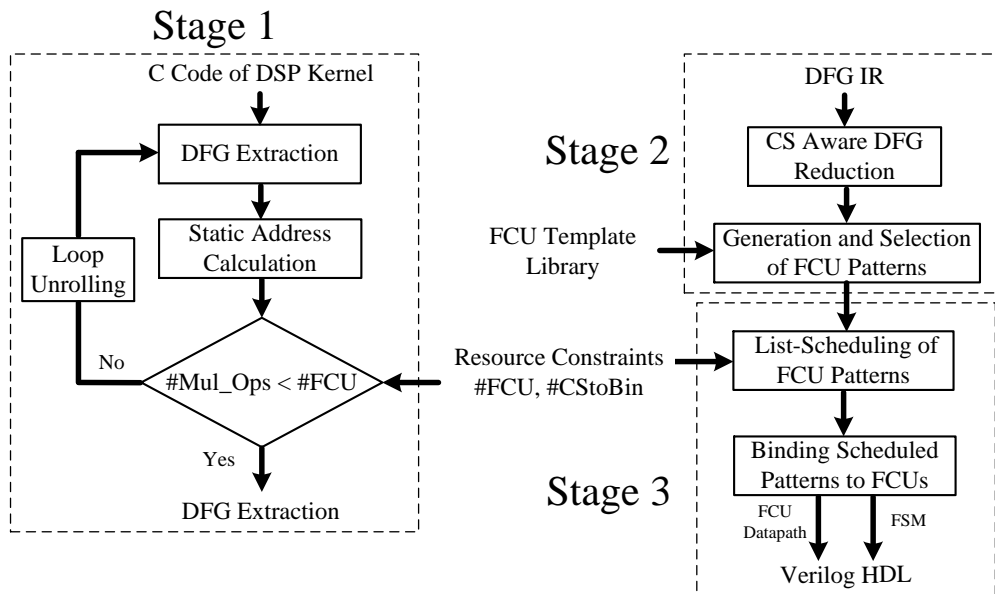
Μία μεθοδολογία Σύνθεσης Υψηλού Επιπέδου (ΣΥΕ, High Level Synthesis (HLS)) αναπτύχθηκε προκειμένου να απεικονίσουμε αποδοτικά πυρήνες ΨΕΣ στην αρχιτεκτονική με τις προτεινόμενες Ευέλικτες Υπολογιστικές Μονάδες (Flexible Computational Units (FCUs)) (Σχ. 3.2). Η μεθοδολογία αυτή αποτελείται από τρία κύρια στάδια (Σχ. Α.1).

Α.1 Στάδιο 1

Ο Γράφος Ροής Δεδομένων (ΓΡΔ) ενός πυρήνα σχηματίζεται με βάση την αντίστοιχη περιγραφή του σε κώδικα C. Οι διευθύνσεις των πινάκων στοιχείων στον κώδικα C προϋπολογίζονται στατικά και αντικαθίστανται στον αρχικό ΓΡΔ από μεταφορές μεταξύ καταχωρητών. Συνεπώς, οι FCUs επικεντρώνονται στην αποτελεσματική εκτέλεση αριθμητικών λειτουργιών και αποφεύγουν τους απλούς υπολογισμούς που πραγματοποιούνται στο επίπεδο των δεικτών στους πίνακες στοιχείων. Επίσης, εφόσον η προτεινόμενη FCU παράγει δεδομένα στην αριθμητική αναπαράσταση Σωσίματος - Κρατούμενου (ΣΚ), η οποία δεν επαρκεί για τους δείκτες των πινάκων στοιχείων, ο ΓΡΔ ξεδιπλώνεται με βάση τον αριθμό των διαθέσιμων FCUs και των λειτουργιών πολλαπλασιασμού που περιέχει. Συνεπώς, ο βαθμός του Παραλληλισμού σε Επίπεδο Εντολής (Instruction-Level Parallelism (ILP)) καθορίζεται από τις διαθέσιμες μονάδες υλικού, από τη στιγμή που ο πολλαπλασιαστής είναι το κυρίαρχο στοιχείο της FCU από την άποψη της επιφάνειας πυριτίου.

Α.2 Στάδιο 2

Στο δεύτερο στάδιο, πραγματοποιείται η σμίκρυνση του αρχικού ΓΡΔ χρησιμοποιώντας την αριθμητική ΣΚ, μία διαδικασία παρόμοια με τη διαδικασία επιλογής και τοποθέτησης μονάδων αριθμητικής ΣΚ σε όσο το δυνατόν μεγαλύτερη κλίμακα [38]. Η σμίκρυνση του ΓΡΔ αξιοποιεί το εγγενές χαρακτηριστικό των κυκλωμάτων άνθρισης / αφαίρεσης



Σχήμα A.1: Η διαδικασία σύνθεσης.

Πίνακας A.1: Ψευδοκώδικας για Σμίκρυνση του ΓΡΔ με Αριθμητική ΣΚ.

```

Είσοδος 1: ΓΡΔ; /*Ορισμός Συνοριακών Λειτουργιών (B.Ops)*/
Είσοδος 2: B.Op ← {I/O Ops, Mul_Ops};
Έξοδος: Μειωμένος ΓΡΔ;

```

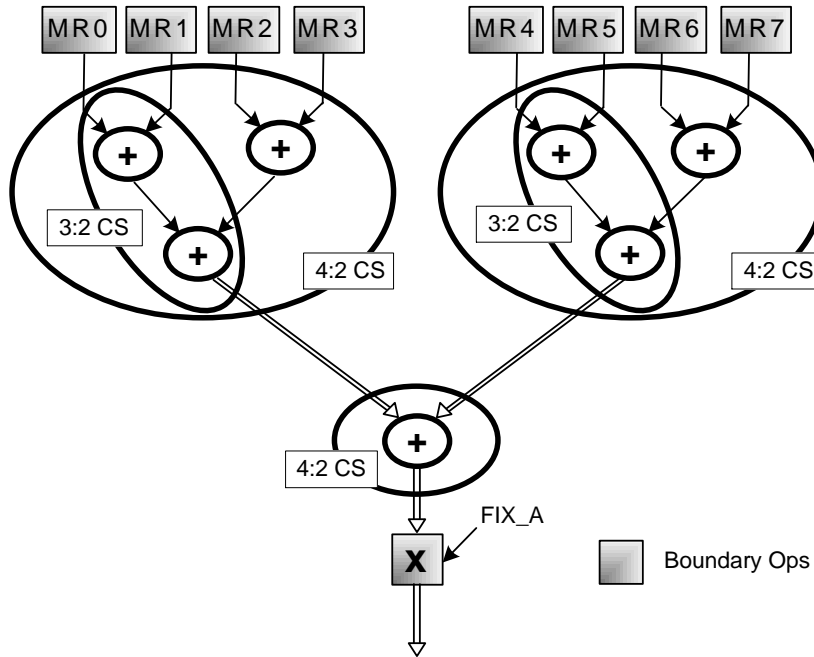
```

ASAP Χρονοδρομολόγηση του ΓΡΔ;
Για (Βήμα=2; Βήμα ← Χρονοδρομ.Βήματα; Βήμα++) {
  Για κάθε Opi στο Βήμα {
    Εάν (Opi != B.Op) {
      Παραγωγή 3:2 Συμπεστών ΣΚ από τη Βάση προς την Κορυφή;
      Παραγωγή 4:2 Συμπεστών ΣΚ από τη Βάση προς την Κορυφή;
      Ανοιχοδόμηση του Χρονοδρομολογημένου ΓΡΔ;
    }
    Διαφορετικά Συνέχισε;
  }
}

```

ΣΚ να συγχωνεύουν πολλαπλές λειτουργίες άθροισης / αφαίρεσης σε μία και μοναδική [8]. Συνεπώς, το μέγεθος του ΓΡΔ ελαττώνεται επιτρέποντας ταχύτερη εκτέλεση του αντίστοιχου πυρήνα, δηλαδή, χαμηλότερο αριθμό κύκλων εκτέλεσης, σε σύγκριση με την περίπτωση υλοποίησης με πρωτογενείς μονάδες αριθμητικών λειτουργιών. Η προτεινόμενη FCU δύναται να διαχειριστεί λειτουργίες τόσο 3:2 όσο και 4:2 συμπίεσης ΣΚ επειδή οι πρώτες δύναται να εκτελεστούν από τις μονάδες που εκτελούν τις δεύτερες.

Ο ψευδοκώδικας για τη σμίκρυνση του ΓΡΔ με χρήση της αριθμητικής ΣΚ παρουσιάζεται στον Πίνακα A.1. Υιοθετήσαμε την έννοια των Συνοριακών Λειτουργιών (Boundary Operations (B.Ops)) [8] και τις ορίσαμε ως τους κόμβους εκείνους του ΓΡΔ, οι οποίοι θέτουν τα όρια των βελτιστοποιήσεων ΣΚ. Συνεπώς, οι βελτιστοποιήσεις ΣΚ για τη σμίκρυνση του ΓΡΔ διεξάγονται μόνο σε κόμβους μεταξύ κόμβων Συνοριακών Λειτουργιών. Θεωρώντας ότι οι ΓΡΔ περιλαμβάνουν μόνο λειτουργίες άθροισης / αφαίρεσης και πολλαπλασιασμού, υπάρχουν τρεις τύποι Συνοριακών Λειτουργιών: οι κύριες είσοδοι του ΓΡΔ, οι κύριες έξοδοι του ΓΡΔ και οι κόμβοι πολ-

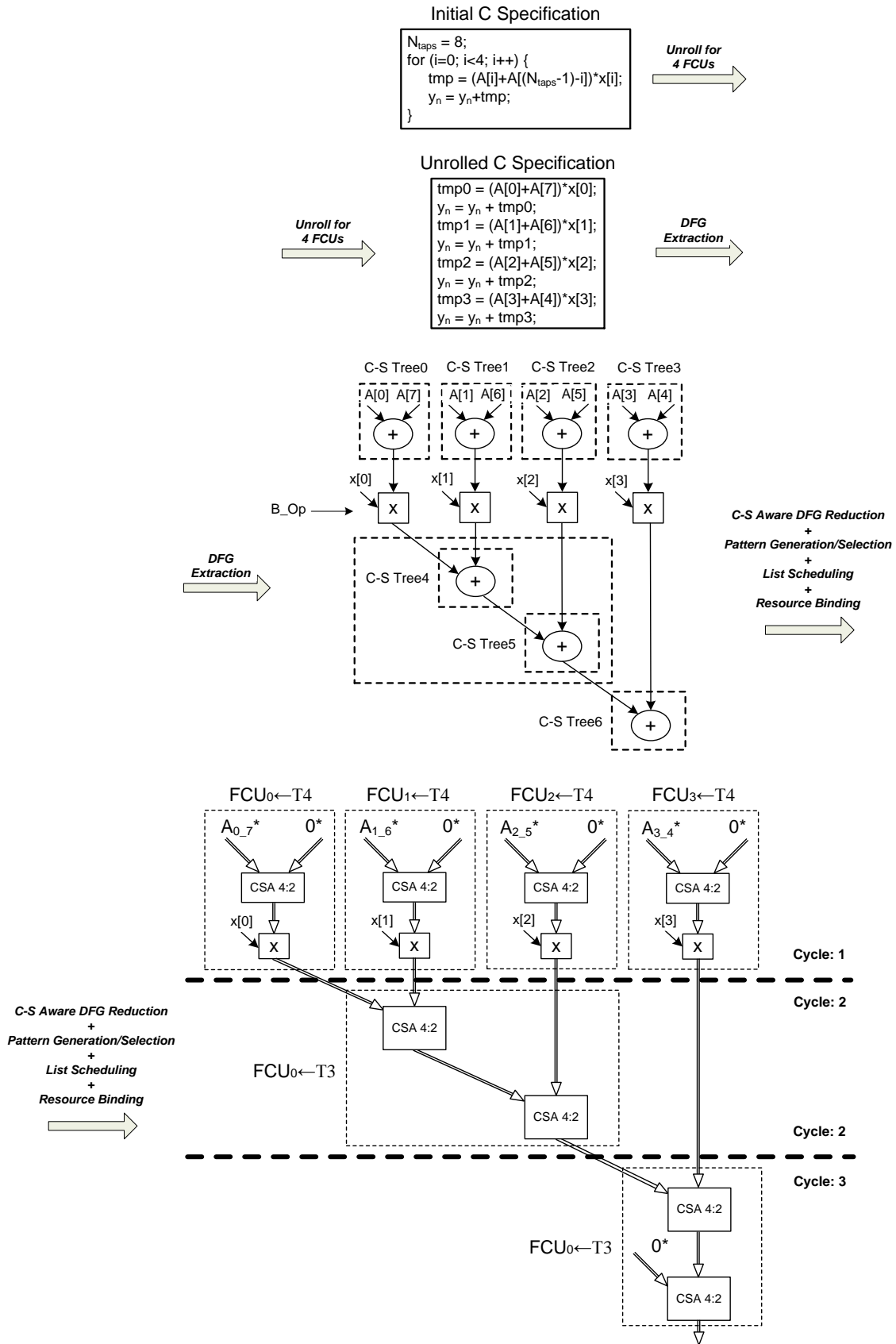


Σχήμα Α.2: Παράδειγμα σμίκρυνσης ενός απλού ΓΡΔ με χρήση της αριθμητικής ΣΚ.

λαπλασιασμού του ΓΡΔ. Αρχικά, πραγματοποιείται η ASAP (As Soon As Possible) χρονοδρομολόγηση του αρχικού ΓΡΔ προκειμένου οι κόμβοι του να διαταχθούν χωρικά σύμφωνα με τις χρονικές εξαρτήσεις που ισχύουν. Στη συνέχεια και με διαδοχικές εκτελέσεις - επαναλήψεις της διαδικασίας συγχώνευσης, δηλαδή, διαδοχικές εκτελέσεις - επαναλήψεις του αντίστοιχου βρόχου στον ψευδοκώδικα του Πίνακα Α.1, σχηματίζονται τα δένδρα άθροισης ΣΚ συγχωνεύοντας πρωτογενείς κόμβους του ΓΡΔ. Οι Συνοριακές Λειτουργίες αποκλείονται από τη διαδικασία συγχώνευσης, ενώ οι κόμβοι του ΓΡΔ με υψηλό φορτίο εξόδου (high fan-out) συμμετέχουν μόνο ως ρίζες των δένδρων άθροισης ΣΚ που σχηματίζονται. Στο τέλος κάθε εκτέλεσης - επανάληψης, τα δένδρα άθροισης ΣΚ που προκύπτουν, ενσωματώνονται στον αρχικό ΓΡΔ προκειμένου να συμμετάσχουν στην επόμενη εκτέλεση - επανάληψη σαν κόμβοι υποψήφιοι προς συγχώνευση.

Σε κάθε εκτέλεση - επανάληψη, πραγματοποιούνται αρχικά συγχωνεύσεις κόμβων χρησιμοποιώντας όπου είναι εφικτό 3:2 συμπιεστές ΣΚ. Στη συνέχεια, ο ΓΡΔ διασχίζεται για δεύτερη φορά προκειμένου να καθορίσουμε εάν δύνανται να σχηματιστούν 4:2 συμπιεστές ΣΚ. Οι εναπομείναντες κόμβοι 3:2 συμπίεσης ΣΚ παραμένουν έως το τέλος της διαδικασίας βελτιστοποίησης ΣΚ, καθώς υπάρχει η πιθανότητα να συμμετάσχουν σε συγχωνεύσεις στις επόμενες εκτελέσεις - επαναλήψεις. Όταν ολοκληρωθεί η σμίκρυνση του ΓΡΔ με βελτιστοποιήσεις ΣΚ, οι εναπομείναντες κόμβοι 3:2 συμπίεσης ΣΚ και οι μη συγχωνευμένοι κόμβοι άθροισης / αφαίρεσης, αντικαθίστανται από κόμβους 4:2 συμπίεσης ΣΚ προσθέτοντας στις αδέσμευτες θύρες τους είτε μία είτε δύο μηδενικές εισόδους αντίστοιχα. Το Σχ. Α.2 απεικονίζει τη διαδικασία σμίκρυνσης ενός απλού ΓΡΔ με χρήση της αριθμητικής ΣΚ.

Η διαδικασία σμίκρυνσης ενός ΓΡΔ με χρήση της αριθμητικής ΣΚ μετασχηματίζει τον αρχικό ΓΡΔ σε έναν ενδιάμεσο γράφο, ο οποίος είναι συμβατός με το μοντέλο



Σχήμα Α.3: Ένα χαρακτηριστικό παράδειγμα απεικόνισης ενός πυρήνα συμμετρικού φίλτρου Πεπερασμένης Κρουστικής Απόκρισης 8 σημείων στην αρχιτεκτονική με τις FCUs.

πόρων της FCU. Λαμβάνοντας υπόψη τη βιβλιοθήκη προτύπων της FCU (Σχ. 3.4), εφαρμόζεται στο μειωμένο ΓΡΔ μία διαδικασία παραγωγής προτύπων, η οποία ουσιαστικά ομαδοποιεί τους συγχωνευμένους κόμβους συμπίεσης ΣΚ και τους κόμβους πολλαπλασιασμού του ΓΡΔ προκειμένου να επιτευχθεί η μέγιστη δυνατή δημιουργία αλυσίδων λειτουργιών. Τα πρότυπα, τα οποία καλύπτουν ολόκληρο το γράφο, παράγονται έπειτα από εξαντλητική διερεύνηση. Ο σχεδιαστής είναι υπεύθυνος για την επιλογή των προτύπων που καλύπτουν με το βέλτιστο τρόπο τον ελαττωμένο ΓΡΔ με κριτήριο την ελαχιστοποίηση του χρόνου εκτέλεσής του.

A.3 Στάδιο 3

Ο συμπεπλεγμένος ΓΡΔ χρονοδρομολογείται με τέτοιο τρόπο ώστε κάθε περίπτωση λειτουργίας FCU να ανατίθεται και σε ένα συγκεκριμένο βήμα ελέγχου. Δεδομένου ότι ο αριθμός των FCUs είναι σταθερός και με βάση τους διαθέσιμους πόρους, πραγματοποιείται η χρονοδρομολόγηση του ΓΡΔ που έχει προκύψει με στόχο την ελαχιστοποίηση της καθυστέρησης εκτέλεσης. Το σύνολο των διαθέσιμων πόρων καθορίζεται από τον αριθμό των διαθέσιμων FCUs και CStoBin μονάδων. Για τις ανάγκες της παρούσας εργασίας, υιοθετήθηκε ένας χρονοδρομολογητής βασισμένος σε λίστα λειτουργιών [109], ο οποίος λαμβάνει υπόψη την κινητικότητα όλων των περιπτώσεων λειτουργίας FCU, δηλαδή τη διαφορά του χρόνου που απαιτείται για την ASAP (As Soon As Possible) χρονοδρομολόγηση μίας περίπτωσης λειτουργίας από το χρόνο που απαιτείται για την ALAP (As Late As Possible) χρονοδρομολόγησης της. Οι περιπτώσεις λειτουργίας FCU ιεραρχούνται με βάση τη χαμηλότερη τιμή κινητικότητας. Όσο χαμηλότερη είναι η κινητικότητα μίας περίπτωσης λειτουργίας, τόσο περισσότερο κρίσιμη είναι η συγκεκριμένη περίπτωση. Έπειτα, οι χρονοδρομολογημένες περιπτώσεις λειτουργίας FCU αντιστοιχίζονται σε FCUs και παράγονται τα κατάλληλα bits για τη διαμόρφωσή τους. Αφού ολοκληρωθεί και η τοποθέτηση του απαραίτητου αριθμού καταχωρητών, μία Μηχανή Πεπερασμένων Καταστάσεων δημιουργείται προκειμένου να λειτουργήσει ως μονάδα ελέγχου της συνολικής αρχιτεκτονικής. Επίσης, παράγεται σε Verilog HDL ένας συνθέσιμος κώδικας για την αρχιτεκτονική με τις FCUs. Το Σχ. A.3 απεικονίζει ένα χαρακτηριστικό παράδειγμα της μεθοδολογίας για έναν πυρήνα συμμετρικού φίλτρου Πεπερασμένης Κρουστικής Απόκρισης 8 σημείων.

Παράρτημα Β

Θεωρητική Ανάλυση Βασικών Μονάδων και Πυρήνων Απεικονισμένων στην Αρχιτεκτονική με FCUs του Κεφαλαίου 3

B.1 Θεωρητική Ανάλυση Βασικών Μονάδων

Η ανάλυση του Πίνακα B.1 βασίζεται στο μοντέλο μοναδιαίας πύλης (unit gate model) [25, 94]. Πιο συγκεκριμένα, για τις ποσοτικές συγκρίσεις που διεξήχθησαν, οι πρωτογενείς πύλες 2 εισόδων (NAND, AND, NOR, OR) αντιστοιχούν σε ένα ισοδύναμο πύλης τόσο για την επιφάνεια πυριτίου (A_g) όσο και για την κρίσιμη καθυστέρηση (T_g), ενώ οι πύλες XOR, XNOR 2 εισόδων αντιστοιχούν σε δύο ισοδύναμα πύλης.

B.2 Θεωρητική Ανάλυση Πυρήνων

B.2.1 Προτεινόμενη FCU

Η θεωρητική ανάλυση για την επιφάνεια πυριτίου και την κρίσιμη καθυστέρηση της προτεινόμενης FCU βασίζεται στα δεδομένα του Πίνακα B.1 και παρουσιάζεται στον Πίνακα B.2.

B.2.2 FCC

Η θεωρητική μελέτη για την επιφάνεια πυριτίου και την κρίσιμη καθυστέρηση του FCC [12] αναλύεται στους Πίνακες B.3, B.4, B.5 και B.6 με βάση τις πληροφορίες που παρέχει ο Πίνακας B.1.

B.2.3 RAU

Οι Πίνακες B.7 και B.8 αναλύουν την επιφάνεια πυριτίου και την κρίσιμη καθυστέρηση της RAU [13] σε θεωρητικό επίπεδο με βάση τις πληροφορίες του Πίνακα B.1. Οφεί-

Πίνακας Β.1: Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστέρησης Βασικών Μονάδων

Συστατικό Στοιχείο	Επιφάνεια	Κρ. Καθυστέρηση
Ημιαθροιστής (ΗΑ) (Half Adder (HA))	$3A_g$	$2T_g$ (άθροισμα (sum)), T_g (κρατούμενο (carry))
Πλήρης Αθροιστής (ΠΑ) (Full Adder (FA))	$7A_g$	$4T_g$ (άθροισμα (sum)), $3T_g$ (κρατούμενο (carry))
42CSA16 (4:2 CSA, 16-bit είσοδοι)	$32A_{FA}=224A_g$	$T_{FA,carry}+T_{FA,sum}=7T_g$
42CSA33 (4:2 CSA, 33-bit είσοδοι)	$66A_{FA}=462A_g$	$T_{FA,carry}+T_{FA,sum}=7T_g$
CPA16 (CPA, 16-bit είσοδοι)	$16A_{FA}=112A_g$	$T_g + 16*2T_g=33T_g$
CPA17 (CPA, 17-bit είσοδοι)	$17A_{FA}=119A_g$	$T_g + 17*2T_g=35T_g$
CPA34 (CPA, 34-bit είσοδοι)	$34A_{FA}=238A_g$	$T_g + 34*2T_g=69T_g$
MBE (ένα MB ψηφίο)	$5A_g$	$3T_g$
PPG (ένα PP bit)	$5A_g^a$	$4T_g$
32CSA17 (3:2 CSA, 17-bit είσοδοι)	$17A_{FA}=119A_g$	$T_{FA,sum}=4T_g$
CSATr9 (CSA Δένδρο, 9 17-bit είσοδοι)	$7A_{3:2}=833A_g$	$4T_{3:2}=16T_g$
CSATr10 (CSA Δένδρο, 9 17-bit και 1 18-bit είσοδοι)	$8A_{3:2}+A_{HA}$ $=955A_g$	$5T_{3:2}+T_{HA,sum}$ $=22T_g$
CSATr11 (CSA Δένδρο, 11 17-bit είσοδοι)	$9A_{3:2}=1071A_g$	$5T_{3:2}=20T_g$
CStoMB (Μετασχηματισμός ΣΚ σε MB)	$17A_{FA}+9A_{MBE}$ $=164A_g$	$T_{FA,carry}+T_{XOR}+T_{MBE}$ $=8T_g$
21Mux (2-σε-1 Πολυπλέκτης)	$3A_g$	$2T_g$
42Mux (4-σε-2 Πολυπλέκτης)	$6A_g$	$2T_g$
21Mux17 (2-σε-1 Πολυπλέκτης, 17-bit όροι)	$17*3A_g=51A_g$	$2T_g$
21Mux18 (2-σε-1 Πολυπλέκτης, 18-bit όροι)	$18*3A_g=54A_g$	$2T_g$
42Mux16 (4-σε-2 Πολυπλέκτης, 16-bit όροι)	$16*6A_g=96A_g$	$2T_g$
42Mux17 (4-σε-2 Πολυπλέκτης, 17-bit όροι)	$17*6A_g=102A_g$	$2T_g$
DFF (D Flip-Flop)	$6A_g$	$2T_g$

^a Σε κάθε PP, απαιτείται να προστεθεί μία XOR πύλη ($=2A_g$) προκειμένου να ολοκληρωθεί η παραγωγή του PP bit χαμηλότερης τάξης.

λουμε να σημειώσουμε ότι η κρίσιμη καθυστέρηση του ενός σταδίου της RAU είναι $T_{OneRAUStage} = 1 \times T_{21Mux} + 4 \times T_{UC} = 1 \times 2T_g + 4 \times 7T_g = 2T_g + 28T_g = 30T_g$.

B.2.4 Πυρήνες ΨΕΣ Απεικονισμένοι στις Υπό Αξιολόγηση Αρχιτεκτονικές

Ο Πίνακας Β.9 περιλαμβάνει το συνολικό αριθμό καταχωρητών (D Flip-Flops (DFFs)), οι οποίοι απαιτούνται για κάθε πυρήνα ΨΕΣ που είναι απεικονισμένος στις υπό αξιολόγηση αρχιτεκτονικές με βάση την προτεινόμενη FCU, το FCC [12] και τη RAU [13]. Η επιφάνεια πυριτίου των πυρήνων ΨΕΣ, που έχουν απεικονιστεί επάνω στις αρχιτεκτονικές με τις προτεινόμενες FCUs, τα FCCs και τις RAUs, υπολογίστηκε θεωρητικά στους Πίνακες Β.10, Β.11 και Β.12 αντίστοιχα.

Πίνακας Β.2: Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστερήσης της Προτεινόμενης FCU

Συστατικό Στοιχείο		Επιφάνεια	Κρ. Καθυστερήση
42Mux16 (4-σε-2 Πολυπλέκτης, 16-bit όροι)		$96A_g$	$2T_g$
42CSA16 (4:2 CSA, 16-bit εισόδοι)		$224A_g$	$7T_g$
42Mux17 (4-σε-2 Πολυπλέκτης, 17-bit όροι)		$102A_g$	$2T_g$
42Mux17		$102A_g$	$2T_g^b$
CStoMB (Μετασχηματισμός ΣΚ σε MB)		$164A_g$	$8T_g$
Πολ/στής	PPG ^a	$97*5A_g+9*2A_g=503A_g$	$4T_g$
Περιοχής	7 bits αντιστάθμισης	$7A_g$	$1T_g^b$
Υλικού	2 κρατούμενα διόρθωσης	$2*2A_g=4A_g$	$2T_g^b$
Δένδρο (109 FAs + 40 HAs)		$109*7A_g+40*3A_g=883A_g$	$5*T_{FA}=5*4T_g=20T_g$
42Mux17		$102A_g$	$2T_g^b$
Σύνολο για την Προτεινόμενη FCU		$2187A_g$	$43T_g$

^a Ο πολλαπλασιαστής περιοχής υλικού περιλαμβάνει 97 PPGs. Σε κάθε ένα από τα 9 μερικά γινόμενα, προστίθεται μία λογική πύλη XOR για την ολοκλήρωση της παραγωγής του χαμηλότερης αξίας bit. Συνεπώς, $97*5A_g+9*2A_g=503A_g$.

^b Δε συμμετέχει στον υπολογισμό της κρίσιμης καθυστέρησης της προτεινόμενης FCU.

Πίνακας Β.3: Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστερήσης του 16×16 Πολλαπλασιαστή του FCC

Συστατικό Στοιχείο		Επιφάνεια	Κρ. Καθυστερήση
MBE ^a		$8*5A_g=40A_g$	$3T_g$
PPG		$136*5A_g+8*2A_g=696A_g$	$4T_g$
8 κρατούμενα διόρθωσης		$8*2A_g=16A_g$	$2T_g^b$
Δένδρο (89 FAs + 38 HAs)		$89*7A_g+38*3A_g=737A_g$	$4*T_{FA}=4*4T_g=16T_g$
Αθροιστής Πρόβλεψης Κρατουμένου (CLA) με κρατούμενο εισόδου ($n=32$)		$5n-2+3(n/2)\log_2 n$ $=398A_g$	$4+2\log_2 n$ $=14T_g$
Σύνολο για τον 16×16 Πολλαπλασιαστή		$1887A_g$	$37T_g$

^a Ο 16×16 πολλαπλασιαστής περιλαμβάνει 8 ($=16/2$) MBEs. Συνεπώς, $8*5A_g=40A_g$.

^b Δε συμμετέχει στον υπολογισμό της κρίσιμης καθυστέρησης του 16×16 πολλαπλασιαστή του FCC.

Πίνακας Β.4: Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστερήσης της ALU του FCC

Συστατικό Στοιχείο		Επιφάνεια	Κρ. Καθυστερήση
Λογικές πύλες OR		$16A_g$	T_g^b
Λογικές πύλες AND		$16A_g$	T_g^b
21Mux16 (2-σε-1 Πολυπλέκτης, 16-bit όροι)		$16*3A_g=48A_g$	$2T_g^b$
Αθρ. CLA με κρατούμ. εισόδου ($n=16$)		$5n+2+3(n/2)\log_2 n=178A_g$	$6+2\log_2 n=14T_g^b$
Άθροιση - Αφαίρεση ^a		$48A_g+178A_g=226A_g$	$2T_g+14T_g=16T_g$
Κύκλωμα Μετατόπισης Bit Αριστερά-Δεξιά (1 πύλη AND για κάθε bit τάξης 1 και 16 + 2 πύλες AND για κάθε bit τάξης 2-15 + 1 πύλη OR για κάθε bit τάξης 2-15)		$2A_g+2*14A_g+14A_g=44A_g$	$2T_g^b$
Σύνολο για την ALU		$302A_g$	$16T_g$

^a Οι λειτουργίες άθροισης και αφαίρεσης πραγματοποιούνται χρησιμοποιώντας έναν αθροιστή CLA και έναν 2-σε-1 πολυπλέκτη των 16 bits (21Mux16). Η αφαίρεση των δύο όρων X και Y πραγματοποιείται όπως στην επόμενη εξίσωση: $X - Y = X + \bar{Y} + 1$. Η έξοδος του 21Mux16 είναι είτε ο όρος Y είτε ο όρος \bar{Y} και ο αθροιστής CLA δέχεται έναν άσσο ως κρατούμενο εισόδου όταν απαιτείται λειτουργία αφαίρεσης.

^b Δε συμμετέχει στον υπολογισμό της κρίσιμης καθυστέρησης της ALU του FCC.

Πίνακας Β.5: Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστερήσης του Επαναδιαμορφούμενου Κελιού του FCC

Συστατικό Στοιχείο	Επιφάνεια	Κρ. Καθυστερήση
16×16 Πολλαπλασιαστής	1887A _g	37T _g
ALU	302A _g	16T _g ^a
81Mux16 (8-σε-1 Πολυπλέκτης, 16-bit όροι) (8 πύλες AND 4 εισόδων (3A _g , 2T _g) για κάθε bit + 1 πύλη OR 8 εισόδων (7A _g , 3T _g) για κάθε bit)	16*(8*3A _g +7A _g)=496A _g	5T _g
Σύνολο για το Επαναδιαμορφούμενο Κελί	2685A _g	42T _g

^a Δε συμμετέχει στον υπολογισμό της κρίσιμης καθυστέρησης του Επαναδιαμορφούμενου Κελιού του FCC.

Πίνακας Β.6: Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστερήσης του FCC

Συστατικό Στοιχείο	Επιφάνεια	Κρ. Καθυστερήση
4 Επαναδιαμορφούμενα Κελιά (Reconfigurable Cells (RCs)) (συστοιχία 2×2 RCs)	4×2685A _g =10740A _g	2×T _{RC} =84T _g
4 51Mux16 (5-σε-1 Πολυπλέκτης, 16-bit όροι) παράλληλα (5 πύλες AND 4 εισόδων (3 A _g , 2 T _g) για κάθε bit + 1 πύλη OR 5 εισόδων (4 A _g , 3 T _g) για κάθε bit)	4×(16×(5×3+4)) =4×304A _g =1216A _g	5T _g
Σύνολο για το FCC	11956A _g	89T _g

Πίνακας Β.7: Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστερήσης του Ενοποιημένου Κελιού της RAU

Συστατικό Στοιχείο	C _{out} (4×3I-G ^a + 1×4I-G + 4×5I-G + 2×6I-G + 1×11I-G)
Επιφάνεια	4×2A _g + 1×3A _g + 4×4A _g + 2×5A _g + 1×10A _g =47A _g
Κρ. Καθυστερήση	T _{6I-G} + T _{11I-G} =3T _g + 4T _g =7T _g
Συστατικό Στοιχείο	S _{out} (1×3I-G ^a + 4×4I-G + 3×5I-G + 2×6I-G + 1×10I-G)
Επιφάνεια	1×2A _g + 4×3A _g + 3×4A _g + 2×5A _g + 1×9A _g =45A _g
Κρ. Καθυστερήση	T _{6I-G} + T _{10I-G} =3T _g + 4T _g =7T _g ^b
Συστατικό Στοιχείο	S _{out} (χωρίς τις λογικές πύλες που διαμοιράζονται με το C _{out}) (1×3I-G + 3×4I-G + 5 από τις 9 πύλες της 1×10I-G)
Επιφάνεια	1×2A _g + 3×3A _g + 5A _g =16A _g
Κρ. Καθυστερήση	7T _g ^b
Συστατικό Στοιχείο	Σύνολο για το Ενοποιημένο Κελί
Επιφάνεια	63A _g
Κρ. Καθυστερήση	7T _g

^a Μία πύλη zI-G είναι μία λογική πύλη (Gate) AND/OR με z εισόδους (Inputs).

^b Δε συμμετέχει στον υπολογισμό της κρίσιμης καθυστέρησης του Ενοποιημένου Κελιού της RAU.

Πίνακας Β.8: Ανάλυση Επιφάνειας Πυριτίου και Κρίσιμης Καθυστερήσης της RAU

Συστατικό Στοιχείο	Επιφάνεια	Κρ. Καθυστερήση
256 ^a Ενοποιημένα Κελιά (Unified Cells (UCs))	256×63A _g =16128A _g	(16 σειρές)×7T _g =112T _g
96 ^b 21Mux	96×3A _g =288A _g	(3 σειρές)×2T _g =6T _g
93 ^c DFF	93×6A _g =558A _g	(3 σειρές)×2T _g =6T _g
Σύνολο για τη RAU	16974A _g	124T _g

^a Υπάρχουν 16 σειρές από UCs με την κάθε μία να περιέχει 16 UCs.

^b Υπάρχουν 3 σειρές από 21Mux με την κάθε μία να περιέχει 32 21Mux.

^c Υπάρχουν 3 σειρές από DFFs με την κάθε μία να περιέχει 31 DFFs.

Πίνακας Β.9: Αριθμός Καταχωρητών (DFFs) για Κάθε Πυρήνα ΨΕΣ

Πυρήνας	Προτεινόμενη FCU	FCC	RAU
ELLIPTIC	952	1024	1685
FIR16	1000	544	1553
VOLTERRA	872	704	1189
JPEG_DCT	2260	2149	2730
MPEG_IDCT	2452	2149	2706
UDCT	904	952	1752

Πίνακας Β.10: Ανάλυση Επιφάνειας Πυριτίου των Πυρήνων ΨΕΣ που Απεικονίστηκαν στην Αρχιτεκτονική με τις Προτεινόμενες FCUs

Πυρήνας	Επιφάνεια Πυριτίου
ELLIPTIC	952 DFFs + 4 Πρωτ. FCUs + CStoBin ^a = 5712A _g + 8748A _g + 112A _g = 14572A _g
FIR16	1000 DFFs + 4 Πρωτ. FCUs + CStoBin = 6000A _g + 8748A _g + 112A _g = 14860A _g
VOLTERRA	872 DFFs + 4 Πρωτ. FCUs + CStoBin = 5232A _g + 8748A _g + 112A _g = 14092A _g
JPEG_DCT	2260 DFFs + 4 Πρωτ. FCUs + CStoBin = 3560A _g + 8748A _g + 112A _g = 22420A _g
MPEG_IDCT	2452 DFFs + 4 Πρωτ. FCUs + CStoBin = 14712A _g + 8748A _g + 112A _g = 23572A _g
UDCT	904 DFFs + 4 Πρωτ. FCUs + CStoBin = 5424A _g + 8748A _g + 112A _g = 14284A _g

^a Η μονάδα CStoBin είναι ένας Αθροιστής Διάδοσης Κρατούμενου για 16-bit όρους με 112 A_g επιφάνεια πυριτίου.

Πίνακας Β.11: Ανάλυση Επιφάνειας Πυριτίου των Πυρήνων ΨΕΣ που Απεικονίστηκαν στην Αρχιτεκτονική με τα FCC

Πυρήνας	Επιφάνεια Πυριτίου
ELLIPTIC	1024 DFFs + 2 FCC = 6144A _g + 23912A _g = 30056A _g
FIR16	544 DFFs + 2 FCC = 3264A _g + 23912A _g = 27176A _g
VOLTERRA	704 DFFs + 2 FCC = 4224A _g + 23912A _g = 28136A _g
JPEG_DCT	2149 DFFs + 2 FCC = 12894A _g + 23912A _g = 36806A _g
MPEG_IDCT	2149 DFFs + 2 FCC = 12894A _g + 23912A _g = 36806A _g
UDCT	952 DFFs + 2 FCC = 5712A _g + 23912A _g = 29624A _g

Πίνακας Β.12: Ανάλυση Επιφάνειας Πυριτίου των Πυρήνων ΨΕΣ που Απεικονίστηκαν στην Αρχιτεκτονική με τις RAU

ELLIPTIC	1685 DFFs + RAU + 4 42Mux16 + CStoBin ^a = 10110A _g + 16974A _g + 384A _g + 174A _g = 27642A _g
FIR16	1553 DFFs + RAU + 4 42Mux16 + CStoBin = 9318A _g + 16974A _g + 384A _g + 174A _g = 26850A _g
VOLTERRA	1189 DFFs + RAU + 4 42Mux16 + CStoBin = 7134A _g + 16974A _g + 384A _g + 174A _g = 24666A _g
JPEG_DCT	2730 DFFs + RAU + 4 42Mux16 + CStoBin = 16380A _g + 16974A _g + 384A _g + 174A _g = 33912A _g
MPEG_IDCT	2706 DFFs + RAU + 4 42Mux16 + CStoBin = 16236A _g + 16974A _g + 384A _g + 174A _g = 33768A _g
UDCT	1752 DFFs + RAU + 4 42Mux16 + CStoBin = 10512A _g + 16974A _g + 384A _g + 174A _g = 28044A _g

^a Η μονάδα CStoBin είναι ένας Αθροιστής Πρόβλεψης Κρατούμενου για 16-bit όρους με 174A_g επιφάνεια πυριτίου.

Κατάλογος Συντμήσεων

ALAP : As Late As Possible
ASAP : As Soon As Possible
ASIC : Application Specific Integrated Circuit
ΑΠ : Άθροιση - Πολλαπλασιασμός
ΑΣΥ : Αριθμητικά Συστήματα Υπολοίπου

CLA : Carry - Look - Ahead
CRT : Chinese Remainder Theorem
CS : Carry - Save
CSA : Carry - Save Adder / Addition
CSD : Canonic Signed Digit

ΓΡΔ : Γράφος Ροής Δεδομένων

DCT : Discrete Cosine Transform
DFG : Data - Flow Graph
DSP : Digital Signal Processing

EAC : End - Around Carry

FA : Full Adder
FCC : Flexible Computational Component
FCU : Flexible Computational Unit
FFT : Fast Fourier Transform
FIR : Finite Impulse Response
FPS : Flexible Pipeline Stage

HA : Half Adder
HDL : Hardware Description Language
HLS : High Level Synthesis
ΗΑ : Ημι-Αθροιστής

IEAC : Inverted End - Around Carry
IIR : Infinite Impulse Response
ILP : Instruction Level Parallelism

LSI : Large Scale Integrated

MB : Modified Booth
MOPS / W : Mega OPerations per Second / Watt
MSI : Medium Scale Integrated

NR4SD : Non Redundant Radix - 4 Signed Digit

PP : Partial Product
PPG : Partial Product Generator
ΠΑ : Πλήρης Αθροιστής

RAU : Reconfigurable Arithmetic Unit
RNS : Residue Number Systems
ROM : Read-Only Memory
RTL : Register Transfer Level

ΣΑΠ : Συγχωνευμένη Άθροιση - Πολλαπλασιασμός
ΣΚ : Σωσίματος - Κρατούμένου
ΣΥΕ : Σύνθεση Υψηλού Επιπέδου

VLSI : Very Large Scale Integrated

ΨΕΣ : Ψηφιακή Επεξεργασία Σήματος
ΨΥΤ : Ψηφίο Υψηλότερης Τάξης

Βιβλιογραφία

- [1] [Online]. Available: <http://www.top500.com>
- [2] W. Harrod, ‘A journey to exascale computing,’ in *High Performance Computing, Networking, Storage and Analysis (SCC), SC Companion*, Nov. 2012, pp. 1702–1730.
- [3] S.A. Khan, *Digital Design of Signal Processing Systems: A Practical Approach*. Wiley, 2011.
- [4] W.-C. Yeh, ‘Arithmetic Module Design and its Application to FFT,’ Ph.D. dissertation, Department of Electronics Engineering, National Chiao-Tung University, 2001.
- [5] R. Zimmermann, and D.Q. Tran, ‘Optimized synthesis of sum-of-products,’ in *Rec. 37th Asilomar Conf. Signals, Syst. and Comput.*, vol. 1, Nov. 2003, pp. 867–872.
- [6] M. Daumas, and D.W. Matula, ‘A Booth multiplier accepting both a redundant or a non redundant input with no additional delay,’ in *Proc. IEEE Int. Conf. Applica.-Specific Syst., Architectures and Processors*, 2000, pp. 205–214.
- [7] Yuan-Ho Chen, and Tsin-Yuan Chang, ‘A High-Accuracy Adaptive Conditional-Probability Estimator for Fixed-Width Booth Multipliers,’ *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 59, no. 3, pp. 594–603, Mar. 2012.
- [8] Taewhan Kim, and Junhyung Um, ‘A practical approach to the synthesis of arithmetic circuits using carry-save-adders,’ *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 19, no. 5, pp. 615–624, May 2000.
- [9] A.K. Verma, P. Brisk, and P. Ienne, ‘Data-Flow Transformations to Maximize the Use of Carry-Save Representation in Arithmetic Circuits,’ *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 27, no. 10, pp. 1761–1774, Oct. 2008.
- [10] S. Xydis, I. Triantafyllou, G. Economakos, and K. Pekmestzi, ‘Flexible Datapath Synthesis through Arithmetically Optimized Operation Chaining,’ in *Proc. NASA/ESA Conf. Adaptive Hardware and Syst. (AHS)*, Jul. 2009, pp. 407–414.
- [11] S. Xydis, ‘Design Space Exploration and Synthesis Methodologies for Reconfigurable Coprocessor Architectures,’ Ph.D. dissertation, Department of

Computer Science, School of Electrical and Computer Engineering, National Technical University of Athens, 2011.

- [12] M.D. Galanis, G. Theodoridis, S. Tragoudas, and C.E. Goutis, ‘A high-performance data path for synthesizing DSP kernels,’ *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 25, no. 6, pp. 1154–1162, Jun. 2006.
- [13] S. Xydis, G. Economakos, D. Soudris, and K. Pekmestzi, ‘High Performance and Area Efficient Flexible DSP Datapath Synthesis,’ *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 19, no. 3, pp. 429–442, Mar. 2011.
- [14] H. Esmailzadeh, E. Blem, R. St. Amant, K. Sankaralingam, and D. Burger, ‘Power Challenges May End the Multicore Era,’ *ACM Commun.*, vol. 56, no. 2, pp. 93–102, Feb. 2013.
- [15] M. J. Flynn, O. Mencer, V. Milutinovic, G. Rakocevic, P. Stenstrom, R. Trobec, and M. Valero, ‘Moving from Petaflops to Petadata,’ *ACM Commun.*, vol. 56, no. 5, pp. 39–42, May 2013.
- [16] [Online]. Available: <https://www.maxeler.com/technology/dataflow-computing/>
- [17] J.G. Proakis, and D.K. Manolakis, *Digital Signal Processing (4th Edition)*. Upper Saddle River, NJ, USA: Prentice-Hall, Inc., 2006.
- [18] J. Sklansky, ‘Conditional-Sum Addition Logic,’ *IRE Trans. Electron. Comput.*, vol. E⁻9, no. 2, pp. 226–231, Jun. 1960.
- [19] P. M. Kogge, and H. S. Stone, ‘A Parallel Algorithm for the Efficient Solution of a General Class of Recurrence Equations,’ *IEEE Trans. Comput.*, vol. C-22, no. 8, pp. 786–793, Aug. 1973.
- [20] R. E. Ladner, and M. L. Fischer, ‘Parallel Prefix Computation,’ *J. ACM*, vol. 27, no. 4, pp. 831–838, Oct. 1980.
- [21] H. Ling, ‘High-Speed Binary Adder,’ *IBM Journal of Research and Development*, vol. 25, no. 3, pp. 156–166, Mar. 1981.
- [22] R.P. Brent, and H.T. Kung, ‘A Regular Layout for Parallel Adders,’ *IEEE Trans. Comput.*, vol. 31, no. 3, pp. 260–264, 1982.
- [23] T. Han, and D. A. Carlson, ‘Fast area-efficient VLSI adders,’ in 8th *IEEE Symp. Comput. Arithmetic (ARITH)*, May 1987, pp. 49–56.
- [24] A. Beaumont-Smith, and C. C. Lim, ‘Parallel prefix adder design,’ in 15th *IEEE Symp. Comput. Arithmetic (ARITH)*, 2001, pp. 218–225.
- [25] N. Weste, and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4th ed. USA: Addison-Wesley Publishing Company, 2010.
- [26] A. Amaricai, M. Vladutiu, and O. Boncalo, ‘Design Issues and Implementations for Floating-Point Divide-Add Fused,’ *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 57, no. 4, pp. 295–299, Apr. 2010.

- [27] E.E. Swartzlander, and H.H. Saleh, ‘FFT Implementation with Fused Floating-Point Operations,’ *IEEE Trans. Comput.*, vol. 61, no. 2, pp. 284–288, Feb. 2012.
- [28] J.J.F. Cavanagh, *Digital Computer Arithmetic: Design and Implementation*, ser. McGraw-Hill Computer Science Series. McGraw-Hill, 1984.
- [29] S. Nikolaidis, E. Karaolis, and E.D. Kyriakis-Bitzaros, ‘Estimation of signal transition activity in FIR filters implemented by a MAC architecture,’ *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 19, no. 1, pp. 164–169, Jan. 2000.
- [30] A. Peymandoust, and G. De Micheli, ‘Using symbolic algebra in algorithmic level DSP synthesis,’ in *Proc. Design Automation Conf. (DAC)*, 2001, pp. 277–282.
- [31] Wen-Chang Yeh, and Chein-Wei Jen, ‘High-speed and low-power split-radix FFT,’ *IEEE Trans. Signal Process.*, vol. 51, no. 3, pp. 864–874, Mar. 2003.
- [32] B. Parhami, *Computer Arithmetic: Algorithms and Hardware Designs*. Oxford, UK: Oxford University Press, 2000.
- [33] O.L. Macsorley, ‘High-Speed Arithmetic in Binary Computers,’ *Proc. IRE*, vol. 49, no. 1, pp. 67–91, Jan. 1961.
- [34] P. Ienne, and R. Leupers, *Customizable Embedded Processors: Design Technologies and Applications*. San Francisco, CA, USA: Morgan Kaufmann Publishers Inc., 2007.
- [35] R. Kastner, A. Kaplan, S.O. Memik, and E. Bozorgzadeh, ‘Instruction Generation for Hybrid Reconfigurable Systems,’ *ACM Trans. Des. Autom. Electron. Syst.*, vol. 7, no. 4, pp. 605–627, Oct. 2002.
- [36] M.R. Corazao, M.A. Khalaf, L.M. Guerra, M. Potkonjak, and J.M. Rabaley, ‘Performance optimization using template mapping for datapath-intensive high-level synthesis,’ *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 15, no. 8, pp. 877–888, Aug. 1996.
- [37] P. Heysters, G. Smit, and E. Molenkamp, ‘A Flexible and Energy-Efficient Coarse-Grained Reconfigurable Architecture for Mobile Systems,’ *J. Supercomputing*, vol. 26, no. 3, pp. 283–308, 2003.
- [38] Zhan Yu, Kei-Yong Khoo, and A. Willson, Jr., ‘The use of carry-save representation in joint module selection and retiming,’ in *Proc. Design Automation Conf. (DAC)*, 2000, pp. 768–773.
- [39] S. Xydis, G. Economakos, and K. Pekmestzi, ‘Designing coarse-grain reconfigurable architectures by inlining flexibility into custom arithmetic data-paths,’ *Integration, VLSI J.*, vol. 42, no. 4, pp. 486–503, 2009.
- [40] P.V. Mohan, *Residue Number Systems: Algorithms and Architectures*. Norwell, MA, USA: Kluwer Academic Publishers, 2002.

- [41] A.R. Omondi, and B. Premkumar, *Residue Number Systems: Theory and Implementation*, ser. Advances in computer science and engineering: Texts. Imperial College Press, 2007.
- [42] R. Chaves, and L. Sousa, ‘RDSP: a RISC DSP based on Residue Number System,’ in *Proc. Euromicro Symp. Digital Syst. Design*, Sep. 2003, pp. 128–135.
- [43] R. Chokshi, K.S. Berezowski, A. Shrivastava, and S.J. Piestrak, ‘Exploiting Residue Number System for Power-Efficient Digital Signal Processing in Embedded Processors,’ in *Proc. Int. Conf. Compilers, Architecture, and Synthesis for Embedded Syst. (CASES)*, 2009, pp. 19–28.
- [44] Y. Liu, and E.M.K. Lai, ‘Moduli Set Selection and Cost Estimation for RNS-Based FIR Filter and Filter Bank Design,’ *Design Automation for Embedded Syst.*, vol. 9, no. 2, pp. 123–139, 2004.
- [45] R. Conway, and J. Nelson, ‘Improved RNS FIR filter architectures,’ *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 51, no. 1, pp. 26–28, Jan. 2004.
- [46] J. Ramirez, U. Meyer-Base, and A. Garcia, ‘Efficient RNS-Based Design of Programmable FIR Filters Targeting FPL Technology,’ *J. Circuits, Syst. and Comput.*, vol. 14, no. 01, pp. 165–177, 2005.
- [47] G.C. Cardarilli, A. Del Re, A. Nannarelli, and M. Re, ‘Impact of RNS Coding Overhead on FIR Filters Performance,’ in *Rec. 41st Asilomar Conf. Signals, Syst. and Comput. (ACSSC)*, Nov. 2007, pp. 1426–1429.
- [48] G.L. Bernocchi, G.C. Cardarilli, A. Del Re, A. Nannarelli, and M. Re, ‘Low-power adaptive filter based on RNS components,’ in *Proc. IEEE Int. Symp. Circuits and Syst. (ISCAS)*, May 2007, pp. 3211–3214.
- [49] R. Conway, ‘Efficient residue arithmetic based parallel fixed coefficient FIR filters,’ in *IEEE Int. Symp. Circuits and Syst. (ISCAS)*, May 2008, pp. 1484–1487.
- [50] K.G. Smitha, and A.P. Vinod, ‘A reconfigurable high-speed RNS-FIR channel filter for multi-standard software radio receivers,’ in *11th IEEE Singapore Int. Conf. Commun. Syst. (ICCS)*, Nov. 2008, pp. 1354–1358.
- [51] D. Zivaljevic, N. Stamenkovic, and V. Stojanovic, ‘Digital filter implementation based on the RNS with diminished-1 encoded channel,’ in *35th Int. Conf. Telecommunications and Signal Process. (TSP)*, Jul. 2012, pp. 662–666.
- [52] M. Petricca, P. Albicocco, G.C. Cardarilli, A. Nannarelli, and M. Re, ‘Power efficient design of parallel/serial FIR filters in RNS,’ in *Conf. Rec. 46th Asilomar Conf. Signals, Syst. and Comput. (ASILOMAR)*, Nov. 2012, pp. 1015–1019.
- [53] P.G. Fernandez, A. Garcia, J. Ramirez, and A. Lloris, ‘Fast RNS-based 2D-DCT computation on field-programmable devices,’ in *IEEE Workshop Signal Process. Syst. (SiPS)*, 2000, pp. 365–373.

- [54] P.G. Fernandez, and A. Lloris, ‘RNS-based implementation of 8×8 point 2D-DCT over field-programmable devices,’ *Electron. Lett.*, vol. 39, no. 1, pp. 21–23, Jan. 2003.
- [55] Y. Liu, and E.M. Lai, ‘Design and implementation of an RNS-based 2-D DWT processor,’ *IEEE Trans. Consum. Electron.*, vol. 50, no. 1, pp. 376–385, Feb. 2004.
- [56] G. Alia, and E. Martinelli, ‘Optimal VLSI complexity design for high speed pipeline FFT using RNS,’ *Comput. & Elect. Eng.*, vol. 24, no. 3-4, pp. 167–182, 1998.
- [57] U. Meyer-Baese, A. Garcia, and F. Taylor, ‘Implementation of a Communications Channelizer Using FPGAs and RNS Arithmetic,’ *J. VLSI Signal Process. Syst.*, vol. 28, no. 1/2, pp. 115–128, May 2001.
- [58] J. Ramirez, A. Garcia, U. Meyer-Baese, and A. Lloris, ‘Fast RNS FPL-based Communications Receiver Design and Implementation,’ in *Proc. 12th Int. Conf. Field-Programmable Logic Applicat.* Springer Berlin Heidelberg, 2002, vol. 2438, pp. 472–481.
- [59] A.S. Madhukumar, and F. Chin, ‘Residue number system-based multicarrier CDMA system for high-speed broadband wireless access,’ *IEEE Trans. Broadcast.*, vol. 48, no. 1, pp. 46–52, Mar. 2002.
- [60] T.K. Shahana, B.R. Jose, R.K. James, K.P. Jacob, and S. Sasi, ‘Dual-mode RNS based programmable decimation filter for WCDMA and WLANa,’ in *IEEE Int. Symp. Circuits and Syst. (ISCAS)*, May 2008, pp. 952–955.
- [61] J. Bajard, and L. Imbert, ‘A full RNS implementation of RSA,’ *IEEE Trans. Comput.*, vol. 53, no. 6, pp. 769–774, Jun. 2004.
- [62] D.M. Schinianakis, A.P. Kakarountas, and T. Stouraitis, ‘A new approach to elliptic curve cryptography: an RNS architecture,’ in *IEEE Mediterranean Electrotechnical Conf. (MELECON)*, May 2006, pp. 1241–1245.
- [63] L. Zhining, and B.J. Phillips, ‘An RNS-Enhanced Microprocessor Implementation of Public Key Cryptography,’ in *Rec. 41st Asilomar Conf. Signals, Syst. and Comput. (ACSSC)*, Nov. 2007, pp. 1430–1434.
- [64] D.M. Schinianakis, A.P. Fournaris, H.E. Michail, A.P. Kakarountas, and T. Stouraitis, ‘An RNS Implementation of an F_p Elliptic Curve Point Multiplier,’ *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 56, no. 6, pp. 1202–1213, Jun. 2009.
- [65] S. Antao, J.-C. Bajard, and L. Sousa, ‘RNS-Based Elliptic Curve Point Multiplication for Massive Parallel Architectures,’ *The Computer Journal*, 2011.
- [66] F. Gandino, F. Lamberti, G. Paravati, J. Bajard, and P. Montuschi, ‘An Algorithmic and Architectural Study on Montgomery Exponentiation in RNS,’ *IEEE Trans. Comput.*, vol. 61, no. 8, pp. 1071–1083, Aug. 2012.

- [67] M. Esmaeildoust, D. Schinianakis, H. Javashi, T. Stouraitis, and K. Navi, 'Efficient RNS Implementation of Elliptic Curve Point Multiplication Over $GF(p)$,' *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 21, no. 8, pp. 1545–1549, Aug. 2013.
- [68] K. Pekmestzi, C. Efstathiou, N. Moschopoulos, and K. Tsoumanis, 'Efficient Modulo $2^n + 1$ Multiplication for the Idea Block Cipher,' in *Proc. 23rd ACM Int. Conf. Great Lakes Symposium on VLSI (GLSVLSI)*, 2013, pp. 263–268.
- [69] W. Wang, M.N.S. Swamy, and M.O. Ahmad, 'RNS application for digital image processing,' in *4th Proc. IEEE Int. Workshop System-on-Chip for Real-Time Applications*, Jul. 2004, pp. 77–80.
- [70] S. Jun, and Z. Hu, 'Method and dedicated processor for image coding based on residue number system,' in *Int. Conf. Modern Problems of Radio Engineering Telecommunications and Computer Science (TCSET)*, Feb. 2012, pp. 406–407.
- [71] S. Moharrami, and D.K. Taleshmekaeil, 'The Application of the Residue Number System in Digital Image Processing: Propose a Scheme of Filtering in Spatial Domain,' *Research J. Applied Sciences*, vol. 7, no. 6, pp. 286–292, 2012.
- [72] E. Vassalos, D. Bakalis, and H.T. Vergos, 'RNS assisted image filtering and edge detection,' in *18th Int. Conf. Digital Signal Processing (DSP)*, Jul. 2013, pp. 1–6.
- [73] S. Pontarelli, G.C. Cardarilli, M. Re, and A. Salsano, 'Totally Fault Tolerant RNS Based FIR Filters,' in *14th IEEE Int. On-Line Testing Symp. (IOLTS)*, Jul. 2008, pp. 192–194.
- [74] I. Kouretas, and V. Paliouras, 'Residue Arithmetic for Variation-Tolerant Design of Multiply-Add Units,' in *Proc. 19th Int. Conf. Integrated Circuit Syst. Design: Power and Timing Modeling, Optimization and Simulation (PATMOS)*, 2010, pp. 26–35.
- [75] Y. Wang, X. Song, M. Aboulhamid, and H. Shen, 'Adder based residue to binary number converters for $(2^n - 1, 2^n, 2^n + 1)$,' *IEEE Trans. Signal Process.*, vol. 50, no. 7, pp. 1772–1779, Jul. 2002.
- [76] H. Pettenghi, and L. Sousa, 'RNS reverse converters based on the new Chinese Remainder Theorem I,' in *Proc. IEEE Int. Symp. Circuits and Syst. (ISCAS)*, May 2015, pp. 830–833.
- [77] H.T. Vergos, and C. Efstathiou, 'A Unifying Approach for Weighted and Diminished-1 Modulo $2^n + 1$ Addition,' *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 55, no. 10, pp. 1041–1045, Oct. 2008.
- [78] H.T. Vergos, and G. Dimitrakopoulos, 'On Modulo $2^n + 1$ Adder Design,' *IEEE Trans. Comput.*, vol. 61, no. 2, pp. 173–186, Feb. 2012.
- [79] H.T. Vergos, and C. Efstathiou, 'Design of efficient modulo $2^n + 1$ multipliers,' *IET Comput. Digital Techniques*, vol. 1, no. 1, pp. 49–57, Jan. 2007.

- [80] G.W. Reitwiesner, ‘Binary Arithmetic,’ *Advances in Computers*, vol. 1, pp. 231–308, 1960.
- [81] Y.-E. Kim, K.-J. Cho, J.-G. Chung, and X. Huang, ‘CSD-Based Programmable Multiplier Design for Predetermined Coefficient Groups,’ *IEICE Trans. Fundam. Electron. Commun. Comput. Sci.*, vol. 93, no. 1, pp. 324–326, 2010.
- [82] W.-C. Yeh, and C.-W. Jen, ‘High-speed Booth encoded parallel multiplier design,’ *IEEE Trans. Comput.*, vol. 49, no. 7, pp. 692–701, Jul. 2000.
- [83] Z. Huang, ‘High-Level Optimization Techniques for Low-Power Multiplier Design,’ Ph.D. dissertation, Department of Computer Science, University of California, Los Angeles, CA, 2003.
- [84] Z. Huang, and M.D. Ercegovac, ‘High-performance low-power left-to-right array multiplier design,’ *IEEE Trans. Comput.*, vol. 54, no. 3, pp. 272–283, Mar. 2005.
- [85] Y.-E. Kim, K.-J. Cho, and J.-G. Chung, ‘Low Power Small Area Modified Booth Multiplier Design for Predetermined Coefficients,’ *IEICE Trans. Fundam. Electron. Commun. Comput. Sci.*, vol. E90-A, no. 3, pp. 694–697, Mar. 2007.
- [86] M.D. Ercegovac, and T. Lang, ‘Chapter 4 - Multiplication,’ in *Digital Arithmetic*, ser. The Morgan Kaufmann Series in Computer Architecture and Design. San Francisco: Morgan Kaufmann, 2004, pp. 181–245.
- [87] O. Kwon, K. Nowka, and E.E. Swartzlander, ‘A 16-Bit by 16-Bit MAC Design Using Fast 5:3 Compressor Cells,’ *J. VLSI Signal Process. Syst. Signal, Image and Video Technology*, vol. 31, no. 2, pp. 77–89, 2002.
- [88] Li-Hsun Chen, Li-Hsun Chen, Teng-Yi Wang, and Yung-Cheng Ma, ‘A multiplication-accumulation computation unit with optimized compressors and minimized switching activities,’ in *Proc. IEEE Int. Symp. Circuits and Syst. (ISCAS)*, vol. 6, May 2005, pp. 6118–6121.
- [89] Young-Ho Seo, and Dong-wook Kim, ‘A New VLSI Architecture of Parallel Multiplier-Accumulator Based on Radix-2 Modified Booth Algorithm,’ *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 18, no. 2, pp. 201–208, Feb. 2010.
- [90] Chung Nan Lyu, and D.W. Matula, ‘Redundant binary Booth recoding,’ in *Proc. 12th Symp. Comput. Arithmetic*, Jul. 1995, pp. 50–57.
- [91] J.D. Bruguera, and T. Lang, ‘Implementation of the FFT butterfly with redundant arithmetic,’ *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 43, no. 10, pp. 717–723, Oct. 1996.
- [92] [Online]. Available: <http://www.synopsys.com/Tools/Implementation/RTLSynthesis/DCUltra/Pages/default.aspx>
- [93] [Online]. Available: <http://www.synopsys.com/Tools/Implementation/SignOff/PrimeTime/Pages/default.aspx>

- [94] A. Tyagi, ‘A Reduced-Area Scheme for Carry-Select Adders,’ *IEEE Trans. Comput.*, vol. 42, no. 10, pp. 1163–1170, Oct. 1993.
- [95] [Online]. Available: <http://www.synopsys.com/ip/socinfrastructureip/designware/Pages/default.aspx>
- [96] [Online]. Available: <http://www.faraday-tech.com/html/Product/IPProduct/IPOverview.htm>
- [97] [Online]. Available: <http://www.mentor.com/products/fv/modelsim/>
- [98] C. Ebeling, D.C. Cronquist, and P. Franklin, ‘RaPiD - Reconfigurable pipelined datapath,’ in *Field-Programmable Logic Smart Applicat., New Paradigms and Compilers*. Springer Berlin Heidelberg, 1996, vol. 1142, pp. 126–135.
- [99] S.C. Goldstein, H. Schmit, M. Budiu, S. Cadambi, M. Moe, and R.R. Taylor, ‘PipeRench: a reconfigurable architecture and compiler,’ *Computer*, vol. 33, no. 4, pp. 70–77, Apr. 2000.
- [100] B. Mei, S. Vernalde, D. Verkest, H. De Man, and R. Lauwereins, ‘ADRES: An Architecture with Tightly Coupled VLIW Processor and Coarse-Grained Reconfigurable Matrix,’ in *Field Programmable Logic and Applicat.* Springer Berlin Heidelberg, 2003, vol. 2778, pp. 61–70.
- [101] K. Compton, and S. Hauck, ‘Automatic Design of Reconfigurable Domain-Specific Flexible Cores,’ *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 16, no. 5, pp. 493–503, May 2008.
- [102] G. Ansaloni, P. Bonzini, and L. Pozzi, ‘EGRA: A Coarse Grained Reconfigurable Architectural Template,’ *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 19, no. 6, pp. 1062–1074, Jun. 2011.
- [103] M. Stojilovic, D. Novo, L. Saranovac, P. Brisk, and P. Ienne, ‘Selective Flexibility: Creating Domain-Specific Reconfigurable Arrays,’ *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 32, no. 5, pp. 681–694, May 2013.
- [104] A. Hosangadi, F. Fallah, and R. Kastner, ‘Optimizing High Speed Arithmetic Circuits Using Three-Term Extraction,’ in *Proc. Design, Automation and Test in Europe (DATE)*, vol. 1, Mar. 2006, pp. 1–6.
- [105] G.A. Constantinides, P.Y.K. Cheung, and W. Luk, *Synthesis And Optimization Of DSP Algorithms*. Norwell, MA, USA: Kluwer Academic Publishers, 2004.
- [106] N. Moreano, E. Borin, C. de Souza, and G. Araujo, ‘Efficient datapath merging for partially reconfigurable architectures,’ *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 24, no. 7, pp. 969–980, Jul. 2005.
- [107] S. Xydis, G. Palermo, and C. Silvano, ‘Thermal-aware datapath merging for coarse-grained reconfigurable processors,’ in *Design, Automation Test in Europe Conf. (DATE)*, Mar. 2013, pp. 1649–1654.

- [108] K. Tsoumanis, S. Xydis, C. Efstathiou, N. Moschopoulos, and K. Pekmezzi, ‘An Optimized Modified Booth Recoder for Efficient Design of the Add-Multiply Operator,’ *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 61, no. 4, pp. 1133–1143, Apr. 2014.
- [109] G. De Micheli, *Synthesis and Optimization of Digital Circuits*, 1st ed. McGraw-Hill Higher Education, 1994.
- [110] [Online]. Available: <http://poppy.snu.ac.kr/CDFG/cdfg.html>
- [111] [Online]. Available: <http://express.ece.ucsb.edu>
- [112] R. Chaves, and L. Sousa, ‘Improving residue number system multiplication with more balanced moduli sets and enhanced modular arithmetic structures,’ *IET Comput. Digital Techniques*, vol. 1, no. 5, pp. 472–480, Sep. 2007.
- [113] R. Zimmermann, ‘Binary Adder Architectures for Cell-Based VLSI and their Synthesis,’ Ph.D. dissertation, Swiss Federal Institute of Technology (ETH) Zurich, Hartung-Gorre Verlag, 1998.
- [114] —, ‘Efficient VLSI implementation of modulo $2^n \pm 1$ addition and multiplication,’ in *Proc. 14th IEEE Symp. Comput. Arithmetic*, 1999, pp. 158–167.
- [115] G. Dimitrakopoulos, H.T. Vergos, D. Nikolos, and C. Efstathiou, ‘A family of parallel-prefix modulo $2^n - 1$ adders,’ in *Proc. IEEE Int. Conf. Application-Specific Syst., Architectures and Processors (ASAP)*, Jun. 2003, pp. 326–336.
- [116] G. Dimitrakopoulos, D.G. Nikolos, H.T. Vergos, D. Nikolos, and C. Efstathiou, ‘New architectures for modulo $2^n - 1$ adders,’ in *12th IEEE Int. Conf. Electronics, Circuits and Syst. (ICECS)*, Dec. 2005, pp. 1–4.
- [117] J. Chen, and J.E. Stine, ‘Parallel Prefix Ling Structures for Modulo $2^n - 1$ Addition,’ in *20th IEEE Int. Conf. Application-Specific Syst., Architectures and Processors (ASAP)*, Jul. 2009, pp. 16–23.
- [118] Z. Wang, G.A. Jullien, and W.C. Miller, ‘An algorithm for multiplication modulo $2^N - 1$,’ in *IEEE 39th Midwest Symp. Circuits and Syst.*, vol. 3, Aug. 1996, pp. 1301–1304.
- [119] L. Leibowitz, ‘A simplified binary arithmetic for the Fermat number transform,’ *IEEE Trans. Acoust., Speech, Signal Process.*, vol. 24, no. 5, pp. 356–359, Oct. 1976.
- [120] H.T. Vergos, C. Efstathiou, and D. Nikolos, ‘Diminished-one modulo $2^n + 1$ adder design,’ *IEEE Trans. Comput.*, vol. 51, no. 12, pp. 1389–1399, Dec. 2002.
- [121] H.T. Vergos, and C. Efstathiou, ‘Efficient modulo $2^n + 1$ adder architectures,’ *Integration, VLSI J.*, vol. 42, no. 2, pp. 149–157, 2009.
- [122] C. Efstathiou, I. Voyiatzis, and N. Sklavos, ‘On the modulo $2^n + 1$ multiplication for diminished-1 operands,’ in *Proc. 2nd Int. Conf. Signals, Circuits and Systems (SCS)*, Nov. 2008, pp. 1–5.

- [123] C. Efstathiou, H.T. Vergos, and D. Nikolos, ‘Fast parallel-prefix modulo $2^n + 1$ adders,’ *IEEE Trans. Comput.*, vol. 53, no. 9, pp. 1211–1216, Sep. 2004.
- [124] C. Efstathiou, D. Nikolos, and J. Kalamatianos, ‘Area-time efficient modulo $2^n - 1$ adder design,’ *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 41, no. 7, pp. 463–467, Jul. 1994.
- [125] C. Efstathiou, N. Moschopoulos, I. Voyiatzis, and K. Pekmestzi, ‘On the Design of Modulo $2^N + 1$ Dot Product and Generalized Multiply-Add Units,’ *Comput. Electr. Eng.*, vol. 39, no. 2, pp. 410–419, Feb. 2013.
- [126] A. Del Re, A. Nannarelli, and M. Re, ‘Implementation of digital filters in carry-save residue number system,’ in *Conf. Rec. 35th Asilomar Conf. Signals, Syst. and Comput.*, vol. 2, Nov. 2001, pp. 1309–1313.
- [127] K. Tsoumanis, C. Efstathiou, N. Moschopoulos, and K. Pekmestzi, ‘On the design of modulo $2^n \pm 1$ residue generators,’ in *21st IFIP/IEEE Int. Conf. Very Large Scale Integr. (VLSI-SoC)*, Oct. 2013, pp. 33–38.
- [128] Z.J. Mou, ‘A Study of VLSI Symmetric FIR Filter Structures,’ *J. VLSI Signal Process. Syst.*, vol. 4, no. 4, pp. 371–377, Nov. 1992.
- [129] K.K. Parhi, *VLSI Digital Signal Processing Systems: Design and Implementation*. John Wiley & Sons, 2007.
- [130] B.M. Baas, ‘A low-power, high-performance, 1024-point FFT processor,’ *IEEE J. Solid-State Circuits*, vol. 34, no. 3, pp. 380–387, Mar. 1999.
- [131] C. Wang, W.-S. Gan, C.C. Jong, and J. Luo, ‘A Low-Cost 256-Point FFT Processor for Portable Speech and Audio Applications,’ in *Int. Symp. Integrated Circuits (ISIC)*, Sep. 2007, pp. 81–84.
- [132] A.T. Jacobson, D.N. Truong, and B.M. Baas, ‘The design of a reconfigurable continuous-flow mixed-radix FFT processor,’ in *IEEE Int. Symp. Circuits and Syst. (ISCAS)*, May 2009, pp. 1133–1136.
- [133] Y.T. Han, J.S. Koh, and S.H. Kwon, ‘Synthesis filter for MPEG-2 audio decoder,’ Patent 5 812 979, Sep., 1998, US Patent 5,812,979.
- [134] M.S. Kolluru, ‘Audio decoder core constants ROM optimization,’ Patent 6 108 633, Aug., 2000, US Patent 6,108,633.
- [135] H.-Y. Lin, Y.-C. Chao, C.-H. Chen, B.-D. Liu, and J.-F. Yang, ‘Combined 2-D transform and quantization architectures for H.264 video coders,’ in *IEEE Int. Symp. Circuits and Syst. (ISCAS)*, vol. 2, May 2005, pp. 1802–1805.
- [136] G. Pastuszak, ‘A High-Performance Architecture of the Double-Mode Binary Coder for H.264.AVC,’ *IEEE Trans. Circuits Syst. Video Technol.*, vol. 18, no. 7, pp. 949–960, Jul. 2008.
- [137] J. Park, K. Muhammad, and K. Roy, ‘High-performance FIR filter design based on sharing multiplication,’ *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 11, no. 2, pp. 244–253, Apr. 2003.

- [138] K.-S. Chong, B.-H. Gwee, and J.S. Chang, ‘A 16-Channel Low-Power Nonuniform Spaced Filter Bank Core for Digital Hearing Aids,’ *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 53, no. 9, pp. 853–857, Sep. 2006.
- [139] B.C. Paul, S. Fujita, and M. Okajima, ‘ROM-Based Logic (RBL) Design: A Low-Power 16 Bit Multiplier,’ *IEEE J. Solid-State Circuits*, vol. 44, no. 11, pp. 2935–2942, Nov. 2009.
- [140] J.-Y. Kang, and J.-L. Gaudiot, ‘A Simple High-Speed Multiplier Design,’ *IEEE Trans. Comput.*, vol. 55, no. 10, pp. 1253–1258, Oct. 2006.
- [141] S.-R. Kuang, J.-P. Wang, and C.-Y. Guo, ‘Modified Booth Multipliers With a Regular Partial Product Array,’ *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 56, no. 5, pp. 404–408, May 2009.
- [142] F. Lamberti, N. Andrikos, E. Antelo, and P. Montuschi, ‘Reducing the Computation Time in (Short Bit-Width) Two’s Complement Multipliers,’ *IEEE Trans. Comput.*, vol. 60, no. 2, pp. 148–156, Feb. 2011.
- [143] ‘Dual DSP Plus Micro For Audio Applications,’ Feb. 2003, TDA7503 Data-sheet, STMicroelectronics.
- [144] M. Horowitz, T. Indermaur, and R. Gonzalez, ‘Low-power digital design,’ in *IEEE Symp. Low Power Electron.*, Oct. 1994, pp. 8–11.
- [145] C. Xu, X. Dong, N.P. Jouppi, and Y. Xie, ‘Design Implications of Memristor-Based RRAM Cross-Point Structures,’ in *Design, Automation Test in Europe Conf. Exhibition (DATE)*, Mar. 2011, pp. 1–6.