



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ
ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ
ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ

Τεχνικές Αντιμετώπισης Μεταβατικών και
Μόνιμων Σφαλμάτων σε Στοιχεία Μνήμης
στις Σύγχρονες Νανομετρικές Τεχνολογίες

ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ

ΤΟΥ

ΝΙΚΟΛΑΟΥ ΕΥΤΑΞΙΟΠΟΥΛΟΥ ΣΑΡΡΗ

Αθήνα, Σεπτέμβριος 2016



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ
ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ & ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ & ΥΠΟΛΟΓΙΣΤΩΝ

Τεχνικές Αντιμετώπισης Μεταβατικών και Μόνιμων Σφαλμάτων σε Στοιχεία Μνήμης στις Σύγχρονες Νανομετρικές Τεχνολογίες

ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ

ΤΟΥ

ΝΙΚΟΛΑΟΥ ΕΥΤΑΞΙΟΠΟΥΛΟΥ ΣΑΡΡΗ

Συμβουλευτική Επιτροπή: Κιαμάλ Πεκμεστζή
Δημήτριος Σούντρης
Γεώργιος Οικονομάκος

Εγκρίθηκε από την επταμελή εξεταστική επιτροπή την 27^η Σεπτεμβρίου 2016.

...
Κ. Πεκμεστζή	Δ. Σούντρης	Γ. Οικονομάκος
Καθηγητής Ε.Μ.Π.	Αν. Καθηγητής Ε.Μ.Π.	Επ. Καθηγητής Ε.Μ.Π.

...
Γ. Τσιατούχας	Α. Αραπογιάννη	Δ. Νικολός
Αν. Καθηγητής Π.Ι.	Καθηγήτρια Ε.Κ.Π.Α.	Καθηγητής Π.Π.

...

Δ. Γκιζόπουλος
Καθηγητής Ε.Κ.Π.Α.

Αθήνα, Σεπτέμβριος 2016

...

ΝΙΚΟΛΑΟΣ ΕΥΤΑΞΙΟΠΟΥΛΟΣ ΣΑΡΡΗΣ

Ηλεκτρολόγος Μηχανικός και Μηχανικός Υπολογιστών Ε.Μ.Π.

© 2016 - All rights reserved

Περιεχόμενα

1	Εισαγωγή	1
1.1	Σφάλμα, Λάθος και Αστοχία	1
1.2	Σφάλματα στις Σύγχρονες Νανοτεχνολογίες και Επίδραση στα Στοιχεία Μνήμης	1
1.3	Κατηγοριοποίηση Σφαλμάτων με Βάση τη Διάρκειά τους	3
1.3.1	Μόνιμα Σφάλματα	3
1.3.2	Διαλείποντα Σφάλματα	4
1.3.3	Μεταβατικά Σφάλματα	4
1.4	Μοντελοποίηση Διαταραχής λόγω Ακτινοβολίας	6
1.4.1	Εκθετικό Μοντέλο	7
1.4.2	Μοντέλο Διακόπτη	7
1.5	Διαμοιρασμός Φορτίου	8
1.6	Κύτταρο Μνήμης 6T	9
1.7	Τεχνικές Αντιμετώπισης Μεταβατικών Σφαλμάτων	9
1.7.1	Επίπεδο Τεχνολογίας Κατασκευής	10
1.7.2	Επίπεδο Κυκλώματος	10
1.7.3	Επίπεδο Αρχιτεκτονικής	11
1.8	Στόχοι της Διατριβής και Προτεινόμενες Λύσεις	12
2	Το Ανθεκτικό Κύτταρο Μνήμης DICE και η Προτεινόμενη Μετατροπή του στο Κύτταρο Μνήμης FFDICE με Χρήση της Τεχνολογίας IDG SOI FinFET	15
2.1	Εισαγωγή	15
2.2	Το Κύτταρο Μνήμης DICE	16
2.3	Το Προτεινόμενο Κύτταρο Μνήμης FFDICE	17
2.3.1	IDG SOI FinFET	17
2.3.2	Σχεδιασμός FFDICE	18
2.3.3	Λειτουργία FFDICE	18
2.3.4	Προσομοίωση Λειτουργίας	21
2.3.5	Προσομοίωση Ανθεκτικότητας σε Μεταβατικά Σφάλματα	22
2.4	Σταθερότητα και Επιφάνεια	24
2.4.1	Περιθώριο Στατικού Θορύβου	24
2.4.2	Επιβάρυνση σε Επιφάνεια	24
2.5	Επίλογος	26
3	Μανδαλωτές Ανθεκτικοί σε Διαταραχές Δύο Κόμβων	27
3.1	Εισαγωγή	27
3.2	Μανδαλωτές Ανθεκτικοί σε Μεταβατικά Σφάλματα	28

3.3	Προτεινόμενος Μανδαλωτής DONUT	34
3.3.1	Σχεδιασμός	34
3.3.2	Προσομοίωση Λειτουργίας	35
3.3.3	Ανθεκτικότητα σε Μεταβατικά Σφάλματα	36
3.4	Προτεινόμενος Μανδαλωτής Delta DICE	39
3.4.1	Σχεδιασμός	39
3.4.2	Προσομοίωση Λειτουργίας	39
3.4.3	Ανθεκτικότητα σε Μεταβατικά Σφάλματα	40
3.5	Προτεινόμενος Μανδαλωτής DIRT	42
3.5.1	Σχεδιασμός	42
3.5.2	Προσομοίωση Λειτουργίας	45
3.5.3	Ανθεκτικότητα σε Μεταβατικά Σφάλματα	46
3.6	Αξιολόγηση των Προτεινόμενων Μανδαλωτών και Συγκριτική Ανάλυση Κόστους	49
3.6.1	Κόστος σε Ονομαστικές Συνθήκες	49
3.6.2	Κόστος κάτω από Διακυμάνσεις στην Κατασκευαστική Διαδικασία, την Τάση Τροφοδοσίας και τη Θερμοκρασία	53
3.7	Επίλογος	59
4	Τεχνική Αυτο-διόρθωσης Σφαλμάτων σε Μνήμες SRAM με Μικρή Καθυστέρηση και Δυνατότητα Αναδιαμόρφωσης	61
4.1	Εισαγωγή	61
4.2	Προτεινόμενες Αρχιτεκτονικές RTSR και RTSR+	64
4.2.1	Αρχιτεκτονική RTSR	64
4.2.2	Αναδιαμόρφωση	68
4.2.3	Αρχιτεκτονική RTSR+	68
4.3	Προσομοίωση Λειτουργίας	70
4.3.1	Λειτουργία χωρίς Σφάλμα	70
4.3.2	Ανίχνευση και Διόρθωση Σφαλμάτων	71
4.4	Επιβαρύνσεις	75
4.5	Επίλογος	79
5	Κύτταρο Ανθεκτικό σε Μεταβατικά Σφάλματα για Χρήση σε Μνήμες CAM και TCAM	81
5.1	Εισαγωγή	81
5.2	Μνήμες Διευθυνσιοδοτούμενες από Περιεχόμενο	82
5.2.1	Λειτουργία Κυττάρων CAM και TCAM	82
5.2.2	Συμβατικά Κύτταρα CAM και TCAM με Ανθεκτικότητα σε Μεταβατικά Σφάλματα	84
5.3	Προτεινόμενο Κύτταρο CAM/TCAM	85
5.4	Προσομοίωση Λειτουργίας και Επιβαρύνσεις	87
5.4.1	Προσομοίωση Λειτουργίας και Ανθεκτικότητα σε Διαταραχές... ..	87
5.4.2	Επιφάνεια και Ρεύμα Διαρροής	88
5.5	Επίλογος	90
6	Παραμετρική Τεχνική BISR για Διόρθωση Μόνιμων Σφαλμά- των και Διερεύνηση Βέλτιστου Επιπέδου Διόρθωσης	91
6.1	Εισαγωγή	91
6.2	Προτεινόμενη Παραμετρική Τεχνική BISR	93

6.2.1	Λειτουργία.....	93
6.2.2	Αλληλεπίδραση με το Κύκλωμα Ελέγχου BIST	95
6.3	Πιθανότητα Διόρθωσης.....	95
6.4	Επιβάρυνση σε Επιφάνεια και Διερεύνηση για τη Βέλτιστη Κατάτμηση της Λέξης	98
6.4.1	Αριθμός Τρανζίστορ	99
6.4.2	Αποτελέσματα και Σύγκριση.....	100
6.5	Επίλογος	103
7	Σύνοψη και Συμπεράσματα	105
A'	Μνήμη SRAM 4kbit Βασισμένη στην Τεχνική RTSR	109
A'.1	Σχεδίαση Μνήμης RTSR	109
A'.2	Λειτουργία Μνήμης RTSR.....	114
	Βιβλιογραφία	117
	Κατάλογος Δημοσιεύσεων του Συγγραφέα	129

Κατάλογος Σχημάτων

1.1	Σφάλμα, λάθος και αστοχία.	1
1.2	Κατηγορίες σφαλμάτων με βάση τη διάρκειά τους.	3
1.3	Ρυθμός εμφάνισης μόνιμων σφαλμάτων κατά τη διάρκεια ζωής ενός κυκλώματος.	4
1.4	Φαινόμενο δημιουργίας ζευγών ηλεκτρονίων - οπών κατά την πρόσκρουση σωματιδίων σε ένα τρανζίστορ.	6
1.5	Εκθετικός παλμός ρεύματος που προσομοιώνει ένα SEU [26].	7
1.6	Ποσοστό μεταβατικών σφαλμάτων που οδηγούν σε MBU για τεχνολογίες ολοκλήρωσης από 250nm μέχρι 22nm [35].	8
1.7	Συμβατικό κύτταρο μνήμης 6T.	9
2.1	Ανθεκτικό κύτταρο μνήμης DICE.	16
2.2	Τρανζίστορ τεχνολογίας IDG SOI FinFET. Διακρίνονται οι δύο πύλες BG (Back Gate) και FG (Front Gate).	18
2.3	Το ανθεκτικό 8T κύτταρο μνήμης FFDICE (αριστερά) μαζί με το κύκλωμα αποφόρτισης και τα υπόλοιπα κυκλώματα στήλης (δεξιά).	19
2.4	Οι δυνατές καταστάσεις στις οποίες μπορεί να βρεθεί κάθε ένα από τα NMOS τρανζίστορ που χρησιμοποιούνται στο κύτταρο FFDICE.	19
2.5	Λειτουργία ανάγνωσης (στα 2.5ns) και εγγραφής (στα 7.5ns).	22
2.6	Κρίσιμο φορτίο του συμβατικού κυττάρου 6T για SNU που επηρεάζουν τα PMOS και NMOS τρανζίστορ του.	23
2.7	Προσομοίωση SNU στους κόμβους N1 και N2 του προτεινόμενου κυττάρου FFDICE στα 3ns και 7ns αντίστοιχα.	23
2.8	Κρίσιμο φορτίο για DNU στα κύτταρα FFDICE και DICE που αντιστοιχεί σε διαταραχή δύο PMOS ή NMOS τρανζίστορ σε κατάσταση OFF.	24
2.9	Περιθώριο στατικού θορύβου, $SNM=V(B)-V(A)$	25
2.10	Περιθώριο στατικού θορύβου όταν η τάση τροφοδοσίας V_{DD} κυμαίνεται από 0.75V μέχρι 1V.	25
2.11	Layouts των κυττάρων μνήμης 6T, DICE και FFDICE.	26
2.12	Σύγκριση της επιφάνειας που καταλαμβάνουν τα κύτταρα μνήμης 6T, DICE και FFDICE.	26
3.1	Ο ανθεκτικός σε SNU μανδαλωτής DICE [46].	29
3.2	Ο ανθεκτικός σε SNU μανδαλωτής BISER [88].	29
3.3	Ο ανθεκτικός σε SNU μανδαλωτής FERST [89].	30
3.4	Ο ανθεκτικός σε SNU μανδαλωτής HIPER [90].	31
3.5	Ο ανθεκτικός σε SNU μανδαλωτής που προτείνεται στο [93].	32
3.6	Ο ανθεκτικός σε DNU μανδαλωτής που προτείνεται στο [94].	32

3.7	Ο ανθεκτικός σε DNU μανδαλωτής που προτείνεται στο [95].	33
3.8	Ο ανθεκτικός σε DNU μανδαλωτής MNDDT [96].	34
3.9	Ο ανθεκτικός σε DNU μανδαλωτής NTHLTC [97].	34
3.10	Ο προτεινόμενος μανδαλωτής DONUT.	35
3.11	Ο μανδαλωτής DONUT λειτουργώντας σε συχνότητα 1GHz και με την τάση τροφοδοσίας του να κυμαίνεται από 0.6V έως 1.3V. Ο μανδαλωτής είναι διαφανής για CLK='0'.	36
3.12	Οι καταστάσεις των ΔΣΜ του προτεινόμενου μανδαλωτή DONUT όταν Q='1' και Q='0'. Το πράσινο χρώμα σημαίνει ότι το ΔΣΜ είναι σε κατάσταση ON και το κόκκινο χρώμα ότι είναι σε κατάσταση OFF.	37
3.13	DNU σε όλα τα αντιπροσωπευτικά ζευγάρια κόμβων του προτεινόμενου μανδαλωτή DONUT για τις δύο δυνατές καταστάσεις (Q='0' και Q='1').	38
3.14	Ο προτεινόμενος μανδαλωτής Delta DICE.	39
3.15	Ο μανδαλωτής Delta DICE λειτουργώντας σε συχνότητα 1GHz και με την τάση τροφοδοσίας του να κυμαίνεται από 0.6V έως 1.3V. Ο μανδαλωτής είναι διαφανής για CLK='0'.	40
3.16	Οι καταστάσεις των ΔΣΜ του προτεινόμενου μανδαλωτή Delta DICE όταν Q='1' και Q='0'. Το πράσινο χρώμα σημαίνει ότι το ΔΣΜ είναι σε κατάσταση ON και το κόκκινο χρώμα ότι είναι σε κατάσταση OFF.	41
3.17	DNU σε όλα τα αντιπροσωπευτικά ζευγάρια κόμβων του προτεινόμενου μανδαλωτή Delta DICE για τις δύο δυνατές καταστάσεις (Q='0' και Q='1').	42
3.18	Ο προτεινόμενος μανδαλωτής DIRT.	43
3.19	Ο μανδαλωτής DIRT λειτουργώντας σε συχνότητα 1GHz και με την τάση τροφοδοσίας του να κυμαίνεται από 0.6V έως 1.3V. Ο μανδαλωτής είναι διαφανής για CLK='0'.	46
3.20	DNU σε όλα τα αντιπροσωπευτικά ζευγάρια κόμβων του προτεινόμενου μανδαλωτή DIRT όπως αυτά περιγράφηκαν στην ενότητα 3.5.3.	48
3.21	Επιβάρυνση στην απόκλιση ρολογιού για τους εξεταζόμενους και προτεινόμενους ανθεκτικούς σε DNU μανδαλωτές, σε σύγκριση με ένα συμβατικό μανδαλωτή μη ανθεκτικό σε ακτινοβολία.	53
3.22	Επίδραση διακυμάνσεων της τάσης τροφοδοσίας.	54
3.23	Επίδραση διακυμάνσεων της θερμοκρασίας.	56
3.24	Επίδραση διακυμάνσεων των κατασκευαστικών παραμέτρων.	58
4.1	Τριπλό 6T κύτταρο RTSR. Με κόκκινο έχουν επισημανθεί οι καταστάσεις των κόμβων μετά από την ανατροπή του μεσαίου κυττάρου 6T, ενώ με πράσινο οι καταστάσεις των κόμβων πριν το σφάλμα.	65
4.2	Απεικόνιση σε υψηλό επίπεδο των αρχιτεκτονικών RTSR και RTSR+. Ο επιταχυντής διόρθωσης περιλαμβάνεται μόνο στην αρχιτεκτονική RTSR+.	67
4.3	Ο επιταχυντής διόρθωσης της αρχιτεκτονικής RTSR+.	69
4.4	Φυσικό σχέδιο πίνακα μνήμης SRAM που ενσωματώνει το προτεινόμενο κύτταρο RTSR, μαζί με τα απαραίτητα περιφερειακά κυκλώματα.	70

4.5	Λειτουργίες ανάγνωσης και εγγραφής στις αρχιτεκτονικές RTSR/RTSR+ υπό την απουσία σφάλματος.	71
4.6	Περιθώριο στατικού θορύβου του προτεινόμενου κυττάρου RTSR.	71
4.7	Συχνότητα MRF σε ονομαστικές και worst corner συνθήκες για τις αρχιτεκτονικές RTSR και RTSR+ σε συνάρτηση με τον αριθμό των wordlines.	73
4.8	Λειτουργία ανάγνωσης στις αρχιτεκτονικές RTSR και RTSR+ στην MRF συχνότητά τους, όταν έχει προκύψει μεταβατικό σφάλμα σε ένα από τα κύτταρα 6T.	74
4.9	Κέρδη σε κατανάλωση ισχύος των αρχιτεκτονικών RTSR και RTSR+ στην MRF συχνότητά τους και της τεχνικής TMR στη συχνότητα 1.4GHz, σε σχέση με την αρχιτεκτονική TMR στη συχνότητα 1.1GHz.	77
4.10	Κέρδη σε επιφάνεια των αρχιτεκτονικών RTSR και RTSR+, σε σχέση με την αρχιτεκτονική TMR για πίνακα μνήμης 64 γραμμών και στήλες που κυμαίνονται από 4 μέχρι 256.	78
4.11	Κέρδη σε επιφάνεια των αναδιαμορφούμενων αρχιτεκτονικών RTSR και RTSR+ σε σχέση με την αρχιτεκτονική TMR, για πίνακα μνήμης όπου ο αριθμός των γραμμών και των στηλών του κυμαίνεται από 4 μέχρι 256.	79
5.1	Κύτταρα CAM και TCAM βασισμένα στο κύτταρο 6T.	83
5.2	Ανθεκτικά σε μεταβατικά σφάλματα κύτταρα CAM και TCAM βασισμένα στο κύτταρο DICE.	84
5.3	Προτεινόμενο κύτταρο CAM/TCAM.	85
5.4	Εγγραφή των τριών επιτρεπόμενων καταστάσεων '0', '1' και 'X' στο προτεινόμενο κύτταρο.	88
5.5	SNU στους κόμβους D1, $\overline{D1}$ και A για όλες τις έγκυρες καταστάσεις.	89
6.1	Προτεινόμενη τεχνική BISR.	94
6.2	Πιθανότητα επιδιόρθωσης της MUR από την προτεινόμενη τεχνική BISR για διάφορα επίπεδα κατάτμησης της λέξης.	98
6.3	Λόγος της πιθανότητας επιδιόρθωσης για διάφορα επίπεδα κατάτμησης της λέξης προς την πιθανότητα επιδιόρθωσης χωρίς κατάτμηση.	98
6.4	Αριθμός τρανζίστορ της προτεινόμενης παραμετρικής τεχνικής BISR για όλες τις δυνατές κατατμήσεις και μήκος λέξης 8 bits.	101
6.5	Αριθμός τρανζίστορ της προτεινόμενης παραμετρικής τεχνικής BISR για όλες τις δυνατές κατατμήσεις και μήκος λέξης 16 bits.	101
6.6	Αριθμός τρανζίστορ της προτεινόμενης παραμετρικής τεχνικής BISR για όλες τις δυνατές κατατμήσεις και μήκος λέξης 32 bits.	102
6.7	Αριθμός τρανζίστορ της προτεινόμενης παραμετρικής τεχνικής BISR για όλες τις δυνατές κατατμήσεις και μήκος λέξης 64 bits.	102
A'1	Μνήμη SRAM 4kbit βασισμένη στην τεχνική RTSR σε υψηλό επίπεδο σχεδίασης.	110
A'2	Αρχιτεκτονική block μνήμης RTSR 256bit με απεικόνιση των περιφερειακών κυκλωμάτων και των σημάτων ελέγχου.	111
A'3	Φυσικό σχέδιο block μνήμης RTSR 256bit.	111

A'.4	Κύκλωμα πρόσβασης σε κάθε μια από τις γραμμές της μνήμης. Ο κάθε υποπίνακας 6T 8×32 έχει το δικό του σήμα LEN. Η μονάδα αναδιαμόρφωσης αποτελείται από 24 (3×8) τέτοια κυκλώματα.	113
A'.5	Κύκλωμα εγγραφής. Όταν LWR='1', το δεδομένο από τον τοπικό διάδρομο δεδομένων οδηγεί την κατάλληλη bitline στο '0' μέσω του πολυπλέκτη στήλης.	114

Κατάλογος Πινάκων

3.1	Πίνακας αληθείας στοιχείου-C δύο εισόδων.	30
3.2	Κόστη σε ονομαστικές συνθήκες των προτεινόμενων μανδαλωτών DONUT, Delta DICE και DIRT, καθώς και των ανθεκτικών μανδαλωτών που παρουσιάστηκαν στην ενότητα 3.2.	51
3.3	Κέρδη (%) του προτεινόμενου μανδαλωτή DIRT σε ονομαστικές συνθήκες σε σχέση με τους προτεινόμενους μανδαλωτές DONUT και Delta DICE, καθώς και τους ανθεκτικούς μανδαλωτές που παρουσιάστηκαν στην ενότητα 3.2.	51
3.4	Τυπική απόκλιση της δυναμικής ενέργειας, της καθυστέρησης διάδοσης και του γινομένου τους όπως αυτή προέκυψε από προσομοίωση Monte Carlo χιλίων επαναλήψεων.	57
4.1	Επιφάνεια, κατανάλωση ισχύος και καθυστέρηση (%) μνημών που προστατεύονται με κώδικες Hamming και Reed Muller, σε σύγκριση με μια μνήμη που δεν προστατεύεται με καμία τεχνική [73].	63
4.2	Καταστάσεις εισόδου και εξόδου του κυκλώματος ανίχνευσης σφαλμάτων (επιταχυντής διόρθωσης).	69
4.3	Κατανάλωση ισχύος (uW) για τις αρχιτεκτονικές RTSR, RTSR+ και TMR.	76
4.4	Ποιοτική αξιολόγηση προτεινόμενων και υπαρχόντων τεχνικών διόρθωσης σε μνήμες SRAM ως προς την επιβάρυνση που εισάγουν. ...	79
4.5	Ποιοτική αξιολόγηση προτεινόμενων και υπαρχόντων τεχνικών διόρθωσης σε μνήμες SRAM ως προς την προστασία που προσφέρουν. .	79
5.1	Ρεύμα διαρροής και αριθμός τρανζίστορ του προτεινόμενου και των συμβατικών κυττάρων CAM/TCAM.	88
6.1	Αριθμός τρανζίστορ βασικών μονάδων/πυλών [151].	99
7.1	Αξιολόγηση των προτεινόμενων λύσεων ως προς την προστασία που προσφέρουν.	108

ΠΡΟΛΟΓΟΣ

Κοίτα να δεις που θα πάρω και διδακτορικό! Ποιος να μου το έλεγε πριν από 4 χρόνια... Τελειώνοντας τη διπλωματική μου είχα αποφασίσει να κάνω ένα μεταπτυχιακό στο εξωτερικό και να βρω μια δουλειά. Τα σχέδια πήγαν περίπατο όταν ο επιβλέπων καθηγητής της διπλωματικής μου κ.Κιαμάλ Πεχμεσττζή, μαζί με τον τότε λέκτορα κ.Νίκο Μοσχόπουλο, μου πρότειναν να παραμείνω μέλος του εργαστηρίου ως υποψήφιος διδάκτορας. Στην αρχή σκεφτόμουν να αρνηθώ. Πολλά τα χρόνια, πολύς ο κόπος. Προσπαθούσα να σκεφτώ αν θα έφτανα ως το τέλος. Τι έχω να χάσω αν το προσπαθήσω; Τίποτα. Και με αυτή τη σκέψη ξεκίνησα. Και καλά έκανα, γιατί παρόλο που στα χρόνια αυτά παραπονέθηκα για άπειρα πράγματα, όταν τελικά ζυγίζω τα θετικά και τα αρνητικά, μάλλον κέρδισα. Πέρα από τη γνώση που προφανώς απέκτησα, το διδακτορικό με βοήθησε και σαν άνθρωπο. Μαθαίνεις να έχεις υπομονή, να μην τα παρατάς όταν όλα πάνε στραβά. Η αλήθεια είναι βέβαια ότι μερικές φορές πήγα να τα παρατήσω. Αλλά ήταν εκεί οι κατάλληλοι άνθρωποι και με κράτησαν. Και στους ανθρώπους αυτούς θέλω να σταθώ κυρίως και να τους ευχαριστήσω. Γιατί με τα καλά τους και με τα κακά τους, αν δεν ήταν αυτοί, δεν ξέρω τι θα είχε γίνει. Θέλω λοιπόν να ευχαριστήσω:

Τον επιβλέποντα καθηγητή μου κ.Κιαμάλ Πεχμεσττζή, ο οποίος μου έδωσε τη δυνατότητα να ξεκινήσω το διδακτορικό και τα απαραίτητα εφόδια για να το τελειώσω.

Τα παιδιά του εργαστηρίου, που ενώ όταν ξεκίνησα το διδακτορικό τους έβλεπα σαν συνεργάτες, τώρα είναι φίλοι. Ένα τεράστιο ευχαριστώ για τις συζητήσεις, τα φαγοπότια, τις εξορμήσεις και όλες τις καθημερινές στιγμές.

Το ξαδερφάκι μου τον Γιώργο. Αναγκαστικά τον ξεχωρίζω από τα υπόλοιπα παιδιά στο εργαστήριο γιατί μαζί κάναμε διπλωματική, μαζί ξεκινήσαμε το διδακτορικό, μαζί δουλέψαμε για πολλά χρόνια και μαζί περάσαμε τις περισσότερες ώρες στο εργαστήριο.

Τους γονείς μου, τους φίλους μου και την κοπέλα μου. Τους άφησα τελευταίους αλλά είναι οι πιο σημαντικοί. Γιατί ενώ δεν είχαν ιδέα τι έκανα στο διδακτορικό μου, ήταν όλη την ώρα εκεί για να με στηρίζουν, να ακούσουν τα παράπονά μου, να μου φτιάξουν τη διάθεση και να με συμβουλέψουν να μην τα παρατήσω όταν είχα κουραστεί.

Να είστε όλοι καλά!

*Νικόλαος Ευταξίόπουλος Σαρής
Αθήνα, Σεπτέμβριος 2016*

ΠΕΡΙΛΗΨΗ

Η συνεχιζόμενη αύξηση της κλίμακας ολοκλήρωσης στις σύγχρονες νανοτεχνολογίες έχει οδηγήσει σε σημαντική βελτίωση της απόδοσης των ολοκληρωμένων κυκλωμάτων. Όμως, τα χαρακτηριστικά των σύγχρονων τεχνολογιών (π.χ. μειωμένες διαστάσεις, χαμηλές τάσεις τροφοδοσίας, χαμηλές παρασιτικές χωρητικότητες) εκτός από τα προφανή πλεονεκτήματα που προσφέρουν (π.χ. ταχύτερη λειτουργία, μικρότερη κατανάλωση ισχύος, μικρότερη επιβάρυνση σε επιφάνεια), έχουν εγείρει σημαντικά προβλήματα αξιοπιστίας στη λειτουργία των ολοκληρωμένων κυκλωμάτων. Αυτά τα προβλήματα οφείλονται κυρίως σε αστοχίες υλικού, μηχανισμούς φυσικής φθοράς/γήρανσης, διακυμάνσεις της κατασκευαστικής διαδικασίας και φαινόμενα που προκαλούνται από εξωγενείς παράγοντες όπως η ακτινοβολία. Η κατηγορία κυκλωμάτων που επηρεάζεται περισσότερο από τα παραπάνω προβλήματα και στην οποία επικεντρώνομαστε στη διατριβή αυτή είναι τα στοιχεία μνήμης, τα οποία καταλαμβάνουν έως και το 90% της ψηφίδας. Καθώς οι επερχόμενες τεχνολογίες κατασκευής πλησιάζουν στην περιοχή των ελάχιστων νανομέτρων τα προβλήματα αξιοπιστίας διογκώνονται και οι υπάρχουσες τεχνικές αντιμετώπισής τους καθίστανται ανεπαρκείς ειδικά για εφαρμογές καίριας σημασίας, όπως για παράδειγμα αυτές στο χώρο της αυτοκινητοβιομηχανίας, της αεροναυπηγικής, των δορυφορικών συστημάτων και των ιατρικών συσκευών.

Τα σφάλματα σε ένα ολοκληρωμένο κύκλωμα κατηγοριοποιούνται ανάλογα με τη διάρκειά τους σε μόνιμα και παροδικά, με τα παροδικά σφάλματα να διαχωρίζονται σε μεταβατικά και διαλείποντα. Στη διατριβή αυτή προτείνουμε τεχνικές που αντιμετωπίζουν τα μόνιμα και μεταβατικά σφάλματα λόγω ακτινοβολίας σε στοιχεία μνήμης, εστιάζοντας όμως στη δεύτερη κατηγορία. Τα στοιχεία μνήμης είναι ιδιαίτερα επιρρεπή σε μεταβατικά σφάλματα λόγω ακτινοβολίας εξαιτίας του βρόχου θετικής ανάδρασης που διαθέτουν, με την ευαισθησία τους να γίνεται μεγαλύτερη όσο οι σύγχρονες νανοτεχνολογίες οδεύουν σε μεγαλύτερες κλίμακες ολοκλήρωσης, καθώς εμφανίζεται όλο και πιο έντονα το φαινόμενο της διαταραχής πολλαπλών κόμβων του κυκλώματος λόγω διαμοιρασμού φορτίου. Στη διατριβή αυτή προτείνονται τεχνολογικά ανεξάρτητες τεχνικές που προστατεύουν στοιχεία μνήμης όπως μανδαλωτές και κύτταρα SRAM από μεταβατικά σφάλματα που οφείλονται σε διαταραχές ενός ή περισσότερων κόμβων του κυκλώματος, με μειωμένη επιβάρυνση σε καθυστέρηση, κατανάλωση ισχύος και επιφάνεια. Οι κύριες τεχνικές που εφαρμόζονται είναι ο πλεονασμός της πληροφορίας και ο έλεγχος του βρόχου θετικής ανάδρασης των στοιχείων μνήμης ώστε να διακόπτεται η διάδοση των διαταραχών. Επίσης γίνεται χρήση σύγχρονων τεχνολογιών με σκοπό τη μείωση των επιβαρύνσεων που εισάγουν υπάρχοντα κύτταρα μνήμης ανθεκτικά σε ακτινοβολία. Για την αντιμετώπιση των μόνιμων σφαλμάτων επιχειρείται η βελτιστοποίηση μιας τεχνικής Built-In Self-Repair, ενώ ταυτόχρονα προτείνεται μια αρχιτεκτονική SRAM που μπορεί να αντιμετωπίσει τόσο μόνιμα όσο και μεταβατικά σφάλματα.

ABSTRACT

The continuous miniaturization of recent nanotechnologies has significantly improved the performance of integrated circuits. However, the characteristics of modern technologies (e.g. smaller dimensions, lower voltage supply, lower parasitics), except of providing advantages (e.g. reduced delay, lower power consumption, smaller area overhead), have raised important reliability issues in the operation of integrated circuits. These issues are due to hardware failures, physical wear-out and aging mechanisms, process variations and external phenomena like radiation. In our thesis we focus on the reliability of storage elements, as they are highly susceptible and occupy up to 90% of the die. Many of the existing reliability techniques have become inefficient in the nanometer era, especially for mission critical applications like automotive, aerospace, satellite systems and medical devices.

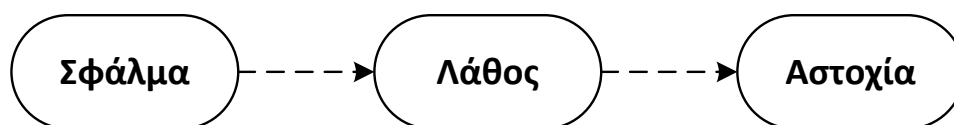
The faults that occur in an integrated circuit are divided in permanent and temporary depending on their duration, with temporary faults being divided in transient and intermittent. In our thesis we propose radiation tolerant techniques that mitigate permanent and transient faults occurring in storage elements, focusing on the second category. Storage elements are highly susceptible to transient faults caused by energetic particle hits, due to their positive feedback loop. Their susceptibility increases with technology scaling, as charge sharing phenomena lead to the upset of multiple nodes. The proposed techniques are technology independent, protecting storage elements such as latches and SRAM cells from transient faults caused by single or multiple node upsets, whereas reducing the delay, power and area overheads. Radiation tolerance is mainly achieved through information redundancy as well as control of the positive feedback loop of the storage elements in order to interrupt the upset propagation. Moreover, modern technologies are employed in order to reduce the overheads of existing radiation tolerant memory cells. In order to repair permanent faults, we optimize a Built-In Self-Repair technique and we propose an SRAM architecture that can tolerate both permanent and transient faults.

Κεφάλαιο 1

Εισαγωγή

1.1 Σφάλμα, Λάθος και Αστοχία

Τα σημερινά υπολογιστικά συστήματα αποτελούνται από ένα μεγάλο αριθμό υποσυστημάτων. Σε κάθε ένα από αυτά είναι πιθανό να εμφανιστούν σφάλματα (faults), τόσο κατά την κατασκευή του όσο και κατά τη διάρκεια ζωής του. Με τον όρο σφάλματα αναφερόμαστε σε προβλήματα που εκδηλώνονται σε ένα κομμάτι υλικού. Ως παραδείγματα σφαλμάτων μπορούμε να αναφέρουμε τα βραχυκυκλώματα αγωγών, τις ατέλειες των ημιαγωγικών διατάξεων και τον ιονισμό τους λόγω πρόσκρουσης ακτινοβολίας. Τα σφάλματα μπορεί να προκαλέσουν ένα λάθος (error) στο επίπεδο της πληροφορίας. Δεδομένου ότι τα υπολογιστικά συστήματα σήμερα χρησιμοποιούν τη δυαδική κωδικοποίηση για την αναπαράσταση των πληροφοριών, ένα λάθος αντιστοιχεί στην αλλαγή ενός ή περισσότερων δυαδικών ψηφίων από '0' σε '1' ή αντίστροφα. Είναι πιθανό ένα λάθος να προκαλέσει αστοχία (failure), να φέρει δηλαδή το σύστημα σε κατάσταση αδυναμίας εκπλήρωσης των στόχων για τους οποίους σχεδιάστηκε [1]. Είναι σημαντικό να σημειωθεί ότι δε σημαίνει πως κάθε σφάλμα οδηγεί σε λάθος και ότι εκείνο με τη σειρά του οδηγεί σε αστοχία. Μια σειρά από σφάλματα ή λάθη μπορεί να είναι λανθάνοντα, να έχουν δηλαδή εκδηλωθεί, αλλά να μην έχουν προαχθεί στην αμέσως επόμενη κατηγορία απειλής για το υπολογιστικό σύστημα. Αυτό υποδηλώνουν τα διακεκομμένα βέλη που χρησιμοποιούνται στο Σχ. 1.1.



Σχήμα 1.1: Σφάλμα, λάθος και αστοχία.

1.2 Σφάλματα στις Σύγχρονες Νανοτεχνολογίες και Επίδραση στα Στοιχεία Μνήμης

Η συνεχιζόμενη αύξηση της κλίμακας ολοκλήρωσης στην κυρίαρχη τεχνολογία CMOS (Complementary Metal Oxide Semiconductor) για την κατασκευή ολοκληρωμένων κυκλωμάτων (integrated circuits) τις τελευταίες δεκαετίες, έχει οδηγήσει σε σημαντική βελτίωση της απόδοσής τους. Όμως, τα χαρακτηριστικά των σύγχρονων τεχνολογιών (π.χ. μειωμένες διαστάσεις, χαμηλές τάσεις τροφοδοσίας, χαμηλές παρασιτικές

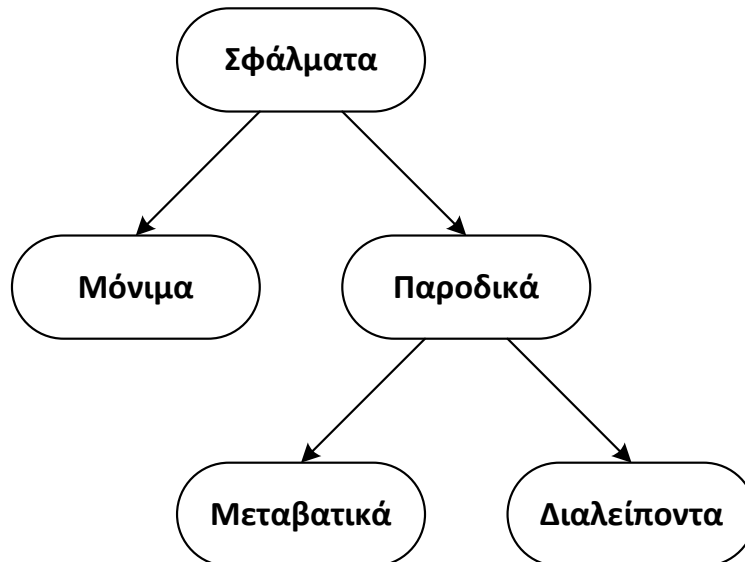
χωρητικότητες κ.α.) εκτός από τα προφανή πλεονεκτήματά που προσφέρουν (π.χ. ταχύτερη λειτουργία, μικρότερη κατανάλωση ισχύος, μικρότερη επιβάρυνση σε επιφάνεια), έχουν εγείρει σημαντικά προβλήματα αξιοπιστίας στη λειτουργία των ολοκληρωμένων κυκλωμάτων [2–4]. Αυτά τα προβλήματα οφείλονται κυρίως σε:

- Αστοχίες υλικού [5,6] που εμφανίζονται με μεγαλύτερη συχνότητα σε κυκλώματα με υψηλή κλίμακα ολοκλήρωσης.
- Μηχανισμούς φυσικής φθοράς/γήρανσης (aging/wearout) του υλικού που αλλοιώνουν τη συμπεριφορά του κυκλώματος. Οι μηχανισμοί αυτοί (π.χ. Negative Bias Temperature Instability, Time Dependent Dielectric Breakdown, Hot Carrier Injection) γίνονται πιο σύνθετοι και πιο συχνόι καθώς αυξάνεται η κλίμακα ολοκλήρωσης των τεχνολογιών κατασκευής [7,8].
- Διακυμάνσεις της κατασκευαστικής διαδικασίας (process variation) που αυξάνουν την πιθανότητα εμφάνισης σφαλμάτων τα οποία σε τεχνολογίες με μεγαλύτερες διαστάσεις δεν εκδηλωνόντουσαν. Οι ατέλειες αυτές μπορεί να προκαλέσουν την εμφάνιση παροδικών σφαλμάτων στη συμπεριφορά του κυκλώματος (π.χ. σε συγκεκριμένη θερμοκρασία το κύκλωμα συμπεριφέρεται εκτός προδιαγραφών) ή ακόμα και να οδηγήσουν σε βλάβος χρόνου σε μόνιμα σφάλματα (π.χ. βραχυκυκλώματα και ανοιχτοκυκλώματα λόγω του φαινομένου της ηλεκτρομετανάστευσης - electromigration) [9].
- Φαινόμενα που προκαλούνται από εξωγενείς παράγοντες, όπως σωματίδια άλφα ή κοσμική ακτινοβολία (κυρίως νετρόνια) τα οποία όταν προσκρούουν στο υλικό του ολοκληρωμένου διαταράσσουν την κατάστασή του [10].

Η κατηγορία κυκλωμάτων που επηρεάζεται περισσότερο από τα παραπάνω προβλήματα και στην οποία επικεντρώναστε στη διατριβή αυτή, είναι τα στοιχεία μνήμης. Τα τελευταία χρόνια υπάρχει σημαντική αύξηση της ενσωματωμένης μνήμης στα SoC (System on Chip) κυκλώματα, και ως προς το μέγεθος (έως και 90% της ψηφίδας) και ως προς την ετερογένεια. Καθώς τα στοιχεία μνήμης σε ένα σύστημα αποθηκεύουν κρίσιμα δεδομένα, είναι φυσικό επακόλουθο η αξιοπιστία τους να αποτελεί ένα από τα σημαντικότερα προβλήματα των επόμενων CMOS νανοτεχνολογιών. Τα προβλήματα που προαναφέραμε δεν είναι καινούργια και έχουν προταθεί τεχνικές αντιμετώπισής τους που εφαρμόζονται στις σημερινές τεχνολογίες. Ωστόσο, καθώς οι επερχόμενες τεχνολογίες κατασκευής πλησιάζουν στην περιοχή των ελάχιστων νανομέτρων αυτά τα προβλήματα διογκώνονται και οι υπάρχουσες τεχνικές καθίστανται ανεπαρκείς. Επίσης, σε πολλές εφαρμογές καίριας σημασίας (mission critical), όπως για παράδειγμα αυτές στο χώρο της αυτοκινητοβιομηχανίας, της αεροναυπηγικής, των δορυφορικών συστημάτων και των ιατρικών συσκευών, τα επίπεδα αξιοπιστίας των ηλεκτρονικών συστημάτων πρέπει να είναι πάρα πολύ υψηλά και οποιαδήποτε δυσλειτουργία σε αυτά μπορεί να έχει καταστροφικές συνέπειες [11–13]. Επομένως κρίνεται επιτακτική η ανάγκη για την εφαρμογή καινοτόμων τεχνικών που θα εγγυώνται την αξιόπιστη λειτουργία του κυκλώματος μειώνοντας ταυτόχρονα τις επιβαρύνσεις που προκύπτουν [14].

1.3 Κατηγοριοποίηση Σφαλμάτων με Βάση τη Διάρκειά τους

Τα σφάλματα σε ένα ολοκληρωμένο κύκλωμα κατηγοριοποιούνται ανάλογα με τη διάρκειά τους σε μόνιμα (permanent) και παροδικά (temporary). Επιπλέον, τα παροδικά σφάλματα διαχωρίζονται σε μεταβατικά (transient) και διαλείποντα (intermittent), όπως φαίνεται και στο Σχ. 1.2. Τα αίτια και οι μηχανισμοί δημιουργίας των σφαλμάτων αυτών περιγράφονται στη συνέχεια.

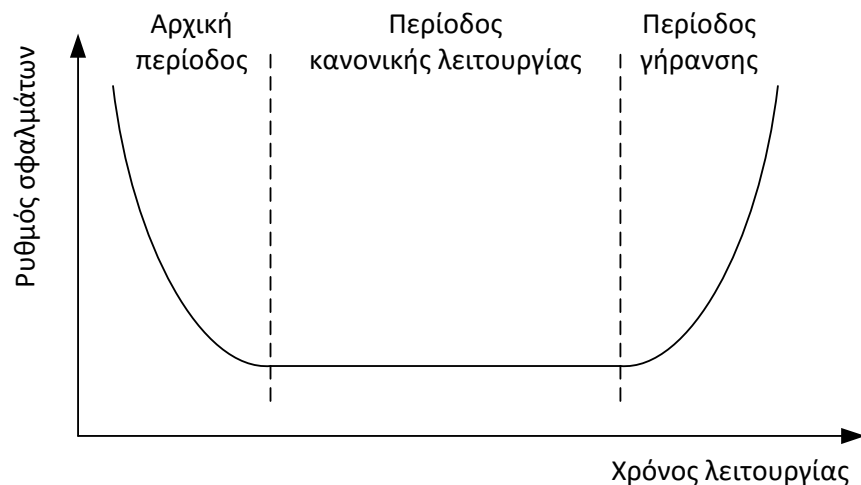


Σχήμα 1.2: Κατηγορίες σφαλμάτων με βάση τη διάρκειά τους.

1.3.1 Μόνιμα Σφάλματα

Τα μόνιμα σφάλματα (hard errors) εμφανίζονται κυρίως λόγω κατασκευαστικών ελαττωμάτων και φαινομένων γήρανσης/φθοράς. Ο ρυθμός εμφάνισης των μόνιμων σφαλμάτων κατά τη διάρκεια ζωής ενός κυκλώματος απεικονίζεται στο Σχ. 1.3. Όπως φαίνεται, η ζωή ενός ολοκληρωμένου κυκλώματος μπορεί να χωριστεί σε τρεις περιόδους. Η πρώτη περίοδος εμφανίζει αυξημένο ρυθμό σφαλμάτων κυρίως λόγω των ελαττωμάτων που διέφυγαν κατά τον έλεγχο ορθής λειτουργίας κατά/μετά την κατασκευή του. Ο ρυθμός σφαλμάτων μειώνεται σημαντικά μετά την πρώτη περίοδο και παραμένει σταθερός για σχεδόν όλη την αναμενόμενη διάρκεια ζωής του κυκλώματος. Στο τέλος αρχίζει να αυξάνει και πάλι λόγω της γήρανσης του κυκλώματος. Στις σύγχρονες νανομετρικές τεχνολογίες και όσο προχωράμε σε μεγαλύτερες κλίμακες ολοκλήρωσης (κάτω από 100nm) εμφανίζεται αυξανόμενο το πρόβλημα της γήρανσης των τρανζίστορ και των διασυνδέσεων μέσα σε ένα ολοκληρωμένο κύκλωμα.

Η αύξηση της κλίμακας ολοκλήρωσης αυξάνει παράλληλα και την ευαισθησία των κυκλωμάτων σε ακτινοβολία. Παρόλο που η πλειοψηφία των σφαλμάτων που δημιουργούνται λόγω ακτινοβολίας είναι μεταβατικά, είναι πιθανή η εμφάνιση του φαινομένου Single Event Latch-Up που δημιουργείται από ακτινοβόληση με ιόντα υψηλής ενέργειας σε κυκλώματα CMOS [15]. Το φαινόμενο Single Event Latch-Up δημιουργεί μόνιμα σφάλματα και μπορεί να οδηγήσει το ολοκληρωμένο κύκλωμα ακόμα και σε καταστροφή λόγω αύξησης της θερμοκρασίας που προκαλεί η διέλευση ισχυρών ρευμάτων στην κατάσταση αυτή.



Σχήμα 1.3: Ρυθμός εμφάνισης μόνιμων σφαλμάτων κατά τη διάρκεια ζωής ενός κυκλώματος.

1.3.2 Διαλείποντα Σφάλματα

Διαλείποντα σφάλματα είναι αυτά που εμφανίζονται επαναληπτικά στο χρόνο. Η κύρια επίδραση των διαλειπόντων σφαλμάτων είναι η σταδιακή μείωση της ταχύτητας λειτουργίας των ολοκληρωμένων κυκλωμάτων και η εμφάνιση λαθών χρονισμού (timing errors). Πολλά διαλείποντα σφάλματα μπορεί να εξελιχθούν στο μέλλον σε μόνιμα σφάλματα λόγω της επιδείνωσης των συνθηκών που τα δημιουργούν. Τα διαλείποντα σφάλματα μπορεί να οφείλονται σε:

- Οριακές σχεδιαστικές παραμέτρους όπως προβλήματα χρονισμού εξαιτίας συνθηκών ανταγωνισμού (races), προβλήματα στιγμιαίων μεταβάσεων (hazards), μεταπτώσεις στα σήματα ρολογιού (skews) και προβλήματα ακεραιότητας των σημάτων (signal integrity) όπως αλληλεπίδραση μεταξύ σημάτων (crosstalk) κ.α.
- Μηχανισμούς γήρανσης/φθοράς των ολοκληρωμένων κυκλωμάτων (π.χ. υποβάθμιση των παραμέτρων των κυκλωματικών στοιχείων).
- Φαινόμενα ηλεκτρομετανάστευσης.
- Συνδυασμό των ανωτέρω περιπτώσεων με εξωγενείς παράγοντες (π.χ. θερμοκρασία, διαταραχές της τροφοδοσίας κ.α.) [16].

1.3.3 Μεταβατικά Σφάλματα

Τα μεταβατικά σφάλματα (soft errors) είναι μη επαναλαμβανόμενα και οφείλονται κυρίως σε εξωγενείς παράγοντες όπως η ακτινοβολία και ο θόρυβος, αλλά και σε ενδογενείς παράγοντες όπως οι διαταραχές στην τάση τροφοδοσίας [17,18]. Τα μεταβατικά σφάλματα έχουν την ιδιαιτερότητα ότι λόγω της φύσης τους δεν μπορούν να ανιχνευθούν κατά τη διάρκεια του κατασκευαστικού ελέγχου.

Στη διατριβή αυτή επικεντρωνόμαστε στα μεταβατικά σφάλματα που δημιουργούνται λόγω πρόσκρουσης ακτινοβολίας στις ημιαγωγικές διατάξεις. Η ακτινοβολία αυτή οφείλεται τόσο στα σωματίδια άλφα που εκπέμπονται από τα κεραμικά υλικά που χρησιμοποιούνται στο κέλυφος (package) των ολοκληρωμένων κυκλωμάτων υψηλής πυκνότητας ολοκλήρωσης, όσο και στην κοσμική ακτινοβολία η οποία στο επίπεδο της

γης αποτελείται κατά 95% από νετρόνια και 5% από πρωτόνια. Το ποσοστό της ιονίζουσας ακτινοβολίας που δέχονται οι ημιαγωγικές διατάξεις στη διάρκεια του κύκλου ζωής τους εξαρτάται ιδιαίτερα από το περιβάλλον ακτινοβολίας στο οποίο βρίσκονται και από τις συνθήκες λειτουργίας τους. Για εφαρμογές στο διάστημα ή κοντά σε πυρηνικούς αντιδραστήρες και επιταχυντές είναι προφανές ότι το περιβάλλον λειτουργίας είναι ιδιαίτερα αφιλόξενο.

Τα στοιχεία μνήμης (π.χ. Static Random Access Memory - SRAM, μανδαλωτές, flip-flops) είναι ιδιαίτερα επιρρεπή σε μεταβατικά σφάλματα λόγω ακτινοβολίας, εξαιτίας του βρόχου θετικής ανάδρασης που διαθέτουν. Αρχικά το πρόβλημα ήταν πιο έντονο στις μνήμες SRAM επειδή σχεδιάζονται με τη μέγιστη δυνατή πυκνότητα και με ελάχιστες διαστάσεις τρανζίστορ. Τα τελευταία χρόνια όμως έχουν αποκτήσει ιδιαίτερη σημασία τα μεταβατικά σφάλματα σε μανδαλωτές και flip-flops καθώς αποτελούν στοιχεία που βρίσκονται σε αφθονία στις σύγχρονες επεξεργαστικές μονάδες και σε περίπτωση σφάλματος τροφοδοτούν με λανθασμένες τιμές τα επόμενα λογικά στάδια [3, 4, 19–21]. Αντίθετα οι δυναμικές μνήμες τυχαίας προσπέλασης (Dynamic Random Access Memory - DRAM) είναι λιγότερο ευάλωτες λόγω της μεγαλύτερης χωρητικότητας των κόμβων τους [22].

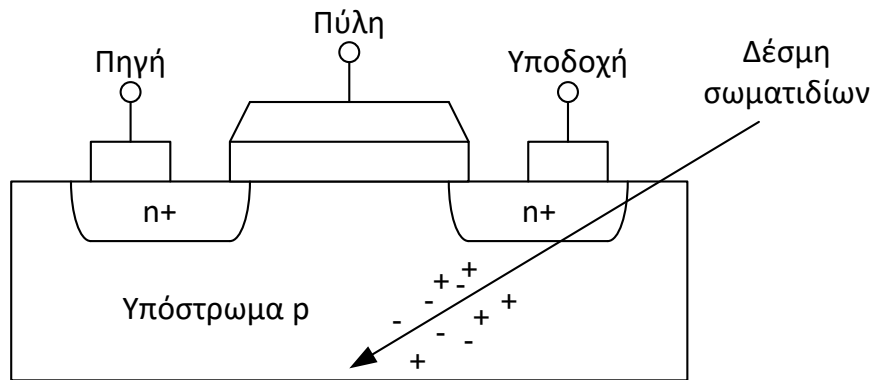
Μεταβατικά σφάλματα λόγω ακτινοβολίας μπορούν να προκληθούν είτε λόγω διάσπασης δεσμών που δημιουργεί ελεύθερα ζεύγη ηλεκτρονίων - οπών, είτε λόγω μετατόπισης ατόμων από τις πλεγματικές τους θέσεις. Η πρώτη διαδικασία απαιτεί πολύ μικρότερες ενέργειες από τη δεύτερη και είναι ο βασικός λόγος δημιουργίας σφαλμάτων.

Όταν τα σωματίδια προσκρούουν στο υπόστρωμα των ολοκληρωμένων κυκλωμάτων και καθώς χάνουν την κινητική τους ενέργεια, δέσμια ηλεκτρόνια της ζώνης σθένους διεγείρονται στη ζώνη αγωγιμότητας με αποτέλεσμα να δημιουργούνται ζεύγη ηλεκτρονίων - οπών κατά μήκος της τροχιάς των σωματιδίων μέσω ιονισμού, όπως φαίνεται και στο Σχ. 1.4. Το αποτέλεσμα του ιονισμού εξαρτάται άμεσα από την πόλωση της πύλης που καθορίζει αν το τρανζίστορ βρίσκεται σε αναστροφή ή απογύμνωση. Σε περίπτωση που βρίσκεται σε αναστροφή (κατάσταση ON) δεν πρόκειται να παρατηρηθεί αλλαγή στην κατάσταση κάποιου κόμβου καθώς το επαγόμενο φορτίο απομακρύνεται μέσω των γραμμών τροφοδοσίας. Αντίθετα σε περίπτωση που το τρανζίστορ βρίσκεται σε απογύμνωση (κατάσταση OFF), τα φορτία συλλέγονται από τους κόμβους υποδοχής/πηγής (drain/source) μέσω μηχανισμών ολίσθησης και διάχυσης. Συνεπώς παρατηρούμε ότι ένα τρανζίστορ μπορεί να υποστεί μεταβατικό σφάλμα μόνο όταν είναι σε κατάσταση OFF. Υπό την επίδραση του ηλεκτρικού πεδίου τα ηλεκτρόνια κινούνται προς το θετικό κόμβο ενώ οι οπές προς την αντίθετη κατεύθυνση. Αυτό έχει ως αποτέλεσμα τη διαταραχή της τάσης του κόμβου υποδοχής με το φαινόμενο αυτό να αναφέρεται στη βιβλιογραφία ως SEU (Single Event Upset) [2].

Για να οδηγήσει όμως ένα SEU στην ανατροπή ενός στοιχείου μνήμης (bit flip) και κατά συνέπεια σε ένα μεταβατικό σφάλμα, πρέπει το φορτίο που επάγεται κατά την πρόσκρουση της ακτινοβολίας να ξεπεράσει:

- Το εσωτερικό φορτίο που αποθηκεύεται στην παρασιτική χωρητικότητα του επηρεαζόμενου κόμβου.
- Τη δύναμη οδήγησης του pull-up ή pull-down τρανζίστορ που οδηγεί το συγκεκριμένο κόμβο.

Η ελάχιστη τιμή του φορτίου για την οποία ένα στοιχείο μνήμης αλλάζει κατάσταση αναστρέφοντας τη λογική του τιμή ονομάζεται κρίσιμο φορτίο (Critical Charge -



Σχήμα 1.4: Φαινόμενο δημιουργίας ζευγών ηλεκτρονίων - οπών κατά την πρόσκρουση σωματιδίων σε ένα τρανζίστορ.

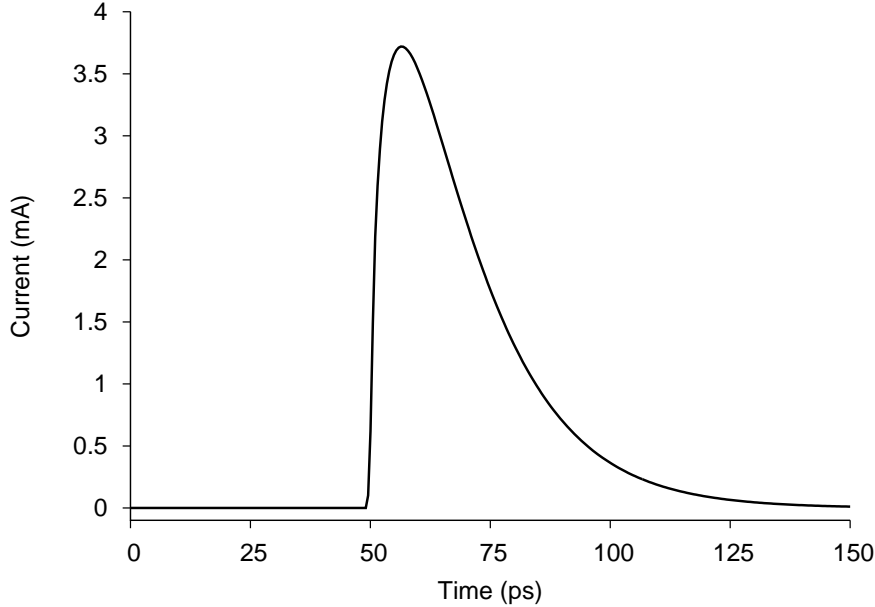
Q_{crit}). Το κρίσιμο φορτίο είναι ανάλογο της τάσης τροφοδοσίας. Συνεπώς η συνήθης χρήση τεχνικών DVFS (Dynamic Voltage Frequency Scaling) στους σύγχρονους μικροεπεξεργαστές επηρεάζει σε μεγάλο βαθμό την ανθεκτικότητά τους σε μεταβατικά σφάλματα [23, 24]. Βασική αιτία της επιδεινούμενης κατάστασης είναι η συνεχής αύξηση της κλίμακας ολοκλήρωσης που επιφέρει τη μείωση της νόθευσης του ημιαγωγού (doping profile), τη χρήση χαμηλότερων τάσεων τροφοδοσίας (Supply Voltage - V_{DD}) και τη μείωση της τάσης κατωφλίου (Threshold Voltage - V_{th}). Κατά συνέπεια, η ποσότητα του φορτίου που αποθηκεύεται στους κόμβους του κυκλώματος μειώνεται σημαντικά και οι κόμβοι αυτοί γίνονται περισσότερο ευαίσθητοι σε ακτινοβολία (σωματίδια άλφα και κοσμικές ακτίνες νετρονίων). Ως αποτέλεσμα, προσκρούοντα σωματίδια με συνεχώς μικρότερες ενέργειες καθίστανται ικανά να δημιουργήσουν φορτία μεγαλύτερα από το κρίσιμο φορτίο που απαιτείται ώστε να αναστραφεί η λογική τιμή των κόμβων των στοιχείων μνήμης του κυκλώματος. Συνεπώς η πυκνότητα ροής σωματιδίων με την απαραίτητη ενέργεια πρόσκρουσης είναι εξαιρετικά υψηλή στα σύγχρονα νανοκυκλώματα, ακόμη και στο επίπεδο της γήινης επιφάνειας. Τα φαινόμενα αυτά επιφέρουν τη δημιουργία υψηλών ρυθμών εμφάνισης μεταβατικών σφαλμάτων κατά τη λειτουργία των ολοκληρωμένων κυκλωμάτων.

1.4 Μοντελοποίηση Διαταραχής λόγω Ακτινοβολίας

Οι τεχνικές αντιμετώπισης των μεταβατικών σφαλμάτων που προτείνονται στα κεφάλαια που ακολουθούν έχουν προσομοιωθεί σε SPICE. Για να μπορεί να επαληθευτεί η ανθεκτικότητά τους απέναντι σε ακτινοβολία πρέπει να γίνει μοντελοποίηση του SEU σε SPICE. Ένα SEU αντιστοιχεί σε ένα παλμό ρεύματος μικρής διάρκειας, συνδεδεμένο στον επηρεαζόμενο κόμβο. Το επαγόμενο από το SEU φορτίο αντιστοιχεί στο ολοκλήρωμα του ρεύματος ως προς το χρόνο. Το σχήμα του παλμού (χρόνος ανόδου, καθόδου κ.α.) εξαρτάται από την τοποθεσία της πρόσκρουσης. Δηλαδή μια πρόσκρουση κοντά στον κόμβο υποδοχής παράγει έναν παλμό μικρής διάρκειας και υψηλής αιχμής, ενώ μια πρόσκρουση μακριά από αυτόν παράγει έναν παλμό μεγάλης διάρκειας και χαμηλής αιχμής [25]. Συνήθως ο χρόνος ανόδου είναι μικρός (μεταξύ 0.1ps και 10ps) και ο χρόνος καθόδου μεγαλύτερος (μεταξύ 10ps και 200ps). Τα δύο μοντέλα για πρόσκρουση σωματιδίων που χρησιμοποιήθηκαν στη διατριβή αυτή παρουσιάζονται παρακάτω.

1.4.1 Εκθετικό Μοντέλο

Ο πιο ακριβής τρόπος προσομοίωσης της πρόσκρουσης σωματιδίων σε ένα ολοκληρωμένο κύκλωμα είναι με τη χρήση κάποιου εκθετικού παλμού ρεύματος. Ένα από τα πιο γνωστά εκθετικά μοντέλα για προσομοίωση ενός SEU είναι αυτό που προτείνεται στο [26] και απεικονίζεται στο Σχ. 1.5.



Σχήμα 1.5: Εκθετικός παλμός ρεύματος που προσομοιώνει ένα SEU [26].

Η εξίσωση που περιγράφει το μοντέλο αυτό είναι η (1.1). Ανάλογα με την τεχνολογία ολοκλήρωσης που χρησιμοποιείται υπολογίζεται η παράμετρος τ ενώ το επαγόμενο φορτίο ορίζεται από τη μεταβλητή Q .

$$I_{pulse}(t) = \frac{2 \cdot Q}{\sqrt{\pi} \cdot \tau} \sqrt{\frac{t}{\tau}} e^{-t/\tau} \quad (1.1)$$

1.4.2 Μοντέλο Διακόπτη

Ένα ακόμα μοντέλο που μπορεί να δώσει με ακρίβεια την εκθετική μορφή του παλμού ρεύματος είναι αυτό στο οποίο ένας πυκνωτής συνδέεται στον επηρεαζόμενο κόμβο μέσω ενός τρανζίστορ που χρησιμοποιείται ως διακόπτης [27]. Η πρόσκρουση προσομοιώνεται ως η αποφόρτιση του πυκνωτή πάνω στον κόμβο αυτό και έχει εκθετική μορφή. Η φόρτιση του πυκνωτή γίνεται από εξωτερική πηγή η οποία αποκόπτεται κατά τη διάρκεια του SEU. Με βάση τη σχέση που συνδέει το ρεύμα και την τάση του πυκνωτή με τη χωρητικότητά του έχουμε ότι:

$$I = C \frac{dV}{dt} \Rightarrow dQ = C dV \quad (1.2)$$

Όσο η διαφορά τάσης που αναπτύσσεται στον πυκνωτή ενώ αυτός αποφορτίζεται στον κόμβο του κυκλώματος είναι μικρή (μερικά mV), μπορούμε να υποθέσουμε ότι η διαδικασία φόρτισης/εκφόρτισης είναι γραμμική και επομένως το επαγόμενο φορτίο μπορεί να υπολογιστεί από την (1.3).

$$Q = C \Delta V \quad (1.3)$$

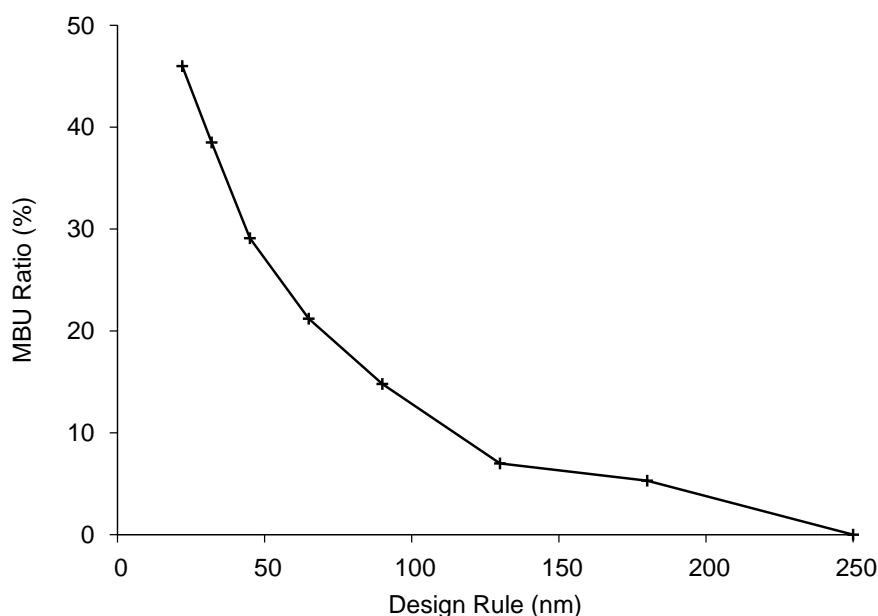
1.5 Διαμοιρασμός Φορτίου

Όπως αναφέραμε στην ενότητα 1.3.3, η πρόσκρουση ακτινοβολίας σε ένα ολοκληρωμένο κύκλωμα οδηγεί σε ένα SEU. Με τον όρο SEU αναφερόμαστε σε μια διαταραχή που προκαλείται από μία και μόνο πρόσκρουση ακτινοβολίας στο ολοκληρωμένο κύκλωμα, χωρίς όμως να διευκρινίζεται ο αριθμός των κόμβων του κυκλώματος που επηρεάζονται από αυτή.

Μέχρι πρότινος, οι περισσότερες τεχνικές προστασίας από μεταβατικά σφάλματα θεωρούσαν ως δεδομένη τη διαταραχή μόνο ενός κόμβου από ένα SEU. Ένα σωματίδιο που επηρεάζει μόνο ένα κόμβο του κυκλώματος προκαλεί διαταραχή ενός κόμβου (Single Node Upset - SNU).

Όμως η αύξηση της κλίμακας ολοκλήρωσης οδήγησε στη μείωση των αποστάσεων μεταξύ των κόμβων των κυκλωμάτων και συνεπώς στην αύξηση της πιθανότητας ένα SEU να επηρεάσει γειτονικούς κόμβους, προκαλώντας διαταραχή πολλαπλών κόμβων (Multiple Node Upset - MNU) μέσω διαμοιρασμού φορτίου (charge sharing) [28–34].

Στο Σχ. 1.6 φαίνεται το ποσοστό των μεταβατικών σφαλμάτων που επηρέασαν περισσότερα του ενός κύτταρα μνήμης (Multiple Bit Upset - MBU) κατά την ακτινοβόληση με νετρόνια μιας μνήμης SRAM που δεν προστατεύεται από μεταβατικά σφάλματα [35]. Τα αποτελέσματα που απεικονίζονται στο Σχ. 1.6 προέκυψαν για τεχνολογίες κατασκευής από 250nm έως 22nm, με τα κύτταρα μνήμης να έχουν αποθηκευμένες εναλλάξ τις λογικές τιμές '1' και '0' ως αρχικές καταστάσεις.



Σχήμα 1.6: Ποσοστό μεταβατικών σφαλμάτων που οδηγούν σε MBU για τεχνολογίες ολοκλήρωσης από 250nm μέχρι 22nm [35].

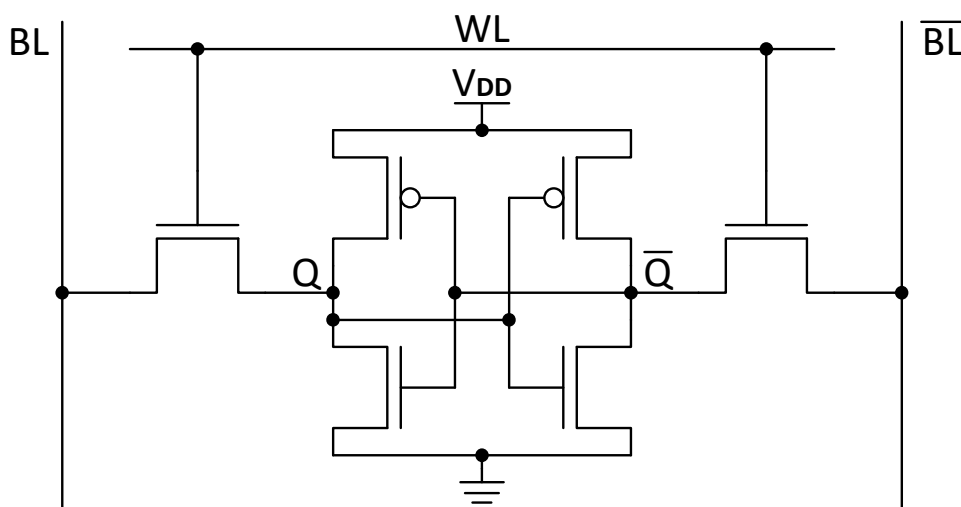
Το ποσοστό των MBU ξεκινάει από 0% για τεχνολογία κατασκευής 250nm και φτάνει το 46% για τεχνολογία κατασκευής 22nm, κάνοντας εμφανή την επιρροή της αύξησης της κλίμακας ολοκλήρωσης στην εμφάνιση μεταβατικών σφαλμάτων που επηρεάζουν περισσότερους του ενός κόμβους/κύτταρα.

Τρανζίστορ που βρίσκονται στο ίδιο πηγάδι (δηλαδή PMOS με PMOS ή NMOS με NMOS) είναι πιο επιρρεπή σε φαινόμενα διαμοιρασμού φορτίου σε σχέση με διαμοιρασμό φορτίου πέρα από τα όρια του πηγαδιού (δηλαδή PMOS με NMOS) [36].

1.6 Κύτταρο Μνήμης 6T

Στους περισσότερους πίνακες μνήμης που χρησιμοποιούνται στα σύγχρονα ολοκληρωμένα κυκλώματα γίνεται χρήση του κυττάρου μνήμης 6T όπως αυτό φαίνεται στο Σχ. 1.7. Το κύτταρο 6T αποτελείται από έξι τρανζίστορ, με τα τέσσερα από αυτά να σχηματίζουν δύο αναστροφείς οι οποίοι είναι συνδεδεμένοι ο ένας πίσω από τον άλλο (back to back), δημιουργώντας ένα βρόχο θετικής ανάδρασης. Τα άλλα δύο τρανζίστορ αποτελούν τα τρανζίστορ πρόσβασης και ενεργοποιούνται μέσω της wordline WL μόνο κατά τη διάρκεια των λειτουργιών ανάγνωσης και εγγραφής. Η πληροφορία διαδίδεται από και προς το κύτταρο μνήμης κατά τη διάρκεια των προσβάσεων μέσω των bitlines BL και \overline{BL} . Η ύπαρξη διαφορετικών bitlines οφείλεται κυρίως στην ενίσχυση του SNM (Static Noise Margin). Μέσω του βρόχου θετικής ανάδρασης, το κύτταρο 6T μπορεί να αποθηκεύει τη λογική τιμή '0' ή '1' όσο η τροφοδοσία του είναι ενεργή.

Το συγκεκριμένο κύτταρο μνήμης είναι ιδιαίτερα αποδοτικό λόγω των μικρών του διαστάσεων (που επιτρέπουν πολύ πυκνή σχεδίαση σε φυσικό επίπεδο), της μικρής κατανάλωσης ισχύος και της μεγάλης ταχύτητας με την οποία μπορεί να λειτουργεί. Παρόλα αυτά, οι σύγχρονες απαιτήσεις αξιοπιστίας των ολοκληρωμένων κυκλωμάτων και η αύξηση της κλίμακας ολοκλήρωσης καθιστούν τη χρήση του κυττάρου 6T ανεπαρκή, καθώς μπορεί να ανατραπεί με πολύ μικρά επαγόμενα φορτία (<10fC) στην περίπτωση ενός SNU. Συνεπώς, το κύτταρο 6T αντικαθίσταται από άλλα κύτταρα ανθεκτικά σε SNU ή MNU, ή συνδυάζεται με τεχνικές είτε σε αρχιτεκτονικό επίπεδο είτε σε επίπεδο κατασκευής προκειμένου να αποκτήσει την απαιτούμενη αξιοπιστία.



Σχήμα 1.7: Συμβατικό κύτταρο μνήμης 6T.

1.7 Τεχνικές Αντιμετώπισης Μεταβατικών Σφαλμάτων

Στη διεθνή βιβλιογραφία, έχουν προταθεί λύσεις οι οποίες στοχεύουν στην αντιμετώπιση του προβλήματος των μεταβατικών σφαλμάτων σε διάφορα επίπεδα της σχεδίασης/κατασκευής. Τα τρία βασικά επίπεδα στα οποία μπορούμε να επέμβουμε προκειμένου να προσδώσουμε ανθεκτικότητα στα στοιχεία μνήμης απέναντι σε SEU είναι τα παρακάτω:

- Επίπεδο τεχνολογίας κατασκευής
- Επίπεδο κυκλώματος
- Επίπεδο αρχιτεκτονικής

1.7.1 Επίπεδο Τεχνολογίας Κατασκευής

Στο επίπεδο κατασκευής έχει προταθεί η χρήση τεχνολογιών που αυξάνουν την ανθεκτικότητα του κυκλώματος απέναντι σε μεταβατικά σφάλματα μέσω της χρήσης πολλαπλών στρωμάτων μόνωσης που περιορίζουν την ευαίσθητη επιφάνεια του τρανζίστορ, όπως για παράδειγμα οι τεχνικές triple-well CMOS [37,38] και SOI (Silicon on Insulator) [11,39–42].

Στην τεχνολογία SOI, στο υπόστρωμα πυριτίου παρεμβάλλεται ένα στρώμα μονωτικού υλικού. Τα πλεονεκτήματα των SOI διατάξεων είναι η απουσία του φαινομένου Single Event Latch-Up, η υψηλότερη πυκνότητα ολοκλήρωσης, μεγαλύτερη ταχύτητα λειτουργίας, χαμηλότερη κατανάλωση ισχύος, χαμηλότερο ρεύμα διαρροής και μειωμένο φαινόμενο βραχέως καναλιού. Πρέπει όμως να επισημανθεί ότι η τεχνολογία SOI απλώς αυξάνει την ανθεκτικότητα των κυκλωμάτων απέναντι σε μεταβατικά σφάλματα λόγω ακτινοβολίας, χωρίς όμως να εγγυάται 100% αξιοπιστία. Για το λόγο αυτό απαιτείται ο συνδυασμός της με άλλες τεχνικές.

Το μειονέκτημα των τεχνικών που επεμβαίνουν σε επίπεδο τεχνολογίας κατασκευής είναι το μεγάλο R&D κόστος σε σχέση με τις απλές CMOS τεχνολογίες καθώς και ότι με τη χρήση εγγενώς ανθεκτικών τεχνολογιών προσφέρεται προστασία ακόμα και σε στοιχεία του κυκλώματος όπου δεν είναι απαραίτητο.

1.7.2 Επίπεδο Κυκλώματος

Ένα επίπεδο στο οποίο μπορούμε να επέμβουμε προκειμένου να προσδώσουμε ανθεκτικότητα στα στοιχεία μνήμης, είναι αυτό του σχεδιασμού του κυκλώματος. Στο επίπεδο αυτό προτείνονται διαφορετικά κύτταρα μνήμης από το συμβατικό 6T, τα οποία χρησιμοποιούν/συνδυάζουν τεχνικές σχεδιασμού ανθεκτικές σε μεταβατικά σφάλματα λόγω ακτινοβολίας (radiation hardening) [43,44].

Τα κύτταρα μνήμης που σχεδιάζονται για αυτόν το σκοπό μπορούν να χωριστούν σε δύο μεγάλες κατηγορίες ανάλογα με το είδος της προστασίας που προσφέρουν [45]:

- Στην πρώτη κατηγορία ανήκουν τα κύτταρα μνήμης που σχεδιάζονται με τέτοιο τρόπο ώστε να μην είναι ευαίσθητα σε μεταβατικά σφάλματα λόγω ακτινοβολίας, ανεξάρτητα από το μέγεθος του επαγόμενου φορτίου. Δηλαδή πρόκειται για κύτταρα μνήμης που δεν έχουν κρίσιμο φορτίο. Τα κύτταρα αυτά έχουν το πολύ σημαντικό πλεονέκτημα ότι οι ιδιότητές τους είναι ανεξάρτητες από την τεχνολογία κατασκευής του κυκλώματος, την τάση τροφοδοσίας κ.α. Ένα ιδιαίτερα γνωστό και αποδοτικό κύτταρο μνήμης αυτής της κατηγορίας παρουσιάζεται στο [46].
- Στη δεύτερη κατηγορία ανήκουν τα κύτταρα μνήμης στα οποία η ανθεκτικότητα επιτυγχάνεται αυξάνοντας τη χωρητικότητα των κόμβων τους και κατά συνέπεια το κρίσιμο φορτίο που απαιτείται για την ανατροπή τους. Τέτοιες μέθοδοι ωστόσο, εξαρτώνται από την τεχνολογία κατασκευής καθώς όσο μικραίνουν οι

διαστάσεις της τεχνολογίας μειώνεται και το αντίστοιχο κρίσιμο φορτίο με αποτέλεσμα να φτάνει σε επίπεδα που καθιστούν δυνατή την ανατροπή του κυττάρου μνήμης. Προκειμένου τα κύτταρα αυτά να χρησιμοποιηθούν σε μικρότερες τεχνολογίες πρέπει να προσαρμόζονται, με αποτέλεσμα ανεπιθύμητες επιβαρύνσεις (π.χ. αύξηση της καθυστέρησης του κυκλώματος, αύξηση της κατανάλωσης ισχύος κ.α.). Κάποια χαρακτηριστικά κύτταρα της κατηγορίας αυτής παρουσιάζονται στα [47–49].

Οι κυριότερες τεχνικές που εφαρμόζονται σε επίπεδο κυκλώματος προκειμένου να επιτευχθεί η ζητούμενη ανθεκτικότητα είναι:

- Κυκλωματικός πλεονασμός (circuit redundancy) [46, 50–55].
- Τρανζίστορ που ελέγχουν το βρόχο ανάδρασης [45, 56–60].
- Προσθήκη παρασιτικών στοιχείων [61, 62].

Μέσω του κυκλωματικού πλεονασμού οι επιρρεπείς κόμβοι οδηγούνται από πολλαπλά τρανζίστορ τα οποία ελέγχονται ανεξάρτητα και κλειδώνουν την κατάσταση του στοιχείου μνήμης. Τα τρανζίστορ που ελέγχουν το βρόχο ανάδρασης, εμποδίζουν τη διάδοση μιας διαταραχής στους υπόλοιπους κόμβους του κυκλώματος. Η προσθήκη παρασιτικών στοιχείων οδηγεί σε αύξηση του κρίσιμου φορτίου που απαιτείται για την ανατροπή του στοιχείου μνήμης.

Το μειονέκτημα των κυκλωματικών λύσεων είναι ότι από τη μια πλευρά τα στοιχεία μνήμης που προσφέρουν αξιοπιστία ανεξάρτητα από την τεχνολογία κατασκευής τους έχουν μεγάλη επιβάρυνση σε καθυστέρηση, επιφάνεια και κατανάλωση ισχύος, ενώ τα στοιχεία μνήμης που έχουν μικρότερη επιβάρυνση προσφέρουν ανθεκτικότητα μέχρι κάποιο κρίσιμο φορτίο και επομένως αποτελούν λύσεις που σε σύντομο χρονικό διάστημα καθίστανται μη αποτελεσματικές.

1.7.3 Επίπεδο Αρχιτεκτονικής

Προκειμένου να μειωθεί το κόστος που εισάγουν οι κυκλωματικές λύσεις αλλά η προστασία να παραμείνει τεχνολογικά ανεξάρτητη και στοχευμένη στα κυκλώματα που είναι ευαίσθητα σε ακτινοβολία, έχουν προταθεί πολλές λύσεις σε επίπεδο αρχιτεκτονικής.

Μια πολύ διαδεδομένη και τεχνολογικά ανεξάρτητη τεχνική είναι αυτή του διπλού (Dual Modular Redundancy - DMR) ή τριπλού πλεονασμού (Triple Modular Redundancy - TMR) μαζί με ένα κύκλωμα πλειοψηφίας [63–69]. Η πληροφορία αποθηκεύεται σε περισσότερα του ενός αντίγραφα με αποτέλεσμα όταν ένα από αυτά έχει διαφορετική τιμή, να γίνεται η ανίχνευση του σφάλματος και η σωστή τιμή να παρέχεται μέσω πλειοψηφίας. Ωστόσο, αν και η τεχνική TMR είναι ιδιαίτερα αποτελεσματική όσον αφορά στην ανθεκτικότητα σε μεταβατικά (αλλά και μόνιμα) σφάλματα, έχει μεγάλη επιβάρυνση σε καθυστέρηση, επιφάνεια και κατανάλωση ισχύος.

Προκειμένου να μειωθεί το κόστος της ανίχνευσης και διόρθωσης των μεταβατικών σφαλμάτων έχουν προταθεί πολλές τεχνικές που βασίζονται σε κώδικες διόρθωσης σφαλμάτων (Error Correction Codes - ECC). Η τεχνική ECC εισάγει πρόσθετα κυκλώματα κωδικοποίησης/αποκωδικοποίησης της πληροφορίας ανάλογα με τον κώδικα που έχει επιλεγεί καθώς και κάποια πρόσθετα bits στα οποία αποθηκεύεται η κωδικοποιημένη πληροφορία. Το κύριο χαρακτηριστικό του κάθε κώδικα ECC είναι ο αριθμός των σφαλμάτων που μπορεί να ανιχνεύσει/διορθώσει σε μια λέξη της μνήμης.

Οι τεχνικές ECC προτιμώνται λόγω της ανεξαρτησίας τους από την τεχνολογία κατασκευής, της μικρής επιβάρυνσης που εισάγουν αλλά και της ικανότητάς τους να επιλύουν σφάλματα διαφορετικού τύπου (π.χ. μόνιμα σφάλματα). Παραδείγματα ECC αποτελούν οι γνωστοί κώδικες Hamming και Reed-Muller, αλλά και πιο εξελιγμένοι κώδικες όπως αυτοί που παρουσιάζονται στα [34, 70–72].

Το μειονέκτημα των τεχνικών ECC είναι ότι μπορούν να ανιχνεύουν/διορθώνουν μόνο ένα περιορισμένο αριθμό σφαλμάτων εντός της λέξης της μνήμης. Ο αριθμός αυτός εξαρτάται από τον κώδικα που χρησιμοποιείται και αποφασίζεται κατά τη διάρκεια της σχεδίασης. Συνεπώς, λόγω της σμίκρυνσης των τεχνολογιών κατασκευής, οι τεχνικές αυτές αντιμετωπίζουν πρόβλημα, καθώς πολλαπλά κύτταρα μνήμης μπορεί να αλλάξουν τιμή εξαιτίας διαταραχών πολλαπλών κόμβων (MNU). Ταυτόχρονα η αύξηση των μόνιμων σφαλμάτων αφαιρεί μεγάλο μέρος της αποδοτικότητας των τεχνικών ECC αφού ο αριθμός των μεταβατικών σφαλμάτων σε bits της λέξης που μπορούν να ανιχνευθούν/διορθωθούν από τον κώδικα μειώνεται κατά τον αριθμό των μόνιμα εσφαλμένων bits.

Συνεπώς απαιτούνται κώδικες που ανιχνεύουν/διορθώνουν μεγάλο αριθμό σφαλμάτων, χάνοντας όμως πλέον το όφελος της μικρής επιβάρυνσης σε καθυστέρηση, επιφάνεια και κατανάλωση ισχύος, λόγω των πολλών πρόσθετων bits που εισάγονται για την κωδικοποίηση και της πολυπλοκότητας των κυκλωμάτων κωδικοποίησης/αποκωδικοποίησης που χρησιμοποιούνται [73].

Επίσης οι αρχιτεκτονικές λύσεις είναι δύσκολο να εφαρμοστούν στους μανδαλωτές και στα flip-flops καθώς τα στοιχεία αυτά είναι διασκορπισμένα στο ολοκληρωμένο κύκλωμα και όχι τοποθετημένα σε πίνακες υψηλής πυκνότητας όπως συμβαίνει στις μνήμες SRAM. Συνεπώς στις περιπτώσεις αυτές προτιμώνται λύσεις στο επίπεδο του κυκλώματος [74, 75].

1.8 Στόχοι της Διατριβής και Προτεινόμενες Λύσεις

Όπως περιγράψαμε στην ενότητα 1.3 τα σφάλματα διαχωρίζονται με βάση τη διάρκειά τους σε μόνιμα, μεταβατικά και διαλείποντα. Στη διατριβή αυτή προτείνουμε τεχνικές που αντιμετωπίζουν τα μόνιμα και τα μεταβατικά σφάλματα λόγω ακτινοβολίας, εστιάζοντας όμως στη δεύτερη κατηγορία. Η έρευνά μας επικεντρώνεται στην αξιοπιστία των στοιχείων μνήμης των ολοκληρωμένων κυκλωμάτων καθώς τα στοιχεία αυτά αποτελούν την πλειοψηφία των κυκλωμάτων σε ένα σύγχρονο SoC και λόγω του βρόχου θετικής ανάδρασης που διαθέτουν είναι ιδιαίτερα επιρρεπή σε μεταβατικά σφάλματα. Ιδιαίτερη έμφαση δίνεται στο γεγονός ότι η ευαισθησία των στοιχείων μνήμης στην ακτινοβολία αυξάνεται όσο οι σύγχρονες νανοτεχνολογίες οδεύουν σε μεγαλύτερες κλίμακες ολοκλήρωσης. Συνεπώς, πολλές από τις λύσεις που προτείνουμε αντιμετωπίζουν αποδοτικά το φαινόμενο της διαταραχής πολλαπλών κόμβων του στοιχείου μνήμης λόγω διαμοιρασμού φορτίου. Στόχος είναι να παρουσιαστούν αποδοτικές τεχνικές οι οποίες προσφέρουν ανθεκτικότητα απέναντι σε SNU ή MNU, έχοντας μικρότερη επιβάρυνση από τις υπάρχουσες τεχνικές σε καθυστέρηση, επιφάνεια ή κατανάλωση ισχύος.

Στο κεφάλαιο 2 παρουσιάζεται το ανθεκτικό σε μεταβατικά σφάλματα κύτταρο DI-CE το οποίο αποτελεί βάση και μέτρο σύγκρισης για πολλές από τις προτεινόμενες τεχνικές, καθώς και μια προτεινόμενη μετατροπή του χρησιμοποιώντας την τεχνολογία

IDG (Independent Dual Gate) SOI FinFET (Fin Field Effect Transistor) προκειμένου να μειωθεί η επιβάρυνσή του σε επιφάνεια. Στο κεφάλαιο 3 προτείνονται τρία κυκλώματα μανδαλωτών τα οποία είναι ανθεκτικά σε διαταραχές δύο κόμβων (Double Node Upset - DNU) και οι επιβαρύνσεις τους σε καθυστέρηση και δυναμική ενέργεια είναι μικρότερες από αυτές των υπάρχοντων ομολόγων τους στη βιβλιογραφία. Στο κεφάλαιο 4 προτείνεται μια τεχνική αυτο-διόρθωσης σφαλμάτων σε μνήμες SRAM με πολύ μικρή επιβάρυνση στην καθυστέρηση. Ένα κύτταρο που μπορεί να χρησιμοποιηθεί τόσο σε μνήμες CAM (Content Addressable Memories) όσο και σε μνήμες TCAM (Ternary Content Addressable Memories) προτείνεται στο κεφάλαιο 5, παρέχοντας ανθεκτικότητα απέναντι σε SNU και διατηρώντας το μέγεθός του και το ρεύμα διαρροής του σε χαμηλά επίπεδα. Η μοναδική τεχνική που επικεντρώνεται αποκλειστικά στην αντιμετώπιση μόνιμων σφαλμάτων παρουσιάζεται στο κεφάλαιο 6, όπου γίνεται μια εξερεύνηση για το βέλτιστο μέγεθος των εφεδρικών στοιχείων μνήμης που χρησιμοποιούνται σε μια τεχνική BISR (Built-In Self-Repair) προκειμένου να ελαχιστοποιηθεί η επιβάρυνσή της σε επιφάνεια. Τέλος, το κεφάλαιο 7 συνοψίζει τα αποτελέσματα της διατριβής.

Κεφάλαιο 2

Το Ανθεκτικό Κύτταρο Μνήμης DICE και η Προτεινόμενη Μετατροπή του στο Κύτταρο Μνήμης FFDICE με Χρήση της Τεχνολογίας IDG SOI FinFET

2.1 Εισαγωγή

Όπως αναφέρθηκε και στην ενότητα 1.7, προκειμένου να αντιμετωπιστεί το πρόβλημα των μεταβατικών σφαλμάτων, έχουν προταθεί λύσεις σε πολλά επίπεδα. Ένα από τα επίπεδα στα οποία μπορούμε να επέμβουμε είναι αυτό της τεχνολογίας κατασκευής, με τεχνολογίες όπως το triple-well CMOS [37, 38] και το SOI [11, 39–42], να ενισχύουν την κατασκευαστική διαδικασία με πρόσθετα επίπεδα μόνωσης, μειώνοντας έτσι την ευάλωτη περιοχή του κυκλώματος και συνεπώς την επιρρέπεια του σε διαταραχές λόγω ακτινοβολίας.

Η τεχνολογία SOI προσφέρει μικρότερη ευαισθησία σε μεταβατικά σφάλματα, όμως προκειμένου να εξασφαλιστεί η απαιτούμενη αξιοπιστία, συνήθως συνδυάζεται με τεχνικές σε επίπεδο κυκλώματος. Στο [76] ερευνώνται οι επιπτώσεις της αύξησης των διαστάσεων συμβατικών flip-flops καθώς και της προσθήκης εξωτερικών χωρητικότητων. Στο [77] προτείνονται στοιβαγμένα (stacked) τρανζίστορ, με το πλεονέκτημά τους να έγκειται στο ότι το επαγόμενο φορτίο από μια πρόσκρουση ακτινοβολίας αποσβένεται λόγω διαχωρισμένων διαχύσεων ή πηγαδιών. Στο [78], προτείνεται ένα 7T/14T δυναμικά ανθεκτικό κύτταρο SRAM, με βελτιωμένα χαρακτηριστικά κατανάλωσης ισχύος. Ένα ανθεκτικό flip-flop χαμηλής κατανάλωσης ισχύος το οποίο βασίζεται στην τεχνική πλεονασμού και έχει την ίδια επιβάρυνση σε επιφάνεια με το κύτταρο DICE παρουσιάζεται στο [79].

Οι τεχνικές σε επίπεδο κυκλώματος έχουν σημαντικό κόστος σε επιφάνεια, καθυστέρηση και κατανάλωση ισχύος και οι επιβαρύνσεις αυτές εξαρτώνται σε μεγάλο βαθμό από το σχεδιασμό του κυκλώματος. Για παράδειγμα, στους πίνακες μνημών, οι επιβαρύνσεις είναι αλληλεξαρτώμενες, καθώς ένα κύτταρο που έχει μεγάλη επιφάνεια επηρεάζει το μέγεθος ολόκληρου του πίνακα και των διασυνδέσεων, με αποτέλεσμα να οδηγεί σε επιβαρύνσεις σε καθυστέρηση και κατανάλωση ισχύος.

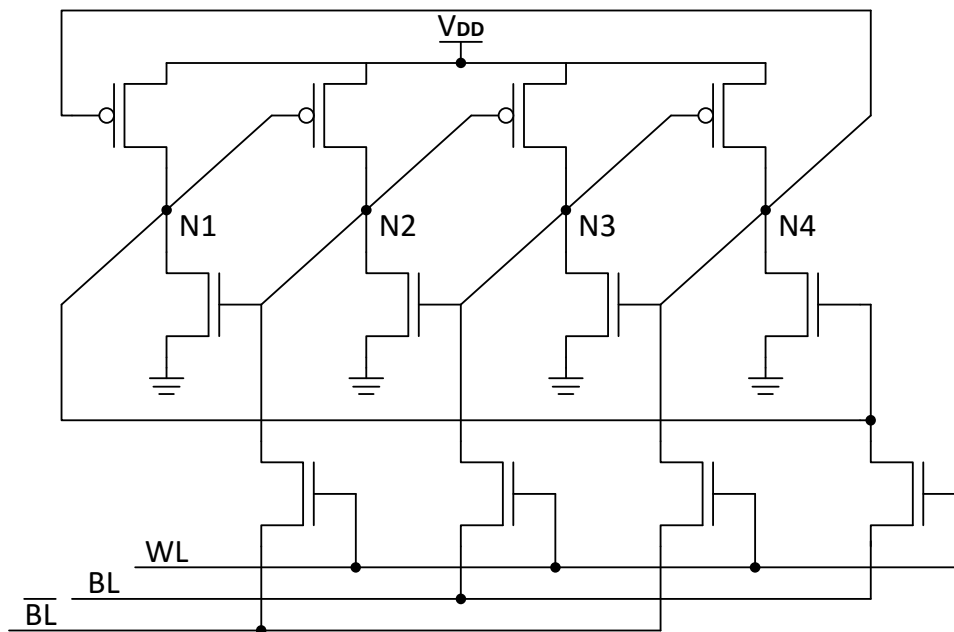
Στο κεφάλαιο αυτό προτείνουμε ένα 8T κύτταρο μνήμης που ονομάζεται FFDICE,

το οποίο προκύπτει από τροποποίηση του γνωστού κυττάρου DICE [46] και μειώνει την επιφάνεια που καταλαμβάνει. Αυτό επιτυγχάνεται με χρήση της τεχνολογίας IDG SOI FinFET και του μοναδικού χαρακτηριστικού της που επιτρέπει την ύπαρξη δύο πυλών σε ένα τρανζίστορ, στις οποίες συνδέονται δύο ανεξάρτητα σήματα που ελέγχουν από κοινού το αγώγιμο κανάλι.

Στην ενότητα 2.2 περιγράφουμε αναλυτικά το σχεδιασμό, τη λειτουργία και τα ανθεκτικά χαρακτηριστικά του κυττάρου DICE που αποτελεί τη βάση του προτεινόμενου κυττάρου FFDICE. Στην ενότητα 2.3 περιγράφουμε το σχεδιασμό του προτεινόμενου κυττάρου, τη λειτουργία του σαν στοιχείο μνήμης και την ανθεκτικότητά του σε μεταβατικά σφάλματα σε σύγκριση με το συμβατικό κύτταρο 6T και το ανθεκτικό σε μεταβατικά σφάλματα κύτταρο DICE. Στην ενότητα 2.4 τα κύτταρα αυτά συγκρίνονται ως προς τη σταθερότητά τους και την επιβάρυνση σε επιφάνεια. Η ενότητα 2.5 ολοκληρώνει το κεφάλαιο.

2.2 Το Κύτταρο Μνήμης DICE

Το κύτταρο DICE [46] είναι ένα από τα πιο γνωστά και αποδοτικά στοιχεία μνήμης ανθεκτικά σε SEU και συγκεκριμένα σε SNU, δηλαδή σε διαταραχές που επηρεάζουν ένα και μόνο κόμβο του κυκλώματος. Όπως φαίνεται στο Σχ. 2.1, το κύτταρο DICE αποτελείται από δύο συζευγμένους μανδαλωτές (δηλαδή απαιτεί διπλάσιο αριθμό τρανζίστορ από το συμβατικό κύτταρο 6T) που κλειδώνουν ο ένας τον άλλο σε μια λογική κατάσταση μέσω ενός βρόχου θετικής ανάδρασης. Το κύτταρο έχει δύο καταστάσεις, την κατάσταση '0' ($N1='0', N2='1', N3='0', N4='1'$) και την κατάσταση '1' ($N1='1', N2='0', N3='1', N4='0'$). Η ανθεκτικότητα του κυττάρου DICE έγκειται στην ύπαρξη δύο ζευγών κόμβων που αποθηκεύουν την κάθε λογική κατάσταση. Αν ένας κόμβος του κυκλώματος διαταραχθεί από ένα SNU τότε υπάρχουν πάντα δύο κόμβοι από τους εναπομείναντες τρεις, που είναι συνεχόμενοι στην κυκλική διάταξη $N1, N2, N3, N4$, $N1$ και έχουν αποθηκευμένη τη σωστή τιμή. Οι κόμβοι αυτοί ονομάζονται κόμβοι συγκράτησης (hold nodes).



Σχήμα 2.1: Ανθεκτικό κύτταρο μνήμης DICE.

Για παράδειγμα στην κατάσταση '0' αν ο κόμβος N2 επηρεαστεί από SNU τότε οι κόμβοι συγκράτησης είναι οι N4 και N1. Στην ίδια κατάσταση, αν ο κόμβος που υπέστη τη διαταραχή είναι ο N3 τότε οι κόμβοι συγκράτησης είναι και πάλι οι N4 και N1, ενώ αν επηρεαστεί ο κόμβος N1 ή N4 οι κόμβοι συγκράτησης είναι οι N2 και N3. Αντίστοιχα προκύπτουν οι κόμβοι συγκράτησης και για την κατάσταση '1'. Σε οποιοδήποτε SNU οι κόμβοι συγκράτησης είτε δεν επηρεάζονται καθόλου από τη διαταραχή είτε στη χειρότερη περίπτωση οδηγούνται σε κατάσταση υψηλής αντίστασης (high impedance). Συνεπώς οι κόμβοι αυτοί δεν αλλάζουν τιμή και επαναφέρουν τους άλλους δύο κόμβους στην αρχική τους κατάσταση.

Στην περίπτωση εμφάνισης DNU λόγω διαμοιρασμού φορτίου, το κύτταρο DICE είναι μόνο μερικώς ανθεκτικό. Η ανθεκτικότητα του κυττάρου DICE εξαρτάται από το συνδυασμό των κόμβων που επηρεάστηκαν:

- Αν οι κόμβοι που επηρεάστηκαν είναι συνεχόμενοι στην κυκλική διάταξη N1, N2, N3, N4, N1 τότε οι άλλοι δύο κόμβοι συνεχίζουν να λειτουργούν ως κόμβοι συγκράτησης και το κύτταρο DICE δεν ανατρέπεται.
- Αν οι κόμβοι που επηρεάστηκαν δεν είναι συνεχόμενοι στην κυκλική διάταξη N1, N2, N3, N4, N1 τότε δεν υπάρχουν κόμβοι συγκράτησης και το κύτταρο DICE ανατρέπεται.

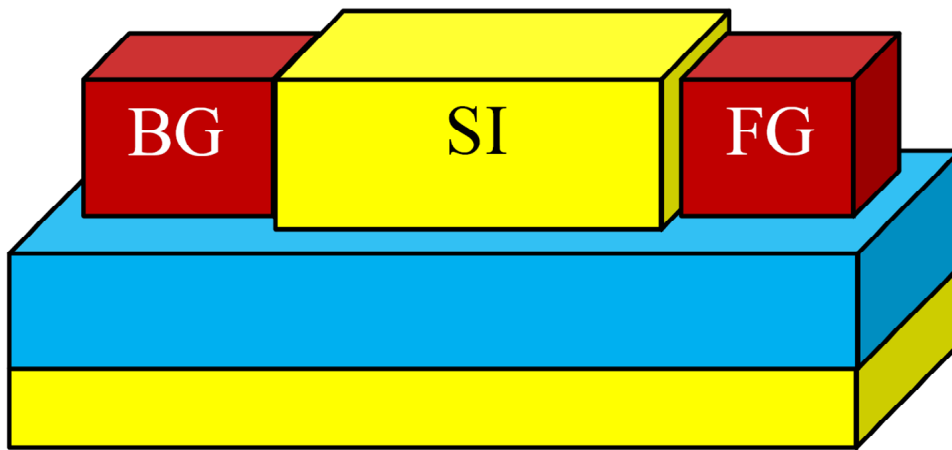
Ένα πολύ σημαντικό πλεονέκτημα του κυττάρου DICE είναι ότι ο σχεδιασμός του δεν απαιτεί ούτε μεγαλύτερα σε διαστάσεις τρανζίστορ ούτε μεγαλύτερη χωρητικότητα στους κόμβους του, και συνεπώς είναι τεχνολογικά ανεξάρτητο. Στα μειονεκτήματά του συγκαταλέγονται οι προφανείς επιβαρύνσεις σε επιφάνεια και κατανάλωση ισχύος.

2.3 Το Προτεινόμενο Κύτταρο Μνήμης FFDICE

2.3.1 IDG SOI FinFET

Λόγω των δυσκολιών που παρουσιάζονται στην κατασκευαστική διαδικασία επίπεδων CMOS τρανζίστορ κάτω από τα 22nm, τα τρανζίστορ FinFET έγιναν ένας σημαντικός υποψήφιος διάδοχος καθώς έχουν τη δυνατότητα να ξεπερνούν τις δυσκολίες της αύξησης της κλίμακας ολοκλήρωσης λόγω της μεγαλύτερης ανθεκτικότητάς τους σε φαινόμενα βραχέως καναλιού. Η τεχνολογία FinFET χτίζεται συνήθως πάνω σε ένα SOI υπόστρωμα (υπάρχουν και bulk FinFET) και το χαρακτηριστικό που τη διαφοροποιεί είναι ότι το κανάλι περιτυλίσσεται από ένα λεπτό πτερύγιο (fin) πυριτίου που λειτουργεί ως πύλη του τρανζίστορ. Το γεγονός ότι η πύλη έχει τη μορφή αυτή, δίνει τη δυνατότητα ακριβέστερου ελέγχου του καναλιού καθώς το ηλεκτρικό πεδίο στο κανάλι γίνεται ισχυρότερο και περισσότερο ομοιογενές, μειώνοντας τα ρεύματα διαρροής και υπερνικώντας τα προβλήματα που εμφανίζονται από φαινόμενα βραχέως καναλιού. Επίσης, τα τρανζίστορ FinFET σε τεχνολογία SOI έχουν μικρότερη χωρητικότητα ενώσεων, μεγαλύτερη κινητικότητα και μειωμένη ασυμφωνία στην τάση κατωφλίου σε σύγκριση με τους ομολόγους τους σε τεχνολογία bulk [80].

Εκτός από τα πλεονεκτήματα της τεχνολογίας SOI FinFET που αναφέραμε παραπάνω, τα τρανζίστορ IDG (Independent Dual Gate) SOI FinFET (Σχ. 2.2) επιτρέπουν τον έλεγχο του καναλιού τους από δύο ανεξάρτητες και ηλεκτρικά απομονωμένες πύλες [81, 82]. Ο έλεγχος των τρανζίστορ αυτών γίνεται από την μπροστά πύλη (Front



Σχήμα 2.2: Τρανζίστορ τεχνολογίας IDG SOI FinFET. Διακρίνονται οι δύο πύλες BG (Back Gate) και FG (Front Gate).

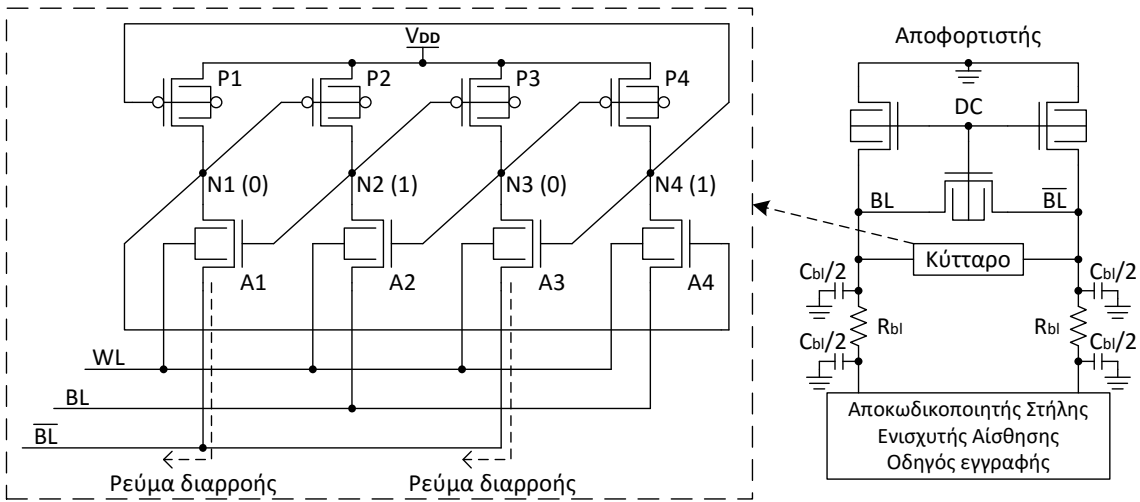
Gate - FG) και την πίσω πύλη (Back Gate - BG). Επιπλέον, οι τάσεις κατωφλίου των δύο πυλών μπορούν να είναι διαφορετικές [83], προσδίδοντας μια ενδιαφέρουσα ιδιότητα. Θέτοντας τη μια τάση κατωφλίου χαμηλά και την άλλη ψηλά μπορούμε να παραμετροποιήσουμε τη χαρακτηριστική $I_{DS}-V_{DS}$ στις τέσσερις διαφορετικές καταστάσεις στις οποίες μπορούν να βρεθούν ταυτόχρονα οι πύλες ('00', '01', '10' και '11').

2.3.2 Σχεδιασμός FFDICE

Το προτεινόμενο κύτταρο FFDICE (Σχ. 2.3) χρησιμοποιεί τον ίδιο μηχανισμό με αυτόν του κυττάρου DICE που παρουσιάστηκε στην ενότητα 2.2 για να αντιμετωπίσει τα μεταβατικά σφάλματα (δηλαδή δύο συζευγμένους μανδαλωτές). Η διαφορά τους έγκειται στο γεγονός ότι το προτεινόμενο κύτταρο κάνει χρήση των δύο ανεξάρτητων πυλών που προσφέρει η τεχνολογία IDG SOI FinFET 45nm [84] στην οποία έχει σχεδιαστεί, προκειμένου να συγχωνεύσει τα τρανζίστορ πρόσβασης (access) με τα pull-down τρανζίστορ. Έτσι, μπορούμε να χρησιμοποιήσουμε ένα NMOS τρανζίστορ τόσο σαν τρανζίστορ πρόσβασης, όσο και σαν οδηγό για το λογικό '0' των κόμβων του κυκλώματος όταν το σήμα WL είναι απενεργοποιημένο, αποφεύγοντας τη χρήση ξεχωριστού pull-down τρανζίστορ. Η μπροστά πύλη κάθε NMOS τρανζίστορ είναι συνδεδεμένη σε έναν από τους εσωτερικούς κόμβους του κυττάρου και η πίσω πύλη είναι συνδεδεμένη στη wordline (WL). Τα PMOS pull-up τρανζίστορ λειτουργούν σαν συμβατικά τρανζίστορ μονής πύλης καθώς οι δύο πύλες που έχει το καθένα από αυτά έχουν ενωθεί ηλεκτρικά. Επίσης προκειμένου το προτεινόμενο κύτταρο να μπορεί να διατηρήσει την τιμή '0' στους κόμβους του και με δεδομένη την απουσία pull-down τρανζίστορ, οι bitlines γειώνονται μέσω του κυκλώματος αποφόρτισης (πάνω δεξιά στο Σχ. 2.3) που αντικαθιστά το συνήθη προφορτιστή που χρησιμοποιείται στους συμβατικούς πίνακες μνήμης.

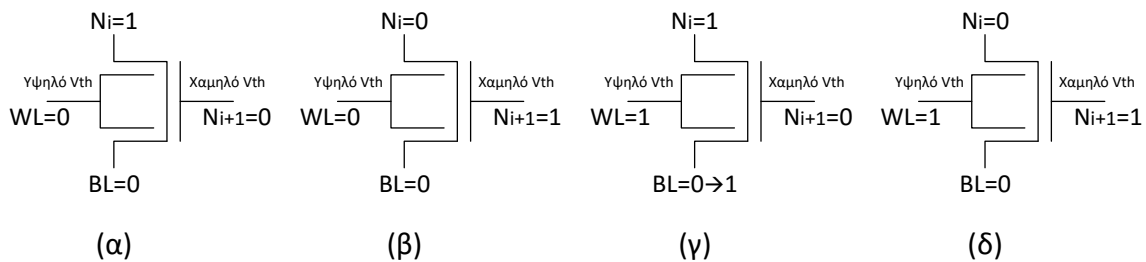
2.3.3 Λειτουργία FFDICE

Όταν το σήμα WL είναι στο λογικό '0' (κατάσταση αναμονής), οι κόμβοι N1, N2, N3 και N4 μπορούν να οδηγηθούν ενεργά μόνο στο λογικό '1'. Οι κόμβοι που έχουν αποθηκευμένο το λογικό '0' συγχρατούνται στην κατάσταση αυτή μέσω ρευμάτων διαρροής προς την αποφορτισμένη bitline στην οποία συνδέονται.



Σχήμα 2.3: Το ανθεκτικό 8T κύτταρο μνήμης FFDICE (αριστερά) μαζί με το κύκλωμα αποφόρτισης και τα υπόλοιπα κυκλώματα στήλης (δεξιά).

Για να είναι δυνατή η λειτουργία του FFDICE σαν κύτταρο μνήμης, η πίσω πύλη κάθε NMOS τρανζίστορ που είναι συνδεδεμένη με τη wordline έχει υψηλό V_{th} , ενώ η μπροστά πύλη που είναι συνδεδεμένη σε κάποιον από τους εσωτερικούς κόμβους του κυττάρου έχει χαμηλό V_{th} . Υπάρχουν 4 συνδυασμοί καταστάσεων στις οποίες μπορεί να βρεθεί κάθε NMOS τρανζίστορ του προτεινόμενου κυττάρου με βάση τις τιμές που έχουν τα σήματα στις πύλες του. Οι καταστάσεις αυτές απεικονίζονται στο Σχ. 2.4 και περιγράφονται παρακάτω.



Σχήμα 2.4: Οι δυνατές καταστάσεις στις οποίες μπορεί να βρεθεί κάθε ένα από τα NMOS τρανζίστορ που χρησιμοποιούνται στο κύτταρο FFDICE.

(α) Πίσω πύλη = '0', Μπροστά πύλη = '0'

Το σήμα WL είναι στο λογικό '0', δηλαδή βρισκόμαστε σε κατάσταση αναμονής. Και οι δύο πύλες του NMOS είναι σε λογικό '0' και συνεπώς το τρανζίστορ βρίσκεται σε ισχυρή κατάσταση OFF. Ο εσωτερικός κόμβος N_i που είναι συνδεδεμένος στην υποδοχή του NMOS βρίσκεται σε λογικό '1' και οδηγείται ισχυρά από κάποιο PMOS τρανζίστορ.

(β) Πίσω πύλη = '0', Μπροστά πύλη = '1'

Το σήμα WL είναι στο λογικό '0', δηλαδή βρισκόμαστε σε κατάσταση αναμονής. Η πύλη του NMOS με υψηλό V_{th} είναι σε λογικό '0' και η πύλη με χαμηλό V_{th} είναι σε λογικό '1'. Συνεπώς το τρανζίστορ βρίσκεται σε ανίσχυρη κατάσταση ON. Ο εσωτερικός κόμβος N_i που είναι συνδεδεμένος στην υποδοχή του NMOS βρίσκεται σε λογικό '0' και για να συγχρατηθεί στην κατάσταση αυτή απαιτείται

ισχυρό ρεύμα διαρροής I_{DS} προς την bitline που είναι αποφορτισμένη. Αυτός είναι ο λόγος που το V_{th} στην μπροστά πύλη του NMOS είναι μικρότερο. Έτσι το ρεύμα διαρροής του στην ανίσχυρη κατάσταση ON είναι ισχυρότερο από το ρεύμα διαρροής του PMOS που είναι σε ισχυρή κατάσταση OFF και του οποίου η υποδοχή είναι συνδεδεμένη στον κόμβο N_i .

(γ) Πίσω πύλη = '1', Μπροστά πύλη = '0'

Το σήμα WL είναι στο λογικό '1', δηλαδή βρισκόμαστε σε κατάσταση πρόσβασης (θεωρούμε κατάσταση ανάγνωσης καθώς η εγγραφή γίνεται με προφανή τρόπο λόγω της ισχυρής οδήγησης από τον οδηγό εγγραφής). Η πύλη του NMOS με υψηλό V_{th} είναι σε λογικό '1' και η πύλη με χαμηλό V_{th} είναι σε λογικό '0'. Συνεπώς το τρανζίστορ βρίσκεται σε ανίσχυρη κατάσταση OFF, δηλαδή υπάρχει μικρό ρεύμα διαρροής. Ο εσωτερικός κόμβος N_i που είναι συνδεδεμένος στην υποδοχή του NMOS βρίσκεται σε λογικό '1' και φορτίζει αργά την bitline ενώ ταυτόχρονα συγκρατείται στο λογικό '1' από κάποιο PMOS τρανζίστορ που βρίσκεται σε κατάσταση ON. Λόγω της ανίσχυρης κατάστασης OFF του NMOS τρανζίστορ η φόρτιση της bitline γίνεται με αργό ρυθμό, αλλά όπως παρουσιάζεται στην ενότητα 2.3.4 η φόρτιση είναι αρκετή για να ενεργοποιήσει τον ενισχυτή αίσθησης.

(δ) Πίσω πύλη = '1', Μπροστά πύλη = '1'

Το σήμα WL είναι στο λογικό '1', δηλαδή βρισκόμαστε σε κατάσταση πρόσβασης (θεωρούμε κατάσταση ανάγνωσης καθώς η εγγραφή γίνεται με προφανή τρόπο λόγω της ισχυρής οδήγησης από τον οδηγό εγγραφής). Και οι δύο πύλες του NMOS είναι σε λογικό '1' και συνεπώς το τρανζίστορ βρίσκεται σε ισχυρή κατάσταση ON. Ο εσωτερικός κόμβος N_i που είναι συνδεδεμένος στην υποδοχή του NMOS βρίσκεται σε λογικό '0' και διατηρεί την bitline στο '0'.

Συνεπώς, θεωρώντας χωρίς βλάβη της γενικότητας ότι το προτεινόμενο κύτταρο έχει αποθηκευμένες τις τιμές που φαίνονται στο Σχ. 2.3, διακρίνουμε τις δύο παρακάτω καταστάσεις ανάλογα με την τιμή του σήματος WL:

- WL = '0' (κατάσταση αναμονής)
 - P1, P3: ισχυρό OFF
 - P2, P4: ισχυρό ON
 - A1, A3: ανίσχυρο ON
 - A2, A4: ισχυρό OFF

Οι κόμβοι N1 και N3 διατηρούνται στο λογικό '0' μέσω των ισχυρών ρευμάτων διαρροής I_{DS} των τρανζίστορ A1 και A3 που είναι μεγαλύτερα από τα ρεύματα διαρροής των P1 και P3, ενώ οι κόμβοι N2 και N4 οδηγούνται ισχυρά στο λογικό '1' από τα τρανζίστορ P2 και P4 αντίστοιχα.

- WL = '1' (κατάσταση πρόσβασης)
 - P1, P3: ισχυρό OFF
 - P2, P4: ισχυρό ON

- A1, A3: ισχυρό ON
- A2, A4: ανίσχυρο OFF

Τα τρανζίστορ A1 και A3 είναι σε ισχυρό ON και συγκρατούν την bitline \overline{BL} στο '0', ενώ τα τρανζίστορ A2 και A4 είναι σε ανίσχυρο OFF και φορτίζουν αργά την bitline BL.

2.3.4 Προσομοίωση Λειτουργίας

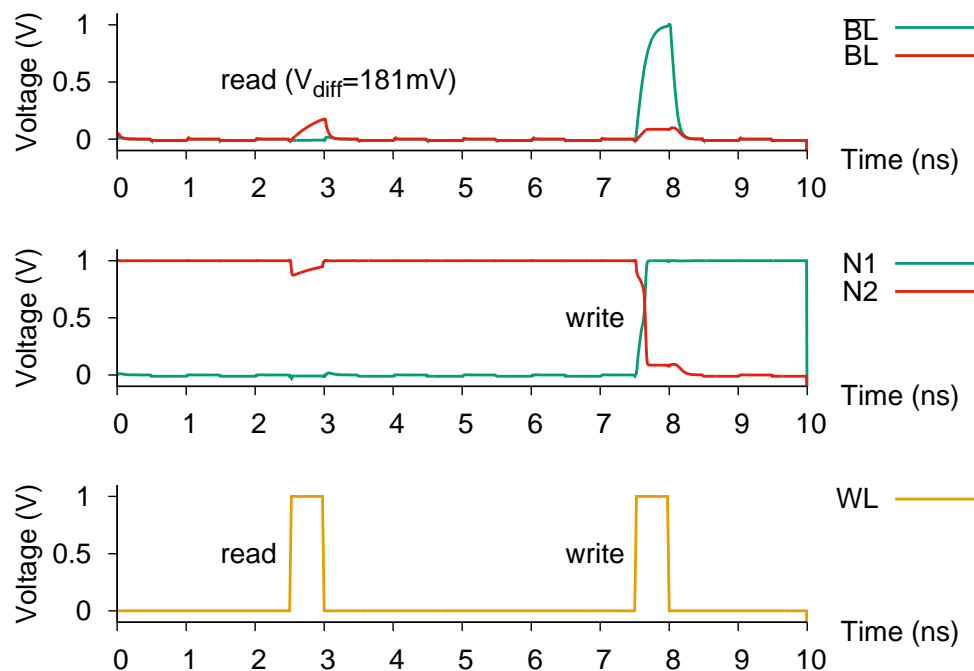
Η λειτουργία του προτεινόμενου κυττάρου FFDICE προσομοιώθηκε σε SPICE χρησιμοποιώντας μοντέλα από μια τεχνολογία 45nm IDG SOI FinFET PTM (Predictive Technology Model) με ονομαστική τάση τροφοδοσίας 1V [84]. Το πλάτος των FinFET τρανζίστορ βασίζεται στην παράμετρο h_{fin} που είναι σταθερή για μια δεδομένη τεχνολογία και είναι ίσο με $W = n_{fin} \times h_{fin}$ [83]. Στις προσομοιώσεις που κάναμε υποθέσαμε $h_{fin} = 25\text{nm}$, θέτωντας το πλάτος των PMOS τρανζίστορ ίσο με $W = 8 \times h_{fin}$ και το πλάτος των NMOS τρανζίστορ ίσο με $W = 4 \times h_{fin}$. Το μήκος του καναλιού L ορίστηκε ίσο με 50nm σε όλα τα τρανζίστορ [85]. Κάναμε επίσης κάποιες προσεγγίσεις για το παρασιτικό RC των bitlines στις οποίες συνδέονται τα τρανζίστορ πρόσβασης (όπως φαίνεται και στο Σχ. 2.3), θέτωντας $C_{bl} = 100\text{fF}$ και $R_{bl} = 150\Omega$. Οι υπολογισμοί βασίστηκαν σε Predictive Technology Models των διασυνδέσεων [84], και επεκτάθηκαν σε τεχνολογία 45nm.

Όσον αφορά στις τάσεις κατωφλίου της μπροστά και πίσω πύλης των NMOS τρανζίστορ, προέκυψαν μετά από πειραματισμούς κατά την προσομοίωση σε SPICE. Ορίσαμε την τάση κατωφλίου της πίσω πύλης στα 0.65V και της μπροστά πύλης στα 0.31V. Για τα PMOS τρανζίστορ, η τάση κατωφλίου ορίστηκε στα -0.275V και για τις δύο πύλες, καθώς είναι βραχυκυκλωμένες μεταξύ τους και λειτουργούν σαν τρανζίστορ μονής πύλης.

Τέλος, υποθέσαμε μια συχνότητα λειτουργίας 1GHz, όπου στο πρώτο μισό του κύκλου του ρολογιού, το σήμα αποφόρτισης DC θέτει σε λειτουργία τους αποφορτιστές οι οποίοι γειώνουν τις bitlines και στο δεύτερο μισό τους απενεργοποιεί για να μπορούν να πραγματοποιηθούν οι προσβάσεις στη μνήμη.

Στα συμβατικά κύτταρα 6T και DICE, υποθέσαμε ότι το μήκος όλων των καναλιών είναι ίσο με $L = 50\text{nm}$, το πλάτος των PMOS pull-up τρανζίστορ είναι ίσο με $W = 4 \times h_{fin}$, το πλάτος των NMOS pull-down τρανζίστορ είναι ίσο με $W = 8 \times h_{fin}$ και το πλάτος των NMOS τρανζίστορ πρόσβασης είναι ίσο με $W = 4 \times h_{fin}$. Όλα τα τρανζίστορ χρησιμοποιούν μοντέλα της ίδιας τεχνολογίας και λειτουργούν σαν τρανζίστορ μονής πύλης.

Στο Σχ. 2.5 φαίνεται μια πρόσβαση ανάγνωσης/εγγραφής. Αρχικά, οι bitlines BL και \overline{BL} έχουν αποφορτιστεί στο '0', ο κόμβος N1 είναι στο '0' και ο κόμβος N2 είναι στο '1'. Οι κόμβοι N3 και N4 είναι συμμετρικοί των κόμβων N1 και N2 και συνεπώς παραλείπονται από το γράφημα. Η πρόσβαση ανάγνωσης γίνεται στα 2.5ns, όταν δηλαδή το σήμα WL ενεργοποιείται και η γραμμή BL αρχίζει να φορτίζεται. Στο τέλος του κύκλου του 1ns, η διαφορά τάσης που έχει αναπτυχθεί μεταξύ των δύο bitlines είναι ίση με 181mV, η οποία είναι επαρκής για έναν συμβατικό ενισχυτή αίσθησης παίρνοντας υπόψη και τις διακυμάνσεις στην κατασκευαστική διαδικασία [86]. Στα 7.5ns, το σήμα της wordline WL ενεργοποιείται ξανά προκειμένου να εκτελεστεί μία εγγραφή η οποία γράφει στο κύτταρο την αντίστροφη τιμή από την υπάρχουσα και ολοκληρώνεται επιτυχώς πριν το τέλος του κύκλου που είναι στα 8ns.



Σχήμα 2.5: Λειτουργία ανάγνωσης (στα 2.5ns) και εγγραφής (στα 7.5ns).

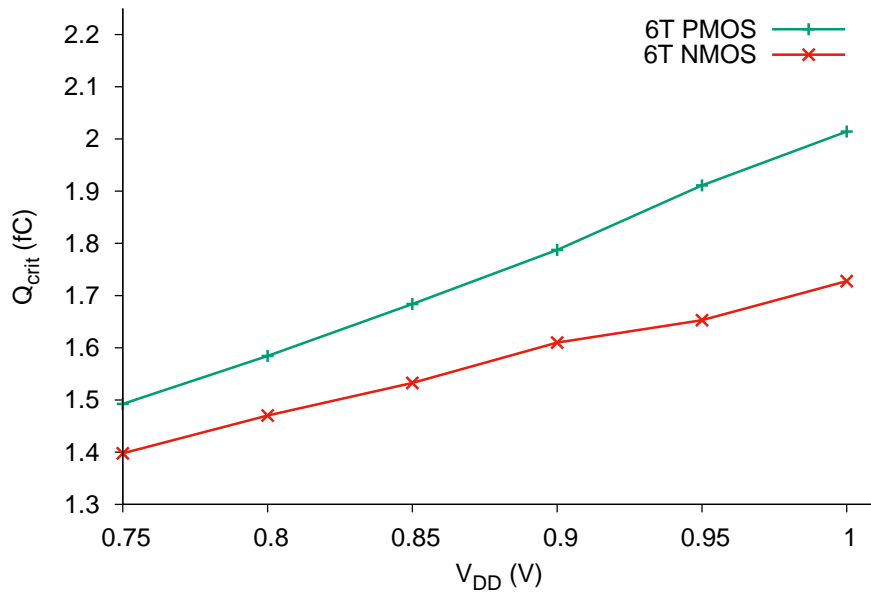
2.3.5 Προσομοίωση Ανθεκτικότητας σε Μεταβατικά Σφάλματα

Στη μελέτη της ανθεκτικότητας του προτεινόμενου κυττάρου FFDICE καθώς και των υπάρχοντων κυττάρων 6T και DICE, έχουμε χρησιμοποιήσει το μοντέλο διακόπτη για την προσομοίωση ενός SEU όπως αυτό παρουσιάζεται στην ενότητα 1.4.2.

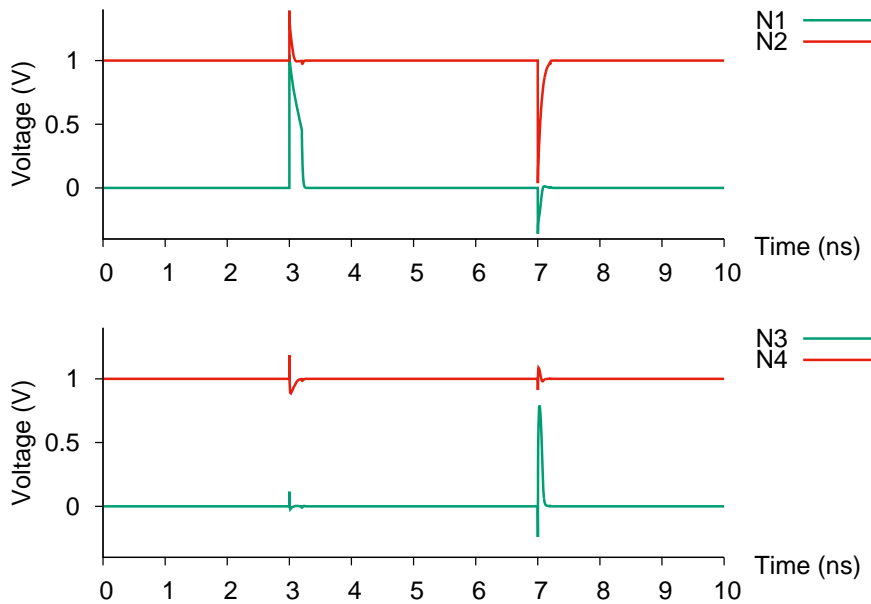
Αρχικά προσομοιώσαμε ένα συμβατικό κύτταρο 6T για SNU που συμβαίνουν όταν η τάση τροφοδοσίας V_{DD} κυμαίνεται από 0.75V μέχρι 1V. Τα αποτελέσματα για το Q_{crit} παρουσιάζονται στο Σχ. 2.6 και αφορούν σε διαταραχές που επηρεάζουν τα PMOS και NMOS τρανζίστορ σε κατάσταση OFF. Σύμφωνα με τα αποτελέσματα, το κύτταρο 6T μπορεί να ανατραπεί για φορτίο μόλις $\sim 1.7fC$ για $V_{DD}=1V$ και για φορτίο μόλις $\sim 1.4fC$ για $V_{DD}=0.75V$.

Αντίθετα, το κύκλωμα του FFDICE βρέθηκε όπως αναμενόταν ανθεκτικό σε SNU ανεξαρτήτως του επαγόμενου φορτίου καθώς αποτελεί τροποποίηση του κυττάρου DICE. Το Σχ. 2.7 παρουσιάζει τη διαδικασία επαναφοράς του FFDICE από SNU στους κόμβους N1 (διαταραχή PMOS τρανζίστορ σε κατάσταση OFF) και N2 (διαταραχή NMOS τρανζίστορ σε κατάσταση OFF).

Όπως όλα τα κύτταρα μνήμης, έτσι και το προτεινόμενο υποφέρει από το πρόβλημα των διαταραχών πολλαπλών κόμβων (MNU) λόγω μίας και μόνο πρόσκρουσης ακτινοβολίας, και ιδιαίτερα από διαταραχές δύο κόμβων (DNU) που είναι και το πιο σύνηθες φαινόμενο. Όπως αναφέραμε και στην ενότητα 2.3.2, το κύτταρο FFDICE κάνει χρήση της τεχνικής του κυττάρου DICE για να μπορεί να αντιμετωπίσει τα μεταβατικά σφάλματα. Δηλαδή χρησιμοποιεί ένα σχήμα διπλής αλληλομανδάλωσης, το οποίο όμως είναι ευάλωτο όταν μια διαταραχή επηρεάσει και τα δύο PMOS ή NMOS τρανζίστορ σε κατάσταση OFF. Στην περίπτωση αυτή, το κύτταρο ανατρέπεται όταν το επαγόμενο φορτίο ξεπεράσει ένα κρίσιμο φορτίο Q_{crit} . Οι ευάλωτοι συνδυασμοί κόμβων του FFDICE, υποθέτοντας ότι βρίσκεται στην κατάσταση που φαίνεται στο Σχ. 2.3, είναι οι εξής:



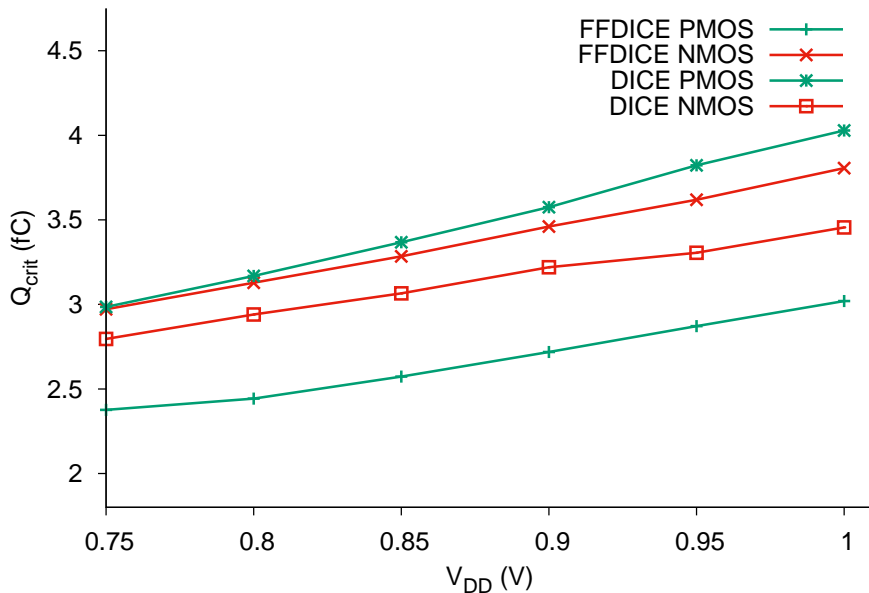
Σχήμα 2.6: Κρίσιμο φορτίο του συμβατικού κυττάρου 6T για SNU που επηρεάζουν τα PMOS και NMOS τρανζίστορ του.



Σχήμα 2.7: Προσομοίωση SNU στους κόμβους N1 και N2 του προτεινόμενου κυττάρου FFDICE στα 3ns και 7ns αντίστοιχα.

- Κόμβοι N2 και N4 που βρίσκονται σε λογική κατάσταση '1'. Ένα SEU που προκαλεί διαμοιρασμό φορτίου μεταξύ των τρανζίστορ A2 και A4, οδηγεί τους κόμβους N2 και N4 στο '0'.
- Κόμβοι N1 και N3 που βρίσκονται σε λογική κατάσταση '0'. Ένα SEU που προκαλεί διαμοιρασμό φορτίου μεταξύ των τρανζίστορ P1 και P3, οδηγεί τους κόμβους N1 και N3 στο '1'.

Διεξήγαμε προσομοιώσεις DNU σε SPICE για διακύμανση της τάσης τροφοδοσίας V_{DD} από 0.75V μέχρι 1V και υπολογίσαμε το Q_{crit} που απαιτείται για να ανατρέψει το προτεινόμενο κύτταρο μνήμης καθώς και το κύτταρο DICE. Τα αποτελέσματα στο Σχ. 2.8 δείχνουν ότι το προτεινόμενο κύτταρο έχει μικρότερο Q_{crit} για DNU κατά



Σχήμα 2.8: Κρίσιμο φορτίο για DNU στα κύτταρα FFDICE και DICE που αντιστοιχεί σε διαταραχή δύο PMOS ή NMOS τρανζίστορ σε κατάσταση OFF.

~21% έως 25% σε σχέση με το κύτταρο DICE όσον αφορά στα PMOS τρανζίστορ που βρίσκονται σε κατάσταση OFF, επειδή οι κόμβοι του που είναι ίσοι με '0' δεν έχουν ισχυρή οδήγηση. Αντίθετα, το Q_{crit} για τα NMOS τρανζίστορ που βρίσκονται σε κατάσταση OFF είναι μεγαλύτερο κατά ~6% έως 10% στο κύτταρο FFDICE σε σύγκριση με το κύτταρο DICE.

2.4 Σταθερότητα και Επιφάνεια

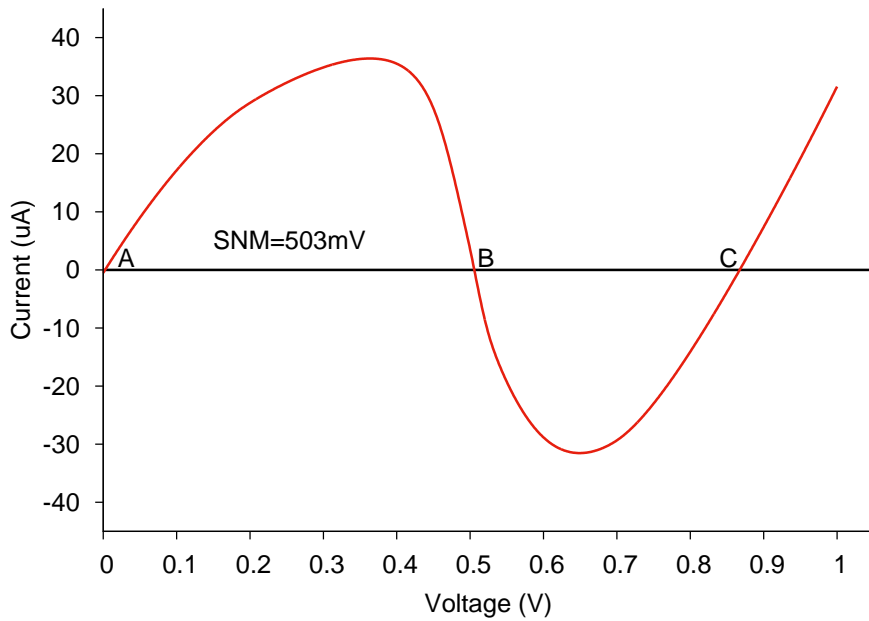
2.4.1 Περιθώριο Στατικού Θορύβου

Υπολογίσαμε το περιθώριο στατικού θορύβου (SNM - Static Noise Margin) του προτεινόμενου κυττάρου FFDICE με χρήση N-Curves [87], μια μεθοδολογία που εξάγει τις μετρικές σταθερότητας ενός δισταθούς κυττάρου. Χρησιμοποιώντας προσομοίωση σε SPICE, εκτελούμε DC sweep και μετράμε το ρεύμα της πηγής, όπως φαίνεται και στο Σχ. 2.9. Η διαφορά των τάσεων στα σημεία A και B όπου το ρεύμα μηδενίζεται καθορίζει το SNM του κυττάρου, που στο συγκεκριμένο κύκλωμα είναι 503mV.

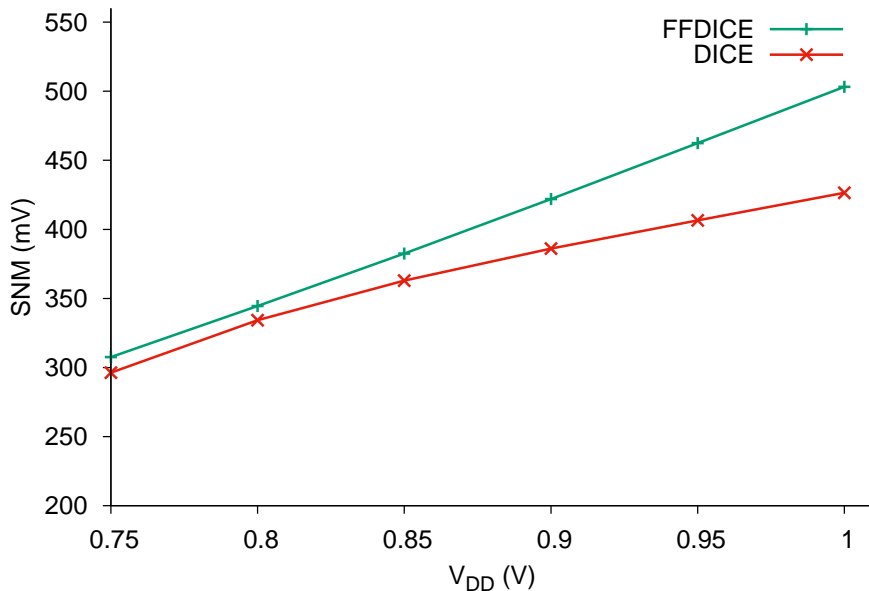
Στη συνέχεια συγκρίναμε το SNM του προτεινόμενου κυττάρου με αυτό του κυττάρου DICE όταν αυτό έχει σχεδιαστεί με μοντέλα της ίδιας IDG SOI FinFET τεχνολογίας, για ένα εύρος τάσης τροφοδοσίας V_{DD} από 0.75V μέχρι 1V. Όπως φαίνεται στο Σχ. 2.10, η βελτίωση που προσφέρει το προτεινόμενο κύτταρο FFDICE συγκριτικά με το κύτταρο DICE αρχίζει από 4% για $V_{DD}=0.75V$ και φτάνει το 18% όταν η τάση γίνεται ίση με την ονομαστική ($V_{DD}=1V$).

2.4.2 Επιβάρυνση σε Επιφάνεια

Το προτεινόμενο κύτταρο FFDICE, μειώνει την επιφάνεια που καταλαμβάνει το συμβατικό κύτταρο DICE συγχωνεύοντας τα pull-down NMOS τρανζίστορ με τα τρανζίστορ πρόσβασης, μέσω της χρησιμοποίησης IDG SOI FinFET. Προκειμένου να κάνουμε μια εκτίμηση της επιβάρυνσης σε επιφάνεια χωρίς να έχουμε στη διάθεσή μας ένα design



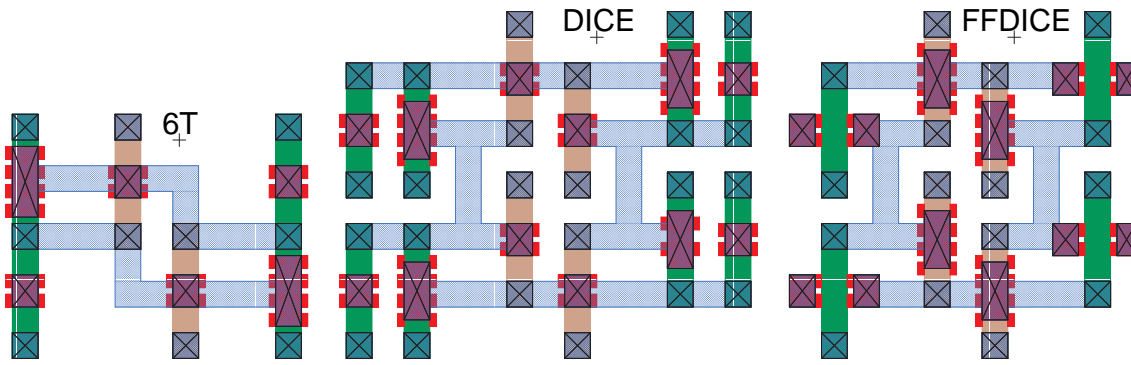
Σχήμα 2.9: Περιθώριο στατικού θορύβου, $SNM=V(B)-V(A)$.



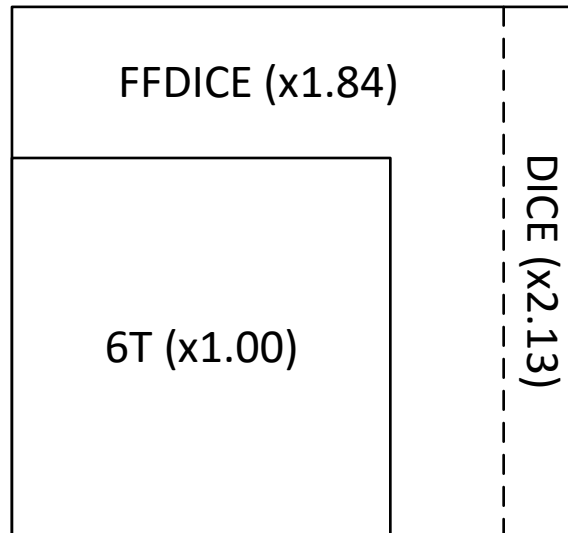
Σχήμα 2.10: Περιθώριο στατικού θορύβου όταν η τάση τροφοδοσίας V_{DD} κυμαίνεται από 0.75V μέχρι 1V.

kit, σχεδιάσαμε κάποια στοιχειώδη layouts για τα κύτταρα 6T, DICE και FFDICE, τα οποία παρουσιάζονται στο Σχ. 2.11. Οι διαστάσεις που χρησιμοποιήθηκαν για τα τρανζίστορ είναι αυτές που αναφέρονται στην ενότητα 2.3.4. Επίσης υποθέτουμε ότι στα IDG FinFET τρανζίστορ που λειτουργούν ως τρανζίστορ μονής πύλης, μια επαφή που συνδέει τις δύο πύλες τους έχει τοποθετηθεί πάνω από το κανάλι.

Το Σχ. 2.12 προκύπτει από την επικάλυψη των layouts του Σχ. 2.11, και δείχνει μια πρόχειρη εκτίμηση της επιβάρυνσης σε επιφάνεια των κυττάρων DICE και FFDICE σε σχέση με το συμβατικό κύτταρο 6T. Το προτεινόμενο κύτταρο FFDICE είναι $\times 1.84$ φορές μεγαλύτερο από το 6T, ενώ το κύτταρο DICE είναι $\times 2.13$ φορές μεγαλύτερο. Συνεπώς, το προτεινόμενο κύτταρο μνήμης είναι $\sim 16\%$ μικρότερο του κυττάρου DICE.



Σχήμα 2.11: Layouts των κυττάρων μνήμης 6T, DICE και FFDICE.



Σχήμα 2.12: Σύγκριση της επιφάνειας που καταλαμβάνουν τα κύτταρα μνήμης 6T, DICE και FFDICE.

2.5 Επίλογος

Στο κεφάλαιο αυτό παρουσιάστηκε το ανθεκτικό σε SNU κύτταρο DICE καθώς και το προτεινόμενο κύτταρο FFDICE που χρησιμοποιεί τις ίδιες τεχνικές ανθεκτικότητας με αυτές του κυττάρου DICE, αλλά καταλαμβάνει ~16% λιγότερη επιφάνεια εκμεταλλευόμενο τις ιδιότητες της τεχνολογίας IDG SOI FinFET. Το προτεινόμενο στοιχείο μνήμης συγχωνεύει το pull-down κομμάτι με το κύκλωμα πρόσβασης και είναι ανθεκτικό απέναντι σε SNU όπως και το κύτταρο DICE. Αποδεικνύεται ότι παρά την απουσία του pull-down κομματιού, το FFDICE μπορεί να λειτουργήσει σαν ένα κανονικό κύτταρο μνήμης με διαφορετική ανάγνωση και εγγραφή, μέσω γείωσης των bitlines αντί για προφόρτιση. Τα αποτελέσματα των προσομοιώσεων έδειξαν ότι για ένα εύρος τάσεων τροφοδοσίας V_{DD} από 0.75V μέχρι 1V το FFDICE παρέχει βελτιωμένο SNM μέχρι και ~18% σε σύγκριση με το κύτταρο DICE, διατηρώντας ταυτόχρονα τις ανθεκτικές στην ακτινοβολία ιδιότητές του.

Κεφάλαιο 3

Μανδαλωτές Ανθεκτικοί σε Διαταραχές Δύο Κόμβων

3.1 Εισαγωγή

Τα μεταβατικά σφάλματα λόγω ακτινοβολίας, επηρέασαν αρχικά τις μνήμες τύπου SRAM στις οποίες γίνεται χρήση πυκνών πινάκων από κύτταρα μνήμης και τα τρανζίστορ που χρησιμοποιούνται έχουν ελάχιστες διαστάσεις. Οι μικρές αποστάσεις μεταξύ των στοιχείων μνήμης και οι μικρές χωρητικότητες των κόμβων έκαναν τις μνήμες τύπου SRAM ιδιαίτερα επιρρεπείς σε ακτινοβολία, όμως η συνεχής αύξηση της κλίμακας ολοκλήρωσης στις σύγχρονες νανοτεχνολογίες επέκτεινε το συγκεκριμένο πρόβλημα στους μανδαλωτές και στα flip-flops. Τα συγκεκριμένα στοιχεία μνήμης βρίσκονται σε αφθονία στις σύγχρονες επεξεργαστικές μονάδες και σε περίπτωση μεταβατικού σφάλματος διαδίδουν λανθασμένες τιμές σε επόμενα στάδια λογικής [3, 4, 19–21]. Επίσης, η χρήση της τεχνικής DVFS που είναι ιδιαίτερα διαδεδομένη στους σύγχρονους επεξεργαστές, επηρεάζει σε μεγάλο βαθμό την ανοχή των κυκλωμάτων σε ακτινοβολία κάνοντας ακόμα πιο επιτακτική την ανάγκη προστασίας των μανδαλωτών [23, 24].

Όπως αναφέρθηκε στην ενότητα 1.7.3, οι λύσεις σε αρχιτεκτονικό επίπεδο (π.χ. ECC και TMR) είναι διαδεδομένες σε μνήμες τύπου SRAM καθώς μπορούν να εφαρμοστούν με σχετικά χαμηλό κόστος σε μεγάλους πίνακες μνημών [34, 64, 65, 70–72]. Όμως, καθώς οι μανδαλωτές αποτελούν κομμάτια της λογικής και είναι διασκορπισμένοι στο ολοκληρωμένο κύκλωμα, οι λύσεις αρχιτεκτονικού τύπου είναι δύσκολο να εφαρμοστούν [74, 75]. Επομένως, οι τεχνικές που επεμβαίνουν σε επίπεδο κυκλώματος αποδεικνύονται πιο αποδοτικές.

Η πλειοψηφία των ανθεκτικών σε ακτινοβολία μανδαλωτών που έχουν προταθεί στη βιβλιογραφία, μπορεί να αντιμετωπίσει διαταραχές που επηρεάζουν ένα μόνο κόμβο του κυκλώματος (Single Node Upsets - SNU) [46, 88–90]. Όμως, όπως έχουμε αναφέρει στην ενότητα 1.5, η συνεχής σμίχρυνση των κυκλωμάτων αυξάνει την πιθανότητα να επηρεαστούν γειτονικοί κόμβοι από το επαγόμενο φορτίο προκαλώντας διαταραχές πολλαπλών κόμβων (Multiple Node Upsets - MNU) και κυρίως διαταραχές που επηρεάζουν δύο κόμβους του κυκλώματος (Double Node Upsets - DNU) [24, 33–35].

Ως αποτέλεσμα, έχουν ήδη προταθεί κάποιοι μανδαλωτές ανθεκτικοί σε DNU. Οι τεχνικές σε επίπεδο φυσικού σχεδίου (layout) κάνουν χρήση διαφορετικών τεχνολογιών κατασκευής ή αυξάνουν την απόσταση μεταξύ γειτονικών κόμβων, προκειμένου να μειώσουν την πιθανότητα το επαγόμενο φορτίο να διαταράξει πάνω από ένα κόμβο [51, 74, 91]. Όμως, η εξάρτηση των τεχνικών αυτών από την τεχνολογία καθώς

και η πολυπλοκότητα που εισάγουν στο φυσικό σχέδιο, τις καθιστούν μη αποδοτικές. Άλλοι μανδαλωτές ανθεκτικοί σε DNU μπορούν να ανεχθούν διαταραχές μέχρι ένα συγκεκριμένο κρίσιμο φορτίο [92] ή προστατεύουν μόνο περιορισμένους συνδυασμούς DNU [93]. Παρόλα αυτά, υπάρχουν κάποιοι μανδαλωτές που έχουν προταθεί στη διεθνή βιβλιογραφία και αντιμετωπίζουν με αποτελεσματικότητα τα DNU, με το μειονέκτημα όμως του μεγάλου κόστους σε δυναμική ενέργεια και καθυστέρηση διάδοσης [94–97].

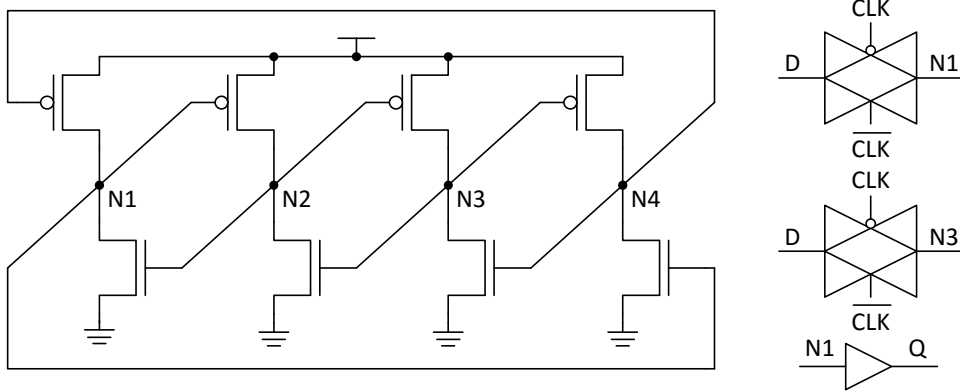
Στο κεφάλαιο αυτό προτείνουμε τρεις διαφορετικούς μανδαλωτές, οι οποίοι είναι πλήρως ανθεκτικοί σε DNU και παρουσιάζουν βελτιωμένες επιδόσεις σε σχέση με υπάρχοντες ανθεκτικούς μανδαλωτές ως προς το κόστος σε ενέργεια και καθυστέρηση. Στην ενότητα 3.2 παρουσιάζονται ορισμένοι από τους πιο γνωστούς και αποδοτικούς μανδαλωτές που υπάρχουν στη βιβλιογραφία και είναι ανθεκτικοί σε SNU ή DNU. Στις ενότητες 3.3 και 3.4 παρουσιάζονται οι προτεινόμενοι μανδαλωτές DONUT και Delta DICE αντίστοιχα, που χρησιμοποιούν σαν δομικό στοιχείο το κύτταρο DICE που παρουσιάστηκε στην ενότητα 2.2 προκειμένου να επιτύχουν πλήρη ανθεκτικότητα απέναντι σε DNU. Ένας ακόμα προτεινόμενος μανδαλωτής που ονομάζεται DIRT και είναι ανθεκτικός σε DNU παρουσιάζεται στην ενότητα 3.5. Ο σχεδιασμός του μανδαλωτή DIRT είναι καινοτόμος και βασίζεται τόσο στη χρήση πλεονάζουσας πληροφορίας όσο και στη χρήση ενός αναστροφέα διπλής εισόδου για να επιτύχει τη ζητούμενη ανθεκτικότητα με μικρή επιβάρυνση σε ενέργεια και καθυστέρηση. Στην ενότητα 3.6 γίνεται μια αξιολόγηση των προτεινόμενων μανδαλωτών και σύγκριση του κόστους τους με αυτό των μανδαλωτών που παρουσιάστηκαν στην ενότητα 3.2. Η ενότητα 3.7 ολοκληρώνει το κεφάλαιο.

3.2 Μανδαλωτές Ανθεκτικοί σε Μεταβατικά Σφάλματα

Υπάρχουν δύο βασικές κατηγορίες μανδαλωτών ανθεκτικών σε ακτινοβολία. Οι μανδαλωτές που ανήκουν στην πρώτη κατηγορία είναι ανθεκτικοί απέναντι σε διαταραχές που επάγουν φορτίο χαμηλότερο από ένα κρίσιμο φορτίο. Αυτό έχει ως αποτέλεσμα η ανθεκτικότητά τους να επηρεάζεται ιδιαίτερα από τεχνολογικές παραμέτρους (π.χ. τάση τροφοδοσίας κ.α.), καθιστώντας τους επιρρεπείς σε ακτινοβολία όσο η κλίμακα ολοκλήρωσης αυξάνεται. Οι μανδαλωτές της δεύτερης κατηγορίας είναι ανθεκτικοί σε διαταραχές ανεξαρτήτως από το επαγόμενο φορτίο. Σε αυτή την ενότητα παρουσιάζουμε κάποιους από τους πιο γνωστούς και αποδοτικούς μανδαλωτές που ανήκουν στη δεύτερη κατηγορία και είναι ανθεκτικοί σε SNU ή DNU.

Μανδαλωτής DICE [46]

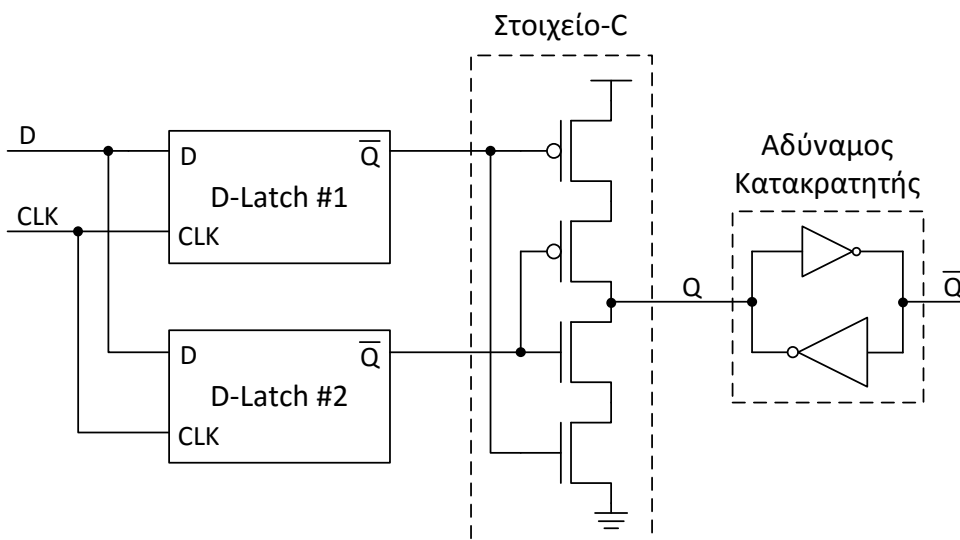
Ο μανδαλωτής DICE (Σχ. 3.1) που έχει παρουσιαστεί αναλυτικά στην ενότητα 2.2, είναι ανθεκτικός σε SNU και βασίζεται σε διπλή αλληλομανδάλωση (dual interlocking). Αποθηκεύοντας τις συμπληρωματικές τιμές σε δύο ζευγάρια μανδαλωτών, διατηρεί πάντα μια ανεπηρέαστη πηγή για να αντλήσει την αποθηκευμένη πληροφορία και επαναφέρει τον κόμβο που υπέστη διαταραχή μέσω του βρόχου θετικής ανάδρασης. Σε περίπτωση DNU που επηρεάζει δύο μη γειτονικούς κόμβους, ο μανδαλωτής DICE ανατρέπεται.



Σχήμα 3.1: Ο ανθεκτικός σε SNU μανδαλωτής DICE [46].

Μανδαλωτής BISER [88]

Ο μανδαλωτής BISER (Σχ. 3.2) χρησιμοποιεί ένα ζευγάρι συμβατικών μανδαλωτών τύπου D (D-latches) οι οποίοι οδηγούν ένα στοιχείο-C (C-element) δύο εισόδων και αυτό με τη σειρά του οδηγεί έναν αδύναμο κατακρατητή (weak keeper). Στον Πίνακα 3.1 παρουσιάζεται η συμπεριφορά της εξόδου του στοιχείου-C για όλα τα πιθανά ζευγάρια εισόδων. Ο αδύναμος κατακρατητής αποτελείται από δύο διαδοχικούς αναστροφείς που σχηματίζουν ένα βρόχο ανάδρασης. Το πλάτος του αναστροφέα που έχει την έξοδο του συνδεδεμένη στην έξοδο Q του μανδαλωτή BISER, είναι μεγαλύτερο ώστε να παρέχει την απαραίτητη δύναμη οδήγησης. Όταν συμβεί ένα SNU σε έναν από τους μανδαλωτές τύπου D, η έξοδος του στοιχείου-C μεταβαίνει σε κατάσταση υψηλής αντίστασης καθώς οι εισοδοί του γίνονται συμπληρωματικές, ενώ ο κατακρατητής διατηρεί τη σωστή λογική τιμή στην έξοδο Q. Αν ένα SNU επηρεάσει κάποιον κόμβο του κατακρατητή, η επαναφορά του γίνεται μέσω του στοιχείου-C το οποίο είναι σχεδιασμένο να παρέχει αρκετή δύναμη οδήγησης προκειμένου να επαναφέρει τον κατακρατητή. Όσον αφορά στα DNU, ο μανδαλωτής BISER δεν είναι ανθεκτικός, και οποιαδήποτε διαταραχή που επηρεάζει είτε τους δύο μανδαλωτές τύπου D, είτε έναν από τους μανδαλωτές και τον κατακρατητή, οδηγεί στην ανατροπή του.



Σχήμα 3.2: Ο ανθεκτικός σε SNU μανδαλωτής BISER [88].

Πίνακας 3.1: Πίνακας αληθείας στοιχείου-C δύο εισόδων.

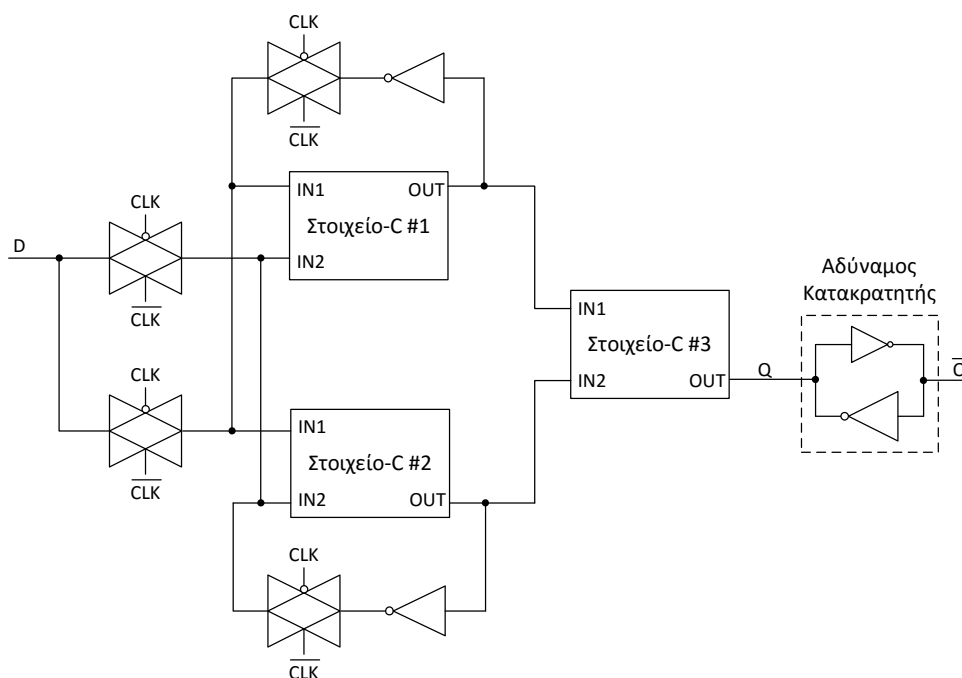
IN1	IN2	OUT
0	0	1
0	1	Διατηρείται η προηγούμενη έξοδος σε κατάσταση υψηλής αντίστασης
1	0	Διατηρείται η προηγούμενη έξοδος σε κατάσταση υψηλής αντίστασης
1	1	0

Μανδαλωτής FERST [89]

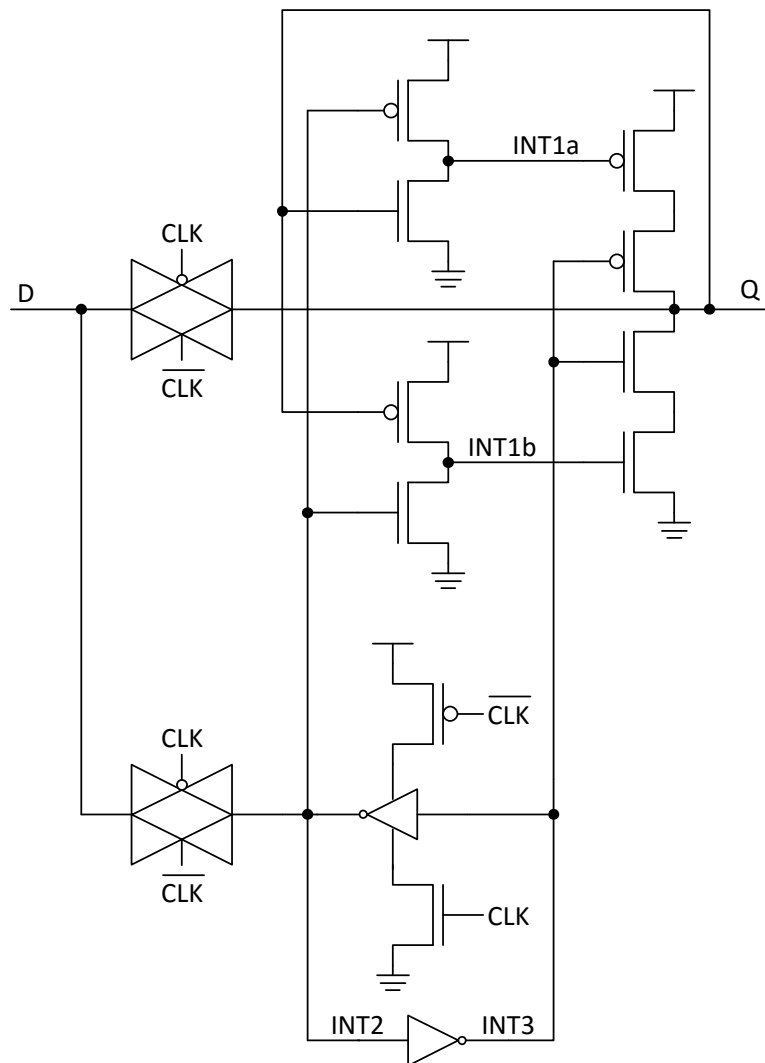
Ο μανδαλωτής FERST (Σχ. 3.3) χρησιμοποιεί την ίδια τεχνική για ανοχή σε ακτινοβολία που χρησιμοποιεί και ο μανδαλωτής BISER (στοιχείο-C που οδηγεί έναν αδύναμο κατακρατητή), αλλά αντί να κάνει χρήση δύο συμβατικών μανδαλωτών τύπου D, χρησιμοποιεί δύο τροποποιημένους μανδαλωτές με πολυπλεγμένες εισόδους. Στο βρόχο ανάδρασης καθενός από αυτούς τους μανδαλωτές, ο ένας αναστροφέας έχει αντικατασταθεί από ένα στοιχείο-C (Στοιχεία-C #1 και #2). Κάθε μανδαλωτής τροφοδοτεί τη δεύτερη είσοδο του στοιχείου-C του άλλου μανδαλωτή. Οι έξοδοι τους οδηγούν ένα τρίτο στοιχείο-C (Στοιχείο-C #3), το οποίο οδηγεί την έξοδο Q του μανδαλωτή FERST. Ομοίως με το μανδαλωτή BISER, ο μανδαλωτής FERST είναι ανθεκτικός απέναντι σε SNU, αλλά επιρρεπής απέναντι σε DNU.

Μανδαλωτής HIPER [90]

Ο μανδαλωτής HIPER (Σχ. 3.4) χρησιμοποιεί δύο ανεξάρτητους βρόχους ανάδρασης και τρεις εσωτερικούς κόμβους που οδηγούν ένα στοιχείο-C δύο εισόδων, το οποίο με τη σειρά του καθορίζει τη σωστή τιμή της εξόδου Q ανάλογα με την τιμή της πλειοψηφίας των εσωτερικών κόμβων. Καθώς ο σχεδιασμός του μανδαλωτή HIPER είναι βασισμένος στην αρχή της πλειοψηφίας, είναι προφανές ότι είναι ανθεκτικός σε SNU και επιρρεπής σε DNU.



Σχήμα 3.3: Ο ανθεκτικός σε SNU μανδαλωτής FERST [89].



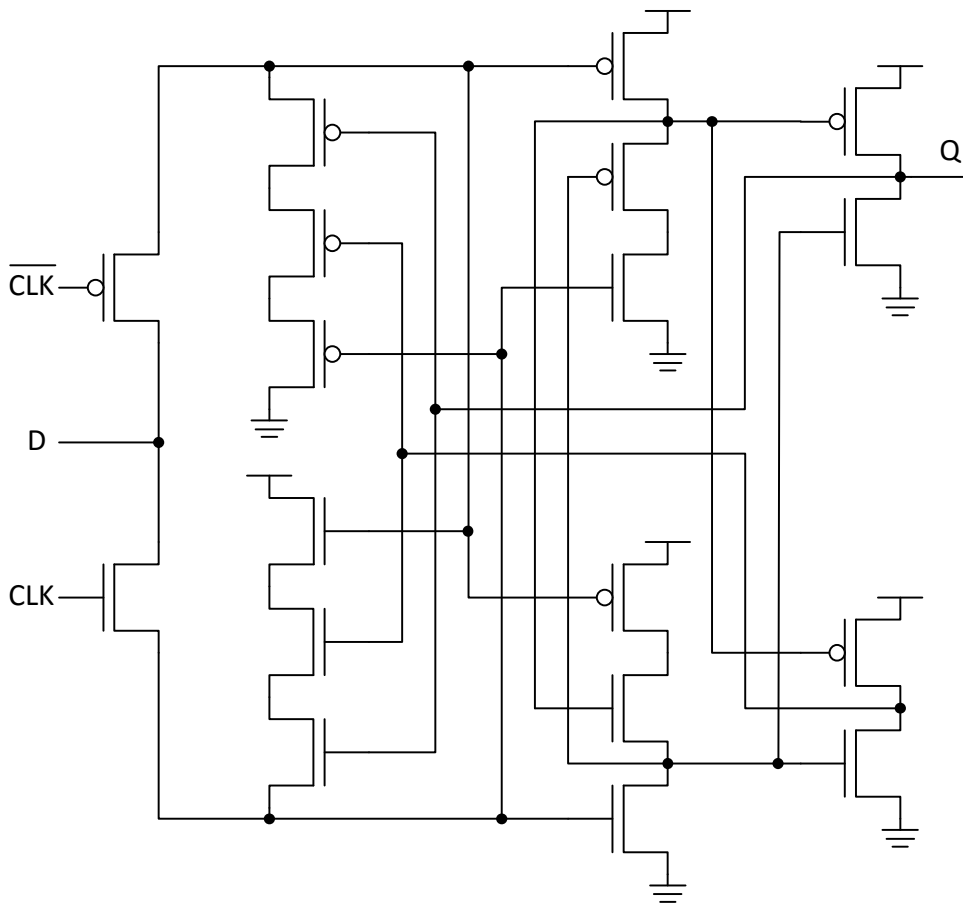
Σχήμα 3.4: Ο ανθεκτικός σε SNU μανδαλωτής HIPER [90].

Μανδαλωτής Προτεινόμενος στο [93]

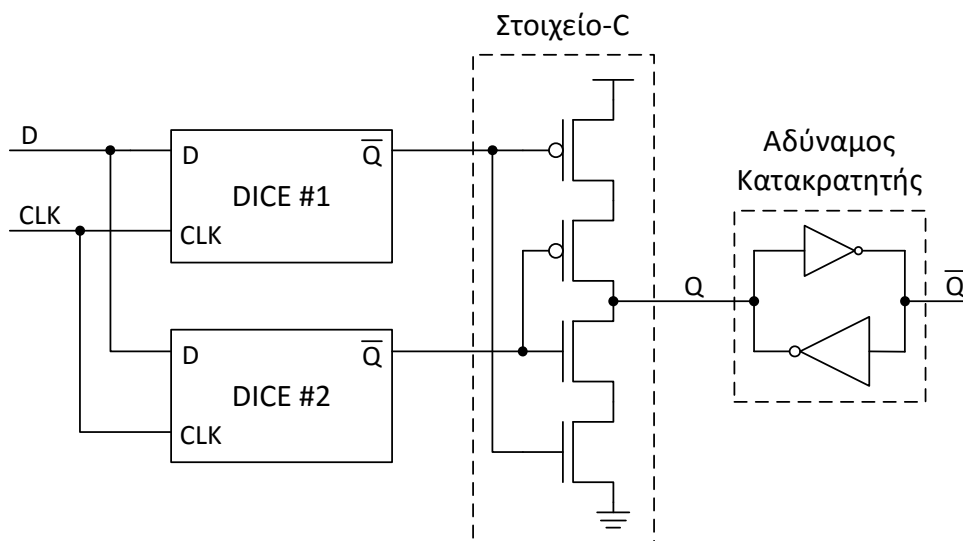
Ο μανδαλωτής που προτείνεται στο [93] και φαίνεται στο Σχ. 3.5 είναι βασισμένος σε ένα υβριδικό σχεδιασμό με στοιβές τρανζίστορ και ξεχωριστά δίκτυα αλληλομανδάλωσης για τα τρανζίστορ PMOS και NMOS. Στα μειονεκτήματά του συγκαταλέγεται το γεγονός ότι απαιτεί συνεχή λειτουργία του ρολογιού, καθώς η αποθηκευμένη πληροφορία διατηρείται δυναμικά μέσω της παρασιτικής χωρητικότητας των κόμβων του, με αποτέλεσμα να είναι επιρρεπής σε ρεύματα διαρροής όταν το ρολόι είναι εκτός λειτουργίας (δεν επιτρέπεται clock gating). Επίσης, ο μανδαλωτής αυτός παρέχει μόνο μερική ανοχή σε DNU καθώς δεν επαναφέρεται στην αρχική του κατάσταση όταν υποστεί DNU σε κάποιους από τους συνδυασμούς των εσωτερικών του κόμβων.

Μανδαλωτής Προτεινόμενος στο [94]

Ο μανδαλωτής που προτείνεται στο [94] και φαίνεται στο Σχ. 3.6 είναι ανθεκτικός σε DNU και βασίζεται στο μανδαλωτή BISER. Οι δύο μανδαλωτές τύπου D του μανδαλωτή BISER αντικαθίστανται από δύο κύτταρα μήμης DICE προκειμένου να επιτευχθεί η ανθεκτικότητα απέναντι σε DNU. Ένα DNU που επηρεάζει δύο κόμβους ενός από τα κύτταρα DICE το ανατρέπει, οδηγώντας την έξοδο του στοιχείου-C σε κατάσταση



Σχήμα 3.5: Ο ανθεκτικός σε SNU μανδαλωτής που προτείνεται στο [93].



Σχήμα 3.6: Ο ανθεκτικός σε DNU μανδαλωτής που προτείνεται στο [94].

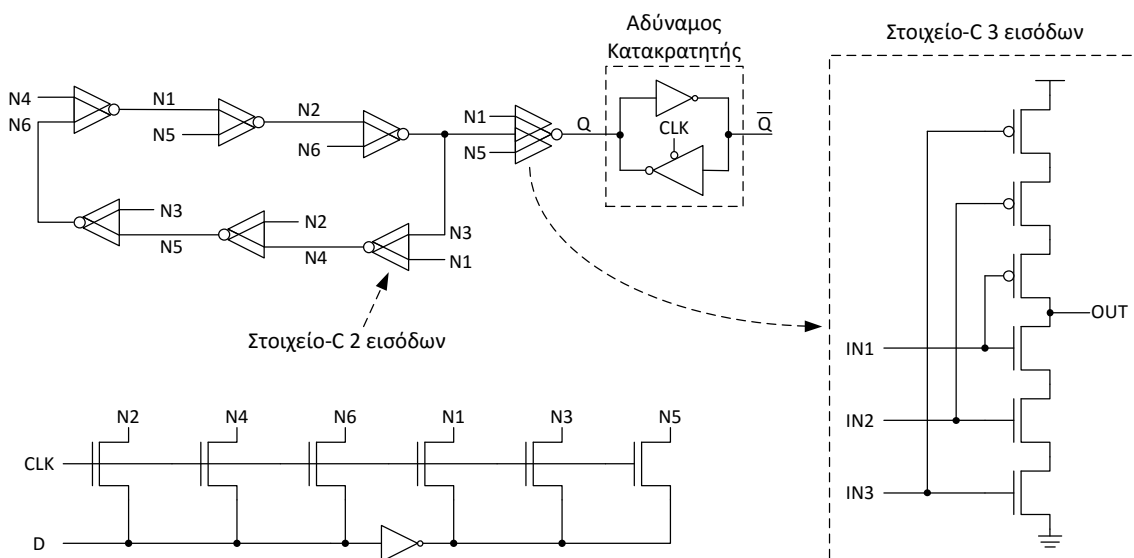
υψηλής αντίστασης, ενώ ο κατακρατητής διατηρεί τη σωστή λογική κατάσταση στην έξοδο. Κάθε άλλο DNU δεν είναι σε θέση να ανατρέψει κανένα από τα κύτταρα μνήμης DICE, τα οποία με τη σειρά τους οδηγούν την έξοδο στη σωστή λογική κατάσταση μέσω του στοιχείου-C.

Μανδαλωτής Προτεινόμενος στο [95]

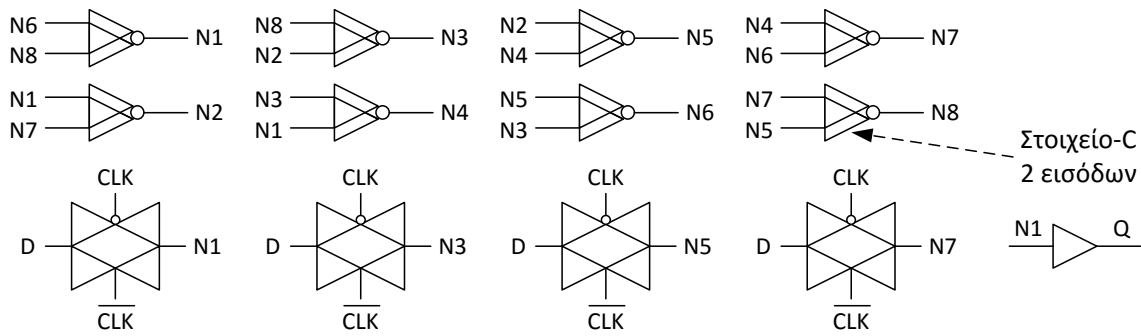
Ο μανδαλωτής που προτείνεται στο [95] και φαίνεται στο Σχ. 3.7 είναι ανθεκτικός σε DNU και βασίζεται σε ένα βρόχο θετικής ανάδρασης έξι σταδίων που αποτελείται από στοιχεία-C δύο εισόδων. Μέσα στο βρόχο, κάθε στάδιο τροφοδοτεί το επόμενο (αυτό με το οποίο έχει απόσταση ένα) καθώς και το τρίτο στη σειρά μετά από αυτό (με το οποίο έχει απόσταση τρία). Οι τρεις εσωτερικοί κόμβοι του βρόχου ανάδρασης που έχουν την ίδια αποθηκευμένη τιμή (N1, N3 και N5), οδηγούν ένα στοιχείο-C τριών εισόδων, το οποίο με τη σειρά του οδηγεί έναν αδύναμο κατακρατητή με επίτρεψη. Για κάθε DNU εντός του βρόχου, ένας τουλάχιστον από τους κόμβους N1, N3 και N5 παραμένει αμετάβλητος με αποτέλεσμα το στοιχείο-C τριών εισόδων να μην ανατρέπεται και ο κατακρατητής να διατηρεί τη σωστή τιμή στην έξοδο Q. Ένα DNU σε έναν από τους κόμβους του βρόχου και έναν από τους κόμβους του κατακρατητή, δεν ανατρέπει μόνιμα κανέναν από τους κόμβους του βρόχου, με αποτέλεσμα το στοιχείο-C τριών εισόδων να επαναφέρει τον κατακρατητή στη σωστή κατάσταση καθώς έχει μεγαλύτερη δύναμη οδήγησης.

Μανδαλωτής MNDDT [96]

Ο μανδαλωτής MNDDT (Σχ. 3.8) είναι ανθεκτικός σε DNU και βασίζει τη λειτουργία του στην ύπαρξη πλεοναζόντων κόμβων που αποθηκεύουν την κατάστασή του. Αποτελείται από οκτώ στοιχεία-C δύο εισόδων και κάθε ένα από αυτά οδηγεί έναν από τους οκτώ εσωτερικούς κόμβους. Όταν ένα DNU επηρεάσει και τις δύο εισόδους ενός στοιχείου-C, η ανεστραμμένη έξοδος του στοιχείου αυτού δεν χρησιμοποιείται ως είσοδος σε κανένα από τα στοιχεία-C που παράγουν τους κόμβους που διαταράχθηκαν αρχικά, ως αποτέλεσμα του πλεονασμού των εσωτερικών κόμβων. Συνεπώς, οι κόμβοι που επηρεάστηκαν από το DNU επανέρχονται, επαναφέροντας και την έξοδο του στοιχείου-C που ανατράπηκε. Κάθε άλλο DNU που επηρεάζει κόμβους που δεν είναι συνδεδεμένοι ως είσοδοι στο ίδιο στοιχείο-C δεν μπορεί να δημιουργήσει πρόσθετες διαταραχές και οι κόμβοι που επηρεάστηκαν επαναφέρονται στην αρχική τους κατάσταση.



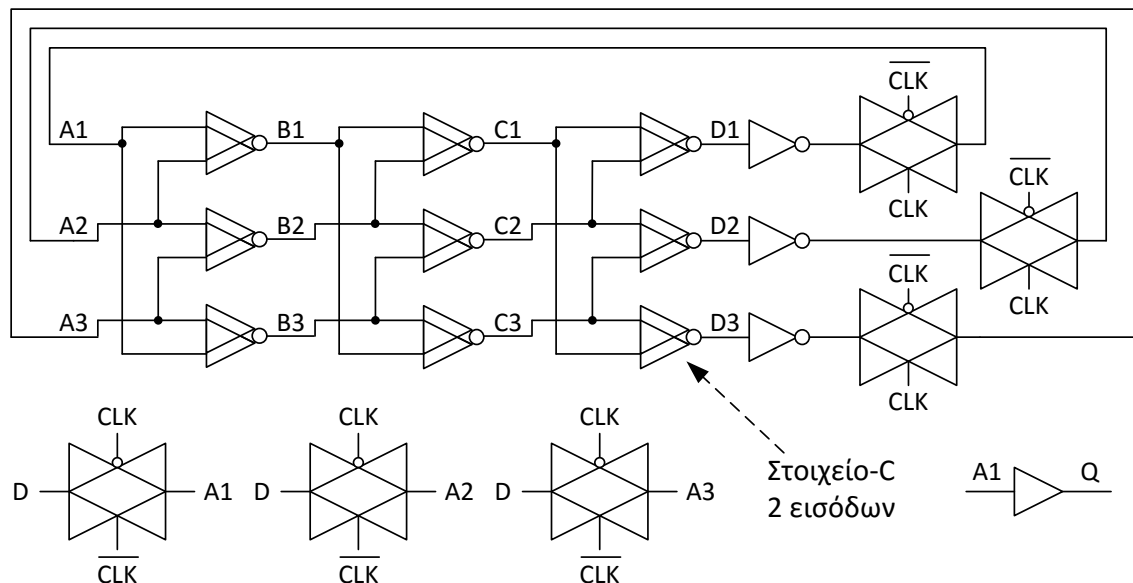
Σχήμα 3.7: Ο ανθεκτικός σε DNU μανδαλωτής που προτείνεται στο [95].



Σχήμα 3.8: Ο ανθεκτικός σε DNU μανδαλωτής MNDT [96].

Μανδαλωτής NTHLTCH [97]

Ο μανδαλωτής NTHLTCH (Σχ. 3.9) είναι ανθεκτικός σε DNU και βασίζει τη λειτουργία του σε στοιχεία-C δύο εισόδων. Αποτελείται από εννιά στοιχεία-C και τρεις αναστροφείς. Τα στοιχεία-C χωρίζονται ισομερώς σε τρεις ομάδες. Κάθε ομάδα έχει τρεις εισόδους και τρεις εξόδους, και κάθε στοιχείο-C έχει διαφορετικό συνδυασμό εισόδων. Ένα DNU που επηρεάζει δύο κόμβους που χρησιμοποιούνται ως εισόδοι στην ίδια ομάδα ανατρέπει την έξοδο ενός στοιχείου-C, δηλαδή μια από τις εισόδους της επόμενης ομάδας. Όμως, επειδή στην επόμενη ομάδα κανένα από τα στοιχεία-C δεν έχει και τις δύο του εισόδους ανεστραμμένες, το αρχικό DNU σταματάει να διαδίδεται. Ένα DNU που επηρεάζει εισόδους που ανήκουν σε διαφορετικές ομάδες δεν ανατρέπει κανένα στοιχείο-C.

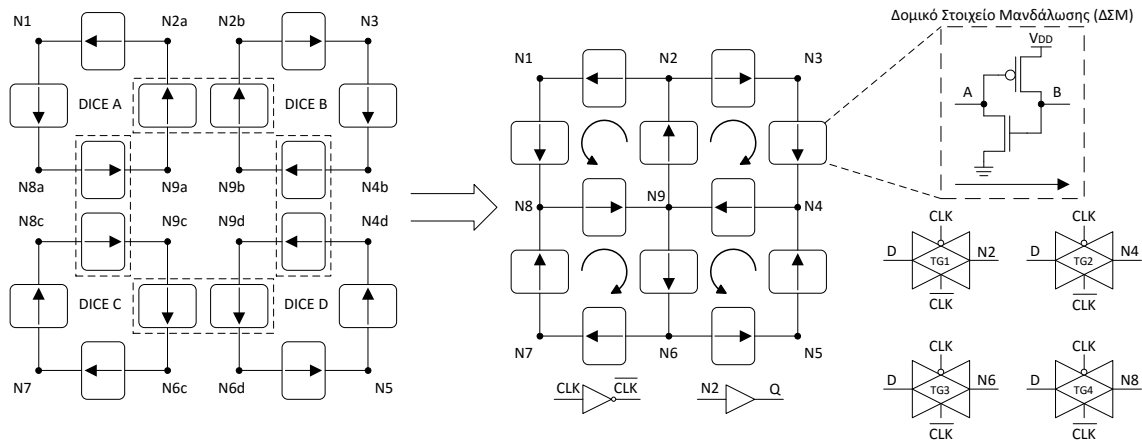


Σχήμα 3.9: Ο ανθεκτικός σε DNU μανδαλωτής NTHLTCH [97].

3.3 Προτεινόμενος Μανδαλωτής DONUT

3.3.1 Σχεδιασμός

Ο προτεινόμενος μανδαλωτής DONUT (DOuble Node Upset Tolerant) παρουσιάζεται στο Σχ. 3.10 και αποτελείται από τέσσερα κύτταρα DICE (DICE A, B, C και D).



Σχήμα 3.10: Ο προτεινόμενος μανδαλωτής DONUT.

Το κάθε κύτταρο DICE αποτελείται από τέσσερα όμοια στοιχεία (Δομικά Στοιχεία Μανδάλωσης - ΔΣΜ) συνδεδεμένα σε σειρά, με το ΔΣΜ να φαίνεται λεπτομερώς στο Σχ. 3.10 (πάνω δεξιά). Τα τέσσερα κύτταρα DICE έχουν ενωθεί σε ένα ενιαίο κύκλωμα που αποτελείται από 9 εσωτερικούς κόμβους (N1, N2, ..., N9) και επιτρέπει τη συγχώνευση ορισμένων από τα ΔΣΜ ώστε να μειωθεί η επιφάνεια και κατανάλωση του προτεινόμενου μανδαλωτή χωρίς να επηρεαστεί η ανθεκτικότητά του σε DNU. Ο τρόπος με τον οποίο έχει γίνει η ένωση των τεσσάρων κυττάρων DICE είναι ο εξής:

- Οι κόμβοι N1, N3, N5, N7 δεν συγχωνεύονται με κανέναν άλλο κόμβο και ο καθένας από αυτούς οδηγείται από δύο ΔΣΜ.
- Οι κόμβοι N2a και N2b συγχωνεύονται στον κόμβο N2, οι κόμβοι N4b και N4d συγχωνεύονται στον κόμβο N4, οι κόμβοι N6c και N6d συγχωνεύονται στον κόμβο N6 και οι κόμβοι N8a και N8c συγχωνεύονται στον κόμβο N8. Κάθε ένας από αυτούς τους κόμβους οδηγείται από τρία ΔΣΜ.
- Οι κόμβοι N9a, N9b, N9c και N9d συγχωνεύονται στον κόμβο N9 ο οποίος οδηγείται από τέσσερα ΔΣΜ.

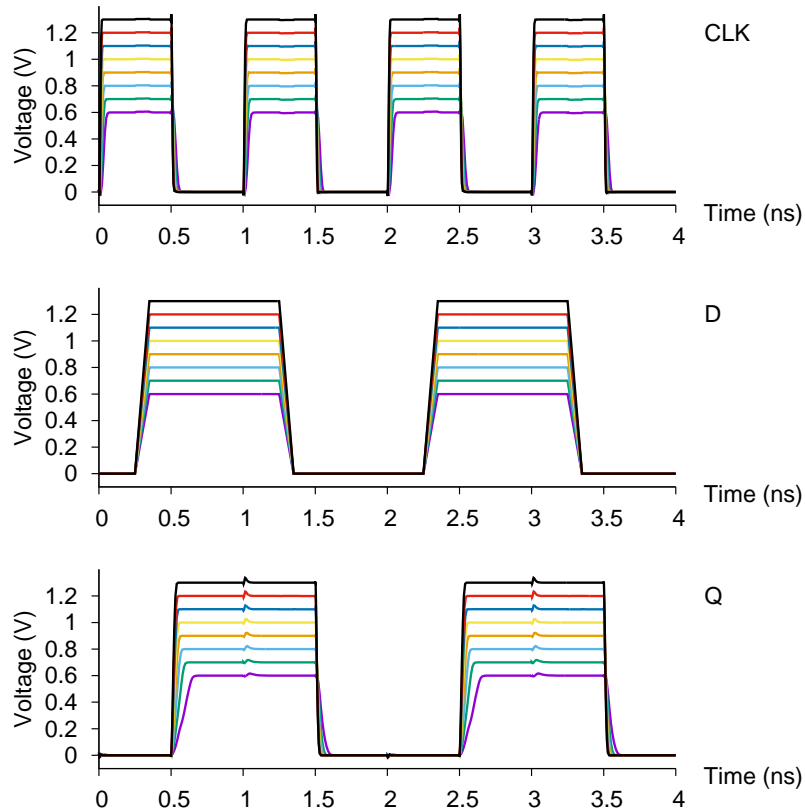
Η ένωση των κυττάρων DICE οδηγεί στη συγχώνευση τεσσάρων ζευγαριών ΔΣΜ, δηλαδή 25% των τρανζίστορ του κυκλώματος, τα οποία έχουν επισημανθεί με διακεκομμένες γραμμές στο αριστερό μέρος του Σχ. 3.10 με αποτέλεσμα να προκύπτει η συνδεσμολογία που φαίνεται στο δεξίό μέρος του Σχ. 3.10. Ως κόμβοι εισόδου έχουν οριστεί οι κόμβοι N2, N4, N6 και N8 οι οποίοι οδηγούνται μέσω των πυλών μετάδοσης TG1, TG2, TG3 και TG4 αντίστοιχα, ενώ η έξοδος Q προκύπτει από τον κόμβο N2.

3.3.2 Προσομοίωση Λειτουργίας

Όταν ο μανδαλωτής είναι διαφανής (CLK='0'), οι πύλες μετάδοσης TG1-TG4 διαδίδουν το σήμα εισόδου D σε όλα τα κύτταρα DICE μέσω των κόμβων N2, N4, N6 και N8, και ενημερώνουν την έξοδο Q. Όταν ο μανδαλωτής είναι αδιαφανής (CLK='1'), τα κύτταρα DICE διατηρούν την κατάσταση της εξόδου Q μέσω ανάδρασης.

Ο προτεινόμενος μανδαλωτής DONUT έχει προσομοιωθεί σε SPICE με μοντέλα από μια τεχνολογία 65nm της UMC ($\lambda=30\text{nm}$), με ονομαστική τάση τροφοδοσίας 1.1V. Το μήκος των καναλιών όλων των τρανζίστορ έχει οριστεί σε $L=2\lambda$. Το πλάτος

των PMOS τρανζίστορ έχει οριστεί σε $W=6\lambda$ και το πλάτος των NMOS τρανζίστορ σε $W=4\lambda$. Όσον αφορά στις πύλες μετάδοσης, το μήκος των καναλιών έχει οριστεί σε $L=2\lambda$, με το πλάτος των PMOS τρανζίστορ να έχει οριστεί σε $W=18\lambda$ και το πλάτος των NMOS τρανζίστορ σε $W=12\lambda$. Τα αποτελέσματα από την προσομοίωση της λειτουργίας του μανδαλωτή DONUT σε συχνότητα 1GHz και με μεταβλητή τάση τροφοδοσίας V_{DD} από 0.6V έως 1.3V, φαίνονται στο Σχ. 3.11, με το μανδαλωτή να λειτουργεί χωρίς πρόβλημα.

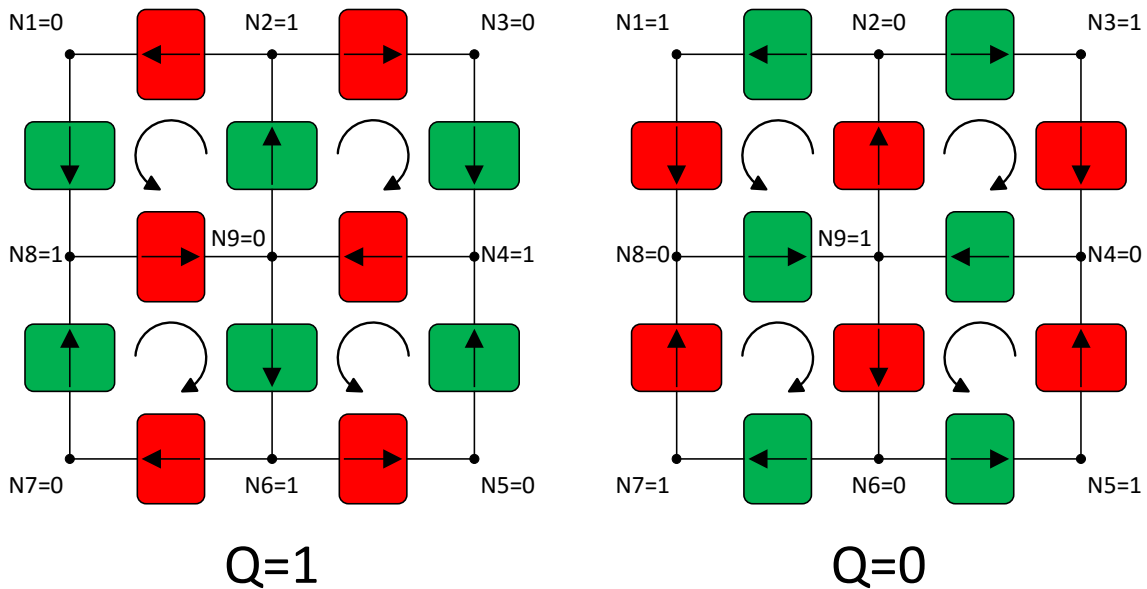


Σχήμα 3.11: Ο μανδαλωτής DONUT λειτουργώντας σε συχνότητα 1GHz και με την τάση τροφοδοσίας του να κυμαίνεται από 0.6V έως 1.3V. Ο μανδαλωτής είναι διαφανής για $CLK='0'$.

3.3.3 Ανθεκτικότητα σε Μεταβατικά Σφάλματα

Ο μανδαλωτής DONUT, βασιζόμενος στη συνδεσμολογία του στοιχείου μνήμης DICE, κληρονομεί την ανθεκτικότητά του απέναντι σε SNU που βασίζεται στη διπλή αλληλομανδάλωση. Όσον αφορά στην ανθεκτικότητά του απέναντι σε DNU, βασίζεται στον αριθμό των ΔΣΜ που οδηγούν τους κόμβους του και βρίσκονται σε κατάσταση ON. Όπως αναφέραμε στην ενότητα 3.3.1 ως ΔΣΜ ορίζεται το βασικό δομικό στοιχείο μανδάλωσης του κυττάρου DICE και παρουσιάζεται σε λεπτομέρεια στο Σχ. 3.10 (πάνω δεξιά). Ένα ΔΣΜ είναι σε κατάσταση ON όταν οι είσοδοί του A και B είναι ίσες με λογικό '0' και '1' αντίστοιχα, και σε κατάσταση OFF όταν οι είσοδοί του A και B είναι ίσες με λογικό '1' και '0' αντίστοιχα.

Στο Σχ. 3.12 βλέπουμε το μανδαλωτή DONUT στις δύο του καταστάσεις ($Q='0'$ και $Q='1'$). Τα ΔΣΜ σε κατάσταση ON έχουν επισημανθεί με πράσινο χρώμα και αυτά σε κατάσταση OFF με κόκκινο χρώμα. Παρατηρούμε ότι και στις δύο καταστάσεις υπάρχουν τρεις κόμβοι που οδηγούνται από δύο ΔΣΜ σε κατάσταση ON (N8, N9,



Σχήμα 3.12: Οι καταστάσεις των ΔΣΜ του προτεινόμενου μανδαλωτή DONUT όταν $Q=1$ και $Q=0$. Το πράσινο χρώμα σημαίνει ότι το ΔΣΜ είναι σε κατάσταση ON και το κόκκινο χρώμα ότι είναι σε κατάσταση OFF.

$N4$ για $Q=1$ και $N2, N9, N6$ για $Q=0$). Αυτό έχει ως αποτέλεσμα κάθε ένα από τα τέσσερα κύτταρα DICE (A, B, C και D) που αποτελούν το κύκλωμα, να έχει (ανεξαρτήτως της κατάστασης του μανδαλωτή DONUT) δύο από τους κόμβους του οδηγούμενους από δύο ΔΣΜ σε κατάσταση ON. Συνεπώς ο μανδαλωτής DONUT καθίσταται ανθεκτικός σε DNU, καθώς καμία τέτοια διαταραχή δεν είναι σε θέση να ανατρέψει τους κόμβους αυτούς.

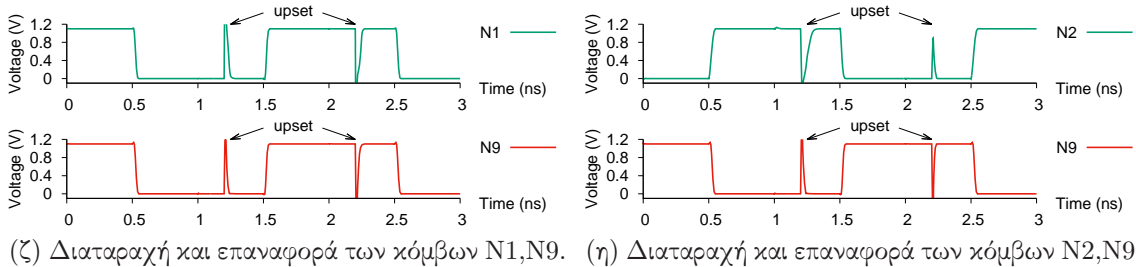
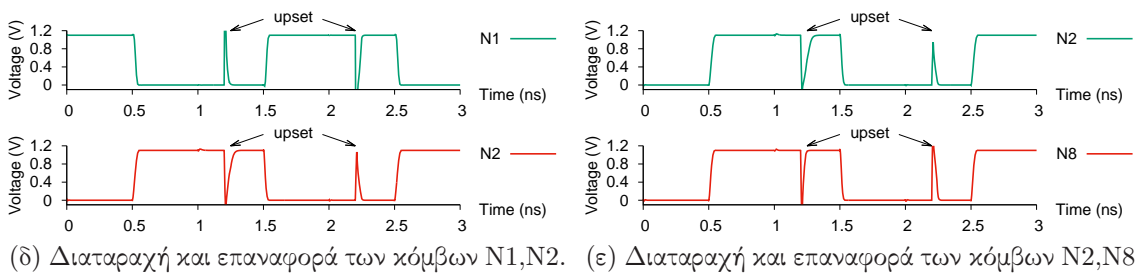
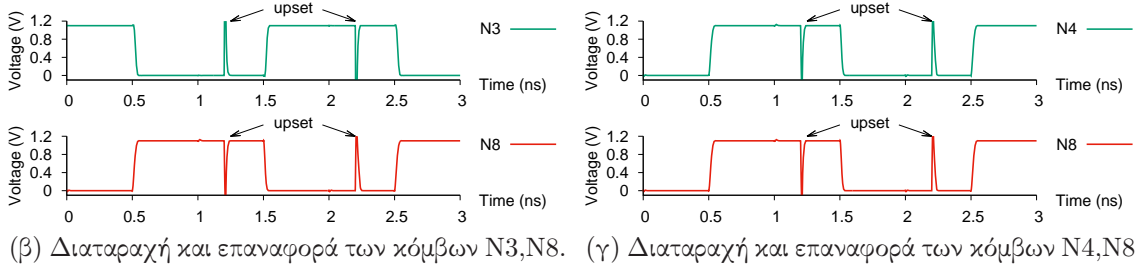
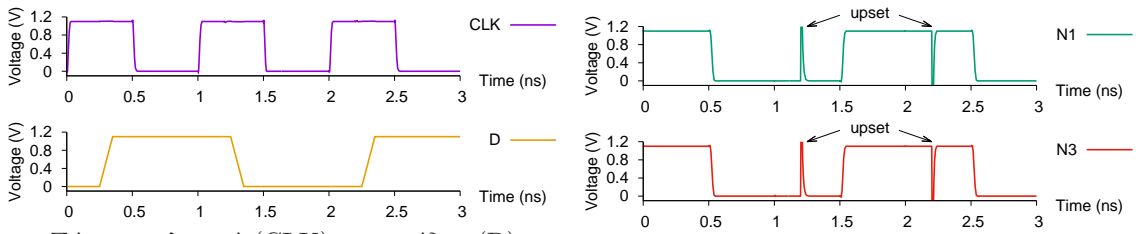
Με βάση τον αριθμό των κόμβων που ένα DNU επηρεάζει σε κάθε ένα από τα τέσσερα κύτταρα DICE, προκύπτουν οι παρακάτω επτά κατηγορίες DNU για το μανδαλωτή DONUT:

- Δύο κύτταρα DICE έχουν ένα κόμβο επηρεασμένο και δύο κύτταρα DICE δεν έχουν κανένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους $N1$ και $N3$). Υπάρχουν 6 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.
- Τρία κύτταρα DICE έχουν ένα κόμβο επηρεασμένο και ένα κύτταρο DICE δεν έχει κανένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους $N3$ και $N8$). Υπάρχουν 8 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.
- Τέσσερα κύτταρα DICE έχουν ένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους $N4$ και $N8$). Υπάρχουν 2 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.
- Ένα κύτταρο DICE έχει δύο κόμβους επηρεασμένους, ένα κύτταρο DICE έχει ένα κόμβο επηρεασμένο και δύο κύτταρα DICE δεν έχουν κανένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους $N1$ και $N2$). Υπάρχουν 8 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.
- Ένα κύτταρο DICE έχει δύο κόμβους επηρεασμένους, δύο κύτταρα DICE έχουν ένα κόμβο επηρεασμένο και ένα κύτταρο DICE δεν έχει κανένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους $N2$ και $N8$). Υπάρχουν 4 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.

(ζ) Ένα κύτταρο DICE έχει δύο κόμβους επηρεασμένους και τρία κύτταρα DICE έχουν ένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους N1 και N9). Υπάρχουν 4 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.

(η) Δύο κύτταρα DICE έχουν δύο κόμβους επηρεασμένους και δύο κύτταρα DICE έχουν ένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους N2 και N9). Υπάρχουν 4 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.

Ο μανδαλωτής DONUT έχει προσομοιωθεί σε SPICE σε αδιαφανή κατάσταση (CLK='1') για διαταραχές σε κάθε ένα από τα 36 ζευγάρια κόμβων και στις δύο καταστάσεις ($Q='0'$ και $Q='1'$). Η προσομοίωση των διαταραχών έγινε με χρήση του εκθετικού μοντέλου που περιγράφεται στην ενότητα 1.4.1, με το επαγόμενο φορτίο να φτάνει μέχρι και το 1pF. Η παραπάνω κατηγοριοποίηση των DNU μας επιτρέπει να επιβεβαιώσουμε την ανθεκτικότητα του προτεινόμενου μανδαλωτή DONUT, προσομοιώνοντας μόνο ένα αντιπροσωπευτικό DNU από κάθε κατηγορία. Τα αποτελέσματα



Σχήμα 3.13: DNU σε όλα τα αντιπροσωπευτικά ζευγάρια κόμβων του προτεινόμενου μανδαλωτή DONUT για τις δύο δυνατές καταστάσεις ($Q='0'$ και $Q='1'$).

των αντίστοιχων προσομοιώσεων φαίνονται στο Σχ. 3.13 και αποδεικνύουν την πλήρη ανθεκτικότητα του μανδαλωτή DONUT απέναντι σε DNU.

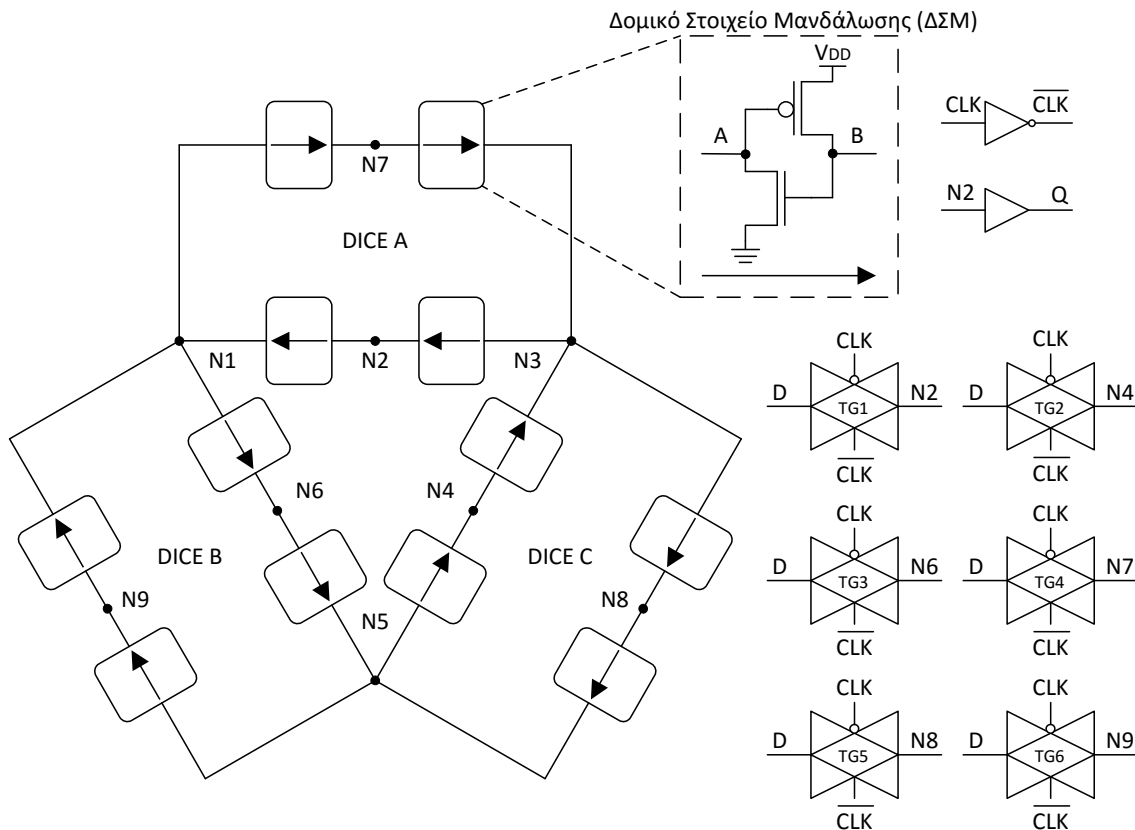
3.4 Προτεινόμενος Μανδαλωτής Delta DICE

3.4.1 Σχεδιασμός

Ο προτεινόμενος μανδαλωτής Delta DICE παρουσιάζεται στο Σχ. 3.14 και αποτελείται από τρία κύτταρα DICE (DICE A, B και C) σε μια συνδεσμολογία τριγώνου (delta). Κάθε ζευγάρι κυττάρων DICE μοιράζεται ένα κόμβο. Ο κόμβος N1 είναι κοινός στα κύτταρα DICE A και B, ο κόμβος N3 είναι κοινός στα κύτταρα DICE A και C και ο κόμβος N5 είναι κοινός στα κύτταρα DICE B και C. Επομένως κατά τη διάρκεια οποιουδήποτε DNU σε κάποιο από τα κύτταρα DICE, οι κόμβοι N1, N3 και N5 παραμένουν αμετάβλητοι καθώς είναι ενωμένοι με τουλάχιστον ένα κύτταρο DICE το οποίο δεν επηρεάστηκε από τη διαταραχή, προσφέροντας ανθεκτικότητα στον προτεινόμενο μανδαλωτή Delta DICE. Υπάρχουν 9 εσωτερικοί κόμβοι (N1, N2, ..., N9). Ως κόμβοι εισόδου έχουν οριστεί οι κόμβοι N2, N4, N6, N7, N8 και N9 οι οποίοι οδηγούνται μέσω των πυλών μετάδοσης TG1, TG2, TG3, TG4, TG5 και TG6 αντίστοιχα, ενώ η έξοδος Q προκύπτει από τον κόμβο N2.

3.4.2 Προσομοίωση Λειτουργίας

Όταν ο μανδαλωτής είναι διαφανής (CLK='0'), οι πύλες μετάδοσης TG1-TG6 διαδίδουν το σήμα εισόδου D σε όλα τα κύτταρα DICE μέσω των κόμβων N2, N4, N6,



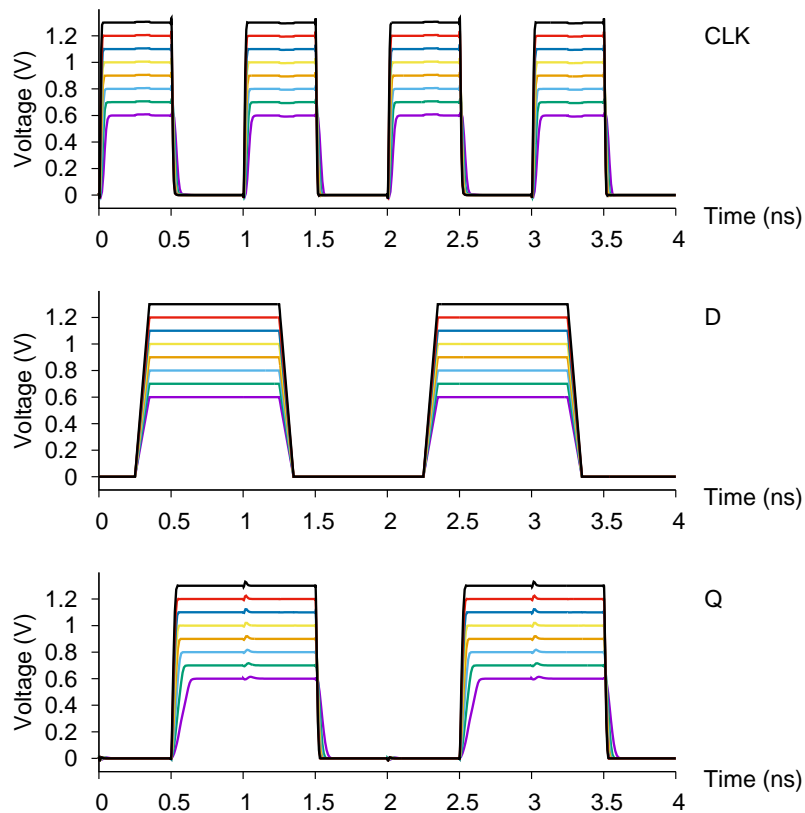
Σχήμα 3.14: Ο προτεινόμενος μανδαλωτής Delta DICE.

N7, N8 και N9, και ενημερώνουν την έξοδο Q. Όταν ο μανδαλωτής είναι αδιαφανής (CLK='1'), τα κύτταρα DICE διατηρούν την κατάσταση της εξόδου Q μέσω ανάδρασης.

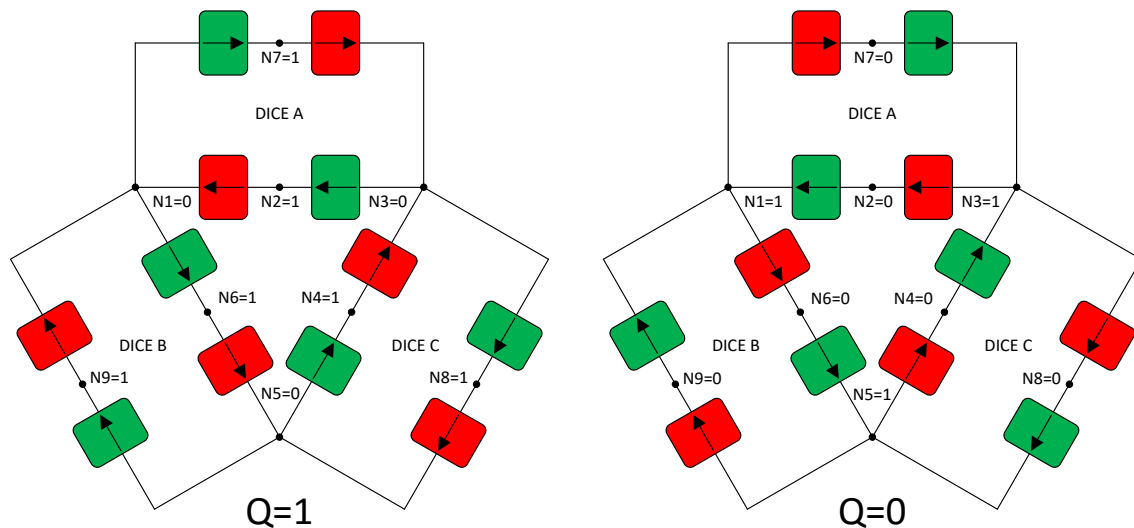
Ο προτεινόμενος μανδαλωτής Delta DICE έχει προσομοιωθεί σε SPICE με μοντέλα από μια τεχνολογία 65nm της UMC ($\lambda=30\text{nm}$), με ονομαστική τάση τροφοδοσίας 1.1V. Οι διαστάσεις όλων των NMOS τρανζίστορ έχουν οριστεί σε $L=2\lambda$ και $W=4\lambda$. Όσον αφορά στα PMOS τρανζίστορ τα οποία είναι συνδεδεμένα στους κόμβους N2, N4 και N6, οι διαστάσεις τους έχουν οριστεί σε $L=2\lambda$ και $W=8\lambda$, ενώ όλα τα υπόλοιπα PMOS τρανζίστορ έχουν διαστάσεις $L=2\lambda$ και $W=6\lambda$. Όσον αφορά στις πύλες μετάδοσης, το μήκος των καναλιών έχει οριστεί σε $L=2\lambda$, με το πλάτος των PMOS τρανζίστορ να έχει οριστεί σε $W=18\lambda$ και το πλάτος των NMOS τρανζίστορ σε $W=12\lambda$. Τα αποτελέσματα από την προσομοίωση της λειτουργίας του μανδαλωτή Delta DICE σε συχνότητα 1GHz και με μεταβλητή τάση τροφοδοσίας V_{DD} από 0.6V έως 1.3V, φαίνονται στο Σχ. 3.15, με το μανδαλωτή να λειτουργεί χωρίς πρόβλημα.

3.4.3 Ανθεκτικότητα σε Μεταβατικά Σφάσματα

Ο μανδαλωτής Delta DICE, βασιζόμενος στη συνδεσμολογία του στοιχείου μνήμης DICE, κληρονομεί την ανθεκτικότητά του απέναντι σε SNU που βασίζεται στη διπλή αλληλομανδάλωση. Όσον αφορά στην ανθεκτικότητά του απέναντι σε DNU, βασίζεται στον αριθμό των ΔΣΜ που οδηγούν τους κόμβους του και βρίσκονται σε κατάσταση ON. Ως ΔΣΜ ορίζεται το βασικό δομικό στοιχείο μανδάλωσης του κυττάρου DICE και παρουσιάζεται σε λεπτομέρεια στο Σχ. 3.14 (πάνω δεξιά). Ένα ΔΣΜ είναι σε



Σχήμα 3.15: Ο μανδαλωτής Delta DICE λειτουργώντας σε συχνότητα 1GHz και με την τάση τροφοδοσίας του να κυμαίνεται από 0.6V έως 1.3V. Ο μανδαλωτής είναι διαφανής για CLK='0'.



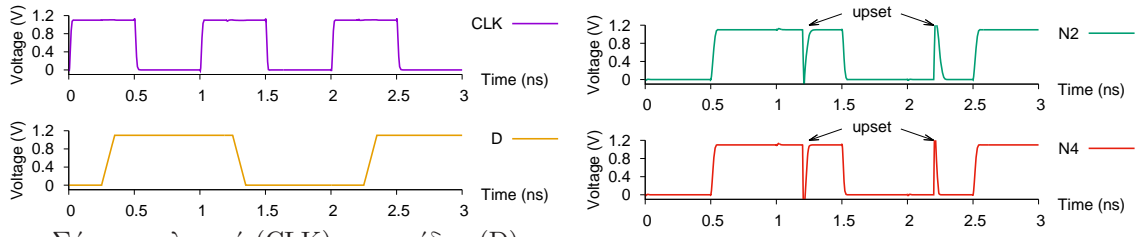
Σχήμα 3.16: Οι καταστάσεις των ΔΣΜ του προτεινόμενου μανδαλωτή Delta DICE όταν $Q=1$ και $Q=0$. Το πράσινο χρώμα σημαίνει ότι το ΔΣΜ είναι σε κατάσταση ON και το κόκκινο χρώμα ότι είναι σε κατάσταση OFF.

κατάσταση ON όταν οι εισοδοί του A και B είναι ίσες με λογικό '0' και '1' αντίστοιχα, και σε κατάσταση OFF όταν οι εισοδοί του A και B είναι ίσες με λογικό '1' και '0' αντίστοιχα.

Στο Σχ. 3.16 βλέπουμε το μανδαλωτή Delta DICE στις δύο του καταστάσεις ($Q=0$ και $Q=1$). Τα ΔΣΜ σε κατάσταση ON έχουν επισημανθεί με πράσινο χρώμα και αυτά σε κατάσταση OFF με κόκκινο χρώμα. Παρατηρούμε ότι και στις δύο καταστάσεις υπάρχουν τρεις κόμβοι (N1, N3 και N5) που οδηγούνται από δύο ΔΣΜ σε κατάσταση ON. Αυτό έχει ως αποτέλεσμα κάθε ένα από τα τρία κύτταρα DICE (A, B και C) που αποτελούν το κύκλωμα, να έχει (ανεξαρτήτως κατάστασης του μανδαλωτή Delta DICE) δύο από τους κόμβους του οδηγούμενους από δύο ΔΣΜ σε κατάσταση ON. Συνεπώς ο μανδαλωτής Delta DICE καθίσταται ανθεκτικός σε DNU καθώς καμία τέτοια διαταραχή δεν είναι σε θέση να ανατρέψει τους κόμβους αυτούς.

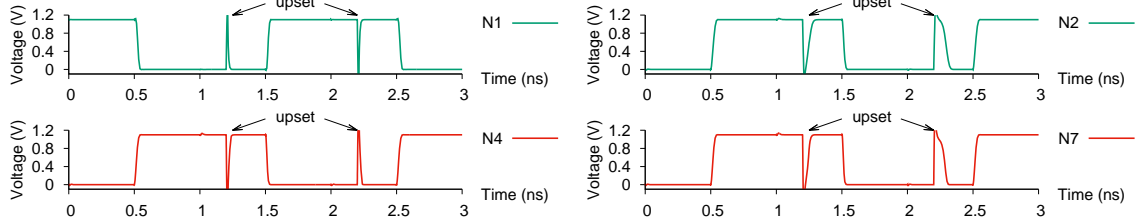
Με βάση τον αριθμό των κόμβων που ένα DNU επηρεάζει σε κάθε ένα από τα τρία κύτταρα DICE, προκύπτουν οι παρακάτω πέντε κατηγορίες DNU για το μανδαλωτή Delta DICE:

- (α) Δύο κύτταρα DICE έχουν ένα κόμβο επηρεασμένο και ένα κύτταρο DICE δεν έχει κανένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους N2 και N4). Υπάρχουν 12 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.
- (β) Τρία κύτταρα DICE έχουν ένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους N1 και N4). Υπάρχουν 6 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.
- (γ) Ένα κύτταρο DICE έχει δύο κόμβους επηρεασμένους και δύο κύτταρα DICE δεν έχουν κανένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους N2 και N7). Υπάρχουν 3 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.
- (δ) Ένα κύτταρο DICE έχει δύο κόμβους επηρεασμένους, ένα κύτταρο DICE έχει έναν κόμβο επηρεασμένο και ένα κύτταρο DICE δεν έχει κανένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους N1 και N2). Υπάρχουν 12 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.

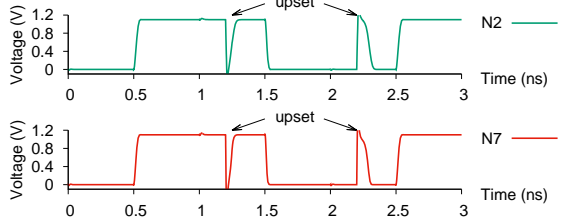


Σήματα ρολογιού (CLK) και εισόδου (D).

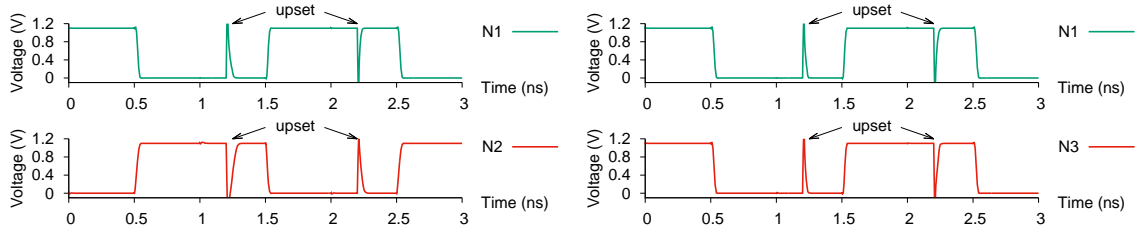
(α) Διαταραχή και επαναφορά των κόμβων N2,N4.



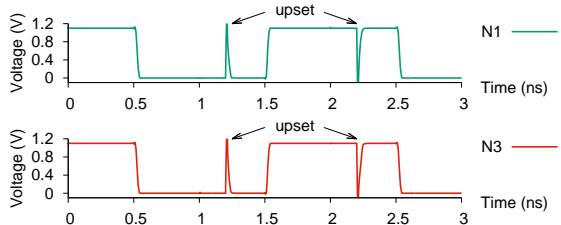
(β) Διαταραχή και επαναφορά των κόμβων N1,N4.



(γ) Διαταραχή και επαναφορά των κόμβων N2,N7.



(δ) Διαταραχή και επαναφορά των κόμβων N1,N2.



(ε) Διαταραχή και επαναφορά των κόμβων N1,N3.

Σχήμα 3.17: DNU σε όλα τα αντιπροσωπευτικά ζευγάρια κόμβων του προτεινόμενου μανδαλωτή Delta DICE για τις δύο δυνατές καταστάσεις ($Q=0$ και $Q=1$).

(ε) Ένα κύτταρο DICE έχει δύο κόμβους επηρεασμένους και δύο κύτταρα DICE έχουν ένα κόμβο επηρεασμένο (π.χ. διαταραχή στους κόμβους N1 και N3). Υπάρχουν 3 ζευγάρια κόμβων που οδηγούν σε όμοια διαταραχή.

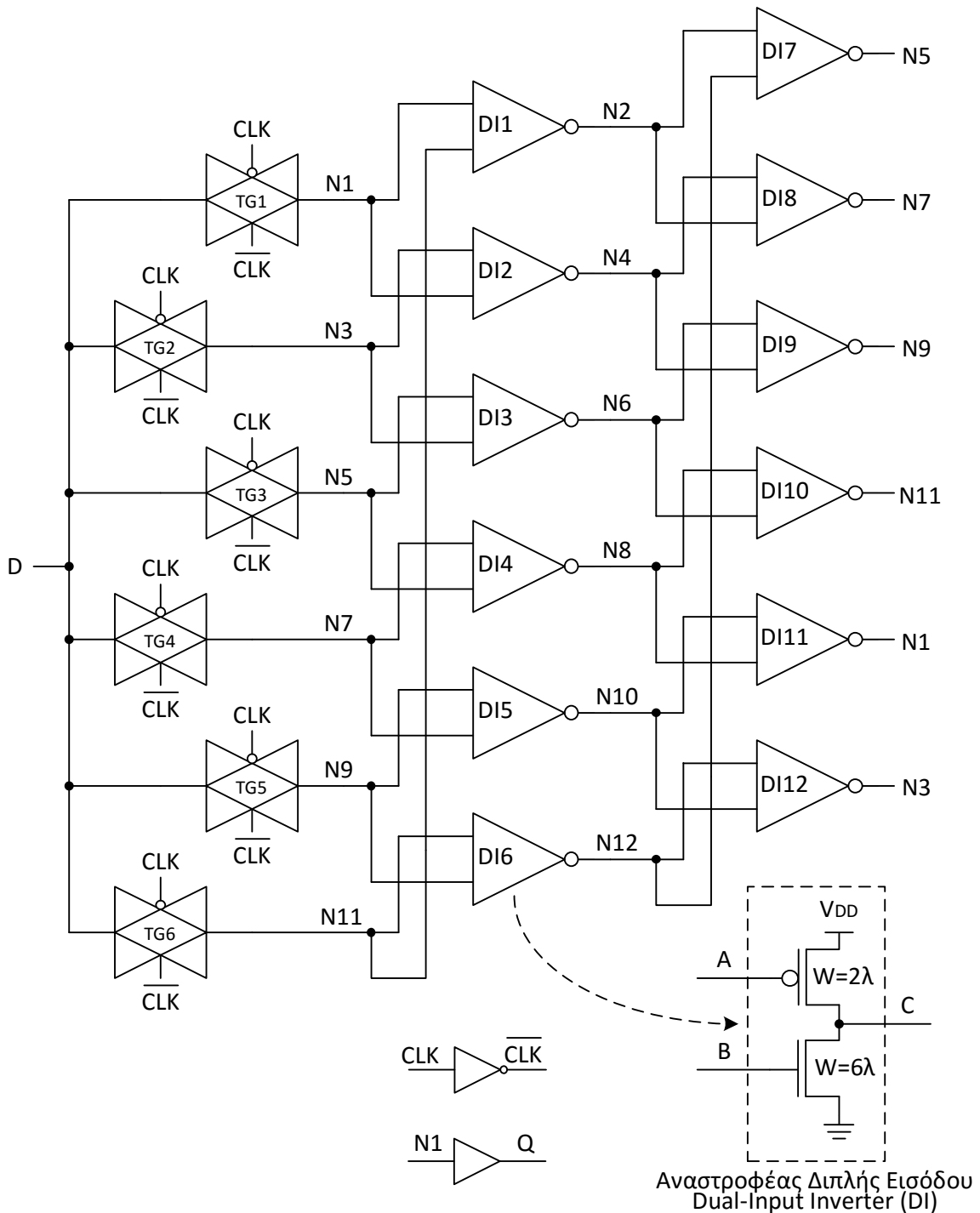
Ο μανδαλωτής Delta DICE έχει προσομοιωθεί σε SPICE σε αδιαφανή κατάσταση ($CLK=1$) για διαταραχές σε κάθε ένα από τα 36 ζευγάρια κόμβων και στις δύο καταστάσεις ($Q=0$ και $Q=1$). Η προσομοίωση των διαταραχών έγινε με χρήση του εκθετικού μοντέλου που περιγράφεται στην ενότητα 1.4.1, με το επαγόμενο φορτίο να φτάνει μέχρι και το 1pF. Η παραπάνω κατηγοριοποίηση των DNU μας επιτρέπει να επιβεβαιώσουμε την ανθεκτικότητα του προτεινόμενου μανδαλωτή Delta DICE, προσομοιώνοντας μόνο ένα αντιπροσωπευτικό DNU από κάθε κατηγορία. Τα αποτελέσματα των αντίστοιχων προσομοιώσεων φαίνονται στο Σχ. 3.17 και αποδεικνύουν την πλήρη ανθεκτικότητα του μανδαλωτή Delta DICE απέναντι σε DNU.

3.5 Προτεινόμενος Μανδαλωτής DIRT

3.5.1 Σχεδιασμός

Ο προτεινόμενος μανδαλωτής DIRT (Dual-input Inverter Radiation Tolerant) φαίνεται στο Σχ. 3.18 και βασίζει τη λειτουργία του και την ανθεκτικότητά του σε DNU στη χρήση ενός αναστροφέα διπλής εισόδου (Dual-input Inverter - DI) καθώς επίσης και στη χρήση πλεοναζόντων κόμβων. Ο μανδαλωτής DIRT αποτελείται από 12 DI

(DI1, DI2, ..., DI12) και από 6 πύλες μετάδοσης (TG1, TG2, ..., TG6) οι οποίες χρησιμοποιούνται προκειμένου να διαδώσουν το σήμα εισόδου D σε όλους τους κόμβους. Οι 12 εσωτερικοί κόμβοι (N1, N2, ..., N12) χωρίζονται σε δύο ομάδες, με γνώρισμα της κάθε ομάδας ότι όλοι οι κόμβοι που την αποτελούν έχουν την ίδια λογική τιμή. Η πρώτη ομάδα περιέχει τους περιττούς κόμβους (N1, N3, N5, N7, N9 και N11) και η δεύτερη τους άρτιους κόμβους (N2, N4, N6, N8, N10 και N12). Οι πύλες μετάδοσης είναι συνδεδεμένες στους περιττούς κόμβους και ο κόμβος N1 χρησιμοποιείται ως έξοδος Q.



Σχήμα 3.18: Ο προτεινόμενος μανδαλωτής DIRT.

Προκειμένου να δημιουργηθεί ένας κόμβος θετικής ανάδρασης ο οποίος θα διασφαλίσει τη λειτουργία του μανδαλωτή DIRT ως στοιχείου μνήμης, οι περιττοί κόμβοι παράγουν τους άρτιους μέσω αναστροφής και το ανάποδο. Το προτεινόμενο στοιχείο DI, που φαίνεται κάτω δεξιά στο Σχ. 3.18, είναι παρόμοιο με το συμβατικό αναστροφέα με δύο διαφορές:

- Έχει δύο σήματα εισόδου A και B. Το σήμα εισόδου A είναι συνδεδεμένο στην πύλη του PMOS τρανζίστορ και το σήμα εισόδου B είναι συνδεδεμένο στην πύλη του NMOS τρανζίστορ.
- Η δύναμη οδήγησης του NMOS τρανζίστορ είναι μεγαλύτερη ($W_{\text{NMOS}}=6\lambda$ και $W_{\text{PMOS}}=2\lambda$) έτσι ώστε σε περίπτωση που και τα δύο τρανζίστορ (PMOS και NMOS) είναι προσωρινά σε κατάσταση ON, η έξοδος οδηγείται σε λογικό '0'.

Οι εισοδοί του κάθε DI ανήκουν στην ίδια ομάδα κόμβων (άρτια ή περιττή) με αποτέλεσμα να λειτουργεί ως κανονικός αναστροφέας όταν δεν έχει υποστεί καμία διαταραχή. Υπάρχουν τέσσερις πιθανοί συνδυασμοί εισόδων για το DI, οι οποίοι επηρεάζουν την έξοδό του ως εξής:

- Αν και οι δύο εισοδοί A και B έχουν την ίδια τιμή ($A=B='0'$ ή $A=B='1'$), είτε επειδή καμία από αυτές δεν ανατράπηκε, είτε επειδή και οι δύο ανατράπηκαν, τότε το DI λειτουργεί σαν κανονικός αναστροφέας και η λογική κατάσταση της εξόδου C είναι η συμπληρωματική των κόμβων A και B.
- Αν η είσοδος A είναι σε λογικό '0' και η είσοδος B σε λογικό '1' εξαιτίας μιας παροδικής διαταραχής, τότε και το PMOS και το NMOS τρανζίστορ είναι σε κατάσταση ON. Όμως, επειδή το NMOS τρανζίστορ έχει μεγαλύτερη δύναμη οδήγησης, η έξοδος C οδηγείται σε λογικό '0'.
- Αν η είσοδος A είναι σε λογικό '1' και η είσοδος B σε λογικό '0' εξαιτίας μιας παροδικής διαταραχής, τότε και το PMOS και το NMOS τρανζίστορ είναι σε κατάσταση OFF. Επομένως, η έξοδος C διατηρεί την προηγούμενη λογική της κατάσταση.

Η συμπεριφορά του στοιχείου DI, οδηγεί στα παρακάτω συμπεράσματα στην περίπτωση διαταραχής ενός κόμβου N:

1. Η διαταραχή ενός κόμβου N από '0' σε '1' δεν ανατρέπει την έξοδο του DI όπου ο κόμβος αυτός έχει συνδεθεί ως είσοδος A.
2. Η διαταραχή ενός κόμβου N από '0' σε '1' ανατρέπει την έξοδο του DI όπου ο κόμβος αυτός έχει συνδεθεί ως είσοδος B.
3. Η διαταραχή ενός κόμβου N από '1' σε '0' δεν ανατρέπει την έξοδο του DI όπου ο κόμβος αυτός έχει συνδεθεί ως μια από τις εισόδους, αν και η άλλη είσοδος δεν ανατραπεί από '1' σε '0'.

Επομένως, μια διαταραχή ενός κόμβου N από '0' σε '1' ανατρέπει την έξοδο μόνο ενός DI, ενώ η διαταραχή ενός κόμβου N από '1' σε '0' δεν επηρεάζει την έξοδο κανενός DI αν και η άλλη είσοδος δεν υποστεί την ίδια διαταραχή. Ο σχεδιασμός του προτεινόμενου μανδαλωτή DIRT εγγυάται ότι πριν το αρχικό DNU διαδοθεί κατά

μήκος όλου του βρόχου ανάδρασης, όλες οι παραγόμενες από αυτό διαταραχές θα εκδηλωθούν ως μία από τις προαναφερθείσες διαταραχές 1 και 3 οι οποίες δεν οδηγούν σε καμία νέα ανατροπή και κατά συνέπεια καταστέλλουν τη διάδοση του αρχικού DNU. Προκειμένου να επιτευχθεί ο στόχος αυτός, ο μανδαλωτής DIRT έχει σχεδιαστεί με βάση τους παρακάτω κανόνες οι οποίοι εγγυώνται την απαραίτητη απόσταση μεταξύ των κόμβων του:

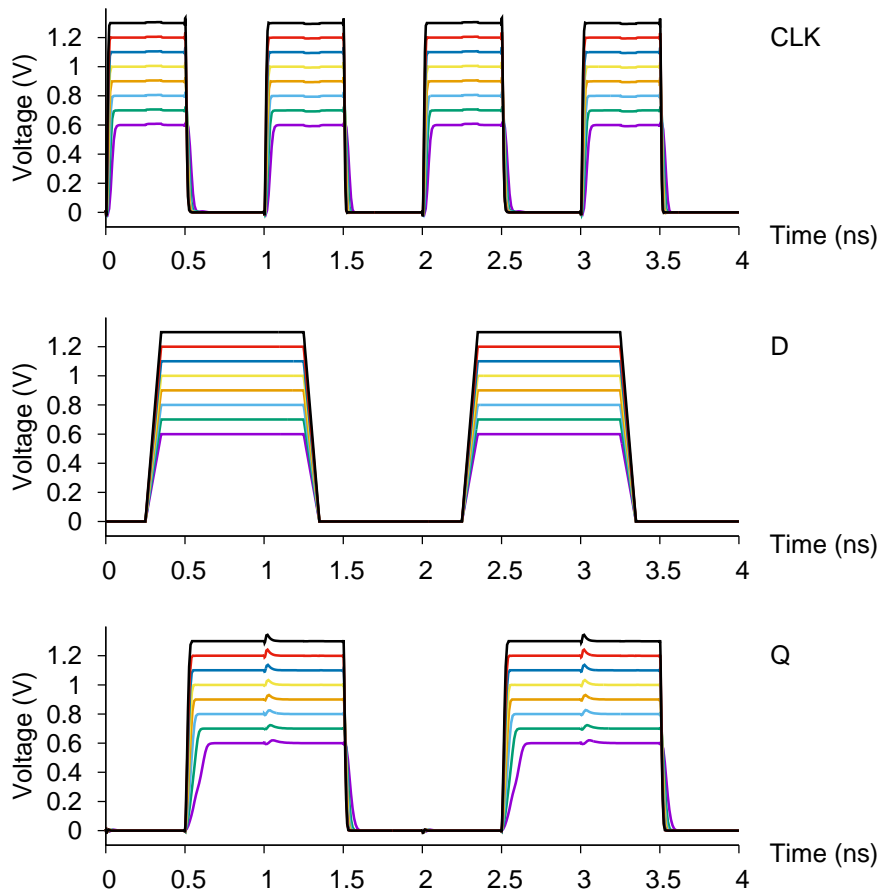
1. Κάθε κόμβος που συνδέεται στην είσοδο A ενός DI, είναι συνδεδεμένος και στην είσοδο B του επόμενου DI, προσδίδοντας συμμετρία στη σχεδίαση του μανδαλωτή. Και οι δύο είσοδοι ενός DI ανήκουν στην ίδια ομάδα κόμβων (άρτια ή περιττή).
2. Υποθέτουμε ένα κόμβο N_{OUT} οδηγούμενο από ένα DI που έχει τους κόμβους N_A και N_B συνδεδεμένους στις εισόδους του A και B αντίστοιχα. Συνεπώς, σύμφωνα με τον πρώτο κανόνα, στο επόμενο DI ο κόμβος N_A είναι συνδεδεμένος στην είσοδο B, με ένα κόμβο N_C συνδεδεμένο στην είσοδο A. Ομοίως, στο προηγούμενο DI, ο κόμβος N_B είναι συνδεδεμένος στην είσοδο A με ένα κόμβο N_D συνδεδεμένο στην είσοδο B. Ο σχεδιασμός του μανδαλωτή DIRT βασίζεται στον κανόνα ότι ο κόμβος N_{OUT} δεν μπορεί να είναι συνδεδεμένος ως είσοδος σε κανένα από τα DI που οδηγούν τους κόμβους N_A , N_B , N_C και N_D , παρέχοντας ως αποτέλεσμα την απαραίτητη απόσταση μεταξύ των εσωτερικών κόμβων του κυκλώματος.

Προκειμένου να μπορέσουν να υλοποιηθούν οι παραπάνω κανόνες, απαιτούνται τουλάχιστον 6 κόμβοι που να αποθηκεύουν την ίδια πληροφορία (12 κόμβοι συνολικά για τις δύο συμπληρωματικές τιμές). Αυτός ο πλεονασμός των κόμβων σε συνδυασμό με τις εγγενείς ιδιότητες του στοιχείου DI και τη συνδεσμολογία του μανδαλωτή DIRT, προσφέρουν απόλυτη ανθεκτικότητα απέναντι σε DNU.

3.5.2 Προσομοίωση Λειτουργίας

Όταν ο μανδαλωτής είναι διαφανής ($CLK='0'$), οι πύλες μετάδοσης TG1-TG6 διαδίδουν το σήμα εισόδου D σε όλους τους κόμβους του κυκλώματος μέσω των κόμβων N1, N3, N5, N7, N9 και N11 αντίστοιχα, και ενημερώνουν την έξοδο Q. Στην αδιαφανή κατάσταση ($CLK='1'$), ο μανδαλωτής DIRT διατηρεί την κατάσταση της εξόδου Q μέσω του βρόχου ανάδρασης που αποτελείται από στοιχεία DI.

Ο προτεινόμενος μανδαλωτής DIRT έχει προσομοιωθεί σε SPICE με μοντέλα από μια τεχνολογία 65nm της UMC ($\lambda=30nm$), με ονομαστική τάση τροφοδοσίας 1.1V. Όσον αφορά στις διαστάσεις των DI το μήκος των καναλιών όλων των τρανζίστορ έχει οριστεί σε $L=2\lambda$, με το πλάτος των PMOS τρανζίστορ να έχει οριστεί σε $W=2\lambda$ και το πλάτος των NMOS τρανζίστορ σε $W=6\lambda$. Όσον αφορά στις πύλες μετάδοσης, το μήκος των καναλιών έχει οριστεί σε $L=2\lambda$, με το πλάτος των PMOS τρανζίστορ να έχει οριστεί σε $W=18\lambda$ και το πλάτος των NMOS τρανζίστορ σε $W=12\lambda$. Τα αποτελέσματα από την προσομοίωση της λειτουργίας του μανδαλωτή DIRT σε συχνότητα 1GHz και με μεταβλητή τάση τροφοδοσίας V_{DD} από 0.6V μέχρι και 1.3V φαίνονται στο Σχ. 3.19, με το μανδαλωτή να λειτουργεί χωρίς πρόβλημα.



Σχήμα 3.19: Ο μανδαλωτής DIRT λειτουργώντας σε συχνότητα 1GHz και με την τάση τροφοδοσίας του να κυμαίνεται από 0.6V έως 1.3V. Ο μανδαλωτής είναι διαφανής για CLK='0'.

3.5.3 Ανθεκτικότητα σε Μεταβατικά Σφάλματα

Όπως έχουμε ήδη αναφέρει ο προτεινόμενος μανδαλωτής DIRT είναι σχεδιασμένος ώστε να είναι ανθεκτικός απέναντι σε κάθε DNU. Ανάλογα με την τιμή των κόμβων που διαταράσσονται καθώς επίσης και το πως είναι διασυνδεδεμένοι οι έξοδοι των DI που επηρεάζονται άμεσα από το DNU, καταλήγουμε σε 7 διαφορετικές κατηγορίες DNU. Χωρίς καμία απώλεια της γενικότητας, εξηγούμε το μηχανισμό επαναφοράς των κόμβων του μανδαλωτή με ένα αντιπροσωπευτικό παράδειγμα για κάθε κατηγορία DNU.

1. Διαταραχή των κόμβων (N1,N5) από ('0','0') σε ('1','1').

Η διαταραχή της εισόδου A από '0' σε '1' δεν ανατρέπει την έξοδο του αντίστοιχου DI, ενώ η ανατροπή της εισόδου B την ανατρέπει. Επομένως, τα DI που επηρεάζονται είναι τα DI2 και DI4, ανατρέποντας τους κόμβους N4 και N8 από '1' σε '0'. Οι κόμβοι αυτοί δεν είναι συνδεδεμένοι ως εισοδοι στο ίδιο DI με αποτέλεσμα να μη διαταράσσεται κάποιος άλλος κόμβος και η διάδοση του αρχικού DNU να σταματάει. Υπάρχουν συνολικά 18 ζευγάρια κόμβων που αν ανατραπούν οδηγούν σε αυτήν την αλληλουχία διαταραχών.

2. Διαταραχή των κόμβων (N1,N3) από ('0','0') σε ('1','1').

Αντίστοιχα με την περίπτωση 1, επηρεάζονται τα DI2 και DI3, ανατρέποντας τους κόμβους N4 και N6 από '1' σε '0'. Σε αυτή όμως την περίπτωση οι κόμβοι

αυτοί είναι συνδεδεμένοι ως είσοδοι στο ίδιο DI (DI9), με αποτέλεσμα ο κόμβος N9 να ανατρέπεται από '0' σε '1', επηρεάζοντας με τη σειρά του το DI6 όπου είναι συνδεδεμένος ως είσοδος B και ανατρέποντας τον κόμβο N12 από '1' σε '0'. Στο σημείο αυτό σταματάει η διάδοση της διαταραχής καθώς ο κόμβος N12 δεν είναι συνδεδεμένος στην είσοδο κανενός DI μαζί με κάποιον από τους κόμβους N4 ή N6. Υπάρχουν συνολικά 12 ζευγάρια κόμβων που αν ανατραπούν οδηγούν σε αυτήν την αλληλουχία διαταραχών.

3. Διαταραχή των κόμβων (N1,N5) από ('1','1') σε ('0','0').

Η διαταραχή μόνο μιας εκ των εισόδων ενός DI από '1' σε '0' δεν είναι σε θέση να ανατρέψει την έξοδό του. Επομένως, αφού οι κόμβοι N1 και N5 δεν είναι συνδεδεμένοι ως είσοδοι στο ίδιο DI, η διάδοση της διαταραχής σταματάει. Υπάρχουν συνολικά 18 ζευγάρια κόμβων που αν ανατραπούν οδηγούν σε αυτήν την αλληλουχία διαταραχών.

4. Διαταραχή των κόμβων (N1,N3) από ('1','1') σε ('0','0').

Σε αντίθεση με την περίπτωση 3, οι κόμβοι N1 και N3 είναι συνδεδεμένοι ως είσοδοι στο ίδιο DI (DI2) ανατρέποντας τον κόμβο N4 από '0' σε '1'. Ο κόμβος N4 είναι συνδεδεμένος στην είσοδο B του DI9 ανατρέποντας τον κόμβο N9 από '1' σε '0'. Στο σημείο αυτό σταματάει η διάδοση της διαταραχής καθώς ο κόμβος N9 δεν είναι συνδεδεμένος στην είσοδο κανενός DI μαζί με κάποιον από τους κόμβους N1 ή N3. Υπάρχουν συνολικά 12 ζευγάρια κόμβων που αν ανατραπούν οδηγούν σε αυτήν την αλληλουχία διαταραχών.

5. Διαταραχή των κόμβων (N1,N8) από ('0','1') σε ('1','0').

Ο κόμβος N1 είναι συνδεδεμένος ως είσοδος B στο DI2 ανατρέποντας τον κόμβο N4 από '1' σε '0'. Στο σημείο αυτό η διάδοση της διαταραχής σταματάει καθώς οι κόμβοι N4 και N8 δεν είναι συνδεδεμένοι ως είσοδοι στο ίδιο DI. Υπάρχουν συνολικά 36 ζευγάρια κόμβων που αν ανατραπούν οδηγούν σε αυτήν την αλληλουχία διαταραχών.

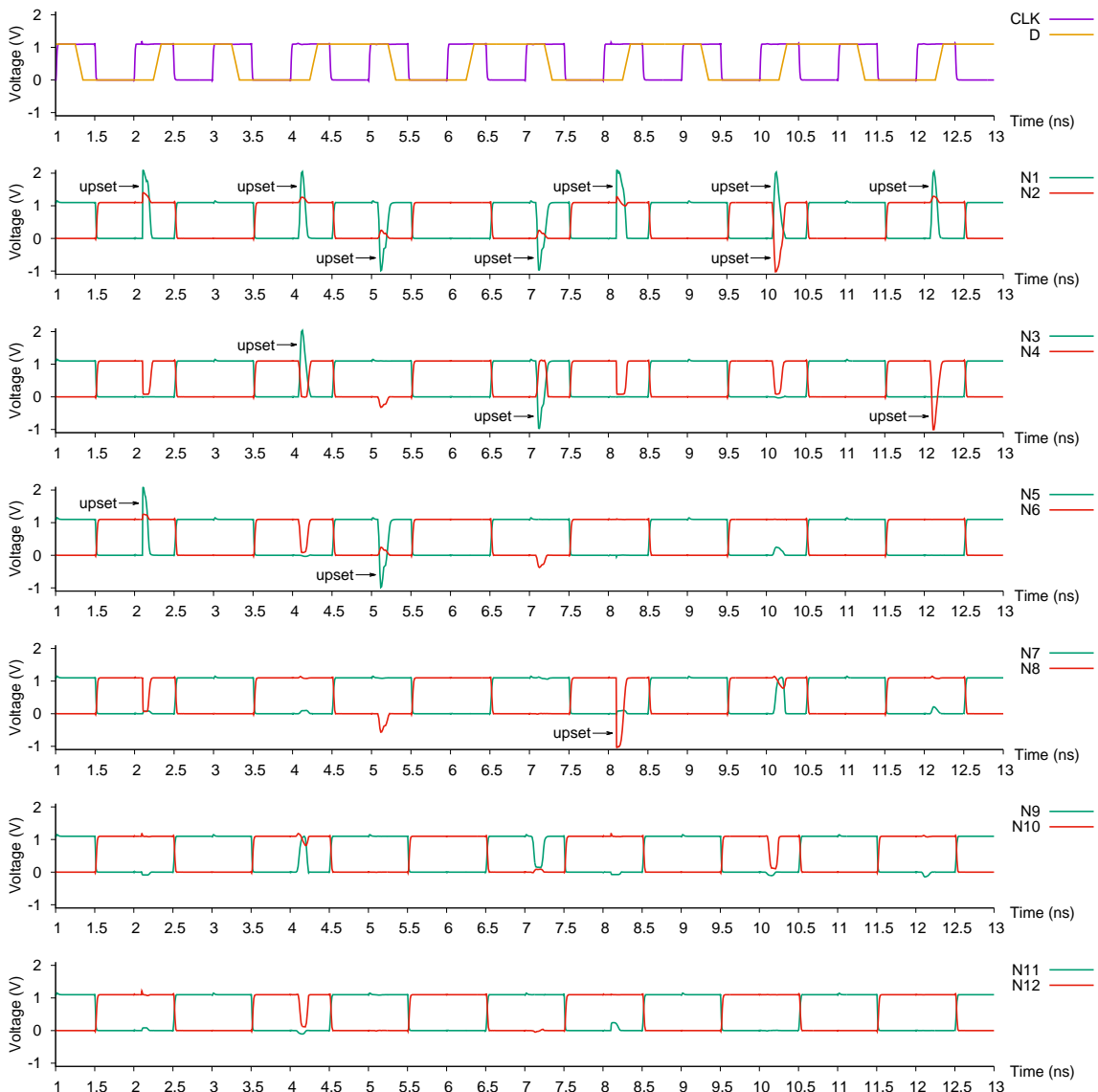
6. Διαταραχή των κόμβων (N1,N2) από ('0','1') σε ('1','0').

Ο κόμβος N1 είναι συνδεδεμένος ως είσοδος B στο DI2 ανατρέποντας τον κόμβο N4 από '1' σε '0'. Καθώς οι κόμβοι N2 και N4 είναι συνδεδεμένοι ως είσοδοι στο ίδιο DI (DI8), ο κόμβος N7 ανατρέπεται από '0' σε '1' επηρεάζοντας με τη σειρά του το DI5 όπου είναι συνδεδεμένος ως είσοδος B, και ανατρέποντας τον κόμβο N10 από '1' σε '0'. Στο σημείο αυτό σταματάει η διάδοση της διαταραχής καθώς ο κόμβος N10 δεν είναι συνδεδεμένος στην είσοδο κανενός DI μαζί με κάποιον από τους κόμβους N2 ή N4. Υπάρχουν συνολικά 24 ζευγάρια κόμβων που αν ανατραπούν οδηγούν σε αυτήν την αλληλουχία διαταραχών.

7. Διαταραχή των κόμβων (N1,N4) από ('0','1') σε ('1','0').

Ο κόμβος N1 είναι συνδεδεμένος στην είσοδο B του DI2 ανατρέποντας τον κόμβο N4 από '1' σε '0', με τον κόμβο N4 να έχει όμως ήδη ανατραπεί εξαιτίας του αρχικού DNU. Οι διαταραχές αυτές δεν οδηγούν σε επακόλουθη ανατροπή της εξόδου κάποιου DI και η διάδοση της διαταραχής σταματάει. Υπάρχουν συνολικά 12 ζευγάρια κόμβων που αν ανατραπούν οδηγούν σε αυτήν την αλληλουχία διαταραχών.

Προκειμένου να πιστοποιήσουμε την ανθεκτικότητα του προτεινόμενου μανδαλωτή DIRT απέναντι σε οποιοδήποτε DNU, προσομοιώσαμε και τους 66 πιθανούς συνδυασμούς διαταραχών σε SPICE όταν ο μανδαλωτής είναι σε αδιαφανή κατάσταση ($CLK='1'$), και στις δύο καταστάσεις ($Q='0'$ και $Q='1'$). Η προσομοίωση των διαταραχών έγινε με χρήση του εκθετικού μοντέλου που περιγράφεται στην ενότητα 1.4.1, με το επαγόμενο φορτίο να φτάνει μέχρι και το 1pF. Η παραπάνω κατηγοριοποίηση των DNU μας επιτρέπει να επιβεβαιώσουμε την ανθεκτικότητα του προτεινόμενου μανδαλωτή DIRT, προσομοιώνοντας μόνο ένα αντιπροσωπευτικό DNU από κάθε κατηγορία. Τα αποτελέσματα των αντίστοιχων προσομοιώσεων φαίνονται στο Σχ. 3.20 και αποδεικνύουν την πλήρη ανθεκτικότητα του μανδαλωτή DIRT απέναντι σε DNU.



Σχήμα 3.20: DNU σε όλα τα αντιπροσωπευτικά ζευγάρια κόμβων του προτεινόμενου μανδαλωτή DIRT όπως αυτά περιγράφτηκαν στην ενότητα 3.5.3.

3.6 Αξιολόγηση των Προτεινόμενων Μανδαλωτών και Συγκριτική Ανάλυση Κόστους

Στην ενότητα αυτή αξιολογούμε τους τρεις προτεινόμενους μανδαλωτές (DONUT, Delta DICE και DIRT) και συγκρίνουμε τα κόστη και τις επιδόσεις τους με τους μανδαλωτές που παρουσιάστηκαν στην ενότητα 3.2. Όλοι οι μανδαλωτές έχουν προσομοιωθεί σε SPICE (χωρίς ενισχυτή εξόδου), λειτουργώντας σε συχνότητα 1GHz και με μοντέλα από τεχνολογία 65nm της UMC με ονομαστική τάση τροφοδοσίας 1.1V. Τα μεγέθη των τρανζίστορ που χρησιμοποιήθηκαν στους προτεινόμενους μανδαλωτές έχουν ήδη αναφερθεί στις ενότητες που παρουσιάζεται η λειτουργία του καθενός. Όσον αφορά στα μεγέθη των τρανζίστορ που επιλέχθηκαν για το σχεδιασμό των υπαρχόντων μανδαλωτών, χρησιμοποιήθηκαν οι διαστάσεις σε πολλαπλάσια του λ που αναφέρονται στην αντίστοιχη βιβλιογραφία. Στις περιπτώσεις που δεν παρέχονται διαστάσεις από τους συγγραφείς (μανδαλωτές DICE, BISER, FERST, MNDT και NTHLTCH), χρησιμοποιήθηκαν συμβατικές διαστάσεις ($L=2\lambda$, $W_{\text{NMOS}}=4\lambda$ και $W_{\text{PMOS}}=6\lambda$), αυξάνοντας το πλάτος αναλογικά σε περίπτωση που υπήρχαν τρανζίστορ σε σειρά, προκειμένου η δύναμη οδήγησης να διατηρηθεί στα ίδια επίπεδα. Οι διαστάσεις των πυλών μετάδοσης που χρησιμοποιήθηκαν για τους υπάρχοντες μανδαλωτές είναι ίδιες με αυτές που χρησιμοποιήθηκαν για τους προτεινόμενους.

3.6.1 Κόστος σε Ονομαστικές Συνθήκες

Στην ενότητα αυτή παρουσιάζεται μια ανάλυση του κόστους των υπαρχόντων και προτεινόμενων μανδαλωτών όταν αυτοί λειτουργούν στις ονομαστικές συνθήκες της τεχνολογίας ($V_{\text{DD}}=1.1\text{V}$, θερμοκρασία= 27°C , καμία διακύμανση στην κατασκευαστική διαδικασία). Οι μανδαλωτές συγκρίνονται ως προς:

- Δυναμική Ενέργεια
Υπολογίζεται ως ο μέσος όρος της ενέργειας που απαιτείται για να πραγματοποιηθούν οι μεταβάσεις '0'→'1' και '1'→'0'.
- Καθυστέρηση Διάδοσης
Υπολογίζεται ως ο μέσος όρος της διαφοράς $t_Q - t_{\text{CLK}}$ κατά τη διάρκεια των μεταβάσεων '0'→'1' και '1'→'0' (μετρημένες στο 50% της μετάβασης).
- Δυναμική Ενέργεια × Καθυστέρηση
Υπολογίζεται ως το γινόμενο της δυναμικής ενέργειας και της καθυστέρησης διάδοσης, προκειμένου να δώσει μια συνολική εικόνα του κόστους.
- Στατική Ενέργεια
Υπολογίζεται ως η μέση τιμή της ενέργειας που καταναλώνεται για να διατηρηθεί η λογική κατάσταση του στοιχείου μνήμης σε '0' ή '1' όταν το ρολόι είναι σε κατάσταση OFF.
- Επιφάνεια
Υπολογίζεται σε ισοδύναμο αριθμό τρανζίστορ μοναδιαίου μεγέθους (Unit Size Transistors - UST) που απαιτούνται σε κάθε κύκλωμα. Ως τρανζίστορ μοναδιαίου μεγέθους ορίζουμε ένα τρανζίστορ ελάχιστων διαστάσεων ($L=W=2\lambda$).

- 100% Ανθεκτικότητα σε DNU

Ένας μανδαλωτής είναι πλήρως ανθεκτικός σε DNU όταν μπορεί να αντιμετωπίσει διαταραχές σε κάθε πιθανό ζευγάρι κόμβων και για κάθε επαγόμενο φορτίο.

Τα αποτελέσματα της σύγκρισης παρουσιάζονται στον Πίνακα 3.2. Σε σχέση με τους υπάρχοντες ανθεκτικούς σε DNU μανδαλωτές, οι προτεινόμενοι μανδαλωτές έχουν πολύ μικρότερο κόστος σε δυναμική ενέργεια, ενώ σε καθυστέρηση διάδοσης ο μανδαλωτής DIRT έχει το μικρότερο κόστος και οι μανδαλωτές DONUT και Delta DICE είναι λίγο πιο αργό από τον μανδαλωτή NTHLTCH. Ως εκ τούτου, οι προτεινόμενοι μανδαλωτές παρουσιάζουν καλύτερα αποτελέσματα στη μετρική δυναμική ενέργεια × καθυστέρηση που δίνει μια συνολική εικόνα των επιδόσεων του κάθε μανδαλωτή. Είναι επίσης μικρότεροι σε μέγεθος συγκρινόμενοι με τους μανδαλωτές ανθεκτικούς σε DNU που παρουσιάζονται στον πίνακα, αλλά έχουν χαμηλότερη στατική ενέργεια μόνο σε σχέση με το μανδαλωτή που προτείνεται στο [94].

Σε σχέση με κάποιους από τους πιο γνωστούς μανδαλωτές ανθεκτικούς σε SNU, οι προτεινόμενοι μανδαλωτές έχουν σε κάποιες περιπτώσεις μια μικρή επιβάρυνση αλλά πολλές φορές εμφανίζονται να έχουν καλύτερες επιδόσεις. Όσον αφορά στη δυναμική ενέργεια και στη δυναμική ενέργεια × καθυστέρηση οι προτεινόμενοι μανδαλωτές έχουν μεγαλύτερο κόστος μόνο σε σύγκριση με τους μανδαλωτές DICE και HIPER. Από άποψη ταχύτητας διάδοσης, ο μανδαλωτής DIRT είναι πιο γρήγορος από κάθε μανδαλωτή ανθεκτικό σε SNU που προσομοιώθηκε, ενώ οι μανδαλωτές DONUT και Delta DICE είναι πιο αργό μόνο σε σχέση με το μανδαλωτή DICE. Όσον αφορά στις μετρικές της στατικής ενέργειας και της επιφάνειας, οι προτεινόμενοι μανδαλωτές είναι καλύτεροι μόνο σε σχέση με το μανδαλωτή που προτείνεται στο [93] και είναι μερικά ανθεκτικός σε DNU.

Ως μια γενική παρατήρηση θα πρέπει να αναφέρουμε ότι ο μανδαλωτής BISER καθώς και οι μανδαλωτές ανθεκτικοί σε SNU ή DNU που ο σχεδιασμός τους βασίζεται σε αυτόν του μανδαλωτή BISER (μανδαλωτής FERST, μανδαλωτές προτεινόμενοι στα [94] και [95]), έχουν πολύ χειρότερες επιδόσεις σε δυναμική ενέργεια × καθυστέρηση σε σχέση με τους υπόλοιπους μανδαλωτές. Αυτό αιτιολογείται κυρίως από τη μεγάλη καθυστέρηση που προκαλούν το στοιχείο-C που οδηγεί την έξοδο και ο αδύναμος κατακρατητής που συμβάλει στη διατήρηση της λογικής κατάστασης της εξόδου όταν κάποια από τις εισόδους του στοιχείου-C έχει διαταραχθεί. Αντίστοιχα προβλήματα παρατηρούνται και στο μανδαλωτή που προτείνεται στο [93] λόγω της χρήσης NMOS τρανζίστορ στο κύκλωμα του pull-up και PMOS τρανζίστορ στο κύκλωμα του pull-down.

Συγκρίνοντας τους προτεινόμενους μανδαλωτές μεταξύ τους, παρατηρούμε ότι στις κρίσιμες μετρικές της δυναμικής ενέργειας, της καθυστέρησης διάδοσης και του γινομένου τους, ο μανδαλωτής DIRT έχει τις καλύτερες επιδόσεις, με το μανδαλωτή Delta DICE να ακολουθεί και το μανδαλωτή DONUT να βρίσκεται στην τελευταία θέση. Ο μανδαλωτής DIRT καταναλώνει επίσης τη λιγότερη στατική ενέργεια και βρίσκεται στη δεύτερη θέση όσον αφορά στο μέγεθος, με το μανδαλωτή DONUT να είναι ο μικρότερος όλων.

Λόγω της υπεροχής του μανδαλωτή DIRT σε σχέση με τους άλλους δύο προτεινόμενους μανδαλωτές αλλά και με την πλειονότητα των υπάρχοντων μανδαλωτών που εξετάστηκαν, παρουσιάζουμε στον Πίνακα 3.3 τα ποσοστιαία κέρδη του για κάθε μετρική. Όσον αφορά στη σύγκρισή του με τους μανδαλωτές ανθεκτικούς σε DNU, υπερτερεί όλων σε δυναμική ενέργεια, καθυστέρηση διάδοσης και δυναμική ενέργεια ×

Πίνακας 3.2: Κόστη σε ονομαστικές συνθήκες των προτεινόμενων μανδαλωτών DONUT, Delta DICE και DIRT, καθώς και των ανθεκτικών μανδαλωτών που παρουσιάστηκαν στην ενότητα 3.2.

Μανδαλωτής	Δυναμική Ενέργεια (fJ)	Καθυστέρηση Διάδοσης (ps)	Δυναμική Ενέργεια × Καθυστέρηση (fJ × ps)	Στατική Ενέργεια (aJ)	Επιφάνεια (UST)	100% Ανθεκτικότητα σε DNU
DICE [46]	1.70	4.97	8.45	21.62	50	✗
BISER [88]	7.19	45.25	325.49	50.80	120	✗
FERST [89]	7.67	59.02	452.83	27.99	120	✗
HIPER [90]	1.34	10.17	13.66	17.75	31	✗
Προτεινόμενος στο [93]	11.54	46.34	535.00	116.99	355.5	✗
Προτεινόμενος στο [94]	12.64	42.27	534.47	76.67	197	✓
Προτεινόμενος στο [95]	10.52	67.83	713.53	36.08	217.5	✓
MNDT [96]	8.16	7.56	61.69	26.83	220	✓
NTHLTCH [97]	10.63	4.98	52.94	47.80	285	✓
DONUT	5.40	6.72	36.28	61.69	120	✓
Delta DICE	5.10	5.01	25.54	65.84	156	✓
DIRT	3.77	4.78	17.99	59.76	138	✓

Πίνακας 3.3: Κέρδη (%) του προτεινόμενου μανδαλωτή DIRT σε ονομαστικές συνθήκες σε σχέση με τους προτεινόμενους μανδαλωτές DONUT και Delta DICE, καθώς και τους ανθεκτικούς μανδαλωτές που παρουσιάστηκαν στην ενότητα 3.2.

Μανδαλωτής	Δυναμική Ενέργεια	Καθυστέρηση Διάδοσης	Δυναμική Ενέργεια × Καθυστέρηση	Στατική Ενέργεια	Επιφάνεια
DICE [46]	-121.64	3.95	-112.89	-176.34	-176.00
BISER [88]	47.65	89.44	94.47	-17.64	-15.00
FERST [89]	50.92	91.90	96.03	-113.51	-15.00
HIPER [90]	-180.42	53.02	-31.73	-236.66	-345.16
Προτεινόμενος στο [93]	67.38	89.69	96.64	48.92	61.18
Προτεινόμενος στο [94]	70.22	88.70	96.63	22.06	29.95
Προτεινόμενος στο [95]	64.21	92.96	97.48	-65.62	36.55
MNDT [96]	53.87	36.78	70.84	-122.69	37.27
NTHLTCH [97]	64.57	4.07	66.01	-25.00	51.58
DONUT	30.28	28.87	50.41	3.13	-15.00
Delta DICE	26.17	4.58	29.55	9.24	11.54

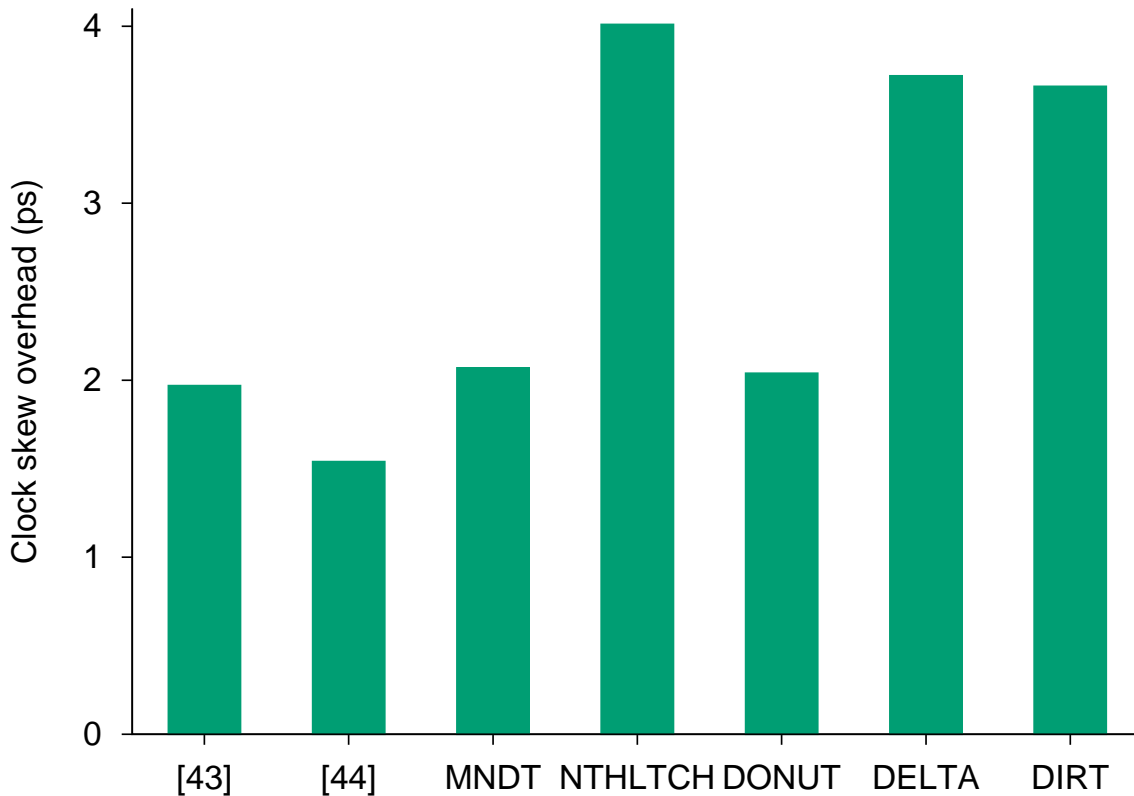
καθυστέρηση με τα ελάχιστα κέρδη που παρουσιάζει να είναι ίσα με $\sim 26.2\%$, $\sim 4.1\%$ και $\sim 29.6\%$ αντίστοιχα. Όσον αφορά στη στατική ενέργεια, υπερτερεί των προτεινόμενων μανδαλωτών DONUT και Delta DICE καθώς και του μανδαλωτή που προτείνεται στο [94], ενώ σε μέγεθος είναι μεγαλύτερος μόνο από το μανδαλωτή DONUT κατά 15% .

Συμπερασματικά, παρατηρούμε ότι ο μανδαλωτής DIRT συγκρινόμενος με όλους τους μανδαλωτές που εξετάστηκαν (ανθεκτικούς σε SNU ή DNU) έχει τη μικρότερη καθυστέρηση, ενώ σε δυναμική ενέργεια και δυναμική ενέργεια \times καθυστέρηση μόνο οι ανθεκτικοί σε SNU μανδαλωτές DICE και HIPER εμφανίζουν καλύτερα αποτελέσματα από αυτόν. Συνεπώς αποτελεί μια ιδιαίτερα αποδοτική επιλογή για την αντιμετώπιση μεταβατικών σφαλμάτων λόγω ακτινοβολίας στις σύγχρονες νανοτεχνολογίες.

Οι περισσότεροι ανθεκτικοί σε ακτινοβολία μανδαλωτές απαιτούν περισσότερες από μια πύλες μετάδοσης προκειμένου να διαδώσουν το σήμα εισόδου στους εσωτερικούς κόμβους, ενώ ο συμβατικός (μη ανθεκτικός σε ακτινοβολία) μανδαλωτής απαιτεί μόνο μία πύλη μετάδοσης. Οι ανθεκτικοί σε DNU μανδαλωτές που εξετάστηκαν/προτάθηκαν στο κεφάλαιο αυτό χρησιμοποιούν από 3 μέχρι 6 πύλες μετάδοσης. Η αυξημένη χωρητικότητα των πυλών μετάδοσης που καλείται να οδηγήσει το τοπικό σήμα ρολογιού, οδηγεί σε αύξηση των χρόνων ανόδου και καθόδου του τοπικού ρολογιού και συνεπώς σε αύξηση της απόκλισης μεταξύ του γενικού (global) και του τοπικού (local) ρολογιού (απόκλιση ρολογιού - clock skew). Στο Σχ. 3.21 φαίνονται οι διαφορές στην απόκλιση ρολογιού μεταξύ των εξεταζόμενων/προτεινόμενων μανδαλωτών ανθεκτικών σε DNU και ενός συμβατικού μανδαλωτή μη ανθεκτικού σε ακτινοβολία που χρησιμοποιεί μόνο μια πύλη μετάδοσης. Η απόκλιση ρολογιού υπολογίζεται κατά τη διάρκεια της πτώσης του ρολογιού (οι εξεταζόμενοι και προτεινόμενοι μανδαλωτές είναι διαφανείς για $CLK=0'$), από τη χρονική στιγμή όπου $CLK_{global} = 0.5V_{DD}$ μέχρι τη χρονική στιγμή όπου $CLK_{local} = 0.5V_{DD}$.

Όπως φαίνεται στο Σχ. 3.21, η απόκλιση ρολογιού των μανδαλωτών που χρησιμοποιούν 6 πύλες μετάδοσης (NTHLTCH, Delta DICE και DIRT) είναι μεγαλύτερη από αυτή των υπόλοιπων μανδαλωτών. Για παράδειγμα, η διαφορά της απόκλισης ρολογιού μεταξύ των προτεινόμενων μανδαλωτών DIRT και DONUT, που έχουν 6 και 4 πύλες μετάδοσης αντίστοιχα, είναι $1.62ps$. Η επιβάρυνση αυτή εξαρτάται από τις διαστάσεις του οδηγού (ενισχυτή) του τοπικού ρολογιού καθώς και από τις διαστάσεις των πυλών μετάδοσης. Συνεπώς, μπορεί να μειωθεί σημαντικά με τη χρήση μικρότερων πυλών μετάδοσης ή/και ισχυρότερων οδηγών ρολογιού.

Στις μετρήσεις που προαναφέρθηκαν, η επιβάρυνση της απόκλισης ρολογιού υπολογίστηκε υποθέτοντας ότι το τοπικό σήμα ρολογιού παράγεται από τον ίδιο οδηγό, ανεξάρτητα από το μανδαλωτή που χρησιμοποιείται. Παρόλα αυτά, προκειμένου να αποφευχθούν χρονικές αποκλίσεις μεταξύ των διάφορων τοπικών ρολογιών, τα εργαλεία σύνθεσης προσπαθούν να εξισορροπήσουν το φορτίο που καλείται να οδηγήσει το καθένα από αυτά. Συνεπώς, στην πράξη, η χρήση ενός ανθεκτικού σε ακτινοβολία μανδαλωτή που απαιτεί πολλές πύλες μετάδοσης, δε θα οδηγήσει στην αύξηση της χωρητικότητας που καλείται να οδηγήσει το τοπικό ρολόι και δε θα επηρεάσει την απόκλισή του, αλλά θα οδηγήσει στην παραγωγή ενός διαφορετικού δέντρου/δικτύου ρολογιών.

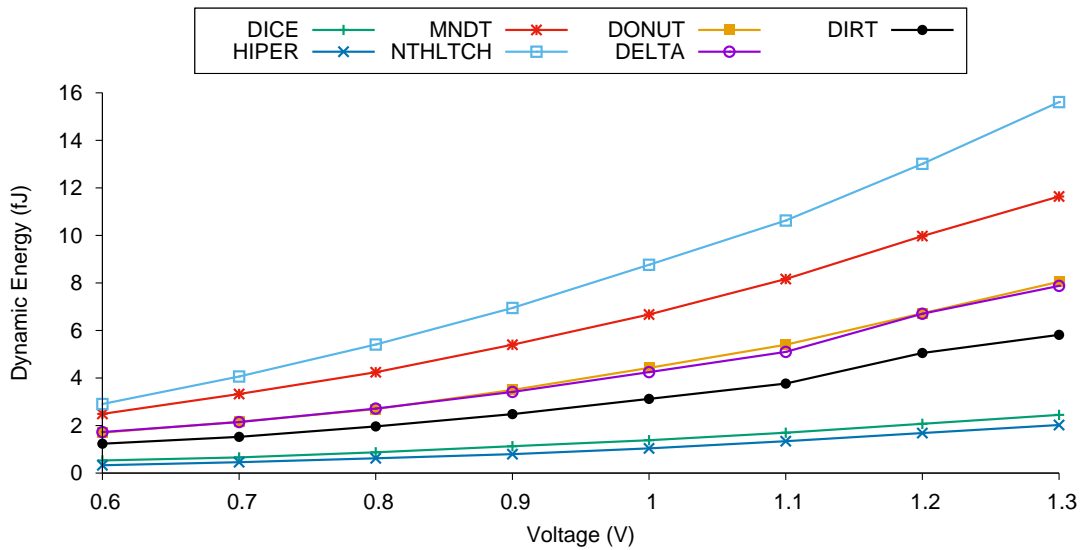


Σχήμα 3.21: Επιβάρυνση στην απόκλιση ρολογιού για τους εξεταζόμενους και προτεινόμενους ανθεκτικούς σε DNU μανδαλωτές, σε σύγκριση με ένα συμβατικό μανδαλωτή μη ανθεκτικό σε ακτινοβολία.

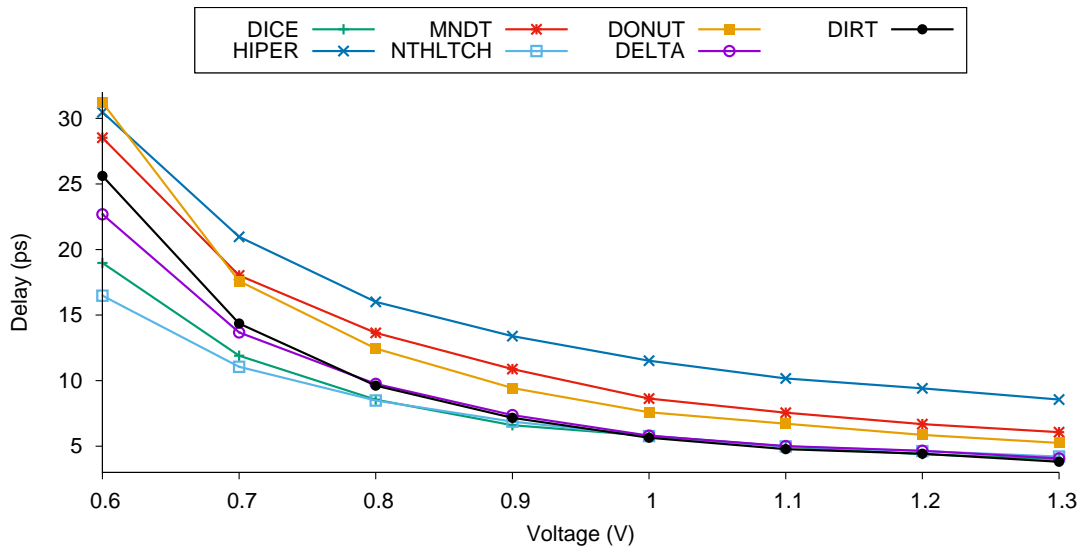
3.6.2 Κόστος κάτω από Διακυμάνσεις στην Κατασκευαστική Διαδικασία, την Τάση Τροφοδοσίας και τη Θερμοκρασία

Οι πιο κρίσιμες μετρικές για τη λειτουργία ενός μανδαλωτή είναι η δυναμική ενέργεια, η καθυστέρηση διάδοσης και το γινόμενο τους. Στην ενότητα αυτή υπολογίζουμε την επιρροή των διακυμάνσεων στην κατασκευαστική διαδικασία, την τάση τροφοδοσίας και τη θερμοκρασία (Process, Voltage and Temperature - PVT) πάνω σε αυτές τις μετρικές. Οι μανδαλωτές που εξετάζονται είναι οι πιο αποδοτικοί από αυτούς που παρουσιάστηκαν, δηλαδή οι τρεις προτεινόμενοι μανδαλωτές (DONUT, Delta DICE και DIRT), οι ανθεκτικοί σε DNU μανδαλωτές MNMT και NTHLTCH, και οι ανθεκτικοί σε SNU μανδαλωτές DICE και HIPER. Στόχος της ανάλυσης είναι να επιβεβαιώσουμε ότι οι προτεινόμενοι μανδαλωτές συνεχίζουν να παρουσιάζουν κέρδη σε σχέση με τους υπάρχοντες, ανεξάρτητα από την επιρροή των διακυμάνσεων.

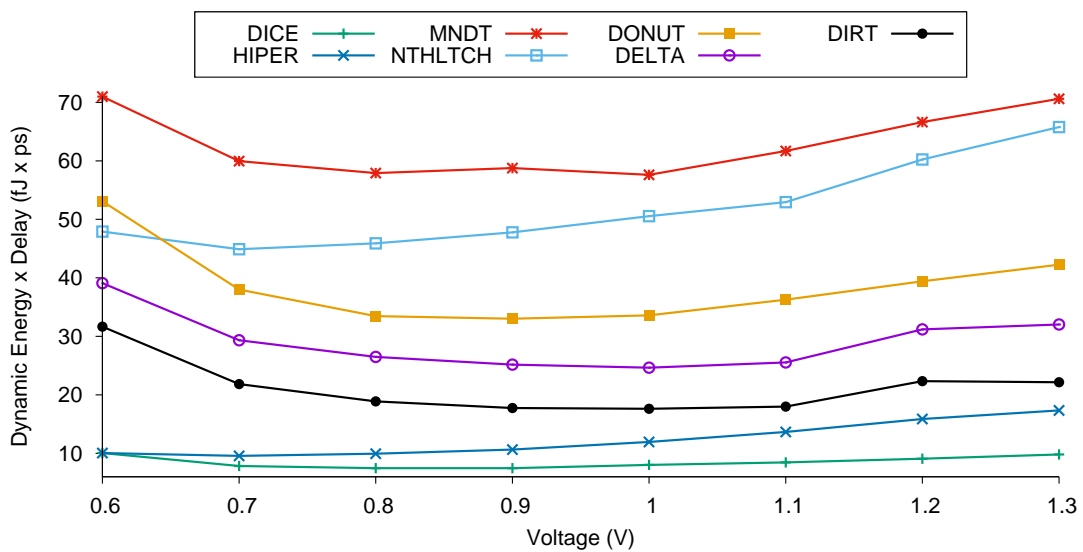
Στο Σχ. 3.22 παρουσιάζονται τα αποτελέσματα των προσομοιώσεων κάτω από διακυμάνσεις της τάσης τροφοδοσίας. Οι προσομοιώσεις έχουν διεξαχθεί σε ένα εύρος τάσεων τροφοδοσίας από 0.6V μέχρι και 1.3V. Η επιρροή της τάσης τροφοδοσίας σε δυναμική ενέργεια και καθυστέρηση διάδοσης είναι σημαντική. Η αύξηση της τάσης τροφοδοσίας αυξάνει τη δυναμική ενέργεια που καταναλώνεται, ενώ η καθυστέρηση διάδοσης μειώνεται καθώς το ρεύμα γίνεται μεγαλύτερο. Για όλες τις τάσεις τροφοδοσίας που προσομοιώθηκαν, ο μανδαλωτής DIRT παρέμεινε ο πιο αποδοτικός μεταξύ των ανθεκτικών σε DNU μανδαλωτών σε κατανάλωση δυναμικής ενέργειας, με τους μανδαλωτές Delta DICE, DONUT, MNMT και NTHLTCH να ακολουθούν κατά σειρά.



(α) Δυναμική ενέργεια.



(β) Καθυστέρηση διάδοσης.



(γ) Δυναμική ενέργεια x καθυστέρηση.

Σχήμα 3.22: Επίδραση διακυμάνσεων της τάσης τροφοδοσίας.

Οι ανθεκτικοί σε SNU μανδαλωτές DICE και HIPER παρέμειναν πιο αποδοτικοί όσον αφορά στη δυναμική ενέργεια σε σχέση με τους ανθεκτικούς σε DNU μανδαλωτές, με το μανδαλωτή HIPER να έχει τη μικρότερη κατανάλωση. Τη μικρότερη καθυστέρηση έχει για $V_{DD} \geq 1V$ ο μανδαλωτής DIRT, για $V_{DD} = 0.9V$ ο μανδαλωτής DICE και για $V_{DD} \leq 0.8V$ ο μανδαλωτής NTHLTCH. Όσον αφορά στη δυναμική ενέργεια \times καθυστέρηση, ο μανδαλωτής DIRT παρέμεινε ο πιο αποδοτικός μεταξύ των ανθεκτικών σε DNU μανδαλωτών για όλες τις τάσεις τροφοδοσίας, με τους μανδαλωτές Delta DICE, DONUT, NTHLTCH και MNDT να ακολουθούν κατά σειρά.

Τα αποτελέσματα των προσομοιώσεων κάτω από την επίδραση της διακύμανσης της θερμοκρασίας από $-50^{\circ}C$ μέχρι $125^{\circ}C$ απεικονίζονται στο Σχ. 3.23, με τη δυναμική ενέργεια και την καθυστέρηση διάδοσης να μην επηρεάζονται σε μεγάλο βαθμό. Η αύξηση της θερμοκρασίας οδηγεί σε γενικές γραμμές σε μια μικρή αύξηση της καθυστέρησης διάδοσης και της δυναμικής ενέργειας, καθώς μειώνει την κινητικότητα των ηλεκτρονίων και των οπών στο πυρίτιο. Σε δυναμική ενέργεια ο μανδαλωτής DIRT παρέμεινε ο πιο αποδοτικός μεταξύ των ανθεκτικών σε DNU μανδαλωτών για όλες τις θερμοκρασίες, με τους μανδαλωτές Delta DICE, DONUT, MNDT και NTHLTCH να ακολουθούν κατά σειρά. Σε καθυστέρηση διάδοσης ο μανδαλωτής DIRT συνέχισε να είναι ο πιο γρήγορος μεταξύ όλων των εξεταζόμενων μανδαλωτών, ενώ σε δυναμική ενέργεια \times καθυστέρηση ο μανδαλωτής DIRT παρέμεινε και πάλι ο πιο αποδοτικός μεταξύ των ανθεκτικών σε DNU μανδαλωτών για όλες τις θερμοκρασίες, με τους μανδαλωτές Delta DICE, DONUT, NTHLTCH και MNDT να ακολουθούν κατά σειρά.

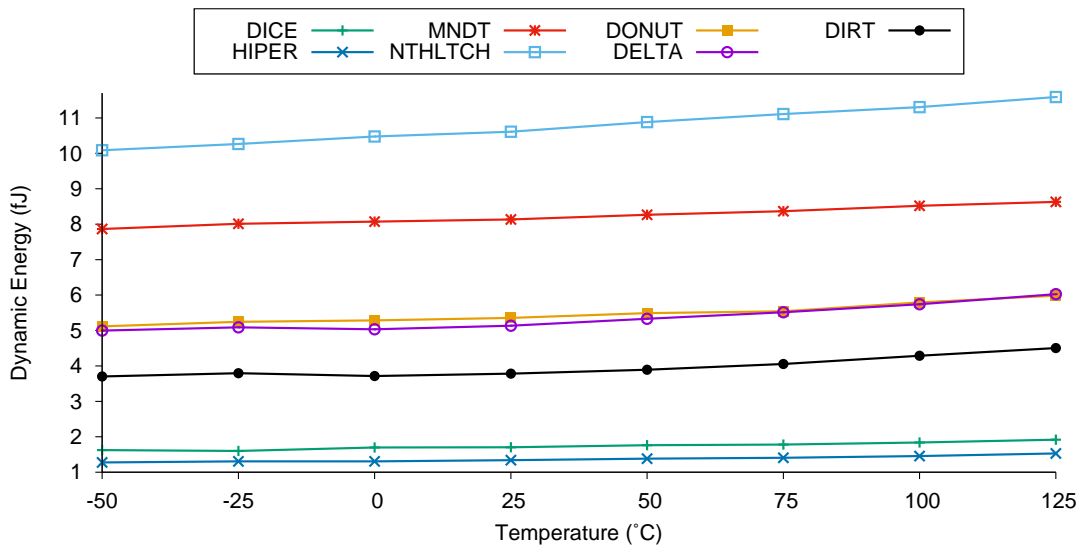
Όσον αφορά στις διακυμάνσεις στην κατασκευαστική διαδικασία, έγιναν προσομοιώσεις Monte Carlo χιλίων (1000) επαναλήψεων για κάθε μανδαλωτή. Η διακύμανση όλων των κατασκευαστικών παραμέτρων ενσωματώθηκε στη διακύμανση της τάσης κατωφλίου (V_{th}). Η τεχνολογία 65nm που χρησιμοποιήθηκε στις μετρήσεις, παρέχει γρήγορα και αργά μοντέλα στα οποία συμπεριλαμβάνονται διακυμάνσεις για όλες τις κατασκευαστικές παραμέτρους (πάχος οξειδίου πύλης, κινητικότητα ηλεκτρονίων/οπών κ.α.). Επομένως, όπως εξηγείται αναλυτικά παρακάτω, υπολογίζουμε τη διακύμανση του V_{th} χρησιμοποιώντας το αργό και το γρήγορο μοντέλο της τεχνολογίας, ενσωματώνοντας τις διακυμάνσεις όλων των κατασκευαστικών παραμέτρων.

Η διακύμανση του V_{th} σε κάθε τρανζίστορ καθορίζεται από μια κατανομή Gauss. Για να υπολογιστεί η παράμετρος σ της κατανομής, υπολογίσαμε αρχικά το V_{th} ενός PMOS(NMOS) τρανζίστορ με $L=2\lambda$ και $W=6\lambda$ ($L=2\lambda$ και $W=4\lambda$) χρησιμοποιώντας το τυπικό, γρήγορο και αργό μοντέλο της τεχνολογίας (το γρήγορο και αργό μοντέλο περιλαμβάνουν διακυμάνσεις για όλες τις κατασκευαστικές παραμέτρους). Ο υπολογισμός έγινε με τη μέθοδο που προτείνεται στο [98]. Η διαφορά μεταξύ του V_{th} ενός τυπικού και ενός γρήγορου τρανζίστορ, όπως επίσης η διαφορά μεταξύ του V_{th} ενός τυπικού και ενός αργού τρανζίστορ είναι εξ ορισμού ίσες με 3σ . Συνεπώς η παράμετρος σ της κατανομής Gauss υπολογίστηκε με βάση την (3.1), χρησιμοποιώντας το μέσο όρο των διαφορών αυτών.

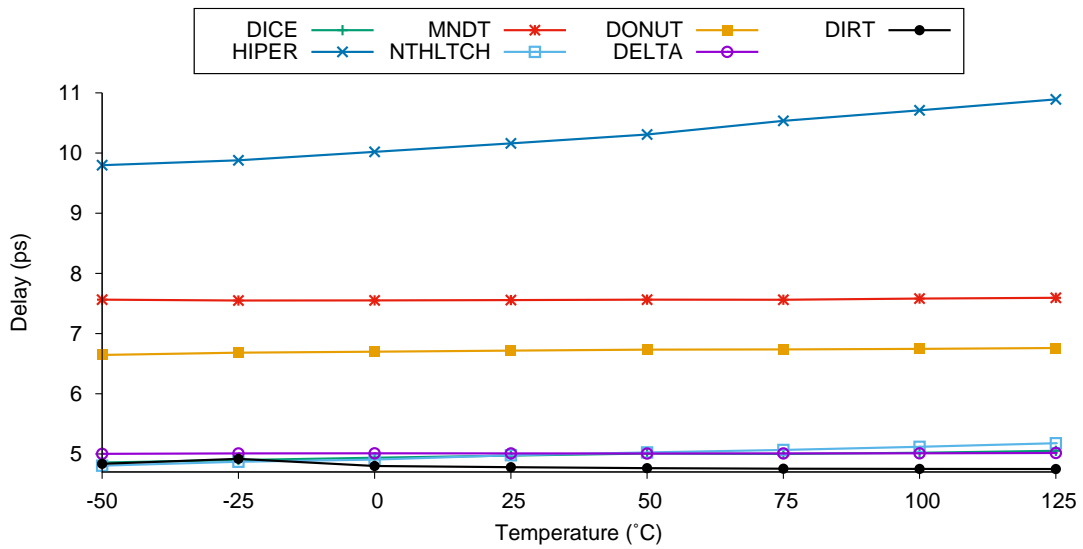
$$\sigma = [(V_{th\ SLOW} - V_{th\ TYPICAL}) + (V_{th\ TYPICAL} - V_{th\ FAST})]/6 \quad (3.1)$$

Αφού υπολογίσουμε το σ για ένα PMOS και ένα NMOS τρανζίστορ γνωστών διαστάσεων που χρησιμοποιούνται ως αναφορά, μπορούμε να υπολογίσουμε το σ για κάθε τρανζίστορ που χρησιμοποιήθηκε στους προτεινόμενους και υπάρχοντες μανδαλωτές, χρησιμοποιώντας την (3.2) όπως αυτή παρουσιάστηκε στο [99].

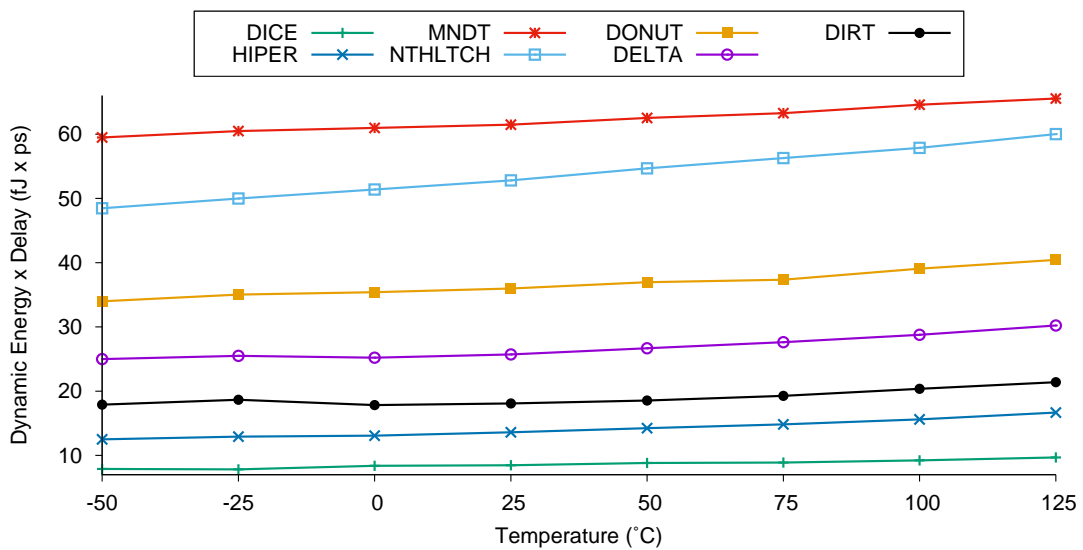
$$\sigma_{\Delta V_{th}} = A_{V_{th}} / \sqrt{WL} \quad (3.2)$$



(α) Δυναμική ενέργεια.



(β) Καθυστέρηση διάδοσης.



(γ) Δυναμική ενέργεια x καθυστέρηση.

Σχήμα 3.23: Επίδραση διακυμάνσεων της θερμοκρασίας.

Καθώς το $A_{V_{th}}$ αποτελεί σταθερά, μπορούμε να υπολογίσουμε το σ για τρανζίστορ οποιωνδήποτε διαστάσεων, χρησιμοποιώντας το σ ενός τρανζίστορ αναφοράς. Έπειτα, διεξάγουμε προσομοιώσεις Monte Carlo με τα αποτελέσματα να φαίνονται στο Σχ. 3.24. Η επίδραση της διακύμανσης των κατασκευαστικών παραμέτρων στη δυναμική ενέργεια και τη δυναμική ενέργεια \times καθυστέρηση δεν αλλάζει τη σειρά από τον πιο αποδοτικό προς το λιγότερο αποδοτικό μανδαλωτή, με τον προτεινόμενο μανδαλωτή DIRT να συνεχίζει να έχει τις καλύτερες επιδόσεις μεταξύ των ανθεκτικών σε DNU μανδαλωτών και τους προτεινόμενους μανδαλωτές Delta DICE και DONUT να ακολουθούν κατά σειρά. Από την άλλη πλευρά παρατηρούμε ότι επειδή σε ονομαστικές συνθήκες οι καθυστερήσεις των μανδαλωτών DIRT, DICE, Delta DICE και NTHLTCH είναι πολύ κοντά μεταξύ τους, γίνεται ασαφές το ποιος από τους μανδαλωτές αυτούς έχει τη μικρότερη καθυστέρηση κάτω από την επίδραση κατασκευαστικών διακυμάνσεων.

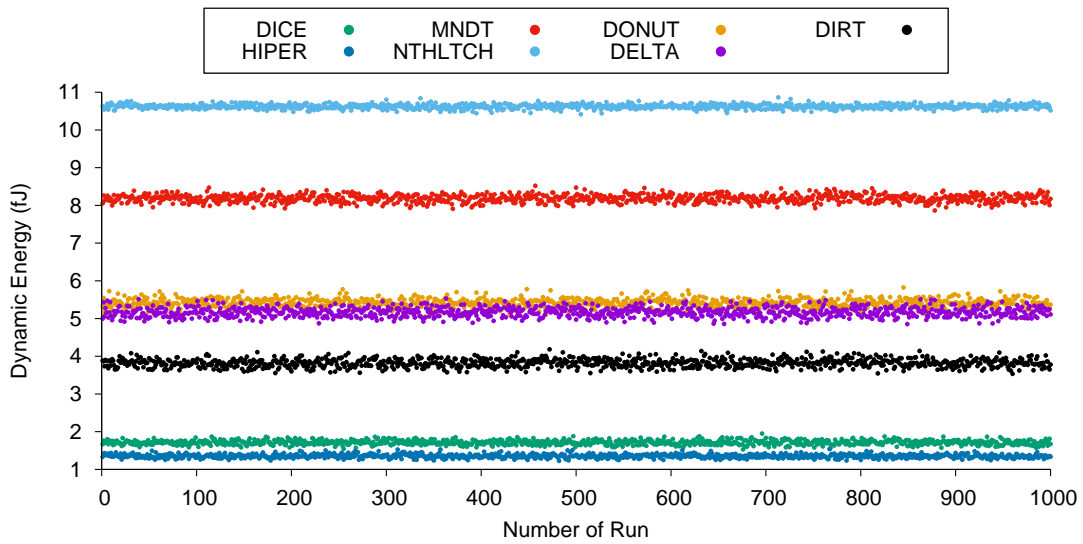
Προκειμένου να μετρήσουμε την επίδραση της διακύμανσης των κατασκευαστικών παραμέτρων σε κάθε μανδαλωτή, υπολογίζουμε την τυπική απόκλιση της δυναμικής ενέργειας, της καθυστέρησης διάδοσης και του γινομένου τους χρησιμοποιώντας την (3.3).

$$\sigma = \sqrt{\frac{\sum (x_i - x_m)^2}{N}} \quad (3.3)$$

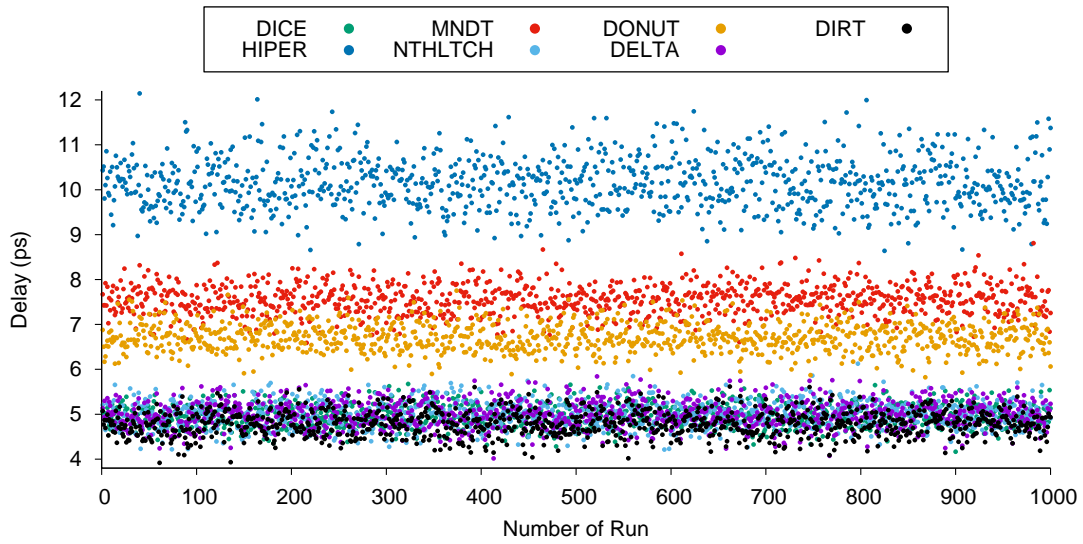
Στην (3.3), x_i είναι η τιμή της μετρικής στην κάθε επανάληψη της προσομοίωσης Monte Carlo, x_m είναι η τιμή της μετρικής χωρίς την ύπαρξη διακυμάνσεων και N είναι ο αριθμός των επαναλήψεων που εκτελέστηκαν. Τα αποτελέσματα παρουσιάζονται στον Πίνακα 3.4. Όσον αφορά στους μανδαλωτές που είναι ανθεκτικοί σε DNU, οι προτεινόμενοι μανδαλωτές έχουν μεγαλύτερη τυπική απόκλιση στη δυναμική ενέργεια από τους υπάρχοντες, αλλά καθώς η ονομαστική τους κατανάλωση είναι πολύ μικρότερη συνεχίζουν να είναι πιο αποδοτικοί. Στην καθυστέρηση διάδοσης οι προτεινόμενοι μανδαλωτές έχουν μεγαλύτερη τυπική απόκλιση από το μανδαλωτή NTHLTCH και μικρότερη από το μανδαλωτή MNDT, ενώ στη δυναμική ενέργεια \times καθυστέρηση έχουν μικρότερη τυπική απόκλιση και από τους δύο. Σε σύγκριση με τους μανδαλωτές ανθεκτικούς σε SNU, οι προτεινόμενοι μανδαλωτές έχουν μεγαλύτερη τυπική απόκλιση με μοναδική εξαίρεση την τυπική απόκλιση της καθυστέρησης του μανδαλωτή HIPER που είναι μεγαλύτερη. Μεταξύ των προτεινόμενων μανδαλωτών, ο μανδαλωτής DIRT έχει τη μικρότερη τυπική απόκλιση σε όλες τις περιπτώσεις. Συμπερασματικά, παρατηρούμε

Πίνακας 3.4: Τυπική απόκλιση της δυναμικής ενέργειας, της καθυστέρησης διάδοσης και του γινομένου τους όπως αυτή προέκυψε από προσομοίωση Monte Carlo χιλίων επαναλήψεων.

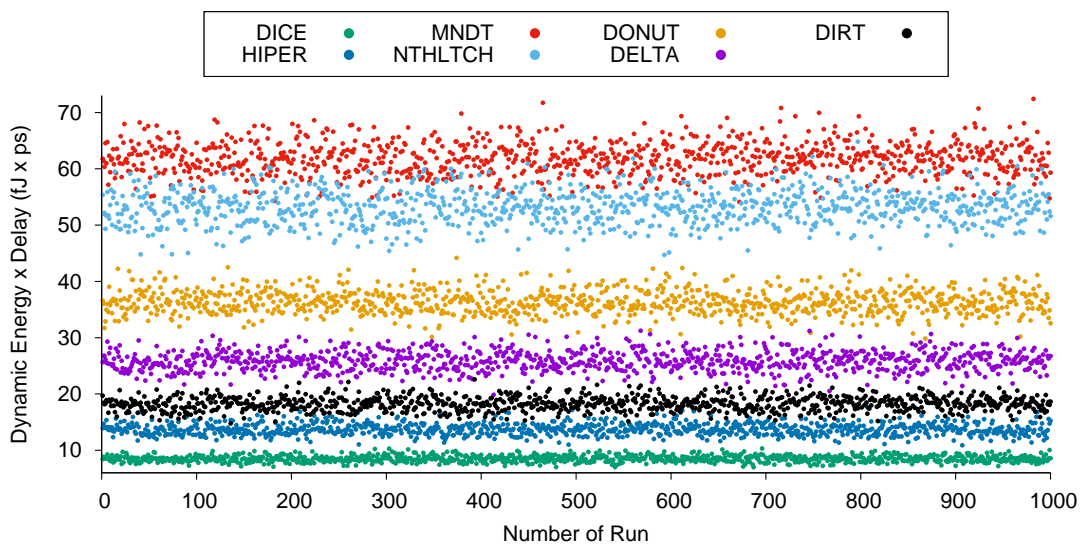
Μανδαλωτής	Δυναμική Ενέργεια	Καθυστέρηση Διάδοσης	Δυναμική Ενέργεια \times Καθυστέρηση
DICE [46]	0.06	0.25	0.58
HIPER [90]	0.05	0.58	1.05
MNDT [96]	0.10	0.33	2.89
NTHLTCH [97]	0.06	0.28	3.00
DONUT	0.12	0.31	2.10
Delta DICE	0.14	0.29	1.78
DIRT	0.12	0.28	1.27



(α) Δυναμική ενέργεια.



(β) Καυστέρηση διάδοσης.



(γ) Δυναμική ενέργεια x καθυστέρηση.

Σχήμα 3.24: Επίδραση διαχυμάνσεων των κατασκευαστικών παραμέτρων.

ότι η διακύμανση των κατασκευαστικών παραμέτρων δεν επηρεάζει τη σειρά από τον περισσότερο στο λιγότερο αποδοτικό μανδαλωτή και ο μανδαλωτής DIRT συνεχίζει να αποτελεί την πιο αποδοτική λύση για ανθεκτικότητα απέναντι σε DNU.

3.7 Επίλογος

Στο κεφάλαιο αυτό παρουσιάσαμε τρεις καινοτόμους μανδαλωτές που είναι ανθεκτικοί σε διαταραχές που επηρεάζουν δύο κόμβους του κυκλώματος. Οι δύο από τους προτεινόμενους μανδαλωτές (DONUT και Delta DICE) βασίζονται στη χρήση του γνωστού κυττάρου μνήμης DICE το οποίο και χρησιμοποιούν ως δομικό στοιχείο. Ο τρίτος προτεινόμενος μανδαλωτής (DIRT) βασίζει την ανθεκτικότητά του σε χρήση πλεοναζόντων κόμβων και σε έναν αναστροφέα διπλής εισόδου που έχει εγγενή χαρακτηριστικά ανθεκτικότητας. Οι προτεινόμενοι μανδαλωτές προσομοιώθηκαν τόσο σε ονομαστικές συνθήκες όσο και κάτω από διακυμάνσεις PVT. Τα αποτελέσματα έδειξαν ότι σε σχέση με γνωστούς μανδαλωτές ανθεκτικούς σε DNU που παρουσιάστηκαν, οι προτεινόμενοι έχουν μειωμένη επιβάρυνση σε δυναμική ενέργεια × καθυστέρηση διάδοσης. Μεταξύ των προτεινόμενων μανδαλωτών, ο μανδαλωτής DIRT έχει το χαμηλότερο κόστος, προσφέροντας τουλάχιστον ~30% βελτίωση στη μετρική δυναμική ενέργεια × καθυστέρηση διάδοσης.

Κεφάλαιο 4

Τεχνική Αυτο-διόρθωσης Σφαλμάτων σε Μνήμες SRAM με Μικρή Καθυστέρηση και Δυνατότητα Αναδιαμόρφωσης

4.1 Εισαγωγή

Μεταξύ όλων των στοιχείων μνήμης των οποίων η αξιοπιστία επηρεάζεται από την ακτινοβολία, οι μνήμες τύπου SRAM είναι οι πιο ευάλωτες λόγω των πολύ μικρών διαστάσεων που χρησιμοποιούνται στα τρανζίστορ τους και του πυκνού σχεδιασμού τους. Όπως έχουμε αναφέρει στην ενότητα 1.7 έχουν προταθεί λύσεις σε πολλά επίπεδα προκειμένου να αντιμετωπιστούν τα μεταβατικά σφάλματα σε μνήμες SRAM, με κάθε κατηγορία λύσεων να παρουσιάζει συγκεκριμένα μειονεκτήματα. Οι λύσεις σε επίπεδο κατασκευαστικής τεχνολογίας είναι ακριβές και παρέχουν προστασία σε ολόκληρο το κύκλωμα, ακόμα και όταν αυτό δεν είναι αναγκαίο. Οι λύσεις σε επίπεδο κυκλώματος είτε είναι ανθεκτικές μέχρι ένα συγκεκριμένο κρίσιμο φορτίο Q_{crit} το οποίο εξαρτάται από τις παρασιτικές χωρητικότητες του κυκλώματος, είτε είναι ανθεκτικές για οποιοδήποτε επαγόμενο φορτίο αλλά με πολύ μεγάλες επιβαρύνσεις σε ταχύτητα, επιφάνεια και κατανάλωση ισχύος. Αντίθετα, οι τεχνικές σε αρχιτεκτονικό επίπεδο, όπως οι κώδικες διόρθωσης σφαλμάτων (Error Correction Codes - ECC) και ο τριπλός πλεονασμός (Triple Modular Redundancy - TMR), εχμεταλλεύονται καλύτερα το κόστος τους, προσθέτοντας ανθεκτικά χαρακτηριστικά μόνο εκεί που απαιτείται, παραμένοντας ταυτόχρονα τεχνολογικά ανεξάρτητες. Οι τεχνικές ECC είναι ιδιαίτερα διαδεδομένες σε μνήμες SRAM όπου μπορούν να προσφέρουν ανθεκτικότητα χωρίς μεγάλες επιβαρύνσεις λόγω της ύπαρξης μεγάλων πινάκων μνήμης.

Όπως έχει αναφερθεί στην ενότητα 1.5 η αύξηση της κλίμακας ολοκλήρωσης των σύγχρονων νανοτεχνολογιών οδηγεί στην αύξηση της πυκνότητας των πινάκων μνήμης με αποτέλεσμα η πρόσχρουση ακτινοβολίας να μπορεί να οδηγήσει σε διαταραχή περισσότερων του ενός κυττάρων μνήμης (Multiple Bit Upset - MBU), με πολλαπλότητες $\gg 10$ να έχουν αναφερθεί στη βιβλιογραφία [33–35, 100]. Μεγάλος αριθμός MBU έχει καταγραφεί και σε μνήμες τύπου SRAM με τεχνολογία triple-well [101]. Επίσης, η ιδιαίτερα επιθετική σμίχρυνση των διαστάσεων της τεχνολογίας καθιστά τα σύγχρονα ολοκληρωμένα κυκλώματα επιρρεπή σε κατασκευαστικά ελαττώματα και σφάλματα λόγω γήρανσης/φθοράς (μόνιμα σφάλματα). Η ύπαρξη σφαλμάτων πολλαπλών τύπων

(μεταβατικά και μόνιμα) κάνει απαραίτητη την ανίχνευση και διόρθωση σφαλμάτων σε περισσότερα του ενός bit μιας λέξης της μνήμης, ώστε να διατηρηθεί η αξιοπιστία της [102,103]. Ως εκ τούτου, οι κώδικες διόρθωσης που μπορούν να διορθώνουν μόνο ένα εσφαλμένο bit της λέξης (Single Error Correction - SEC) καθίστανται ανεπαρκείς αφού δεν μπορούν να αντιμετωπίσουν MBU μέσα στην ίδια λέξη της μνήμης [104–106].

Μια λύση που εφαρμόζεται συχνά για να καταπολεμήσει τα MBU είναι η διεμπλοκή (interleaving) πολλαπλών λέξεων κατά μήκος μιας γραμμής του πίνακα μνήμης, απομακρύνοντας τα bits που ανήκουν στην ίδια λέξη στο επίπεδο του φυσικού σχεδίου (layout). Με τον τρόπο αυτό ένα MBU μετατρέπεται σε πολλαπλά SBU (Single Bit Upset) τα οποία μπορούν να διορθωθούν από κώδικες SEC. Παρόλα αυτά, το interleaving οδηγεί σε αύξηση της επιφάνειας και της καθυστέρησης του κυκλώματος λόγω της πολυπλοκότητας της δρομολόγησης, και οι επιβαρύνσεις αυτές γίνονται όλο και μεγαλύτερες όσο η τεχνολογία μικραίνει και τα MBU επηρεάζουν όλο και μεγαλύτερο αριθμό από bits. Επίσης, σε μικρές μνήμες, σε καταχωρητές και σε μνήμες CAM (Content Addressable Memories), το interleaving είναι αδύνατο να εφαρμοστεί με αποτέλεσμα να χρησιμοποιούνται διαφορετικές τεχνικές αντιμετώπισης σφαλμάτων [104, 107].

Για να αντιμετωπιστεί το συγκεκριμένο πρόβλημα, έχουν αναπτυχθεί κώδικες που μπορούν να αντιμετωπίσουν σφάλματα (μεταβατικά ή μόνιμα) σε πολλαπλά bits της λέξης μνήμης (multi-bit ECC). Όμως, οι κώδικες αυτοί οδηγούν σε όλο και μεγαλύτερες επιβαρύνσεις στην επιφάνεια, την ισχύ και την καθυστέρηση όσο αυξάνεται ο αριθμός των σφαλμάτων που μπορούν να ανιχνεύσουν και να διορθώσουν, με αποτέλεσμα να χάνεται το πλεονέκτημα της χρησιμοποίησης κωδίκων διόρθωσης με στόχο τη χαμηλή επιβάρυνση. Η επιβάρυνση στην καθυστέρηση είναι αυτή που παρουσιάζει τη μεγαλύτερη αύξηση, φτάνοντας πολλές φορές σε εκατοντάδες πρόσθετους κύκλους ανίχνευσης/διόρθωσης [34, 71, 72, 103, 108–110].

Μια κατηγορία κωδίκων ικανών να ανιχνεύσουν και να διορθώσουν πολλαπλά σφάλματα μειώνοντας την επιβάρυνση σε καθυστέρηση είναι οι κώδικες OS-MLD (One-Step Majority Logic Decodable). Ένας τύπος κωδίκων OS-MLD είναι οι κώδικες DS (Difference Set) που βελτιώνουν την επιβάρυνση σε καθυστέρηση, αλλά απαιτούν πολλούς κύκλους στο στάδιο της αποκωδικοποίησης και έχουν περιορισμένο εύρος επιλογών στο μέγεθος του block που επεξεργάζονται. Στις εργασίες [111, 112] οι συγγραφείς παραλείπουν τη διαδικασία της αποκωδικοποίησης όταν δεν έχει ανιχνευθεί σφάλμα, μειώνοντας έτσι την καθυστέρηση. Στο [113] προτείνεται ένας κώδικας διόρθωσης μέχρι και τριών εσφαλμένων bits (Triple Error Correction - TEC) μικρής καθυστέρησης, ενώ στο [114] παρουσιάζεται ένας βελτιωμένος παράλληλος αποκωδικοποιητής για κώδικες DS. Ένας ακόμα τύπος κωδίκων OS-MLD είναι οι κώδικες OLS (Orthogonal Latin Square) που απαιτούν περισσότερα bits ελέγχου με αντάλλαγμα μικρότερη πολυπλοκότητα. Ένας κατατμημένος (segmented) κώδικας διόρθωσης βασισμένος σε κώδικες OLS παρουσιάζεται στο [115]. Στο [116] επεκτείνονται OLS κώδικες που διορθώνουν μέχρι και δύο εσφαλμένα bits της λέξης (Double Error Correction - DEC) προκειμένου να προστατεύσουν λέξεις μεγαλύτερου μεγέθους χρησιμοποιώντας τον ίδιο αριθμό από bits ελέγχου, ενώ στο [117] οι συγγραφείς μετατρέπουν έναν DEC OLS κώδικα ώστε να μπορεί να διορθώσει μέχρι και τρία σφάλματα σε γειτονικά bits (Triple Adjacent Error Correction - TAEC).

Καθώς πολλά από τα MBU συμβαίνουν σε γειτονικά bits, στο [118] προτείνεται ένας OLS κώδικας χαμηλής καθυστέρησης για διόρθωση μέχρι και δύο γειτονικών bits (Double Adjacent Error Correction - DAEC). Οι συγγραφείς στο [119] επεκτείνουν έναν DAEC κώδικα σε TAEC χωρίς επιβάρυνση σε bits ελέγχου και με μειωμένη

επιβάρυνση σε καθυστέρηση. Στο [120], ένας κώδικας SEC-MAEC (Single Error Correction - Multiple Adjacent Error Correction) προσφέρει μικρότερη καθυστέρηση από τον OLS κώδικα στο [115] και λειτουργεί σε ένα κύκλο, σε αντίθεση με τη λύση στο [121] που βασίζεται σε turbocodes.

Ένας ακόμα αποτελεσματικός τρόπος να διορθωθούν σφάλματα σε k γειτονικά bits είναι να χωριστεί η μήμη σε k ομάδες, όπου στην κάθε μια εφαρμόζεται ένας interleaved SEC Hamming κώδικας [122]. Κάθε ομάδα πρέπει να περιλαμβάνει τα bits της αρχικής λέξης μήμης που έχουν μεταξύ τους απόσταση k . Επομένως, μια διαταραχή μέχρι και k γειτονικών bits, επηρεάζει bits που διορθώνονται από διαφορετικούς SEC Hamming κώδικες.

Παρόλο που όλες οι προαναφερόμενες λύσεις προσφέρουν διόρθωση σφαλμάτων πολλαπλών bits με μειωμένο κόστος σε καθυστέρηση, συνεχίζουν να έχουν μια σημαντική επιβάρυνση ενώ παράλληλα η πλειοψηφία τους μπορεί να αντιμετωπίσει μόνο γειτονικά σφάλματα ή περιορισμένο αριθμό σφαλμάτων.

Οι επιβαρύνσεις δύο ευρέως χρησιμοποιούμενων κωδίκων διόρθωσης σφαλμάτων (SEC Hamming και TEC Reed Muller) αναλύονται παρακάτω. Ο κώδικας Reed Muller προτιμάται σε σχέση με τον κώδικα Reed Solomon καθώς ο δεύτερος έχει πολύ μεγάλη καθυστέρηση και ιδιαίτερα πολύπλοκο αλγόριθμο αποκωδικοποίησης [123,124]. Στο [73] οι συγγραφείς έχουν διεξάγει μια ανάλυση των επιβαρύνσεων των δύο παραπάνω κωδίκων για έναν 32×32 πίνακα μήμης. Τα αποτελέσματα της σύγκρισης φαίνονται στον Πίνακα 4.1 και δείχνουν ότι ο κώδικας Hamming έχει μικρή επιβάρυνση, αλλά η ικανότητά του να διορθώνει σφάλματα που επηρεάζουν μόνο ένα bit της λέξης τον καθιστά ανεπαρκή. Από την άλλη πλευρά, μια μήμη που προστατεύεται από έναν TEC κώδικα Reed Muller έχει σημαντική επιβάρυνση σε επιφάνεια, κατανάλωση ισχύος και καθυστέρηση. Η 155% επιβάρυνση σε επιφάνεια και 186% επιβάρυνση σε κατανάλωση ισχύος του κώδικα Reed Muller είναι κοντά στην κατά 200% επιβάρυνση σε επιφάνεια και ισχύ της τεχνικής TMR. Σαν αποτέλεσμα, μια τεχνική βασισμένη στο TMR αλλά με μηδενική επιβάρυνση σε καθυστέρηση και χωρίς πρόσθετους κύκλους διόρθωσης θα ήταν 1.98 φορές πιο αποδοτική από τον κώδικα Reed Muller στη μετρική Επιφάνεια \times Ισχύς \times Καθυστέρηση όπως αυτή προτείνεται στο [73]. Η παραπάνω βελτίωση σε συνδυασμό με την εγγενή δυνατότητα του TMR να είναι ανθεκτικό σε αριθμό σφαλμάτων ίσο με τον αριθμό των bits της λέξης, καθιστά μια τέτοια τεχνική ιδιαίτερα αποδοτική.

Πίνακας 4.1: Επιφάνεια, κατανάλωση ισχύος και καθυστέρηση (%) μηνμών που προστατεύονται με κώδικες Hamming και Reed Muller, σε σύγκριση με μια μήμη που δεν προστατεύεται με καμία τεχνική [73].

Κώδικας διόρθωσης	Επιφάνεια	Ισχύς	Καθυστέρηση
Χωρίς προστασία	100	100	100
SEC κώδικας Hamming	127	143	235
TEC κώδικας Reed Muller	255	286	244

Στο κεφάλαιο αυτό προτείνουμε μια αρχιτεκτονική μήμης που προσφέρει αυτό-διόρθωση των μεταβατικών σφαλμάτων και βασίζεται στην τεχνική TMR αλλά επεμβαίνει σε επίπεδο κυκλώματος και προστατεύει τον πίνακα της μήμης με βελτιωμένες επιδόσεις (μικρή καθυστέρηση, όχι πρόσθετοι κύκλοι ανίχνευσης/διόρθωσης) σε σχέση με τη συμβατική TMR τεχνική και τους κώδικες διόρθωσης πολλαπλών bits της λέξης. Μπορούμε να επιτύχουμε πολύ υψηλά επίπεδα αξιοπιστίας (μέχρι και όλα τα bits της

λέξης) χωρίς την επιβάρυνση του κυκλώματος πλειοψηφίας και την επιρρέπειά του σε μεταβατικά σφάλματα [125]. Στην προτεινόμενη αρχιτεκτονική δεν προσθέτουμε προστασία στα περιφερειακά λογικά κυκλώματα λόγω της πολύ μεγαλύτερης επιρρέπειας των κυττάρων μνήμης σε σχέση με αυτά, προκειμένου να μειώσουμε τις επιβαρύνσεις σε επιφάνεια και κατανάλωση ισχύος. Παρόλα αυτά, μπορεί να συμπληρωθεί με τριπλασιασμό των περιφερειακών κυκλωμάτων, προσφέροντας όλες τις ιδιότητες προστασίας της τεχνικής TMR. Η προτεινόμενη αρχιτεκτονική προσφέρει διαφορική ανάγνωση και εγγραφή, είναι συμβατή με τις πρότυπες κατασκευαστικές διαδικασίες για CMOS και η ανθεκτικότητα που προσφέρει απέναντι σε σφάλματα είναι τεχνολογικά ανεξάρτητη. Η διόρθωση του σφάλματος (στην περίπτωση μεταβατικού σφάλματος) πραγματοποιείται κατά τη διάρκεια μιας ανάγνωσης, χωρίς να απαιτεί πρόσθετους κύκλους και με την επιβάρυνση σε καθυστέρηση όταν δεν έχει υπάρξει σφάλμα να είναι μηδενική.

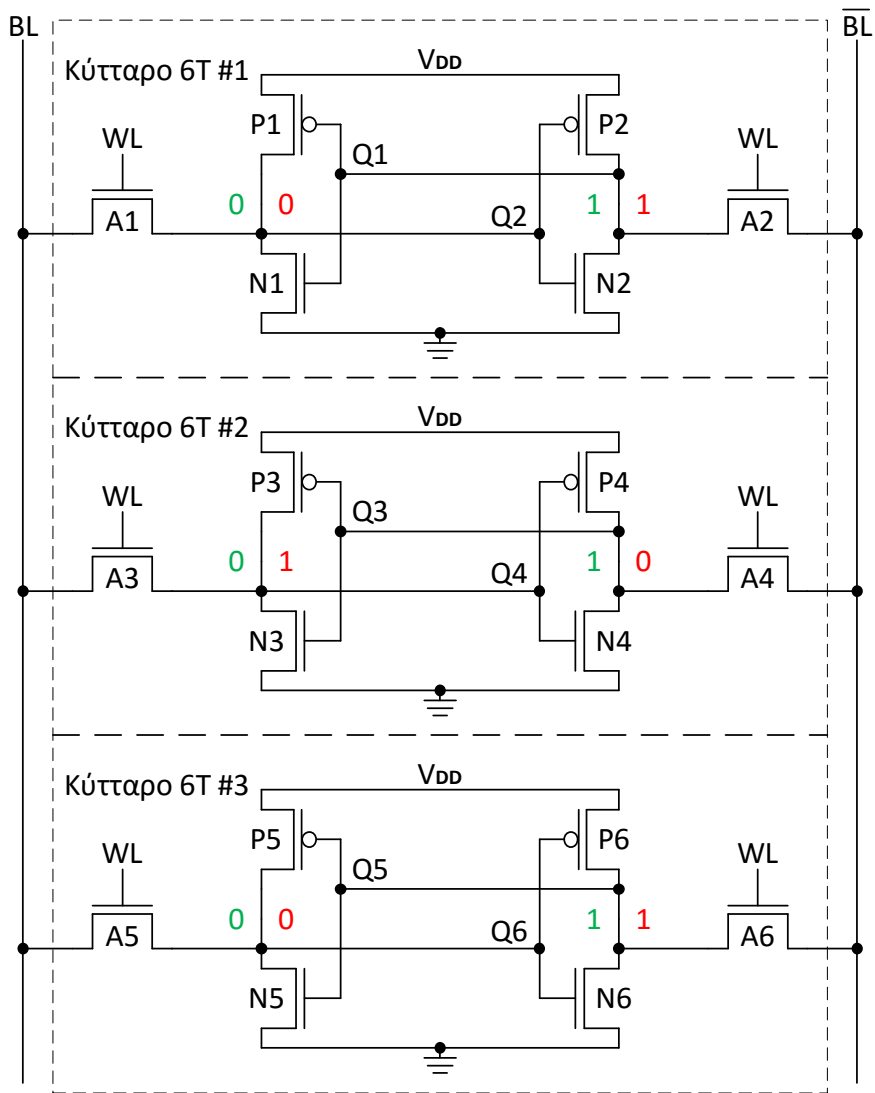
Η προτεινόμενη αρχιτεκτονική περιγράφεται αναλυτικά στην ενότητα 4.2. Στην ενότητα 4.3 παρουσιάζονται τα αποτελέσματα προσομοιώσεων που δείχνουν την επιτυχή λειτουργία της προτεινόμενης αρχιτεκτονικής καθώς και τις δυνατότητες ανίχνευσης και διόρθωσης σφαλμάτων που προσφέρει, λαμβάνοντας υπόψη πιθανές διακυμάνσεις στην κατασκευαστική διαδικασία, την τάση τροφοδοσίας και τη θερμοκρασία. Στην ενότητα 4.4 παρουσιάζεται μια σύγκριση των επιβαρύνσεων της προτεινόμενης αρχιτεκτονικής σε σχέση με τη συμβατική τεχνική TMR και τους κώδικες διόρθωσης σφαλμάτων. Η ενότητα 4.5 ολοκληρώνει το κεφάλαιο.

4.2 Προτεινόμενες Αρχιτεκτονικές RTSR και RTSR+

4.2.1 Αρχιτεκτονική RTSR

Η προτεινόμενη αρχιτεκτονική μνήμης βασίζεται στο τριπλό κύτταρο μνήμης που φαίνεται στο Σχ. 4.1, το οποίο αποτελείται από τρία κύτταρα 6T συνδεδεμένα παράλληλα στις διαφορικές bitlines BL και \overline{BL} και θα αναφέρεται στη συνέχεια ως κύτταρο RTSR (Radiation Tolerant Self-Repair). Οι προσβάσεις όταν δεν υπάρχουν σφάλματα, όταν δηλαδή οι κόμβοι Q2, Q4 και Q6 (Q1, Q3 και Q5) βρίσκονται στην ίδια κατάσταση, γίνονται όπως και στις συμβατικές μνήμες SRAM. Στη λειτουργία ανάγνωσης, οι δύο bitlines προφορτίζονται στη λογική τιμή '1'. Το σήμα της wordline WL οδηγεί τα τρανζίστορ πρόσβασης σε κατάσταση ON και οι κόμβοι που έχουν τιμή ίση με '0' αποφορτίζουν την αντίστοιχη bitline. Η διαφορά τάσης που αναπτύσσεται μεταξύ των γραμμών BL και \overline{BL} ενισχύεται στον ενισχυτή αίσθησης (sense amplifier) προκειμένου να φτάσει σε κανονικά λογικά επίπεδα και στη συνέχεια το δεδομένο οδηγείται στο δίαυλο εισόδου/εξόδου. Κατά τη διάρκεια της λειτουργίας εγγραφής, η μια bitline οδηγείται στο λογικό '0' και με την ενεργοποίηση της αντίστοιχης γραμμής του πίνακα μέσω του σήματος WL, η τιμή εγγράφεται και στα τρία κύτταρα μνήμης 6T ταυτόχρονα.

Όσον αφορά στην ανθεκτικότητα του κυττάρου RTSR όταν είναι σε κατάσταση αναμονής (όλα τα τρανζίστορ πρόσβασης είναι σε κατάσταση OFF), λόγω της ηλεκτρικής απομόνωσης μεταξύ των τριών κυττάρων 6T, η ανατροπή ενός από αυτά δεν επηρεάζει τα άλλα δύο. Υποθέτοντας μια τέτοια κατάσταση σφάλματος, η διόρθωση επιτυγχάνεται κατά τη διάρκεια της ανάγνωσης της αποθηκευμένης πληροφορίας. Το σήμα πρόσβασης WL ενεργοποιείται και τα τρία κύτταρα 6T εντός του κυττάρου RTSR



Σχήμα 4.1: Τριπλό 6T κύτταρο RTSR. Με κόκκινο έχουν επισημανθεί οι καταστάσεις των κόμβων μετά από την ανατροπή του μεσαίου κυττάρου 6T, ενώ με πράσινο οι καταστάσεις των κόμβων πριν το σφάλμα.

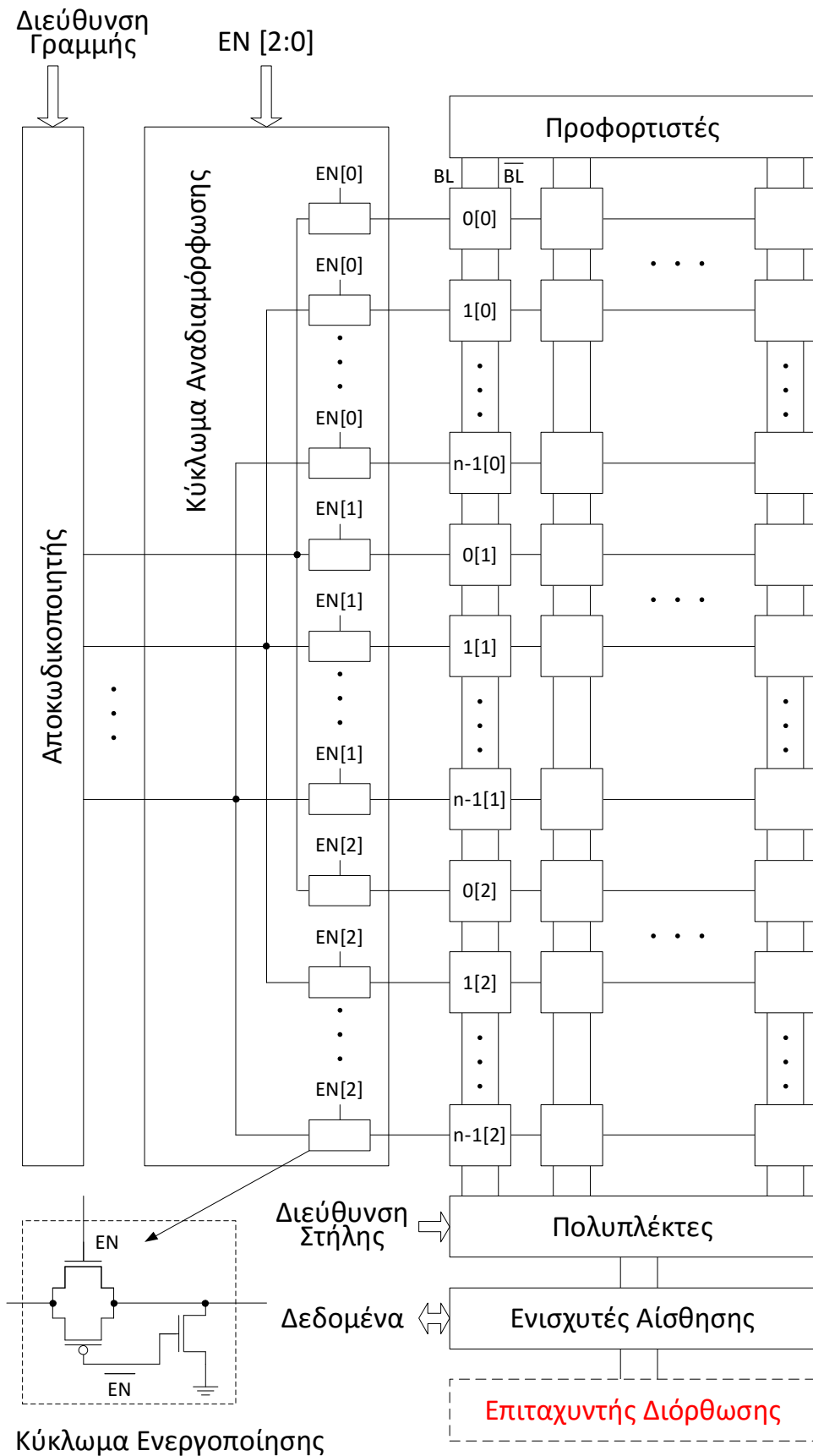
συνδέονται με τις αντίστοιχες bitlines. Καθώς τα κύτταρα 6T είναι ίδια μεταξύ τους και έχουν παρόμοια δύναμη οδήγησης, επικρατούν τα ρεύματα των δύο κυττάρων 6T που δεν διαταράχθηκαν και το ανεστραμμένο κύτταρο 6T επαναφέρεται στην αρχική του κατάσταση, ενώ ταυτόχρονα η σωστή τιμή διαβάζεται από το διαφορικό ενισχυτή αίσθησης. Για παράδειγμα, χωρίς καμία απώλεια της γενικότητας και με αναφορά στο Σχ. 4.1, υποθέτουμε μια αρχική κατάσταση όπου οι κόμβοι Q1, Q3 και Q5 έχουν οριστεί στο '1', οι κόμβοι Q2, Q4 και Q6 έχουν οριστεί στο '0' και μια πρόσκρουση ακτινοβολίας προκαλεί διαταραχή που ανατρέπει το κύτταρο 6T #2. Το τριπλό κύτταρο έχει πλέον μεταβεί σε μια εσφαλμένη κατάσταση όπου οι κόμβοι Q1, Q4 και Q5 είναι ίσοι με '1' και οι κόμβοι Q2, Q3 και Q6 είναι ίσοι με '0', δηλαδή τα κύτταρα 6T #1 και #3 είναι αυτά που έχουν διατηρήσει αποθηκευμένη τη σωστή τιμή. Με τις bitlines BL και \overline{BL} να είναι προφορτισμένες στο '1' και μετά την ενεργοποίηση του σήματος πρόσβασης WL, έχουμε τους δύο παρακάτω συγχρουόμενους μηχανισμούς:

- Η bitline BL αποφορτίζεται μέσω των τρανζίστορ (A1,N1) και (A5,N5), ενώ τα τρανζίστορ (A3,P3) αντιστέκονται, προσπαθώντας να την κρατήσουν στο '1'.

- Η bitline \overline{BL} αποφορτίζεται μέσω των τρανζίστορ (A4,N4), ενώ τα τρανζίστορ (A2,P2) και (A6,P6) αντιστέκονται, προσπαθώντας να την κρατήσουν στο '1'.

Τελικά, τα ρεύματα αποφόρτισης των κυττάρων 6T #1 και #3 επικρατούν και η διαφορά τάσης που αναπτύσσεται μεταξύ των γραμμών BL και \overline{BL} ξεπερνά την τάση που απαιτείται για την ανατροπή του κυττάρου 6T #2, επαναφέροντας το στην αρχική του κατάσταση (χωρίς σφάλμα). Επομένως, με δεδομένους κάποιους περιορισμούς σε καθυστέρηση, είναι δυνατή η ανάγνωση του σωστού δεδομένου και η διόρθωση του σφάλματος κατά τη διάρκεια του κύκλου ανάγνωσης, σε αντίθεση με τις τεχνικές ECC και TMR που απαιτούν πρόσθετους κύκλους και επεξεργασία των δεδομένων μετά το πέρας της ανάγνωσης για την ανίχνευση ενός σφάλματος, και έναν πρόσθετο κύκλο εγγραφής για τη διόρθωσή του. Συνεπώς, ο προτεινόμενος σχεδιασμός για τη μνήμη επιτρέπει κέρδος στην απόδοση καθώς επίσης και εξοικονόμηση σε επιφάνεια και κατανάλωση ισχύος μέσω της αποφυγής της χρησιμοποίησης πρόσθετων κυκλωμάτων (π.χ. ελεγκτές κώδικα για το ECC και κύκλωμα πλειοψηφίας/περιφερειακά κυκλώματα για το TMR). Παρόλα αυτά, όπως σε όλες τις τεχνικές βασισμένες σε TMR, η διόρθωση είναι δυνατή μόνο όσο η ακτινοβολία έχει επηρεάσει το πολύ ένα από τα τρία κύτταρα 6T που συγκροτούν το κύτταρο RTSR. Προκειμένου να εξασφαλιστεί αυτό, σε συστήματα που εκτελούν προσβάσεις στη μνήμη με μικρή συχνότητα και λειτουργούν σε περιβάλλοντα υψηλής ακτινοβολίας, πιθανά αδρανή bits μπορούν να διορθωθούν με μια ανάγνωση όλων των bits κατά μήκος του πίνακα μνήμης [126].

Επιπλέον, όπως έχει ήδη αναφερθεί, με τη σμίχρυνση της τεχνολογίας και ανάλογα με το φορτίο που δημιουργείται κατά την πρόσκρουση της ακτινοβολίας καθώς και το σημείο και τη γωνία πρόσκρουσης, είναι πιθανό το επαγόμενο φορτίο να επηρεάσει περισσότερους του ενός κόμβους του κυκλώματος. Οι κόμβοι αυτοί μπορεί να ανήκουν σε περισσότερα του ενός κύτταρα του πίνακα μνήμης δημιουργώντας έτσι ένα MBU (Multiple Bit Upset) [28, 29, 126]. Συνεπώς είναι δυνατόν να επηρεαστούν με μια και μόνο πρόσκρουση ακτινοβολίας περισσότερα του ενός κύτταρα 6T εντός του προτεινόμενου κυττάρου RTSR. Η αποφυγή τέτοιων διαταραχών στην προτεινόμενη τεχνική επιτυγχάνεται μέσω της ανεξάρτητης λειτουργίας (ξεχωριστά τρανζίστορ πρόσβασης) και του interleaving (κατά μήκος της στήλης του πίνακα μνήμης) των τριών κυττάρων 6T που αποτελούν το κύτταρο RTSR. Στην προτεινόμενη αρχιτεκτονική, το interleaving των κυττάρων 6T κατά μήκος των στηλών του πίνακα μνήμης δεν εισάγει πρόσθετη καθυστέρηση και δεν έχει σημαντική επιβάρυνση σε επιφάνεια καθώς τα κύτταρα 6T δε μοιράζονται κοινούς κόμβους και επομένως η μοναδική κυκλωματική προσθήκη έγκειται στη σύνδεση της κάθε εξόδου του αποκωδικοποιητή με τις αντίστοιχες τρεις γραμμές του πίνακα μνήμης. Ένα παράδειγμα τοποθέτησης των κυττάρων 6T με χρήση interleaving φαίνεται στο Σχ. 4.2 όπου υποθέτουμε n κύτταρα RTSR ανά στήλη του SRAM πίνακα. Κάθε κύτταρο 6T προσδιορίζεται από δύο δείκτες, ο πρώτος προσδιορίζει το κύτταρο RTSR στο οποίο ανήκει το συγκεκριμένο κύτταρο 6T και ο δεύτερος προσδιορίζει τη θέση του μέσα στο κύτταρο RTSR. Σε κατάσταση αναμονής (WL στο '0'), μια πρόσκρουση ακτινοβολίας που ανατρέπει ένα κύτταρο 6T (για παράδειγμα το κύτταρο RTSR #1 - 6T #0, ή 1[0]) αποτρέπεται από το να ανατρέπει κάποιο από τα δύο εναπομείναντα κύτταρα 6T, δηλαδή τα 1[1] και 1[2], λόγω των ξεχωριστών τρανζίστορ πρόσβασης που παρεμποδίζουν τη διάδοση της διαταραχής τάσης. Επίσης η ύπαρξη $(n-1)$ κυττάρων μεταξύ του ανεστραμμένου κυττάρου 6T και του πιο κοντινού κυττάρου 6T που ανήκει στο ίδιο κύτταρο RTSR αποτρέπει κάθε διαταραχή που θα μπορούσε να συμβεί λόγω εγγύτητας μεταξύ τους.



Σχήμα 4.2: Απεικόνιση σε υψηλό επίπεδο των αρχιτεκτονικών RTSR και RTSR+. Ο επιταχυντής διόρθωσης περιλαμβάνεται μόνο στην αρχιτεκτονική RTSR+.

4.2.2 Αναδιαμόρφωση

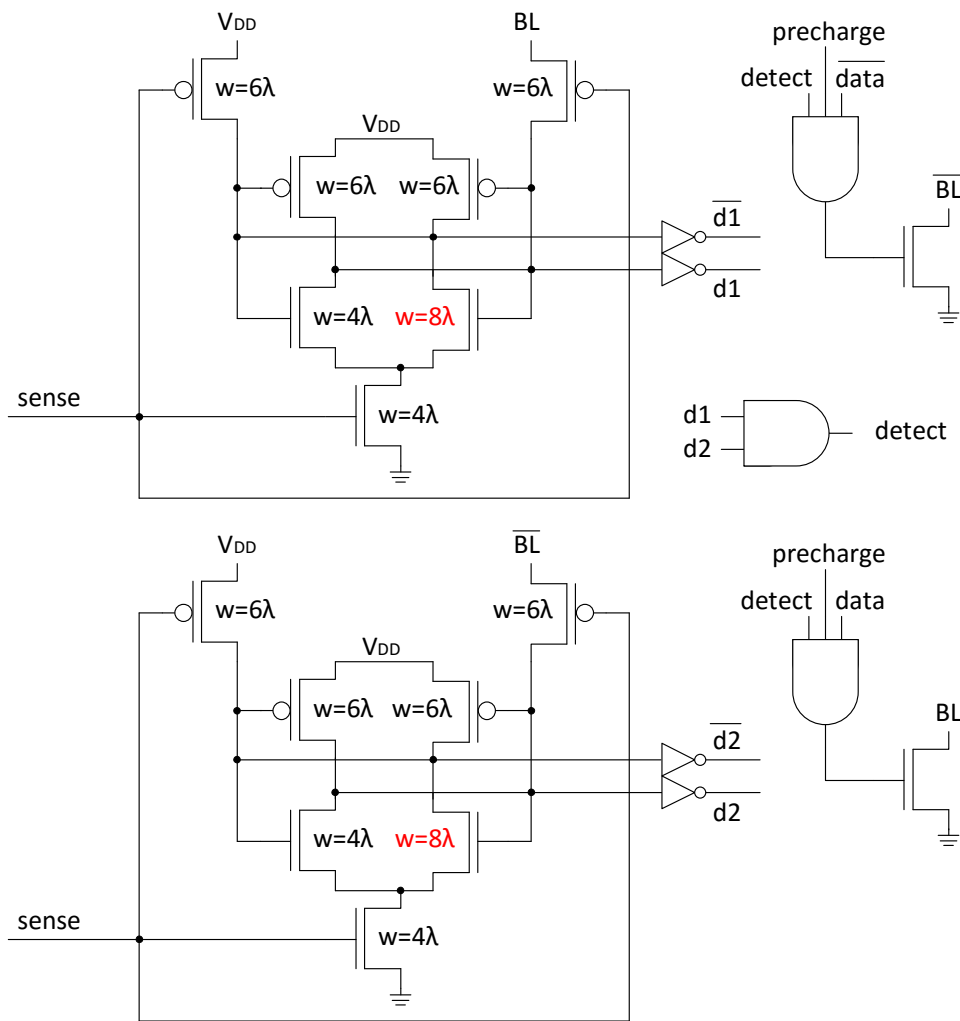
Η προτεινόμενη αρχιτεκτονική μνήμης μπορεί να αποκτήσει τη δυνατότητα αναδιαμόρφωσης (reconfiguration) με την προσθήκη ενός κυκλώματος αναδιαμόρφωσης μεταξύ του αποκωδικοποιητή και του πίνακα μνήμης, όπως απεικονίζεται στο Σχ. 4.2. Σε κάθε πρόσβαση μνήμης μπορούμε να ενεργοποιήσουμε ή να απομονώσουμε σε όλα τα κύτταρα RTSR κάθε ένα από τα τρία κύτταρα 6T ξεχωριστά, ελέγχοντας τα κυκλώματα ενεργοποίησης (κάτω αριστερά στο Σχ. 4.2) μέσω των bits ελέγχου EN[2:0]. Επομένως, όταν βρισκόμαστε σε ένα περιβάλλον χαμηλής ακτινοβολίας και η αξιοπιστία μπορεί να ανταλλαχθεί με χωρητικότητα, η μνήμη μπορεί να τεθεί στη λειτουργία πλήρους χωρητικότητας FC (Full Capacity) ελέγχοντας κάθε ένα από τα bits EN[2:0] ξεχωριστά και τριπλασιάζοντας τη διαθέσιμη μνήμη του συστήματος. Από την άλλη, όταν βρισκόμαστε σε περιβάλλον υψηλής ακτινοβολίας, η προτεινόμενη αρχιτεκτονική μνήμης μπορεί να τεθεί στη λειτουργία ανθεκτικότητας σε σφάλματα FT (Fault Tolerant) θέτοντας όλα τα bits EN[2:0] στο '1' και προσφέροντας όλες τις ιδιότητες ανθεκτικότητας που αναφέρθηκαν παραπάνω.

4.2.3 Αρχιτεκτονική RTSR+

Όπως έχει ήδη αναφερθεί στην ενότητα 4.2.1, όταν το κύτταρο RTSR βρίσκεται στην κατάσταση όπου ένα από τα τρία κύτταρα 6T που το αποτελούν έχει ανατραπεί, η διαδικασία αυτο-διόρθωσης εισάγει μια μικρή καθυστέρηση. Στην προτεινόμενη αρχιτεκτονική μνήμης εισάγουμε τον επιταχυντή διόρθωσης όπως φαίνεται στο Σχ. 4.2 και αναλύεται στο Σχ. 4.3, ο οποίος είναι σε θέση να επιταχύνει την ανίχνευση και διόρθωση μεταβατικών σφαλμάτων εντός του κύκλου ανάγνωσης και συνεπώς να βελτιώσει την επίδοση της λειτουργίας ανάγνωσης και διόρθωσης (read & repair).

Ο επιταχυντής αυτός περιέχει ένα κύκλωμα ανίχνευσης σφαλμάτων το οποίο αποτελείται από δύο ενισχυτές αίσθησης μονής απόληξης (single-ended sense amplifiers) με V_{DD} και BL (\overline{BL}) ως εισόδους και διαστάσεις τρανζίστορ που ενισχύουν την είσοδο που έχει συνδεδεμένη την bitline όταν αυτή είναι ίση με '1'. Στην περίπτωση αυτή και μόλις το σήμα sense ενεργοποιηθεί και θέσει σε λειτουργία το NMOS τρανζίστορ γείωσης, τα δύο υπόλοιπα NMOS τρανζίστορ του ενισχυτή θέτονται σε κατάσταση ON, με το ισχυρότερο όμως NMOS τρανζίστορ να επικρατεί (προσδιορίζεται από την κόκκινη ένδειξη $w=8\lambda$ στο Σχ. 4.3). Όταν η bitline που συνδέεται σε μια από τις εισόδους του επιταχυντή είναι σε σταθερό λογικό '1', τότε ο αντίστοιχος ενισχυτής αίσθησης οδηγεί ένα λογικό '0' στη μη αναστρέφουσα έξοδό του (d1, d2), ενώ όταν η bitline αυτή είναι σε κατάσταση αποφόρτισης, η ίδια έξοδος του ενισχυτή αίσθησης γίνεται ίση με '1'. Επομένως, όταν επιχειρείται ανάγνωση από ένα κύτταρο RTSR που έχει υποστεί σφάλμα, οι δύο bitlines αποφορτίζονται και οι έξοδοι d1 και d2 οδηγούνται σε λογικό '1'. Αντιθέτως, όταν επιχειρείται ανάγνωση και δεν έχει προηγηθεί ανατροπή ενός εκ των κυττάρων 6T, μόνο μία από τις bitlines αποφορτίζεται, με την αντίστοιχη έξοδο να οδηγείται στο '1' ενώ η άλλη έξοδος οδηγείται στο '0'. Στον Πίνακα 4.2 παρουσιάζονται οι πιθανές καταστάσεις εισόδου και εξόδου του κυκλώματος ανίχνευσης (επιταχυντής διόρθωσης), δείχνοντας ότι μια πύλη AND μπορεί να παράξει το σήμα ανίχνευσης σφάλματος.

Η γρήγορη διόρθωση του ανεστραμμένου κυττάρου γίνεται μέσω μιας εικονικής εγγραφής, δηλαδή η σωστή κατάσταση επανεγγράφεται γειώνοντας την κατάλληλη bitline. Η εικονική αυτή εγγραφή εκτελείται όταν πληρούνται οι τρεις παρακάτω συνθήκες:



Σχήμα 4.3: Ο επιταχυντής διόρθωσης της αρχιτεκτονικής RTSR+.

Πίνακας 4.2: Καταστάσεις εισόδου και εξόδου του κυκλώματος ανίχνευσης σφαλμάτων (επιταχυντής διόρθωσης).

Λειτουργία μνήμης	BL	\overline{BL}	d1	d2	detect
Ανάγνωση υπό σφάλμα	1 → 0	1 → 0	1	1	1
Ανάγνωση χωρίς σφάλμα της τιμής '0'	1 → 0	1	1	0	0
Ανάγνωση χωρίς σφάλμα της τιμής '1'	1	1 → 0	0	1	0
Αναμονή	1	1	0	0	0

- precharge = 1 → Ο προφορτιστής δε φορτίζει τις bitlines
- detect = 1 → Έχει ανιχνευθεί σφάλμα
- data (\overline{data}) = 1 → Η γραμμή BL (\overline{BL}) πρέπει να οδηγηθεί στο '0'

,όπου data και \overline{data} είναι οι έξοδοι ενός συμβατικού διαφορικού ενισχυτή αίσθησης ο οποίος παρέχει τη σωστή τιμή ανάγνωσης. Επομένως, το κύκλωμα διόρθωσης αποτελείται από δύο πύλες AND τριών εισόδων, δηλαδή τα σήματα detect, precharge και data (\overline{data}), οι οποίες οδηγούν δύο NMOS τρανζίστορ τα οποία παρέχουν στις bitlines ένα μονοπάτι προς τη γείωση, όπως φαίνεται και στο Σχ. 4.3.

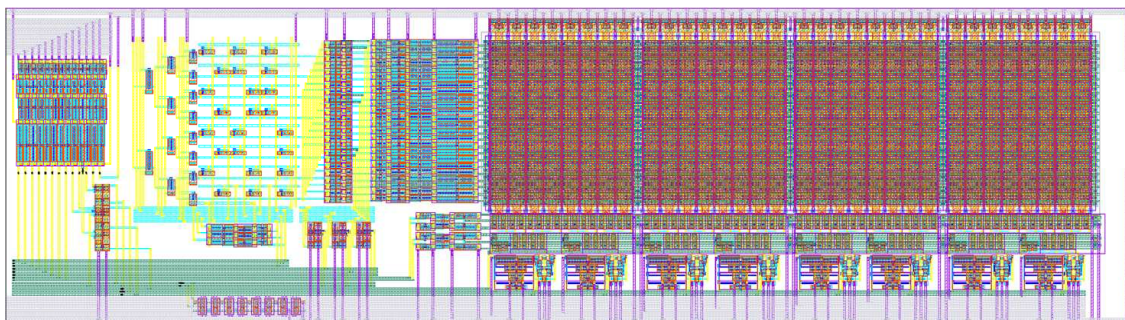
4.3 Προσομοίωση Λειτουργίας

4.3.1 Λειτουργία χωρίς Σφάλμα

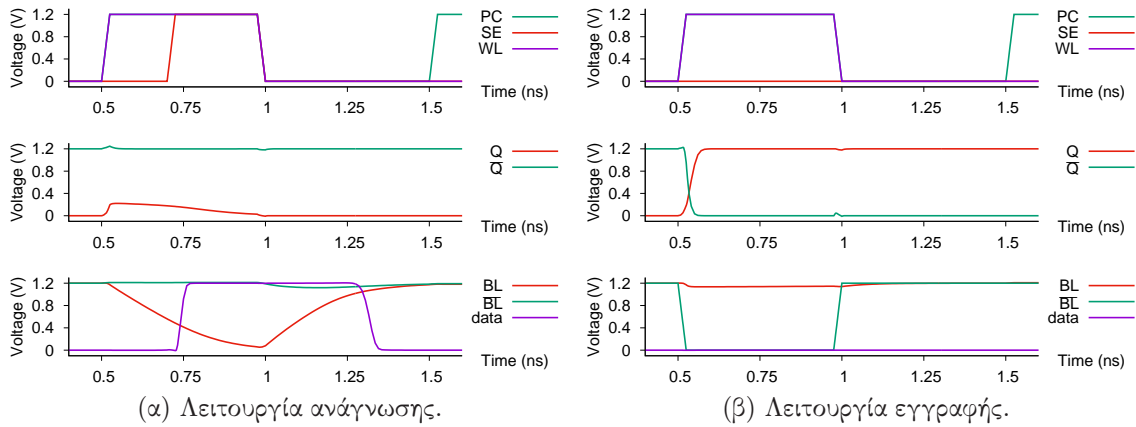
Προκειμένου να παρουσιαστούν και να αξιολογηθούν τα χαρακτηριστικά της προτεινόμενης αρχιτεκτονικής μνήμης, σχεδιάστηκαν full-custom layouts και διεξήχθησαν προσομοιώσεις στο πρόγραμμα Cadence Virtuoso παίρνοντας υπόψη τα παρασιτικά (R και C) καθώς και τις διακυμάνσεις σε κατασκευαστική διαδικασία, τάση τροφοδοσίας και θερμοκρασία (PVT variations), σε μια τεχνολογία 65nm της UMC ($\lambda=30\text{nm}$) με ονομαστική τάση τροφοδοσίας 1.2V. Για τα κύτταρα 6T, το μήκος του καναλιού σε όλα τα τρανζίστορ ορίστηκε σε $L=2\lambda$, το πλάτος των PMOS pull-up τρανζίστορ σε $W_{\text{pull-up}}=4\lambda$, το πλάτος των NMOS pull-down τρανζίστορ σε $W_{\text{pull-down}}=6\lambda$ και το πλάτος των NMOS τρανζίστορ πρόσβασης σε $W_{\text{access}}=5\lambda$. Στο Σχ. 4.4 παρουσιάζεται το φυσικό σχέδιο μιας μνήμης SRAM 256bit που ενσωματώνει την τεχνική RTSR, μαζί με τα απαραίτητα περιφερειακά κυκλώματα. Λεπτομέρειες για τη σχεδίαση και τη λειτουργία μιας μνήμης 4kbit που βασίζεται στην τεχνική RTSR παραθέτονται στο Παράρτημα Α'.

Εκτελέστηκαν προσομοιώσεις σε SPICE προκειμένου να αξιολογηθεί η λειτουργικότητα ως SRAM μιας μνήμης που βασίζεται στις προτεινόμενες αρχιτεκτονικές RTSR και RTSR+, όταν δεν έχουν παρουσιαστεί σφάλματα λόγω ακτινοβολίας. Οι προσομοιώσεις των λειτουργιών ανάγνωσης και εγγραφής φαίνονται στο Σχ. 4.5. Τα αποτελέσματα για τις αρχιτεκτονικές RTSR και RTSR+ είναι πανομοιότυπα λόγω της απουσίας σφάλματος, που οδηγεί στη μη ενεργοποίηση του επιταχυντή διόρθωσης που τις διαφοροποιεί.

Στις κυματομορφές που παρουσιάζονται η μνήμη λειτουργεί σε συχνότητα 1GHz. Όταν δεν έχει παρουσιαστεί κανένα σφάλμα, οι προτεινόμενες αρχιτεκτονικές δεν εισάγουν καμία πρόσθετη καθυστέρηση σε σχέση με μια μη προστατευμένη από ακτινοβολία μνήμη, καθώς τρία κύτταρα 6T καλούνται να οδηγήσουν μία bitline που έχει τρεις φορές μεγαλύτερο φορτίο. Καθώς και τα τρία κύτταρα 6T παρουσιάζουν ακριβώς την ίδια συμπεριφορά, παρουσιάζεται ένα μόνο ζευγάρι κόμβων, όπου ο κόμβος Q αντιστοιχεί στους κόμβους Q2, Q4 και Q6, και ο κόμβος \bar{Q} αντιστοιχεί στους κόμβους Q1, Q3 και Q5. Το σήμα πρόσβασης WL της wordline ενεργοποιείται στα 0.5ns και το σήμα ελέγχου του ενισχυτή αίσθησης SE ενεργοποιείται στα 0.7ns. Κατά τη διάρκεια της λειτουργίας ανάγνωσης (Σχ. 4.5α'), η αναμενόμενη τιμή (λογικό '1') διαβάζεται από τον κόμβο \bar{Q} και οδηγείται στο data περίπου στη χρονική στιγμή 0.75ns. Μια επιτυχημένη λειτουργία εγγραφής παρουσιάζεται στο Σχ. 4.5β', όπου η αναμενόμενη τιμή



Σχήμα 4.4: Φυσικό σχέδιο πίνακα μνήμης SRAM που ενσωματώνει το προτεινόμενο κύτταρο RTSR, μαζί με τα απαραίτητα περιφερειακά κυκλώματα.



Σχήμα 4.5: Λειτουργίες ανάγνωσης και εγγραφής στις αρχιτεκτονικές RTSR/RTSR+ υπό την απουσία σφάλματος.

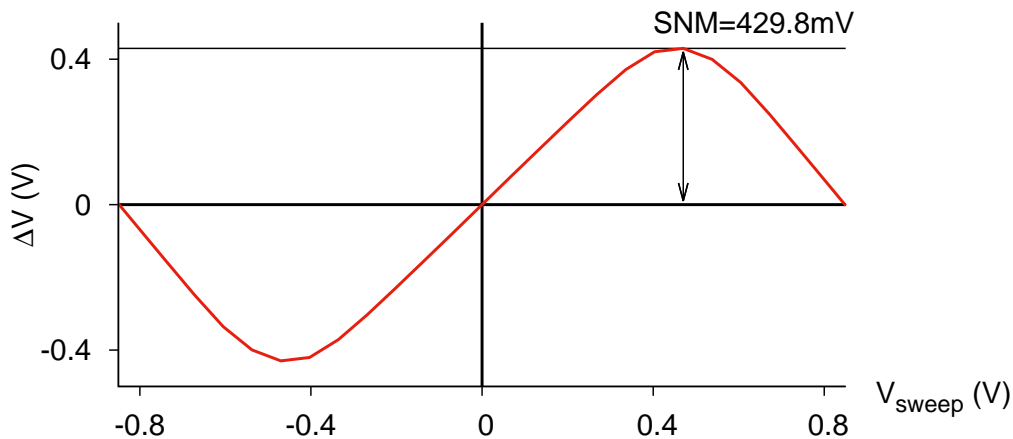
(λογικό '0') οδηγούμενη από το data, εγγράφεται στον κόμβο \bar{Q} .

Προκειμένου να εξεταστεί η σταθερότητα του προτεινόμενου κυττάρου RTSR, υπολογίζουμε το περιθώριο στατικού θορύβου (Static Noise Margin - SNM) χρησιμοποιώντας τη μεθοδολογία που προτείνεται στο [127]. Το αποτέλεσμα του πειράματος απεικονίζεται στο Σχ. 4.6 με το SNM να έχει τιμή 429.8mV ή 35.8% της ονομαστικής τάσης τροφοδοσίας της τεχνολογίας 65nm UMC που χρησιμοποιούμε ($V_{DD}=1.2V$).

4.3.2 Ανίχνευση και Διόρθωση Σφαλμάτων

Όπως αναφέρθηκε στην ενότητα 4.2, η λειτουργία των προτεινόμενων αρχιτεκτονικών RTSR/RTSR+ βασίζεται στην ικανότητά τους να διαβάζουν τη σωστή τιμή ενός κυττάρου RTSR (λειτουργία read) ακόμα και όταν ένα από τα τρία κύτταρα 6T που το αποτελούν έχει ανατραπεί, και να επαναφέρουν αυτό το κύτταρο 6T στην αρχική του κατάσταση εντός του κύκλου ανάγνωσης (λειτουργία read & repair).

Χωρίς απώλεια της γενικότητας, υποθέτουμε ότι το μεσαίο από τα κύτταρα 6T ανατρέπεται, όπως φαίνεται και στο Σχ. 4.1. Η προσομοίωση της διαταραχής έγινε με χρήση του εκθετικού μοντέλου που περιγράφεται στην ενότητα 1.4.1, με επαγόμενο φορτίο που επαρκεί για την ανατροπή του κυττάρου 6T. Η κατάσταση σφάλματος του κυττάρου RTSR περιγράφεται ως εξής:



Σχήμα 4.6: Περιθώριο στατικού θορύβου του προτεινόμενου κυττάρου RTSR.

- {Q1,Q2} → {1,0}
- {Q3,Q4} → {0,1} (ανεστραμμένο κύτταρο)
- {Q5,Q6} → {1,0}

Υποθέτοντας ότι οι συγχρουόμενες αποφορτίσεις των bitlines (βλέπε ενότητα 4.2.1) είναι γραμμικές, έχουμε:

$$I_{BL} = I_{N1} + I_{N5} - I_{P3} = C \frac{(\Delta V_{BL})}{\Delta t} = \frac{C(V_{DD} - V_{BL})}{\Delta t} \quad (4.1)$$

$$I_{\overline{BL}} = I_{N4} - I_{P2} - I_{P6} = C \frac{(\Delta V_{\overline{BL}})}{\Delta t} = \frac{C(V_{DD} - V_{\overline{BL}})}{\Delta t} \quad (4.2)$$

Από τις (4.1) και (4.2):

$$\Delta t = \frac{C(V_{\overline{BL}} - V_{BL})}{I_{N1} + I_{N5} - I_{P3} - I_{N4} + I_{P2} + I_{P6}} \quad (4.3)$$

Προκειμένου να γίνει η διόρθωση του ανεστραμμένου κυττάρου, μια επαρκής διαφορά τάσης $V_{\overline{BL}} - V_{BL}$ πρέπει να αναπτυχθεί μεταξύ των bitlines [86]. Επομένως, από την (4.3), οι παράμετροι που επηρεάζουν το χρόνο που απαιτείται για να γίνει η διόρθωση, και επομένως τη μέγιστη συχνότητα για την οποία η προτεινόμενη αρχιτεκτονική μνήμης μπορεί να διαβάσει και να διορθώσει το κύτταρο RTSR (Maximum Repair Frequency - MRF), είναι η χωρητικότητα C των bitlines και η δύναμη οδήγησης των τρανζίστορ που άγουν.

Χρησιμοποιώντας το custom layout που σχεδιάσαμε (Σχ. 4.4), υπολογίζουμε τη χωρητικότητα των bitlines για διάφορα μήκη της στήλης του πίνακα μνήμης. Το μήκος της στήλης εξαρτάται μόνο από τον αριθμό των κυττάρων που υπάρχουν σε αυτήν (υποθέτοντας ότι οι διαστάσεις των κυττάρων παραμένουν σταθερές). Το πλήθος των κυττάρων σε κάθε στήλη (4, 8, 16 κλπ.) προσδιορίζεται από το μέγεθος του αποκωδικοποιητή διευθύνσεων. Συνεπώς, υπολογίστηκε η χωρητικότητα των bitlines για ένα εύρος αριθμού εξόδων του αποκωδικοποιητή (wordlines) από 4 μέχρι 256 (με τη χωρητικότητα να κυμαίνεται από 2.7fF έως 172.8fF αντίστοιχα).

Η δύναμη οδήγησης των τρανζίστορ που βρίσκονται σε κατάσταση ON επηρεάζεται από PVT διακυμάνσεις. Προκειμένου να αποδειχτεί ότι η προτεινόμενη αρχιτεκτονική είναι λειτουργική κάτω από οποιεσδήποτε συνθήκες, διεξάγουμε προσομοιώσεις στη χειρότερη γωνία συνθηκών (worst corner conditions), δηλαδή όταν τα κύτταρα 6T που δεν έχουν διαταραχθεί έχουν τη μικρότερη δυνατή δύναμη οδήγησης και το ανεστραμμένο κύτταρο 6T έχει τη μεγαλύτερη, όπως περιγράφεται παρακάτω:

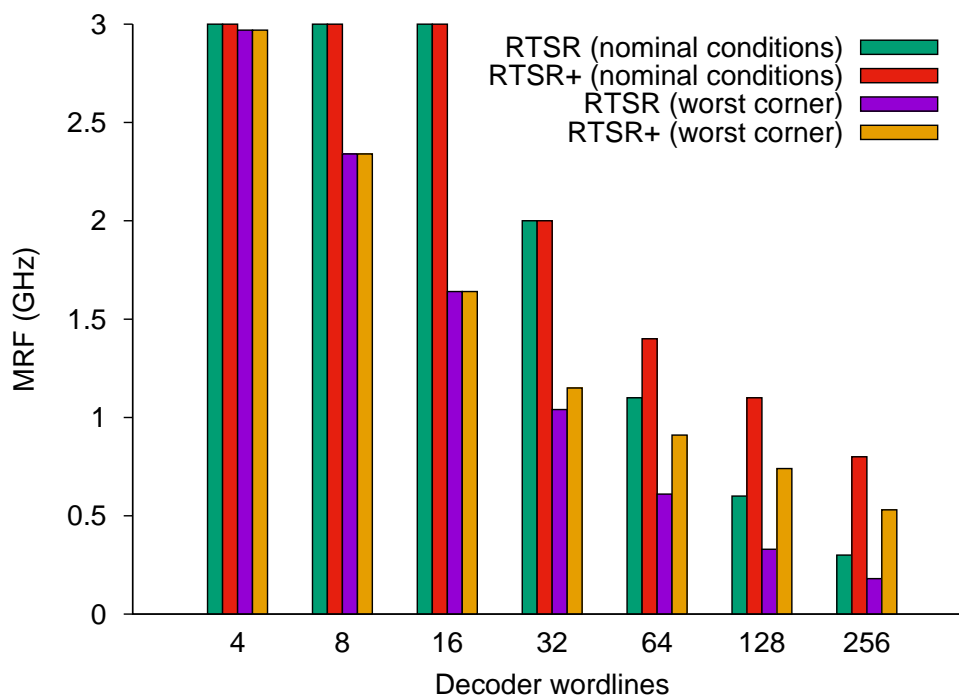
- Κατασκευαστική γωνία:
 - N1, P2 → αργό (slow) μοντέλο (ελαχιστοποίηση των I_{N1}, I_{P2})
 - N4, P3 → γρήγορο (fast) μοντέλο (μεγιστοποίηση των I_{N4}, I_{P3})
 - N5, P6 → αργό (slow) μοντέλο (ελαχιστοποίηση των I_{N5}, I_{P6})
- Τάση τροφοδοσίας: $V_{DD} = 90\%V_{\text{nominal}}$
- Θερμοκρασία: $T = 125^\circ\text{C}$

Για ένα εύρος wordlines από 4 μέχρι 256 υπολογίζουμε μέσω προσομοιώσεων τη μέγιστη συχνότητα στην οποία κάθε αρχιτεκτονική μπορεί να διαβάσει (χωρίς απαραίτητα να διορθώσει) και στην οποία μπορεί να διαβάσει και να διορθώσει ταυτόχρονα (συχνότητα MRF). Τα αποτελέσματα έδειξαν ότι και οι δύο προτεινόμενες αρχιτεκτονικές μπορούν να διαβάσουν τη σωστή τιμή (χωρίς απαραίτητα να διορθώσουν το ανεστραμμένο κύτταρο 6T) για συχνότητες μέχρι και 3GHz. Επίσης, μπορούν να εκτελούν επιτυχώς τη λειτουργία read & repair τόσο για ονομαστικές συνθήκες όσο και για συνθήκες worst corner, με τις αντίστοιχες συχνότητες MRF να παρουσιάζονται στο Σχ. 4.7.

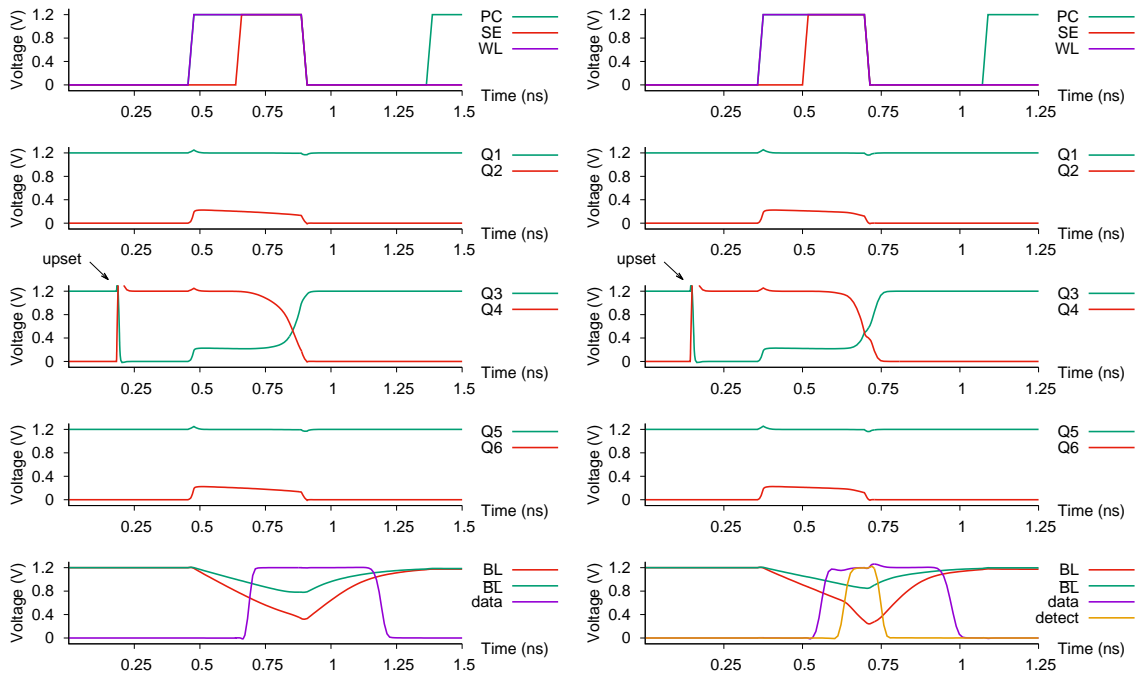
Για αποκωδικοποιητή 4, 8 και 16 εξόδων, η MRF της αρχιτεκτονικής RTSR είναι >1.6GHz και δεν βελτιώνεται με χρήση της αρχιτεκτονικής RTSR+. Για μεγαλύτερο πλήθος wordlines (≥ 32), η αρχιτεκτονική RTSR+ παρέχει σημαντική βελτίωση στην απόδοση, με τη συχνότητα MRF να αυξάνεται μέχρι και 200%, την ώρα που η μείωση της απόδοσης λόγω διακυμάνσεων PVT είναι το πολύ 48%.

Η περίπτωση των 64 wordlines είναι η πρώτη στην οποία η αρχιτεκτονική RTSR+ παρέχει μια σημαντική αύξηση της συχνότητας MRF. Στη συγκεκριμένη διαμόρφωση μνήμης και για ονομαστικές συνθήκες, η αρχιτεκτονική RTSR έχει MRF ίση με 1.1GHz ενώ η αρχιτεκτονική RTSR+ επιτυγχάνει ανάγνωση και διόρθωση στον ίδιο κύκλο για συχνότητες μέχρι και 1.4GHz (αύξηση $\sim 27\%$). Για την περίπτωση αυτή, παρουσιάζονται οι κυματομορφές της λειτουργίας ανάγνωσης των δύο προτεινόμενων αρχιτεκτονικών όταν έχει προκύψει μεταβατικό σφάλμα σε ένα από τα κύτταρα 6T (Σχ. 4.8) ώστε να φανεί η λειτουργικότητά τους και η ικανότητά τους να αυτο-διορθώνονται. Και οι δύο αρχιτεκτονικές έχουν προσομοιωθεί στην MRF συχνότητά τους. Θεωρούμε ότι η πρόσκρουση ακτινοβολίας διαταράσσει τους κόμβους Q3 και Q4 (κύτταρο 6T #2 στο Σχ. 4.1).

Και στις δύο εικόνες φαίνεται ότι κατά τη διάρκεια της ανάγνωσης η τάση της bitline \overline{BL} αρχίζει να μειώνεται (σε αντίθεση με την περίπτωση όπου δεν υπάρχει σφάλμα σε



Σχήμα 4.7: Συχνότητα MRF σε ονομαστικές και worst corner συνθήκες για τις αρχιτεκτονικές RTSR και RTSR+ σε συνάρτηση με τον αριθμό των wordlines.



(α) Λειτουργία ανάγνωσης στην αρχιτεκτονική RTSR στα 1.1GHz. (β) Λειτουργία ανάγνωσης στην αρχιτεκτονική RTSR+ στα 1.4GHz.

Σχήμα 4.8: Λειτουργία ανάγνωσης στις αρχιτεκτονικές RTSR και RTSR+ στην MRF συχνότητά τους, όταν έχει προκύψει μεταβατικό σφάλμα σε ένα από τα κύτταρα 6T.

κανένα από τα κύτταρα 6T) εξαιτίας της ύπαρξης ενός ανεστραμμένου κυττάρου, καθώς συνδέεται με δύο κόμβους σε λογικό '1' και ένα κόμβο σε λογικό '0'. Από την άλλη πλευρά, η bitline BL είναι συνδεδεμένη σε δύο κόμβους με λογικό '0' και ένα κόμβο με λογικό '1', με αποτέλεσμα να παρατηρούμε μια ταχύτερη μείωση της τάσης της σε σύγκριση με την bitline \overline{BL} αλλά πιο αργή σε σχέση με την περίπτωση που δεν έχουμε σφάλμα. Επομένως, καθώς η τάση της bitline BL μειώνεται γρηγορότερα από την τάση της bitline \overline{BL} , όσο μεγαλύτερη είναι η περίοδος του ρολογιού, τόσο μεγαλύτερη είναι και η διαφορά τάσης που αναπτύσσεται μεταξύ των δύο bitlines. Όταν ο χρόνος αποφόρτισης είναι αρκετός, οι bitlines φτάνουν σε μια διαφορά τάσης η οποία είναι επαρκής για να προκαλέσει την επαναφορά του ανεστραμμένου κυττάρου 6T.

Στο Σχ. 4.8α' η αρχιτεκτονική RTSR λειτουργεί στην MRF συχνότητά της (1.1 GHz) και επιτυγχάνει την επαναφορά του ανεστραμμένου κυττάρου. Αυτή είναι η μέγιστη συχνότητα για την οποία οι bitlines μπορούν να φτάσουν στην απαραίτητη διαφορά τάσης μεταξύ τους για την περίπτωση ενός αποκωδικοποιητή με 64 wordlines στην έξοδο. Από την άλλη, ο επιταχυντής διόρθωσης της αρχιτεκτονικής RTSR+ οδηγεί σε ταχύτερη αποφόρτιση της bitline BL όταν το σήμα ανίχνευσης (detect) γίνεται ίσο με λογικό '1'. Αυτό απεικονίζεται στο Σχ. 4.8β' όπου η αρχιτεκτονική RTSR+ λειτουργεί στην MRF συχνότητά της (1.4GHz). Κατά τη διάρκεια της ενεργοποίησης του επιταχυντή διόρθωσης, η bitline BL αποφορτίζεται γρηγορότερα, οδηγώντας στην επαναφορά του ανεστραμμένου κυττάρου 6T ακόμα και για αυτή την αυξημένη συχνότητα.

Όπως δείξαμε, οι προτεινόμενες τεχνικές μπορούν να διορθώσουν το ανεστραμμένο κύτταρο 6T που ανατράπηκε λόγω μεταβατικού σφάλματος. Σε περίπτωση μόνιμου σφάλματος, η προτεινόμενη αρχιτεκτονική RTSR μπορεί προσφέρει τη δυνατότητα ανάγνωσης της σωστής τιμής χωρίς όμως να μπορεί να επιδιορθώσει το κύτταρο 6T

που υπέστη το σφάλμα. Για το λόγο αυτό η αρχιτεκτονική RTSR+ δεν μπορεί να προσφέρει κάποια βελτίωση.

4.4 Επιβαρύνσεις

Όσον αφορά στην επιβάρυνση σε καθυστέρηση που παρουσιάζουν οι προτεινόμενες αρχιτεκτονικές, αυτή έχει ήδη εξεταστεί στην ενότητα 4.3. Όπως αποδείχτηκε, οι αρχιτεκτονικές RTSR και RTSR+ είναι ικανές να διορθώσουν πιθανά σφάλματα χωρίς να απαιτούν πρόσθετους κύκλους και λειτουργώντας σε υψηλές συχνότητες, σε αντίθεση με τεχνικές ECC και TMR που απαιτούν πρόσθετους κύκλους μετά το πέρας της ανάγνωσης προκειμένου να ανιχνεύσουν και να διορθώσουν το σφάλμα και εισάγουν μεγάλη επιβάρυνση σε καθυστέρηση με τη χρήση κυκλωμάτων πλειοψηφίας για το TMR και κυκλωμάτων κωδικοποίησης/αποκωδικοποίησης για το ECC. Ειδικά για το ECC, η καθυστέρησή του αυξάνεται με την αύξηση των bits που μπορεί να διορθώσει όπως παρουσιάστηκε και στην ενότητα 4.1. Επιπλέον, όταν δεν έχει συμβεί κανένα μεταβατικό σφάλμα, οι προτεινόμενες αρχιτεκτονικές εισάγουν μηδενική καθυστέρηση καθώς τρία κύτταρα 6T οδηγούν μια bitline με τρεις φορές μεγαλύτερο φορτίο.

Όσον αφορά στις επιβαρύνσεις σε επιφάνεια και κατανάλωση ισχύος, η σύγκριση μεταξύ των προτεινόμενων αρχιτεκτονικών και των τεχνικών ECC είναι απλή καθώς το περιφερειακό κύκλωμα είναι το ίδιο και όλες οι διαφορές παρουσιάζονται στον πίνακα των κυττάρων μνήμης και στο πρόσθετο κύκλωμα κωδικοποίησης/αποκωδικοποίησης που χρησιμοποιείται στις τεχνικές ECC. Οι προτεινόμενες αρχιτεκτονικές εισάγουν επιβάρυνση 200% σε επιφάνεια και κατανάλωση ισχύος στον πίνακα μνήμης λόγω του τριπλασιασμού των κυττάρων 6T, ενώ οι αντίστοιχες επιβαρύνσεις για δημοφιλείς κώδικες ECC έχουν παρουσιαστεί στον Πίνακα 4.1 της ενότητας 4.1. Όπως φαίνεται στον πίνακα αυτό, ο κώδικας Hamming έχει πολύ μικρή επιβάρυνση αλλά είναι μη αποδοτικός καθώς μπορεί να αντιμετωπίσει μόνο σφάλματα σε ένα bit της λέξης. Από την άλλη, οι επιβαρύνσεις του TEC κώδικα Reed Muller είναι πολύ μεγαλύτερες, προσεγγίζοντας αυτές των αρχιτεκτονικών RTSR/RTSR+. Επίσης, οι επιβαρύνσεις των προτεινόμενων αρχιτεκτονικών δεν αυξάνονται με τη σμίξυση της τεχνολογίας, ενώ το αντίθετο συμβαίνει με τις επιβαρύνσεις των τεχνικών ECC προκειμένου να διορθώνουν MBU μεγαλύτερης πολλαπλότητας.

Η σύγκριση των προτεινόμενων αρχιτεκτονικών RTSR και RTSR+ με τη συμβατική αρχιτεκτονική TMR όσον αφορά σε επιφάνεια και κατανάλωση ισχύος είναι πιο πολύπλοκη καθώς εντοπίζονται διαφορές τόσο στο περιφερειακό κύκλωμα όσο και στον πίνακα μνήμης. Συνεπώς απαιτείται μια πιο λεπτομερής σύγκριση. Η αρχιτεκτονική TMR προσομοιώθηκε με τη χρήση της ίδιας τεχνολογίας και διαστάσεων που χρησιμοποιήθηκαν για τις αρχιτεκτονικές RTSR και RTSR+. Όπως αναφέρθηκε στην ενότητα 4.3.2, ο μικρότερος αριθμός wordlines για τον οποίο η αρχιτεκτονική RTSR+ προσφέρει σημαντική βελτίωση στη συχνότητα MRF είναι 64. Για αυτόν τον αριθμό από wordlines υπολογίζουμε τις επιβαρύνσεις σε κατανάλωση ισχύος, υποθέτοντας μια διαμόρφωση μνήμης όπου κάθε 4 στήλες του πίνακα μνήμης, υπάρχει ένας πολυπλέκτης 4-σε-1 που συνδέει τις bitlines με έναν ενισχυτή αίσθησης. Συνεπώς η καταναλισκόμενη ισχύς υπολογίζεται για τη βασική αυτή μονάδα των τεσσάρων στηλών του πίνακα μνήμης, υποθέτοντας γραμμική αύξηση της ισχύος για περισσότερες στήλες. Για τις αρχιτεκτονικές RTSR και RTSR+ θεωρούμε ένα 64×4 κομμάτι πίνακα μνήμης που αποτελείται από τα τριπλά 6T κύτταρα (κύτταρα RTSR), ενώ για την αρχιτεκτονική TMR θεωρούμε τρία 64×4 κομμάτια πινάκων μνήμης που αποτελούνται από απλά

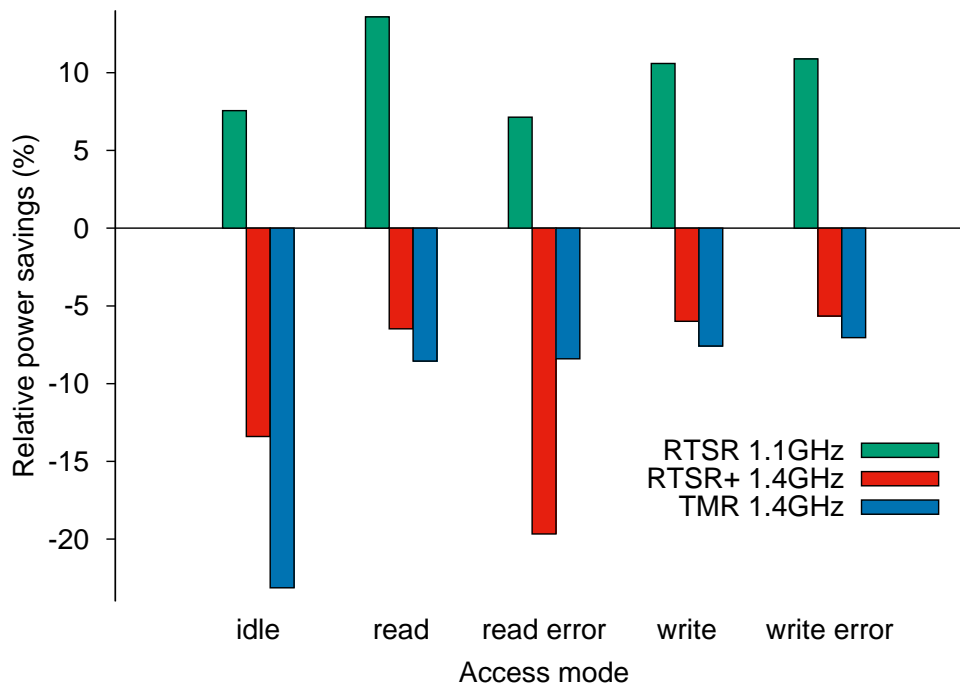
κύτταρα 6T. Τα αποτελέσματα της κατανάλωσης ισχύος των προτεινόμενων αρχιτεκτονικών είναι υπολογισμένα στην MRF συχνότητά τους, η οποία είναι ίση με 1.1GHz για την RTSR και 1.4GHz για την RTSR+ (όπως έχει αναφερθεί στην ενότητα 4.3.2). Η αρχιτεκτονική TMR έχει προσομοιωθεί και για τις δύο αυτές συχνότητες. Η καταναλισκόμενη ισχύς που παρουσιάζεται στον Πίνακα 4.3 έχει υπολογιστεί για τις 5 παρακάτω καταστάσεις στη μνήμη:

- Ανάγνωση: πραγματοποιείται μια πρόσβαση ανάγνωσης όταν κανένα από τα τρία κύτταρα 6T που έχουν αποθηκευμένη την πληροφορία δεν έχει υποστεί μεταβατικό σφάλμα.
- Ανάγνωση υπό σφάλμα: πραγματοποιείται μια πρόσβαση ανάγνωσης όταν ένα από τα τρία κύτταρα 6T που έχουν αποθηκευμένη την πληροφορία έχει υποστεί μεταβατικό σφάλμα.
- Εγγραφή: πραγματοποιείται μια πρόσβαση εγγραφής όταν κανένα από τα τρία κύτταρα 6T που πρόκειται να εγγραφούν δεν έχει αποθηκευμένη διαφορετική τιμή από τα άλλα λόγω μεταβατικού σφάλματος.
- Εγγραφή υπό σφάλμα: πραγματοποιείται μια πρόσβαση εγγραφής όταν ένα από τα τρία κύτταρα 6T που πρόκειται να εγγραφούν έχει αποθηκευμένη διαφορετική τιμή από τα άλλα δύο λόγω μεταβατικού σφάλματος.
- Αναμονή: δεν πραγματοποιείται καμία πρόσβαση ανάγνωσης/εγγραφής.

Πίνακας 4.3: Κατανάλωση ισχύος (uW) για τις αρχιτεκτονικές RTSR, RTSR+ και TMR.

Λειτουργία μνήμης	RTSR (1.1GHz)	RTSR+ (1.4GHz)	TMR (1.1GHz)	TMR (1.4GHz)
Ανάγνωση	223.90	275.90	259.12	281.29
Ανάγνωση υπό σφάλμα	237.26	305.77	255.50	276.97
Εγγραφή	176.41	209.11	197.29	212.24
Εγγραφή υπό σφάλμα	174.36	206.69	195.64	209.41
Αναμονή	0.20	0.24	0.21	0.26

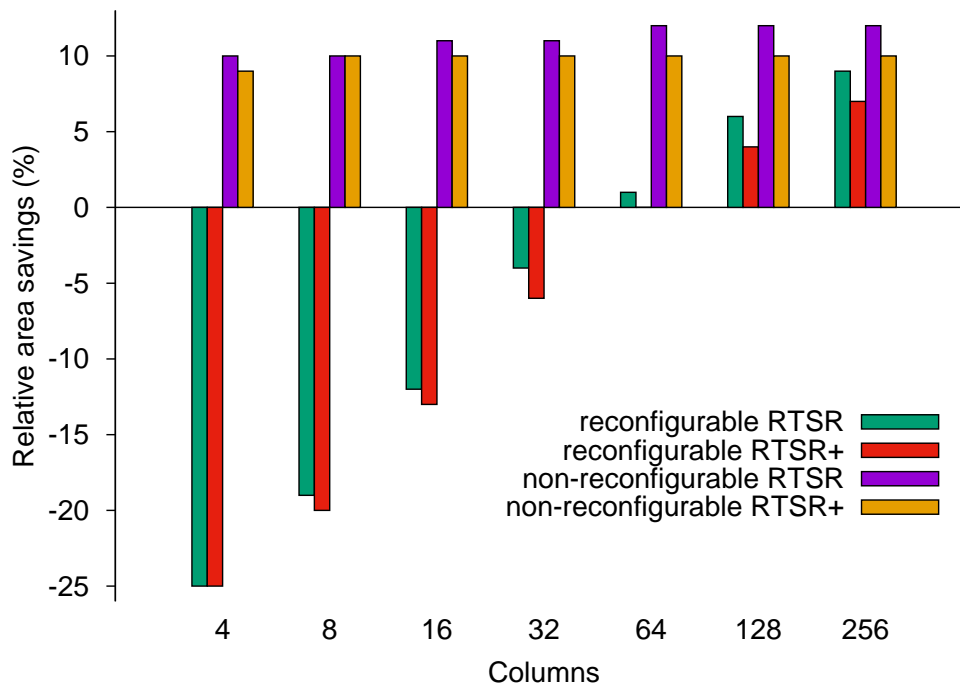
Έχοντας ως αναφορά την αρχιτεκτονική TMR όταν αυτή λειτουργεί σε συχνότητα 1.1GHz, στο Σχ. 4.9 παρουσιάζονται οι σχετικές εξοικονομήσεις ισχύος των αρχιτεκτονικών που εξετάστηκαν. Από το σχήμα αυτό παρατηρούμε ότι η αρχιτεκτονική RTSR καταναλώνει λιγότερη ισχύ για όλες τις λειτουργίες της σε σχέση με την αρχιτεκτονική TMR όταν αυτή λειτουργεί στην ίδια συχνότητα (1.1GHz). Όπως αναμενόταν, η αρχιτεκτονική RTSR+ καταναλώνει περισσότερη ισχύ σε σύγκριση με την RTSR. Αυτό συμβαίνει λόγω της προσθήκης του επιταχυντή διόρθωσης ο οποίος επιταχύνει την πτώση τάσης στην αντίστοιχη bitline. Από την άλλη πλευρά, η αρχιτεκτονική RTSR+ συγκρινόμενη με την αρχιτεκτονική TMR όταν λειτουργούν στην ίδια συχνότητα (1.4GHz), είναι λιγότερο απαιτητική σε ισχύ σε όλες τις λειτουργίες της μνήμης με εξαίρεση την ανάγνωση υπό σφάλμα, η οποία συμβαίνει όταν ένα από τα τρία κύτταρα 6T στα οποία γίνεται πρόσβαση έχει ανατραπεί, δηλαδή μια όχι συχνή κατάσταση.



Σχήμα 4.9: Κέρδη σε κατανάλωση ισχύος των αρχιτεκτονικών RTSR και RTSR+ στην MRF συχνότητά τους και της τεχνικής TMR στη συχνότητα 1.4GHz, σε σχέση με την αρχιτεκτονική TMR στη συχνότητα 1.1GHz.

Οι επιβαρύνσεις σε επιφάνεια υπολογίστηκαν με τη χρήση του layout που σχεδιάστηκε (Σχ. 4.4). Μετρήθηκε το μέγεθος της κάθε υπο-μονάδας και δημιουργήθηκαν παραμετρικές εξισώσεις οι οποίες δίνουν την επιφάνεια των αρχιτεκτονικών RTSR, RTSR+ και TMR, για πίνακες μνήμης όπου ο αριθμός των γραμμών και των στηλών τους κυμαίνεται από 4 μέχρι 256. Όπως αναφέρθηκε στην ενότητα 4.2, η διαφορά μεταξύ των RTSR και RTSR+ έγκειται στην προσθήκη του επιταχυντή διόρθωσης στη δεύτερη. Το πρόσθετο αυτό κύκλωμα αποτελείται από 2 ενισχυτές αίσθησης, 2 πύλες AND τριών εισόδων, μια πύλη AND δύο εισόδων και δύο NMOS τρανζίστορ. Επομένως, είναι αναμενόμενο η επιφάνεια του RTSR+ να είναι πάντα μεγαλύτερη από εκείνη του RTSR.

Οι αρχιτεκτονικές RTSR/RTSR+ χωρίς το κύκλωμα της αναδιαμόρφωσης έχουν μικρότερη επιβάρυνση σε επιφάνεια από τη συμβατική TMR τεχνική. Η αρχιτεκτονική TMR αποτελείται από τρεις ξεχωριστές μνήμες SRAM, με αποτέλεσμα να έχει μεγαλύτερο κύκλωμα στήλης σε σχέση με τις προτεινόμενες αρχιτεκτονικές, όπως προφοριστές και πολυπλέκτες (και ενισχυτές αίσθησης στην περίπτωση του RTSR). Πρόσθετη επιβάρυνση σε επιφάνεια εισάγει και η χρήση του κυκλώματος πλειοψηφίας. Όταν όμως στις προτεινόμενες αρχιτεκτονικές εισάγεται το κύκλωμα αναδιαμόρφωσης, η σύγκριση γίνεται πιο πολύπλοκη και τα αποτελέσματα εξαρτώνται από τις διαστάσεις του πίνακα μνήμης. Στο Σχ. 4.10 παρουσιάζεται η εξοικονόμηση σε επιφάνεια των προτεινόμενων αρχιτεκτονικών (με και χωρίς το κύκλωμα αναδιαμόρφωσης) σε σχέση με την αρχιτεκτονική TMR, για μια μνήμη με 64 wordlines και με τον αριθμό των στηλών του πίνακα μνήμης να κυμαίνεται από 4 μέχρι 256. Ο αριθμός των 64 wordlines επιλέχθηκε καθώς για τη συγκεκριμένη διαμόρφωση της μνήμης έχουν ήδη παρουσιαστεί οι κυματομορφές λειτουργίας και οι εξοικονομήσεις σε ισχύ των αρχιτεκτονικών RTSR/RTSR+. Όπως φαίνεται στο Σχ. 4.10 η αρχιτεκτονική RTSR καταλαμβάνει λιγότερο χώρο σε σχέση με την RTSR+ σε όλες τις περιπτώσεις που εξετάστηκαν. Σε σχέση με την

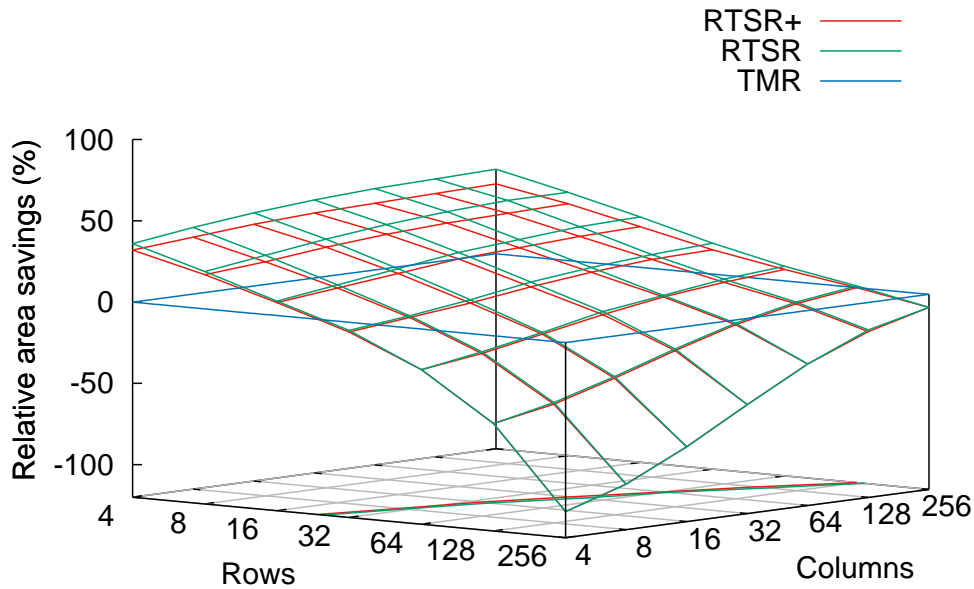


Σχήμα 4.10: Κέρδη σε επιφάνεια των αρχιτεκτονικών RTSR και RTSR+, σε σχέση με την αρχιτεκτονική TMR για πίνακα μνήμης 64 γραμμών και στήλες που κυμαίνονται από 4 μέχρι 256.

αρχιτεκτονική TMR, οι προτεινόμενες αρχιτεκτονικές χωρίς το κύκλωμα αναδιαμόρφωσης έχουν πάντα μικρότερο μέγεθος. Όμως, με την ενσωμάτωση του κυκλώματος αναδιαμόρφωσης, οι αρχιτεκτονικές RTSR/RTSR+ παρουσιάζουν εξοικονόμηση στην επιφάνεια μόνο για αριθμό στηλών ≥ 64 .

Εκτελούμε μια διερεύνηση για πίνακες μνήμης των οποίων οι διαστάσεις (γραμμές και στήλες) κυμαίνονται από 4 μέχρι 256 προκειμένου να αξιολογήσουμε την επιβάρυνση σε επιφάνεια των αναδιαμορφούμενων αρχιτεκτονικών RTSR/RTSR+ σε σχέση με τη συμβατική αρχιτεκτονική TMR. Όπως φαίνεται στο Σχ. 4.11 η αρχιτεκτονική RTSR έχει πάντα μικρότερη επιφάνεια σε σχέση με την RTSR+. Όσον αφορά στη σύγκριση με την TMR, η πρόσθετη επιφάνεια της αρχιτεκτονικής TMR προέρχεται από το κύκλωμα στήλης (το οποίο αυξάνεται όσο αυξάνεται και ο αριθμός των στηλών), ενώ η πρόσθετη επιφάνεια των προτεινόμενων αρχιτεκτονικών προκαλείται από το κύκλωμα αναδιαμόρφωσης (το οποίο αυξάνεται όσο αυξάνονται οι γραμμές του πίνακα μνήμης καθώς συνδέεται με τον αποκωδικοποιητή). Τα παραπάνω επιβεβαιώνονται και από τις επιφάνειες του Σχ. 4.11. Για διευκρινιστικούς λόγους, έχουν σημειωθεί στη βάση του διαγράμματος δύο καμπύλες που δείχνουν την τομή των επιφανειών που αντιστοιχούν στις προτεινόμενες αρχιτεκτονικές, με αυτή που αντιστοιχεί στην αρχιτεκτονική TMR. Η επιφάνεια που βρίσκεται μεταξύ κάθε μιας εκ των γραμμών αυτών και του σημείου rows=4 και columns=256 δείχνει για ποιες οργανώσεις του πίνακα μνήμης οι αναδιαμορφούμενες αρχιτεκτονικές RTSR/RTSR+ παρουσιάζουν εξοικονόμηση στην επιφάνεια σε σχέση με την αρχιτεκτονική TMR.

Συνοψίζοντας την ανάλυση των επιβαρύνσεων που έγινε στις ενότητες 4.1, 4.3 και 4.4, παρουσιάζουμε στους Πίνακες 4.4 και 4.5 μια ποιοτική αξιολόγηση των προτεινόμενων και των υπάρχοντων τεχνικών που προσφέρουν ανθεκτικότητα απέναντι σε μεταβατικά και μόνιμα σφάλματα σε μνήμες SRAM.



Σχήμα 4.11: Κέρδη σε επιφάνεια των αναδιαμορφούμενων αρχιτεκτονικών RTSR και RTSR+ σε σχέση με την αρχιτεκτονική TMR, για πίνακα μνήμης όπου ο αριθμός των γραμμών και των στηλών του κυμαίνεται από 4 μέχρι 256.

Πίνακας 4.4: Ποιοτική αξιολόγηση προτεινόμενων και υπαρχόντων τεχνικών διόρθωσης σε μνήμες SRAM ως προς την επιβάρυνση που εισάγουν.

Τεχνική διόρθωσης	Επιφάνεια	Ισχύς	Καθυστέρηση
Single-bit ECC	Χαμηλή	Χαμηλή	Μέτρια
Multi-bit ECC	Μέτρια	Μέτρια	Υψηλή
TMR	Πολύ Υψηλή	Πολύ Υψηλή	Μέτρια
RTSR/RTSR+	Υψηλή	Υψηλή	Πολύ Χαμηλή

Πίνακας 4.5: Ποιοτική αξιολόγηση προτεινόμενων και υπαρχόντων τεχνικών διόρθωσης σε μνήμες SRAM ως προς την προστασία που προσφέρουν.

Τεχνική διόρθωσης	Σφάλματα ενός bit	Σφάλματα πολλαπλών bits	Σφάλματα σε περιφερειακά
Single-bit ECC	✓	✗	✗
Multi-bit ECC	✓	✓	✗
TMR	✓	✓	✓
RTSR/RTSR+	✓	✓	✗

4.5 Επίλογος

Στο κεφάλαιο αυτό παρουσιάστηκε μια ανθεκτική σε σφάλματα αρχιτεκτονική SRAM, η οποία προσφέρει πολύ χαμηλή καθυστέρηση, δυνατότητα αναδιαμόρφωσης και οι ιδιότητές της δεν επηρεάζονται από την τεχνολογία σχεδίασης. Η αρχιτεκτονική αυτή βασίζεται στο κύτταρο μνήμης RTSR, παρέχοντας ανθεκτικότητα για διαταραχές που επηρεάζουν τόσο ένα, όσο και περισσότερα bits της λέξης. Η προτεινόμενη αρχιτεκτονική παρουσιάζεται και σε μια δεύτερη βελτιωμένη μορφή (RTSR+), η οποία επιταχύνει τη διαδικασία διόρθωσης μεταβατικών σφαλμάτων κατά τη διάρκεια του κύκλου ανά-

γνώσης, μέσω ενός κυκλώματος ανίχνευσης σφαλμάτων. Μέσα από προσομοιώσεις αποδείχτηκε ότι οι προτεινόμενες αρχιτεκτονικές μπορούν να επιτύχουν ανίχνευση και διόρθωση μεταβατικών σφαλμάτων κατά τη διάρκεια του κύκλου ανάγνωσης λειτουργώντας σε υψηλές συχνότητες, σε αντίθεση με λύσεις που βασίζονται σε χρήση ECC και TMR. Επιπλέον, οι προτεινόμενες λύσεις είναι πιο αποδοτικές από άποψη ισχύος σε σχέση με τη συμβατική τεχνική TMR όταν λειτουργούν στην ίδια συχνότητα και ανάλογα με τις διαστάσεις του πίνακα μνήμης μπορούν να εξοικονομήσουν επιφάνεια.

Κεφάλαιο 5

Κύτταρο Ανθεκτικό σε Μεταβατικά Σφάλματα για Χρήση σε Μνήμες CAM και TCAM

5.1 Εισαγωγή

Οι διευθυνσιοδοτούμενες από περιεχόμενο μνήμες CAM (Content Addressable Memories) και TCAM (Ternary Content Addressable Memories) αποτελούν μια ειδική κατηγορία μνημών που χρησιμοποιούνται σε εφαρμογές που απαιτούν γρήγορη αναζήτηση όπως οι κρυφές μνήμες (cache memories) και οι πίνακες δρομολόγησης (routing tables). Οι πίνακες μνήμης CAM και TCAM χρησιμοποιούν συμβατικά κύτταρα SRAM για την αποθήκευση της πληροφορίας. Η λειτουργία τους επιτρέπει την εγγραφή δεδομένων στη μνήμη, αλλά η ανάγνωση αποφέρει ως αποτέλεσμα μια αστοχία (miss) ή ένα ταίριασμα (match). Όπως συμβαίνει και στους υπόλοιπους τύπους στοιχείων μνήμης, έτσι και οι μνήμες CAM και TCAM παρουσιάζουν ευαισθησία στην ακτινοβολία, η οποία οδηγεί σε μεταβατικά σφάλματα. Λύσεις απέναντι σε μεταβατικά σφάλματα που απαιτούν πρόσθετους κύκλους επεξεργασίας των αποθηκευμένων δεδομένων εκτός του πίνακα μνήμης προκειμένου να ανιχνευτούν/διορθωθούν σφάλματα, όπως τεχνικές βασισμένες σε ECC και TMR, εισάγουν καθυστέρηση που είναι δύσκολο να γίνει αποδεκτή στον τρόπο λειτουργίας των μνημών CAM και TCAM. Επίσης, εξαιτίας περιορισμών στο σχεδιασμό και στην τοποθέτηση των στοιχείων στο φυσικό σχέδιο (layout) δεν είναι δυνατή η χρήση interleaving, γεγονός που καθιστά τις μνήμες αυτού του τύπου ευαίσθητες σε μεταβατικά σφάλματα που επηρεάζουν περισσότερα του ενός bits της μνήμης [128].

Μεταξύ των τεχνικών που έχουν προταθεί για να αντιμετωπίσουν την ύπαρξη μεταβατικών σφαλμάτων στις μνήμες CAM, στο [129] προτείνεται η χρήση πρόσθετων κυττάρων DRAM τα οποία είναι πιο ανθεκτικά από τα κύτταρα SRAM λόγω της εγγενώς μεγαλύτερης παρασιτικής χωρητικότητάς τους ($\sim 30fC$). Ο πίνακας DRAM χρησιμοποιείται περιοδικά για την ανανέωση (refresh) των δεδομένων της SRAM [130]. Εκτός των μεγάλων επιβαρύνσεων και της αυξημένης πολυπλοκότητας που εισάγει η χρήση μιας μνήμης DRAM, η παραπάνω λύση έχει το πρόβλημα ότι μεταξύ δύο ανανεώσεων της μνήμης, μπορεί να έχει γίνει μια πρόσβαση σε κάποια πληροφορία που έχει αλλοιωθεί από μεταβατικό σφάλμα, οδηγώντας έτσι σε λανθασμένο miss ή match. Μία άλλη λύση [131] χρησιμοποιεί το γεγονός ότι στις μνήμες TCAM υπάρχει μια κατάσταση που είναι άκυρη (invalid), κάνοντας την ασταθή προς όφελος των έγκυρων

καταστάσεων με χρήση πυλών περάσματος (pass gates) που σταματούν τη διάδοση των διαταραχών με σημαντικό κόστος στην επιφάνεια. Στο [132] προτείνεται ένα σχήμα κωδικοποίησης το οποίο μπορεί να ανιχνεύσει μόνο λανθασμένα match. Στο [133], η προτεινόμενη τεχνική προσθέτει ένα bit ισοτιμίας με τη χρήση μιας σειράς πυλών XOR για κάθε γραμμή της μνήμης CAM και μπορεί να ανιχνεύσει λανθασμένα miss και match. Όμως η καθυστέρηση της λύσης αυτής επηρεάζεται σημαντικά από την τεχνολογία και το πλάτος της γραμμής, και μέχρι ένα σφάλμα να ανιχνευθεί και να επεξεργαστεί, υπάρχει ένα χρονικό παράθυρο εντός του οποίου μπορεί να προκύψει ένα λανθασμένο αποτέλεσμα.

Συνεπώς, προκειμένου η μνήμη CAM/TCAM να είναι ανθεκτική σε διαταραχές ενός κόμβου λόγω ακτινοβολίας (Single Node Upset - SNU), καταφεύγουμε σε ανθεκτικά κύτταρα SRAM όπως το ιδιαίτερα αποδοτικό κύτταρο DICE [46] (βλέπε ενότητα 2.2). Όμως, λόγω της προδιαγραφής των μνημών CAM για γρήγορη αναζήτηση, η διαδικασία εκτελείται παράλληλα προς όλες τις λέξεις της μνήμης, με μεγάλο ενεργειακό κόστος ανά πρόσβαση. Συνεπώς, κυκλωματικές λύσεις όπως το κύτταρο DICE που είναι επαρκείς για προστασία από SNU, αυξάνουν ακόμα περισσότερο το ήδη επιβαρυνόμενο ενεργειακό κόστος λειτουργίας των μνημών αυτών. Παρατηρώντας ότι στη διεθνή βιβλιογραφία υπάρχει μια έλλειψη κυκλωματικών τεχνικών αξιοπιστίας με μικρό ενεργειακό κόστος για μνήμες CAM και TCAM, προτείνουμε ένα στοιχείο μνήμης που μπορεί να χρησιμοποιηθεί είτε σε μνήμες τύπου CAM έχοντας 100% ανθεκτικότητα σε SNU είτε σε μνήμες TCAM έχοντας 75% ανθεκτικότητα σε SNU. Το προτεινόμενο κύτταρο μνήμης επιτυγχάνει την ανθεκτικότητά του σε μεταβατικά σφάλματα συνδυάζοντας τρανζίστορ φρουρούς (guard transistors) και τρανζίστορ περάσματος (pass transistors) για τη διακοπή της διάδοσης των διαταραχών. Εκτός της ανθεκτικότητας που προσφέρει το συγκεκριμένο κύτταρο, επιτυγχάνει και μια σημαντική μείωση στο ρεύμα διαρροής σε σχέση με λύσεις βασισμένες στο κύτταρο DICE καθώς και σε σχέση με κύτταρα TCAM βασισμένα στο συμβατικό κύτταρο 6T που δεν προστατεύονται από μεταβατικά σφάλματα.

Στην ενότητα 5.2 γίνεται μια σύντομη περιγραφή του τρόπου λειτουργίας των μνημών CAM/TCAM καθώς και η παρουσίαση κάποιων συμβατικών λύσεων βασισμένων στο κύτταρο DICE. Στην ενότητα 5.3 παρουσιάζεται το προτεινόμενο κύτταρο CAM/TCAM καθώς και ο μηχανισμός ανθεκτικότητάς του απέναντι σε μεταβατικά σφάλματα. Η ενότητα 5.4 περιλαμβάνει τα αποτελέσματα προσομοιώσεων που αφορούν στη λειτουργία, την ανθεκτικότητα σε SNU και την επιβάρυνση σε επιφάνεια και ρεύμα διαρροής του προτεινόμενου κυττάρου. Η ενότητα 5.5 ολοκληρώνει το κεφάλαιο.

5.2 Μνήμες Διευθυνσιοδοτούμενες από Περιεχόμενο

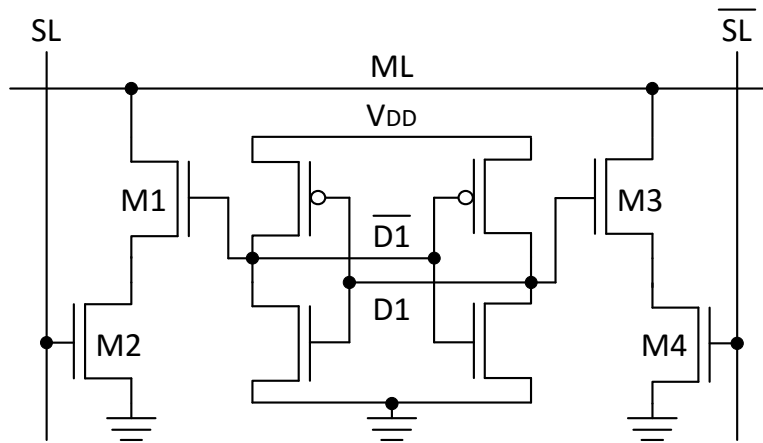
5.2.1 Λειτουργία Κυττάρων CAM και TCAM

Οι μνήμες τύπου CAM και TCAM επιτρέπουν τη λειτουργία αναζήτησης μιας λέξης εισόδου σε ολόκληρο τον πίνακα μνήμης κατά τη διάρκεια ενός κύκλου λειτουργίας και η έξοδός τους αποτελεί την τοποθεσία της γραμμής στην οποία βρέθηκε η ζητούμενη λέξη (match) ή την ένδειξη απουσίας της συγκεκριμένης λέξης από τον πίνακα (miss), δηλαδή λειτουργούν ως look-up tables [134].

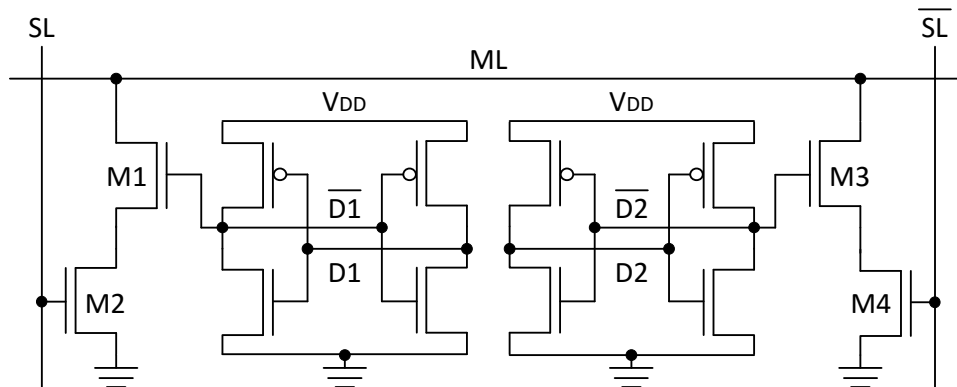
Ένα συμβατικό κύτταρο μνήμης CAM βασισμένο στο κύτταρο 6T παρουσιάζεται

στο Σχ. 5.1α'. Κάθε κύκλος ρολογιού χωρίζεται σε τρεις φάσεις, τη μετάδοση, τη σύγκριση και την κωδικοποίηση [134]. Αρχικά, κατά τη διάρκεια της φάσης μετάδοσης, η λέξη εισόδου οδηγείται παράλληλα σε όλες τις γραμμές του πίνακα μέσω των συμπληρωματικών γραμμών αναζήτησης SL και \overline{SL} . Κατά τη διάρκεια της φάσης σύγκρισης, κάθε κύτταρο CAM συγκρίνει τις τιμές που έχει αποθηκευμένες στους κόμβους $\overline{D1}$ και D1 με τις τιμές των γραμμών SL και \overline{SL} αντίστοιχα. Αν έστω και ένα από τα κύτταρα CAM δεν έχει τις ίδιες τιμές με αυτές των συμπληρωματικών γραμμών αναζήτησης, τότε μέσω των ζευγαριών NMOS τρανζίστορ (M1,M2) και (M3,M4) δημιουργείται ένα μονοπάτι προς τη γείωση το οποίο αποφορτίζει τη γραμμή ταιριάσματος (matchline - ML), γεγονός που ισοδυναμεί με miss. Αντίθετα, αν όλα τα κύτταρα CAM έχουν τιμές που συμφωνούν με τις τιμές των γραμμών αναζήτησης SL και \overline{SL} , τότε η προφορτισμένη στο λογικό '1' γραμμή ταιριάσματος ML παραμένει στην κατάσταση αυτή, γεγονός που ισοδυναμεί με match. Κατά τη διάρκεια της φάσης κωδικοποίησης, όλες οι γραμμές ταιριάσματος οδηγούνται σε ένα κωδικοποιητή προτεραιότητας που αντιστοιχεί τα miss και match σήματα σε ένα αποτέλεσμα κωδικοποιημένο σε δυαδική μορφή.

Τα κύτταρα TCAM, όπως φαίνεται και στο Σχ. 5.1β', αποτελούνται από δύο συμβατικά κύτταρα μνήμης με ξεχωριστές διαδρομές προς τη γείωση για τη γραμμή ταιριάσματος ML. Με τη διαμόρφωση αυτή, τα κύτταρα TCAM υποστηρίζουν τέσσερις διαφορετικές καταστάσεις ('00', '01', '10' και '11'), αλλά μόνο τρεις από αυτές είναι έγκυρες. Οι συνήθεις καταστάσεις '0' και '1' απεικονίζονται στις διαφορικές καταστάσεις '01' και '10'. Η τρίτη έγκυρη κατάσταση είναι η κατάσταση 'X', η οποία οδηγεί σε



(α) Κύτταρο CAM.



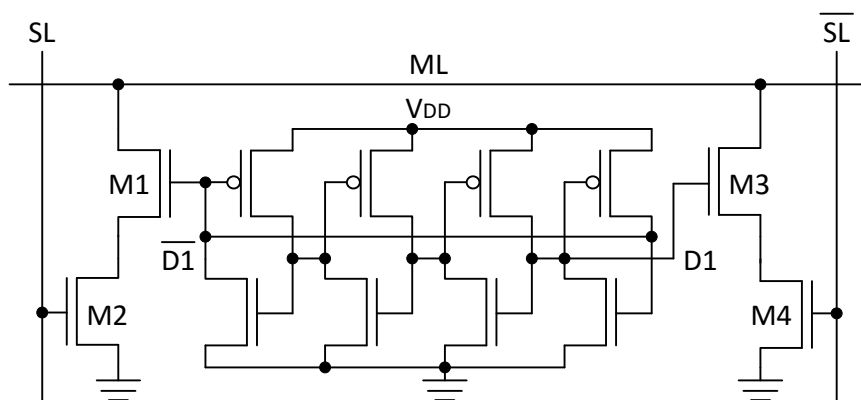
(β) Κύτταρο TCAM.

Σχήμα 5.1: Κύτταρα CAM και TCAM βασισμένα στο κύτταρο 6T.

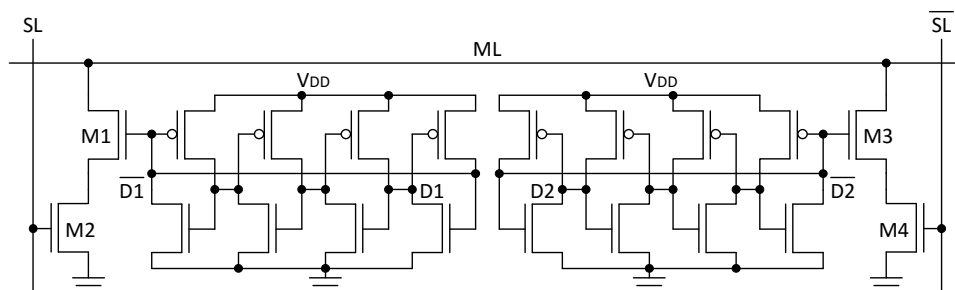
match ανεξάρτητα από την τιμή των γραμμών αναζήτησης και κωδικοποιείται ως '00' ή '11' (ανάλογα με το ποιο κόμβοι είναι συνδεδεμένοι στα τρανζίστορ που ελέγχουν το μονοπάτι προς τη γείωση). Για τις καταστάσεις '0' και '1', τα κύτταρα TCAM λειτουργούν με τρόπο όμοιο με αυτόν των κυττάρων CAM, δηλαδή όταν το δεδομένο στις συμπληρωματικές γραμμές SL και \overline{SL} ταιριάζει με αυτό του κυττάρου, δεν δημιουργείται κανένα μονοπάτι προς τη γείωση για τη γραμμή ML με αποτέλεσμα αυτή να παραμένει στο λογικό '1' όπου και έχει προφορτιστεί, οδηγώντας σε match. Για την κατάσταση 'X' και με βάση το κύκλωμα που φαίνεται στο Σχ. 5.1β', όταν το κύτταρο TCAM έχει αποθηκευμένο το ζεύγος τιμών '11' στους κόμβους D1 και D2, τότε τα τρανζίστορ M1 και M3 είναι σε κατάσταση OFF οδηγώντας σε match ανεξάρτητα από την τιμή των γραμμών αναζήτησης.

5.2.2 Συμβατικά Κύτταρα CAM και TCAM με Ανθεκτικότητα σε Μεταβατικά Σφάλματα

Ένα ιδιαίτερα γνωστό και αποδοτικό κύτταρο το οποίο προσφέρει προστασία από SNU είναι το κύτταρο DICE, η λειτουργία του οποίου έχει αναλυθεί στην ενότητα 2.2. Αν εντός του κυττάρου CAM ή TCAM το συμβατικό κύτταρο 6T το οποίο είναι ευαίσθητο σε μεταβατικά σφάλματα αντικατασταθεί με το κύτταρο DICE, μπορεί να επιτευχθεί ανθεκτικότητα σε SNU. Στο Σχ. 5.2 παρουσιάζονται τα κύτταρα CAM και TCAM βασισμένα στο κύτταρο DICE, τα οποία προσφέρουν ανθεκτικότητα σε SNU με κόστος σχεδόν διπλάσια επιφάνεια και κατανάλωση ισχύος. Τα κύτταρα αυτά μαζί με τα κύτταρα CAM και TCAM που βασίζονται στο κύτταρο 6T χρησιμοποιούνται ως βάση για σύγκριση και αξιολόγηση του προτεινόμενου κυττάρου.



(α) Κύτταρο CAM.



(β) Κύτταρο TCAM.

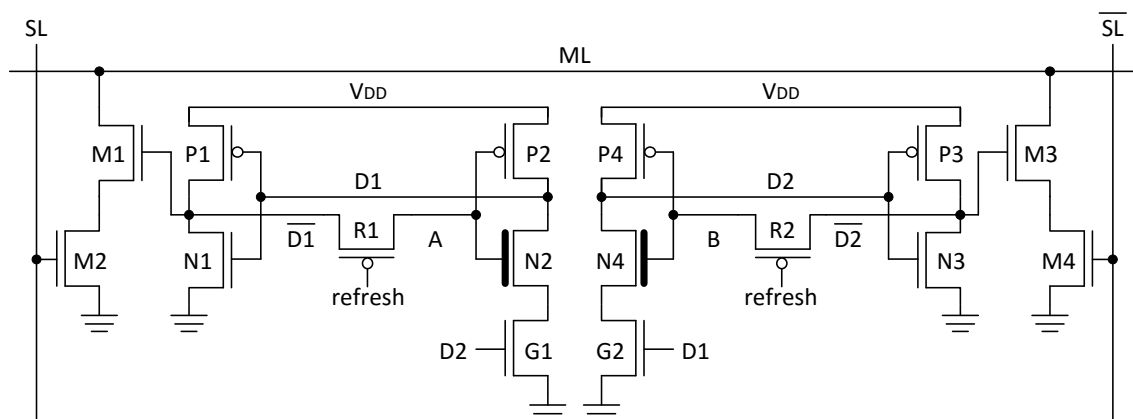
Σχήμα 5.2: Ανθεκτικά σε μεταβατικά σφάλματα κύτταρα CAM και TCAM βασισμένα στο κύτταρο DICE.

5.3 Προτεινόμενο Κύτταρο CAM/TCAM

Το προτεινόμενο κύτταρο CAM/TCAM παρουσιάζεται στο Σχ. 5.3 (το περιφερειακό κύκλωμα πρόσβασης δεν παρουσιάζεται για λόγους απλότητας) και συνδυάζει δύο τεχνικές που προσφέρουν ανθεκτικότητα σε μεταβατικά σφάλματα. Τρανζίστορ περάσματος (pass transistors) στο βρόχο ανάδρασης και τρανζίστορ φρουρούς (guard transistors) σε ένα από τα pull-down κομμάτια του κυττάρου 6T. Η χρήση τρανζίστορ περάσματος στο βρόχο ανάδρασης εμποδίζει τη διάδοση μιας διαταραχής σε όλους του κόμβους του κυττάρου, κάτι το οποίο θα οδηγούσε στην ανατροπή του. Λόγω της ύπαρξης του τρανζίστορ περάσματος κάποιιοι από τους κόμβους παραμένουν ανεπηρέαστοι και βοηθούν στην επαναφορά των κόμβων που έχουν διαταραχθεί. Το τρανζίστορ φρουρός υλοποιεί τη λογική πράξη AND (ένας κόμβος του κυκλώματος δεν μπορεί να πάρει τη λογική τιμή 'x' όταν ένας άλλος κόμβος έχει τη λογική τιμή 'y'). Στο προτεινόμενο αυτό κύκλωμα, οι παραπάνω τεχνικές συνδυάζονται με την εγγενή ιδιότητα ενός κυττάρου TCAM να επιτρέπει μόνο τρεις ('0', '1' και 'X') από τις τέσσερις δυνατές καταστάσεις, προκειμένου να επιτευχθεί η ζητούμενη ανθεκτικότητα απέναντι σε SNU.

Τα τρανζίστορ φρουροί και τρανζίστορ περάσματος που αναφέρθηκαν παραπάνω φαίνονται στο Σχ. 5.3, όπου κάθε ένα από τα συμβατικά κύτταρα 6T που αρχικά χρησιμοποιούνταν, τροποποιείται με την προσθήκη δύο μόνο τρανζίστορ (R1,G1 και R2,G2). Τα τρανζίστορ περάσματος R1 και R2 ελέγχονται από ένα σήμα ανανέωσης (refresh) και τα τρανζίστορ φρουροί G1 και G2 ελέγχονται από τους κόμβους D2 και D1 αντίστοιχα. Ένα λογικό '0' στον κόμβο $\overline{D1}(\overline{D2})$ παράγει μια τάση ίση με $V_{DD}-|V_{tp}|$ στον κόμβο A(B), όπου V_{tp} είναι η τάση κατωφλίου του τρανζίστορ περάσματος R1(R2). Έτσι, χρησιμοποιούμε high- V_t NMOS τρανζίστορ για το N2(N4) προκειμένου να έχουμε μια ισχυρή κατάσταση OFF και να αποφύγουμε αυξημένη διάχυση ισχύος.

Η χρήση των τρανζίστορ περάσματος βασίζεται στα ασύμμετρα κύτταρα μνήμης τα οποία χρησιμοποιούνται στα FPGA προκειμένου να προστατεύσουν την τιμή '0' η οποία επικρατεί σε σχέση με την τιμή '1' [58]. Το σήμα ανανέωσης που συνδέεται στην πύλη τους έχει κανονικά την τιμή '1', κλείνοντας το PMOS τρανζίστορ περάσματος προκειμένου να διακοπεί ο βρόχος ανάδρασης και να αποφευχθεί η διάδοση διαταραχών της τάσης στους υπόλοιπους κόμβους του κυττάρου. Οι μοναδικές φορές στις οποίες το σήμα ανανέωσης γίνεται ίσο με '0' είναι κατά τη διάρκεια της εγγραφής μιας νέας τιμής στο κύτταρο καθώς και σε τακτά χρονικά διαστήματα προκειμένου να δια-



Σχήμα 5.3: Προτεινόμενο κύτταρο CAM/TCAM.

τηρηθεί το επίπεδο τάσης των κόμβων A και B όταν αυτοί βρίσκονται σε κατάσταση υψηλής αντίστασης (high impedance). Ο ρυθμός ενεργοποίησης του σήματος ανανέωσης εξαρτάται από την τεχνολογία σχεδίασης του κυττάρου και τις διαστάσεις του (που επηρεάζουν την παρασιτική χωρητικότητα των κόμβων), καθώς και από την τάση τροφοδοσίας V_{DD} και το ρεύμα διαρροής [58].

Ο κόμβος D1(D2) είναι πλήρως ανθεκτικός σε μεταβατικά σφάλματα καθώς αν επηρεαστεί από ένα SNU, οδηγεί στην προσωρινή αλλαγή της τιμής του κόμβου $\overline{D1}(\overline{D2})$ μέσω του αναστροφέα που αποτελείται από τα τρανζίστορ N1(N3) και P1(P3), αλλά η διαταραχή αυτή δεν διαδίδεται μέχρι τον κόμβο A(B) καθώς το τρανζίστορ περάσματος R1(R2) είναι σε κατάσταση OFF. Επομένως, αυτό που πρέπει να εξεταστεί λεπτομερώς είναι η ανθεκτικότητα των κόμβων $\overline{D1}(\overline{D2})$ και A(B).

Ένα SNU που συμβαίνει στον κόμβο $\overline{D1}(\overline{D2})$, αλλάζοντας την τιμή του προσωρινά από '1' σε '0', δεν μπορεί να διαδοθεί στον κόμβο A(B) καθώς δεν μπορεί να ανοίξει το PMOS τρανζίστορ R1(R2). Όσον αφορά στον κόμβο A(B), μια μετάβαση από το '1' στο '0' δεν είναι δυνατή καθώς είναι συνδεδεμένος μόνο στην υποδοχή ενός τρανζίστορ PMOS, που βρίσκεται στην ίδια τάση με το υπόστρωμά του. Επομένως, το τρανζίστορ περάσματος R1(R2) καθιστά το προτεινόμενο κύτταρο πλήρως ανθεκτικό σε μεταβατικά σφάλματα όταν οι κόμβοι $\overline{D1}(\overline{D2})$ και A(B) έχουν αποθηκευμένη την τιμή '1'.

Τα τρανζίστορ φρουροί G1(G2) προσφέρουν ανθεκτικότητα στο προτεινόμενο κύτταρο όταν ο κόμβος D1(D2) έχει αποθηκευμένη τη λογική τιμή '1' και ο κόμβος D2(D1) τη λογική τιμή '0'. Η λειτουργία του βασίζεται στην ιδιότητα του κυττάρου TCAM να μη δέχεται ως έγκυρη την κατάσταση στην οποία οι κόμβοι D1 και D2 έχουν ταυτόχρονα αποθηκευμένη τη λογική τιμή '0' (άκυρη κατάσταση). Επομένως, όταν ο κόμβος D2(D1) είναι ίσος με '0', το μονοπάτι από τον κόμβο D1(D2) προς τη γείωση είναι αποκομμένο από το τρανζίστορ φρουρό G1(G2).

Όταν ο κόμβος D1(D2) έχει την τιμή '1' και ο κόμβος D2(D1) έχει την τιμή '0', τότε οι κόμβοι $\overline{D1}(\overline{D2})$ και A(B) έχουν την τιμή '0'. Ένα SNU που φέρνει τον κόμβο $\overline{D1}(\overline{D2})$ στη λογική τιμή '1' διαδίδεται στον κόμβο A(B) όταν το φορτίο είναι αρκετό προκειμένου να φέρει το PMOS τρανζίστορ περάσματος R1(R2) σε κατάσταση ON. Επίσης, ο κόμβος A(B) είναι ιδιαίτερα επιρρεπής σε μεταβατικά σφάλματα καθώς βρίσκεται σε κατάσταση υψηλής αντίστασης, είναι ίσος με '0' και συνδεδεμένος στην υποδοχή ενός PMOS τρανζίστορ. Όμως και οι δύο αυτές διαταραχές δεν επηρεάζουν τον κόμβο D1(D2) γιατί παρόλο που η διαταραχή φέρνει το τρανζίστορ N2(N4) σε κατάσταση ON, το τρανζίστορ G1(G2) είναι OFF καθώς ο κόμβος D2(D1) βρίσκεται σε λογικό '0'. Συνεπώς, ο κόμβος D1(D2) παραμένει προσωρινά σε κατάσταση υψηλής αντίστασης χωρίς να αλλάξει η τιμή του, επαναφέροντας στην αρχική τους τιμή τους κόμβους $\overline{D1}(\overline{D2})$ και A(B).

Όλα τα πιθανά SNU και η αντίστοιχη ανθεκτικότητα των κόμβων σε κάθε μια από τις καταστάσεις του κυττάρου TCAM συνοψίζονται παρακάτω:

1. Κατάσταση '0' (D1='1', $\overline{D1}$ ='0', A='0', D2='0', $\overline{D2}$ ='1', B='1')

- SNU στον κόμβο D1: Δεν μπορεί να διαδοθεί στον κόμβο A (όχι ανατροπή)
- SNU στον κόμβο $\overline{D1}$: Διαδίδεται στον κόμβο A, αλλά ο κόμβος D1 δεν επηρεάζεται εξαιτίας του τρανζίστορ φρουρού G1 (όχι ανατροπή)
- SNU στον κόμβο A: Ο κόμβος D1 δεν επηρεάζεται εξαιτίας του τρανζίστορ φρουρού G1 (όχι ανατροπή)

- SNU στον κόμβο D2: Δεν μπορεί να διαδοθεί στον κόμβο B (όχι ανατροπή)
- SNU στον κόμβο $\overline{D2}$: Δεν μπορεί να διαδοθεί στον κόμβο B (όχι ανατροπή)
- SNU στον κόμβο B: N/A

2. Κατάσταση '1' ($D1='0'$, $\overline{D1}='1'$, $A='1'$, $D2='1'$, $\overline{D2}='0'$, $B='0'$)

- SNU στον κόμβο D1: Δεν μπορεί να διαδοθεί στον κόμβο A (όχι ανατροπή)
- SNU στον κόμβο $\overline{D1}$: Δεν μπορεί να διαδοθεί στον κόμβο A (όχι ανατροπή)
- SNU στον κόμβο A: N/A
- SNU στον κόμβο D2: Δεν μπορεί να διαδοθεί στον κόμβο B (όχι ανατροπή)
- SNU στον κόμβο $\overline{D2}$: Διαδίδεται στον κόμβο B, αλλά ο κόμβος D2 δεν επηρεάζεται εξαιτίας του τρανζίστορ φρουρού G2 (όχι ανατροπή)
- SNU στον κόμβο B: Ο κόμβος D2 δεν επηρεάζεται εξαιτίας του τρανζίστορ φρουρού G2 (όχι ανατροπή)

3. Κατάσταση 'X' ($D1='1'$, $\overline{D1}='0'$, $A='0'$, $D2='1'$, $\overline{D2}='0'$, $B='0'$)

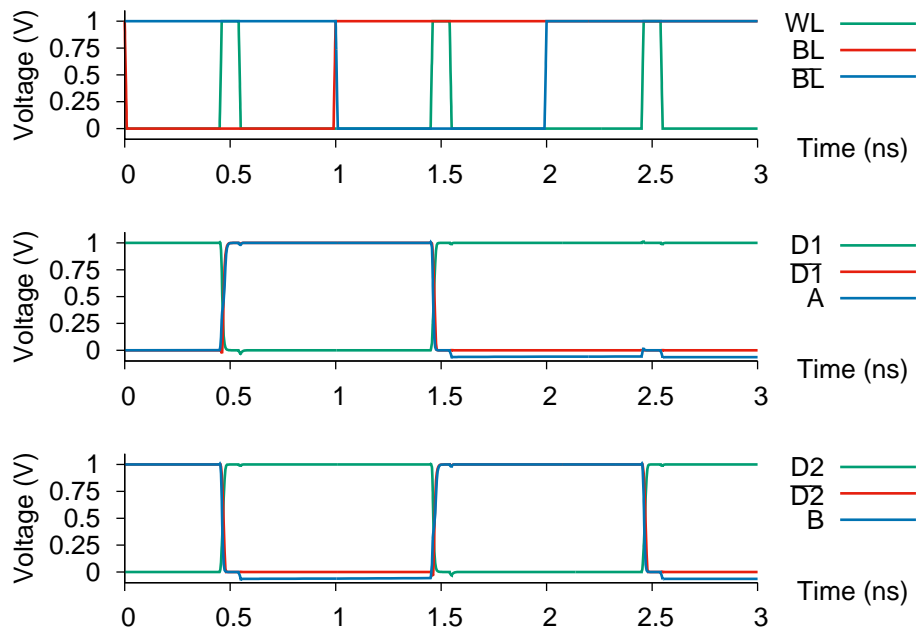
- SNU στον κόμβο D1: Δεν μπορεί να διαδοθεί στον κόμβο A (όχι ανατροπή)
- SNU στον κόμβο $\overline{D1}$: Ανατρέπει το κύτταρο TCAM
- SNU στον κόμβο A: Ανατρέπει το κύτταρο TCAM
- SNU στον κόμβο D2: Δεν μπορεί να διαδοθεί στον κόμβο B (όχι ανατροπή)
- SNU στον κόμβο $\overline{D2}$: Ανατρέπει το κύτταρο TCAM
- SNU στον κόμβο B: Ανατρέπει το κύτταρο TCAM

Επομένως, όταν το προτεινόμενο κύτταρο χρησιμοποιείται σαν κύτταρο TCAM, οι καταστάσεις '0' και '1' προστατεύονται πλήρως, αφήνοντας την κατάσταση 'X' ευάλωτη σε SNU. Συγκεκριμένα, από τα 16 πιθανά SNU, το προτεινόμενο κύτταρο είναι πλήρως ανθεκτικό σε 12 από αυτά, δηλαδή παρουσιάζει ένα ποσοστό 75% σε ανθεκτικότητα απέναντι σε μεταβατικά σφάλματα. Όταν χρησιμοποιείται ως κύτταρο CAM, με δεδομένο ότι οι καταστάσεις '0' και '1' προστατεύονται πλήρως, επιτυγχάνει 100% ανθεκτικότητα σε SNU.

5.4 Προσομοίωση Λειτουργίας και Επιβαρύνσεις

5.4.1 Προσομοίωση Λειτουργίας και Ανθεκτικότητα σε Διαταραχές

Το προτεινόμενο κύτταρο προσομοιώθηκε σε SPICE σε τεχνολογία 45nm PTM με ονομαστική τάση τροφοδοσίας 1V [84], προκειμένου να επιβεβαιωθεί η λειτουργία του σε ονομαστικές συνθήκες υπό την απουσία σφάλματος καθώς και τα ανθεκτικά σε μεταβατικά σφάλματα χαρακτηριστικά του. Η προσομοίωση των διαταραχών έγινε με χρήση του εκθετικού μοντέλου που περιγράφεται στην ενότητα 1.4.1, με το επαγόμενο φορτίο να φτάνει μέχρι και το 1pF. Οι διαστάσεις των NMOS(PMOS) τρανζίστορ τέθηκαν ίσες με $L=50\text{nm}$ και $W=100\text{nm}$ ($L=50\text{nm}$ και $W=150\text{nm}$). Το Σχ. 5.4



Σχήμα 5.4: Εγγραφή των τριών επιτρεπόμενων καταστάσεων '0', '1' και 'X' στο προτεινόμενο κύτταρο.

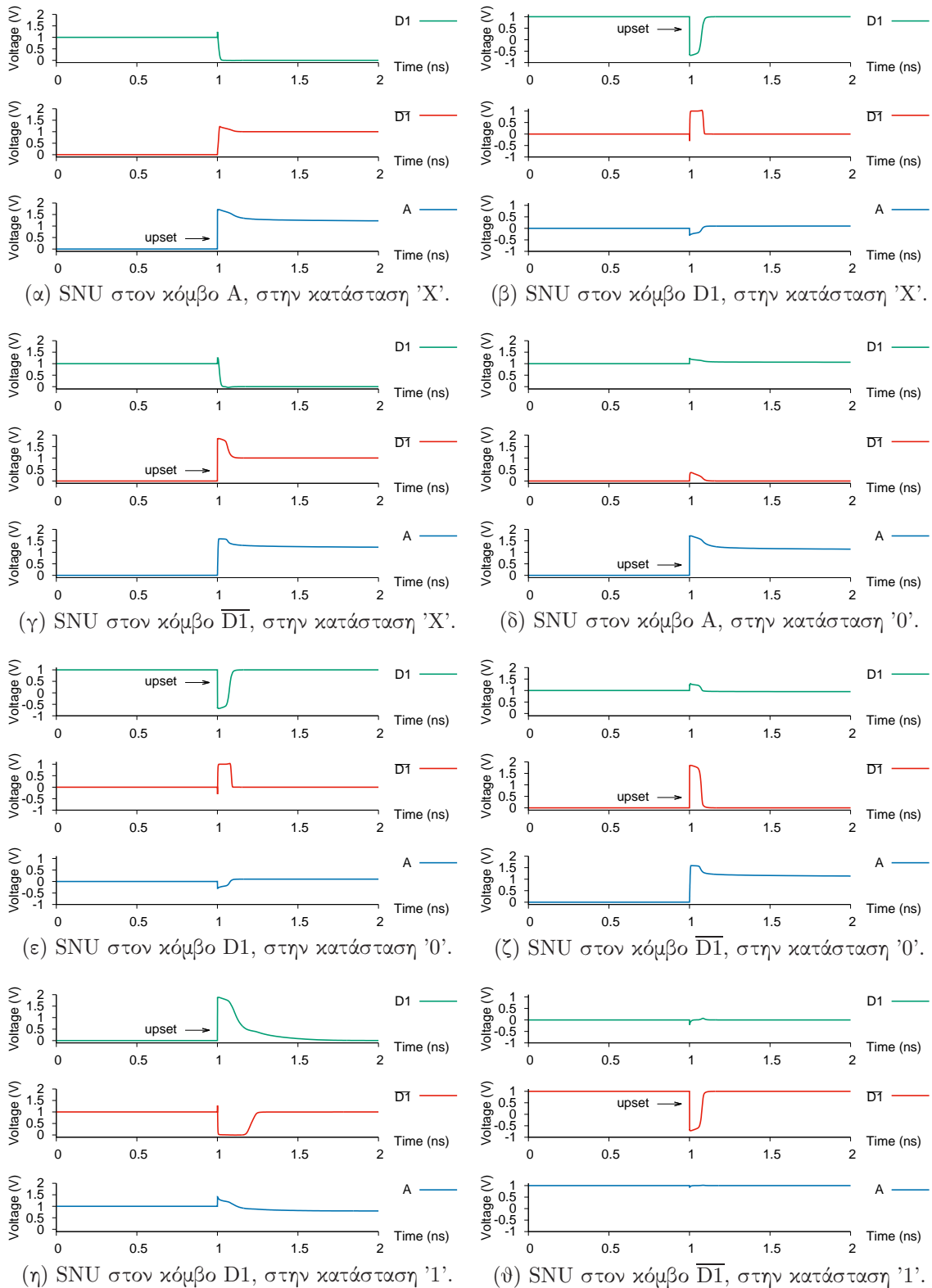
δείχνει τη λειτουργία εγγραφής στο προτεινόμενο κύτταρο, με όλες τις δυνατές καταστάσεις να αποθηκεύονται επιτυχώς. Το σήμα WL τίθεται σε λογικό '1' κάθε 1ns και παραμένει στην τιμή αυτή για 0.1ns. Το Σχ. 5.5 παρουσιάζει όλα τα πιθανά SNU στους κόμβους D1, $\overline{D1}$ και A για τις τρεις έγκυρες καταστάσεις, επιβεβαιώνοντας τη θεωρητική ανάλυση της ενότητας 5.3. Οι αντίστοιχες κυματομορφές για τους κόμβους D2, $\overline{D2}$ και B είναι πανομοιότυπες με αυτές που παρουσιάζονται, και συνεπώς δεν τις παρουσιάζουμε ξεχωριστά.

5.4.2 Επιφάνεια και Ρεύμα Διαρροής

Πραγματοποιήσαμε μια αρχική εκτίμηση της επιβάρυνσης σε επιφάνεια του προτεινόμενου κυττάρου, συγκρίνοντας τον αριθμό των τρανζίστορ του με τον αριθμό των τρανζίστορ που απαιτούνται στα κύτταρα CAM και TCAM που χρησιμοποιούν ως βάση είτε το συμβατικό κύτταρο 6T είτε το ανθεκτικό σε SNU κύτταρο DICE. Επίσης, μέσω προσομοιώσεων σε SPICE χρησιμοποιώντας μοντέλα από μια τεχνολογία 45nm PTM [84], συγκρίναμε το ρεύμα διαρροής του προτεινόμενου κυττάρου με αυτό των υπόλοιπων συμβατικών λύσεων. Τα αποτελέσματα παρουσιάζονται στον Πίνακα 5.1.

Πίνακας 5.1: Ρεύμα διαρροής και αριθμός τρανζίστορ του προτεινόμενου και των συμβατικών κυττάρων CAM/TCAM.

Κύτταρο μνήμης	Ρεύμα διαρροής (nA)		Αριθμός τρανζίστορ
	Κατάσταση X	Κατάσταση 0/1	
CAM 6T	-	0,92	4
CAM DICE	-	1,83	8
Προτεινόμενο CAM	-	0,95	12
TCAM 6T	1,83	1,83	8
TCAM DICE	3,67	3,67	16
Προτεινόμενο TCAM	1,57	0,95	12



Σχήμα 5.5: SNU στους κόμβους D1, $\overline{D1}$ και A για όλες τις έγκυρες καταστάσεις.

Όταν το προτεινόμενο κύτταρο χρησιμοποιείται σε CAM, τότε προσφέρει 100% ανθεκτικότητα σε SNU. Σε σχέση με το κύτταρο CAM που κάνει χρήση του μη ανθεκτικού κυττάρου 6T, έχει μια επιβάρυνση 8 τρανζίστορ σε επιφάνεια αλλά σχεδόν καμία επιβάρυνση σε ρεύμα διαρροής. Συγκρινόμενο με το κύτταρο CAM το οποίο

κάνει χρήση του ανθεκτικού κυττάρου DICE, το προτεινόμενο κύτταρο έχει μόνο 4 περισσότερα τρανζίστορ μειώνοντας ταυτόχρονα το ρεύμα διαρροής κατά 48%.

Όταν το προτεινόμενο κύτταρο χρησιμοποιείται σε TCAM, τότε προσφέρει 75% ανθεκτικότητα σε SNU. Σε σχέση με το κύτταρο TCAM που κάνει χρήση του μη ανθεκτικού κυττάρου 6T, έχει μια επιβάρυνση μόνο 4 τρανζίστορ σε επιφάνεια μειώνοντας το ρεύμα διαρροής κατά 14%. Συγκρινόμενο με το κύτταρο TCAM το οποίο κάνει χρήση του ανθεκτικού κυττάρου DICE, το προτεινόμενο κύτταρο έχει 4 λιγότερα τρανζίστορ μειώνοντας ταυτόχρονα το ρεύμα διαρροής κατά 57%.

5.5 Επίλογος

Στο κεφάλαιο αυτό παρουσιάστηκε ένα κύτταρο μνήμης που μπορεί να χρησιμοποιηθεί τόσο σε μνήμες CAM όσο και σε μνήμες TCAM. Είναι 100% ανθεκτικό σε SNU όταν χρησιμοποιείται σαν κύτταρο CAM και 75% ανθεκτικό όταν χρησιμοποιείται σαν κύτταρο TCAM. Το προτεινόμενο κύτταρο μνήμης επιτυγχάνει την προστασία από SNU συνδυάζοντας την τεχνική των τρανζίστορ φρουρών και των τρανζίστορ περάσματος που διακόπτουν τη διάδοση διαταραχών εντός του βρόχου ανάδρασης. Τα αποτελέσματα των προσομοιώσεων σε SPICE με χρήση μοντέλων από μια τεχνολογία 45nm PTM έδειξαν μια σημαντική μείωση στο ρεύμα διαρροής σε σύγκριση με το κύτταρο TCAM που χρησιμοποιεί ως βάση του το μη ανθεκτικό κύτταρο 6T, καθώς και σε σχέση με τα κύτταρα CAM και TCAM που βασίζονται στη χρήση του ανθεκτικού σε SNU κυττάρου DICE.

Κεφάλαιο 6

Παραμετρική Τεχνική BISR για Διόρθωση Μόνιμων Σφαλμάτων και Διερεύνηση Βέλτιστου Επιπέδου Διόρθωσης

6.1 Εισαγωγή

Στα σύγχρονα ολοκληρωμένα κυκλώματα και ιδιαίτερα στα SoC (System on Chip), όπου η μνήμη καταλαμβάνει μεγαλύτερο μέρος από τη λογική, ο καθοριστικός παράγοντας που επηρεάζει την απόδοση και αξιοπιστία του κυκλώματος κατά τη διάρκεια ζωής του είναι η μνήμη SRAM [135]. Τα κατασκευαστικά ελαττώματα και οι διακυμάνσεις σε κατασκευαστικές παραμέτρους, έχουν επιδεινωθεί ιδιαίτερα στις μνήμες SRAM λόγω της συνεχούς κλιμάκωσης της τάσης (voltage scaling) και της μείωσης των διαστάσεων των ολοκληρωμένων με σκοπό την αύξηση της πυκνότητας μνήμης. Οι συνθήκες αυτές οδηγούν σε όλο και περισσότερα μόνιμα σφάλματα και προκειμένου να περιοριστούν οι απώλειες στην απόδοση παραγωγής (yield) καθώς και οι αστοχίες μνήμης κατά τη διάρκεια ζωής τους, απαιτείται η χρήση ανθεκτικών σε μόνιμα σφάλματα τεχνικών.

Η πιο συνηθισμένη προσέγγιση για την αντιμετώπιση των μόνιμων σφαλμάτων σε πίνακες μνήμης είναι η χρήση εφεδρικών γραμμών και στηλών. Ένας εξωτερικός μηχανισμός που εκτελεί τον έλεγχο (testing) καταγράφει το πως ανταποκρίνεται η μνήμη σε συγκεκριμένα ερεθίσματα και επεξεργάζοντας τα αποτελέσματα δημιουργεί έναν χάρτη απεικόνισης των σφαλμάτων. Στη συνέχεια, τα ελαττωματικά στοιχεία που ανιχνεύθηκαν απενεργοποιούνται και αντικαθίστανται από εφεδρικά [136]. Όμως, η συγκεκριμένη διαδικασία έχει μεγάλο κόστος σε πόρους και καθυστέρηση στις ιδιαίτερα πυκνές σύγχρονες μνήμες [137].

Οι τεχνικές BISR (Built-In Self-Repair) μεταφέρουν τη διαδικασία επιδιόρθωσης on-chip, με το κύκλωμα επιδιόρθωσης να παρεμβάλλεται στη διαδικασία αποκωδικοποίησης προκειμένου να αναδρομολογήσει την πρόσβαση από ελαττωματικά κύτταρα μνήμης σε εφεδρικά. Οι θέσεις των ελαττωματικών κυττάρων παρέχονται από ένα κύκλωμα ελέγχου BIST (Built-In Self-Test). Παραδείγματα τέτοιων τεχνικών μπορούν να βρεθούν στα [138–146]. Στο [138] ακολουθείται μια προσέγγιση βασισμένη σε εφεδρικές στήλες, με την εκ νέου απεικόνιση (remapping) να γίνεται μέσω άμεσης καλωδίωσης (hardwired). Μια δομή πλεονασμού σε δύο διαστάσεις που χρησιμοποιεί εφεδρικές στήλες και γραμμές και έναν ευριστικό αλγόριθμο, προτείνεται στο [139].

Μια τεχνική που κάνει απευθείας απεικόνιση των σφαλμάτων μέσω fused-based λογικής και λειτουργεί σε επίπεδο λέξης προτείνεται στο [140]. Στο [141], το remapping εκτελείται μέσω της χρήσης μίας μνήμης CAM, ενώ στο [142] η προσέγγιση των εφεδρικών γραμμών/στηλών βελτιώνεται με την κατάτμηση των εφεδρικών πόρων σε banks. Μια soft-fused τεχνική στο κύκλωμα αποκωδικοποίησης γραμμών η οποία απεικονίζει την κάθε χαλασμένη γραμμή στην αμέσως επόμενη διαθέσιμη προτείνεται στο [143]. Στο [144], μια BIST/BISR τεχνική κάνει χρήση εφεδρικών στηλών για επιδιόρθωση, με τις απαραίτητες πληροφορίες να αποθηκεύονται σε μια μνήμη FLASH. Στο [145] προτείνεται μια τεχνική BISR για μνήμες RAM πολλών θυρών (multi-port), χρησιμοποιώντας πρόσθετες γραμμές και εισόδους/εξόδους. Μια ολοκληρωμένη πλατφόρμα για έλεγχο και επιδιόρθωση πολλαπλών μνημών με τη χρήση εφεδρικών γραμμών/στηλών προτείνεται στο [146].

Το επίπεδο λεπτομέρειας (granularity) στο οποίο γίνεται η επιδιόρθωση επηρεάζει την επιβάρυνση του κυκλώματος απεικόνισης/αναδρομολόγησης και το βαθμό χρήσης των εφεδρικών στοιχείων [147, 148]. Τεχνικές που λειτουργούν σε επίπεδο γραμμών/στηλών απαιτούν απλούστερο κύκλωμα αναδρομολόγησης, αλλά για κάθε ένα ελαττωματικό κύτταρο ή κάθε μια ελαττωματική λέξη ξοδεύεται μια ολόκληρη εφεδρική γραμμή/στήλη. Από την άλλη πλευρά, τεχνικές που λειτουργούν σε επίπεδο bit ή block κατανέμουν τους πόρους τους πιο αποτελεσματικά αλλά απαιτούν πολύπλοκο κύκλωμα αναδρομολόγησης. Λαμβάνοντας υπόψη το συγκεκριμένο trade-off, στο [149] οι συγγραφείς προτείνουν μια αρχιτεκτονική που βασίζεται σε μια κρυφή μνήμη (cache) με πολλαπλές cache-banks οι οποίες επιδιορθώνουν τα ελαττωματικά στοιχεία σε επίπεδο λέξης. Οι ελαττωματικές λέξεις της υπό επιδιόρθωση μνήμης (Memory Under Repair - MUR) απεικονίζονται απευθείας σε εφεδρικές cache-banks χρησιμοποιώντας ένα μέρος της διεύθυνσης του ελαττωματικού στοιχείου σαν δείκτη σε μια εφεδρική λέξη (index) και το υπόλοιπο μέρος της διεύθυνσης σαν ετικέτα (tag). Με βάση μια στατιστική ανάλυση που παρουσιάζεται, αποδεικνύεται ότι μπορεί να επιτευχθεί ~100% επιδιόρθωση με τη χρήση της τεχνικής αυτής. Στο [150] γίνεται μια πρώτη προσπάθεια από τους συγγραφείς να μειώσουν την επιβάρυνση σε επιφάνεια του προτεινόμενου κυκλώματος BISR μειώνοντας το επίπεδο λεπτομέρειας της διόρθωσης στο επίπεδο του bit.

Στο κεφάλαιο αυτό, βασιζόμενοι στις BISR αρχιτεκτονικές που παρουσιάστηκαν στα [149, 150], προτείνουμε ένα παραμετρικό σχήμα BISR. Με τον όρο παραμετρικό δηλώνεται η ικανότητα του σχήματος να λειτουργεί για διαφορετικά επίπεδα διόρθωσης της λέξης, η οποία κατατέμνεται ανάλογα. Διεξάγουμε μια διερεύνηση προκειμένου να καταλήξουμε στην ιδανική κατάτμηση της υπό διόρθωση λέξης, η οποία ελαχιστοποιεί την επιβάρυνση σε επιφάνεια. Βασιζόμενοι σε μια στατιστική ανάλυση, αποδεικνύουμε ότι το επίπεδο στο οποίο γίνεται η διόρθωση δεν επηρεάζει την ~100% ικανότητα επιδιόρθωσης που προσφέρει η προτεινόμενη τεχνική.

Στην ενότητα 6.2 περιγράφουμε με λεπτομέρεια την προτεινόμενη παραμετρική BISR τεχνική καθώς και την αλληλεπίδρασή της με το κύκλωμα ελέγχου BIST. Στην ενότητα 6.3 παρουσιάζουμε μια στατιστική ανάλυση για την πιθανότητα επιδιόρθωσης της MUR με βάση την επιλεγμένη κατάτμηση της λέξης. Στην ενότητα 6.4 υπολογίζουμε την επιβάρυνση σε επιφάνεια ανάλογα με την επιλεγμένη κατάτμηση και εκτελούμε μια διερεύνηση για τον ιδανικό βαθμό κατάτμησης. Η ενότητα 6.5 ολοκληρώνει το κεφάλαιο.

6.2 Προτεινόμενη Παραμετρική Τεχνική BISR

6.2.1 Λειτουργία

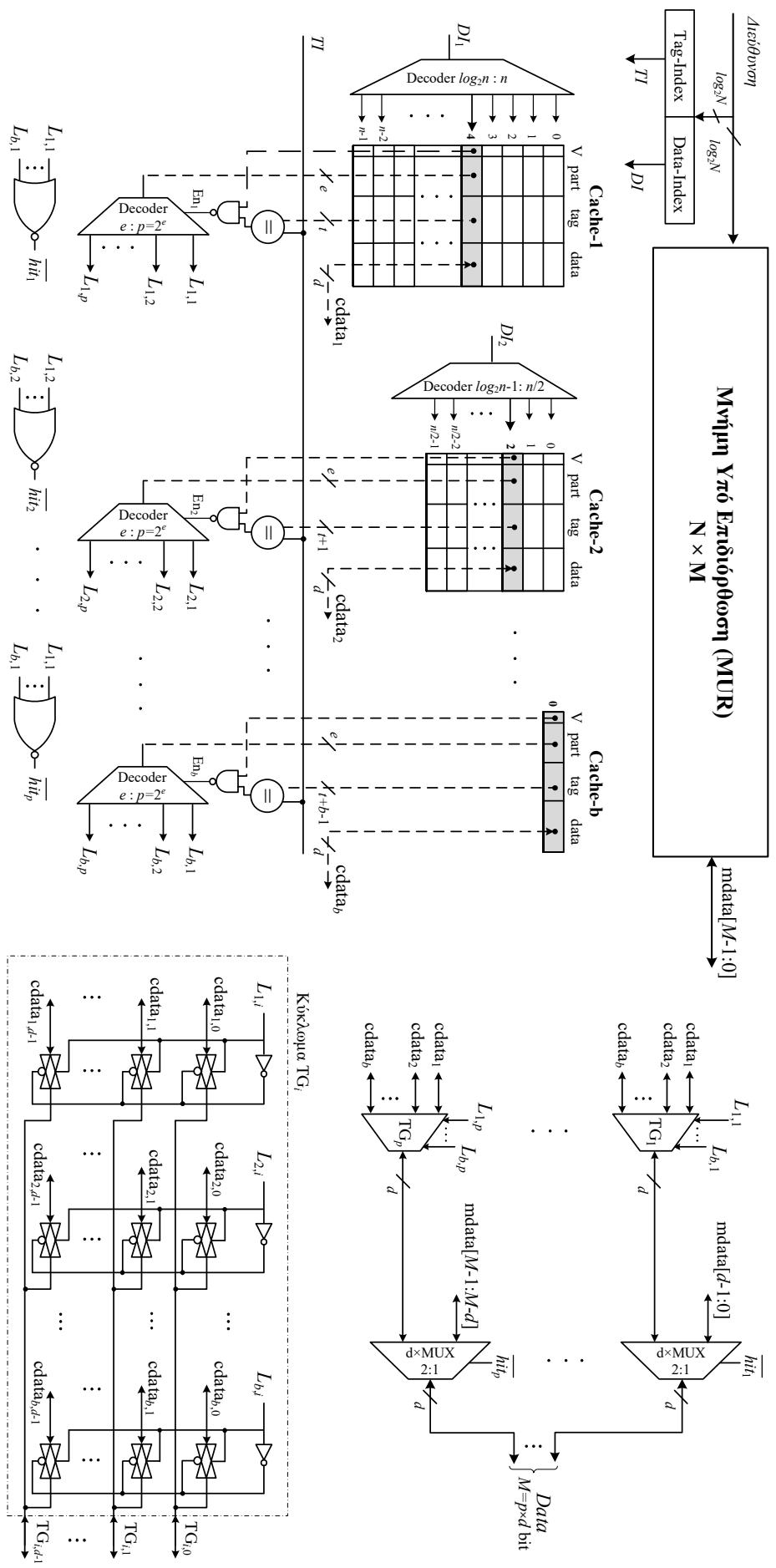
Στην προτεινόμενη τεχνική (Σχ. 6.1) θεωρούμε μια $N \times M$ MUR (N λέξεις μήκους M bits). Κάθε M -bit λέξη της MUR είναι χωρισμένη σε p κομμάτια των d bits ($d=M/p$). Προκειμένου να μπορέσουν να επιδιορθωθούν λ ελαττωματικά κομμάτια της MUR, η κύρια cache-bank παρέχει $n=2\lambda$ εφεδρικές λέξεις και κάθε επόμενη cache-bank τις μισές λέξεις από την προηγούμενή της [149]. Επομένως, υπάρχουν $b = \log_2 n + 1$ cache-banks συνολικά. Σε μία cache-bank με k λέξεις, N/k λέξεις της MUR απεικονίζονται απευθείας στην ίδια θέση χρησιμοποιώντας σαν δείκτη μια $\log_2 k$ -bit διεύθυνση που ονομάζεται index (DI). Η διεύθυνση αυτή αποτελείται από τα $\log_2 k$ bits μικρότερης αξίας της $\log_2 N$ -bit διεύθυνσης της MUR. Τα υπόλοιπα $\log_2(N/k)$ bits αναφέρονται ως ετικέτα (tag - TI) και χρησιμοποιούνται για να προσδιοριστεί ποια από τις N/k λέξεις που απεικονίζονται στη συγκεκριμένη θέση της cache-bank έχει επιλεχθεί για επιδιόρθωση. Προκειμένου να προσδιοριστεί πιο κομμάτι της συγκεκριμένης λέξης της MUR είναι αυτό που επιδιορθώνεται, χρησιμοποιείται ένα επιπλέον πεδίο μεγέθους $e = \log_2 p$ bits το οποίο ονομάζεται part. Επίσης, ένα bit με όνομα valid (V) χρησιμοποιείται σε κάθε εφεδρική λέξη της cache-bank ώστε να προσδιορίσει αν αυτή βρίσκεται σε χρήση ($V=1$) ή όχι ($V=0$). Επομένως κάθε λέξη της cache-bank παρέχει ένα d -bit εφεδρικό κομμάτι μαζί με ένα valid bit, ένα πεδίο tag και ένα πεδίο part. Επομένως, μια cache-bank με k θέσεις απαιτεί $k \times (1 + e + \log_2(N/k) + d)$ bits.

Εκτός από τις cache-banks, υπάρχει ένα κύκλωμα που εκτελεί την απεικόνιση και την αναδρομολόγηση, και προσδιορίζει αν υπάρχουν κομμάτια της λέξης στην οποία πρόκειται να γίνει πρόσβαση, τα οποία έχουν αποθηκευτεί σε κάποια από τις εφεδρικές cache-banks λόγω μόνιμου σφάλματος στη MUR. Στην περίπτωση αυτή, τα αντίστοιχα κομμάτια οδηγούνται στο διάδρομο δεδομένων (data bus) μέσω των cache-banks και όχι μέσω της MUR χρησιμοποιώντας το κύκλωμα αναδρομολόγησης.

Όταν εκτελείται μια πρόσβαση στη μνήμη, ενεργοποιείται η θέση σε κάθε cache-bank που αντιστοιχεί στη λέξη αυτή (όλες οι cache-banks λειτουργούν παράλληλα), σύμφωνα με το πεδίο index (τα $\log_2 k$ bits μικρότερης αξίας της διεύθυνσης) και με χρήση του αντίστοιχου αποκωδικοποιητή. Σε κάθε cache-bank το πεδίο tag της ενεργοποιημένης γραμμής συγκρίνεται με τα $\log_2(N/k)$ bits μεγαλύτερης αξίας της διεύθυνσης (TI) μέσω ενός συγκριτή. Το αποτέλεσμα της σύγκρισης οδηγείται μαζί με το valid bit σε μια πύλη NAND η οποία παράγει ένα τοπικό σήμα ενεργοποίησης (enable signal - En_i). Το σήμα αυτό προσδιορίζει αν υπάρχει κάποιο επιδιορθωμένο κομμάτι της λέξης στην οποία γίνεται πρόσβαση στη συγκεκριμένη cache-bank. Επιπλέον, το σήμα αυτό λειτουργεί και ως σήμα ενεργοποίησης για έναν αποκωδικοποιητή ο οποίος δέχεται ως είσοδο το πεδίο part. Ο αποκωδικοποιητής της i -οστής cache-bank έχει p εξόδους ($L_{i,1} - L_{i,p}$) και μόνο μια από αυτές μπορεί να γίνει '1', όταν το αντίστοιχο κομμάτι της λέξης επισκευάζεται από τη συγκεκριμένη cache-bank. Τα σήματα $L_{i,j}$ ονομάζονται τοπικά σήματα εύρεσης (local hit) και προσδιορίζουν αν το j κομμάτι της ζητούμενης λέξης έχει αποθηκευτεί στην i cache-bank.

Τα σήματα $L_{1,j} - L_{b,j}$ οδηγούνται σε μια πύλη NOR η οποία παράγει το καθολικό σήμα εύρεσης (global hit) hit_j το οποίο προσδιορίζει αν το j κομμάτι της ζητούμενης λέξης επιδιορθώνεται από οποιαδήποτε από τις cache-banks ($hit_j=1$) ή όχι ($hit_j=0$). Επομένως, υπάρχουν p πύλες NOR που παράγουν τα global hit σήματα.

Κάθε σήμα $L_{i,j}$ ελέγχει d πύλες μετάδοσης και αν το j κομμάτι της ζητούμενης λέξης έχει αποθηκευτεί στην i cache-bank, τότε οδηγεί το πεδίο δεδομένων της ($cdata_i$) στο



Σχήμα 6.1: Προτεινόμενη τεχνική BISR.

τελικό στάδιο πολυπλεκτών. Υπάρχουν p τελικοί πολυπλέκτες που ελέγχονται από τα σήματα hit_j και έχουν δύο d-bit εισόδους. Η πρώτη είναι το αντίστοιχο κομμάτι της λέξης που προέρχεται από τη MUR και η δεύτερη είναι το επιδιορθωμένο κομμάτι (σε περίπτωση που αυτό υπάρχει σε κάποια από τις cache-banks). Ανάλογα με τα σήματα hit_j , κάθε κομμάτι της ζητούμενης λέξης οδηγείται στο διάδρομο δεδομένων είτε από τη MUR ($hit_j=0$) είτε από την κατάλληλη cache-bank ($hit_j=1$).

6.2.2 Αλληλεπίδραση με το Κύκλωμα Ελέγχου BIST

Το κύκλωμα BISR που περιγράφεται στην ενότητα 6.2.1 προϋποθέτει την ύπαρξη ενός κυκλώματος ελέγχου BIST το οποίο έχει τεθεί σε λειτουργία νωρίτερα, έχει αναγνωρίσει όλα τα ελαττωματικά κομμάτια της MUR και τα έχει κατανειμίσει στις εφεδρικές cache-banks. Όταν ανιχνεύεται ένα ελαττωματικό κομμάτι, το κύκλωμα BIST αποθηκεύει τις απαραίτητες πληροφορίες (πεδία tag, part) στην πρώτη διαθέσιμη cache-bank. Ανάλογα με το πεδίο index, το κύκλωμα BIST επιλέγει την κατάλληλη γραμμή στην πρώτη cache-bank. Αν το valid bit δεν είναι ενεργοποιημένο τότε τα πεδία tag και part αποθηκεύονται, το valid bit τίθεται στο '1' και το αντίστοιχο κομμάτι της λέξης θεωρείται πλέον επιδιορθωμένο. Αν το valid bit είναι ενεργοποιημένο, αυτό σημαίνει ότι η συγκεκριμένη γραμμή χρησιμοποιείται ήδη για την επιδιόρθωση ενός άλλου ελαττωματικού κομματιού και δεν μπορεί να χρησιμοποιηθεί. Το κύκλωμα BIST επαναλαμβάνει την παραπάνω διαδικασία μέχρι να εξετάσει όλες τις cache-banks ή μέχρι να βρει την πρώτη ελεύθερη. Αν τελικά δεν υπάρχει διαθέσιμη γραμμή σε κάποια cache-bank, η μνήμη MUR θεωρείται αδύνατο να επιδιορθωθεί.

6.3 Πιθανότητα Διόρθωσης

Θεωρούμε μία MUR με N λέξεις των M bits και τυχαία κατανομή λαθών, καθώς και ένα κύκλωμα BISR το οποίο κάνει επιδιόρθωση σε επίπεδο λέξης [149], με n εφεδρικές λέξεις στην κύρια cache-bank (bank-1) και τις μισές εφεδρικές λέξεις σε κάθε επόμενη δευτερεύουσα ($n/2, n/4, \dots, 1$ εφεδρικές λέξεις αντίστοιχα). Όπως έχει παρουσιαστεί στο [149] μια εφεδρική λέξη της κύριας cache-bank απεικονίζεται σε $m=N/n$ λέξεις της MUR. Αυτές οι m λέξεις της MUR θα αναφέρονται στη συνέχεια ως block. Μια λέξη της bank-2 απεικονίζεται σε $2m=N/(n/2)$ λέξεις της MUR, οι οποίες αντιστοιχούν σε δύο MUR blocks ή δύο εφεδρικές λέξεις της bank-1. Ομοίως, μια εφεδρική λέξη της bank-3 απεικονίζεται σε $4m$ λέξεις της MUR κοκ. Υποθέτοντας ότι η MUR έχει f_w ελαττωματικές λέξεις, η πιθανότητα μια λέξη της MUR να μην έχει ελάττωμα είναι:

$$p_w = 1 - f_w/N \quad (6.1)$$

Μια εφεδρική λέξη της bank-1 μπορεί να επιδιορθώσει ένα block, όταν αυτό περιέχει το πολύ μια ελαττωματική λέξη. Σαν αποτέλεσμα, το κάθε block θα πρέπει να έχει τουλάχιστον $m-1$ μη ελαττωματικές λέξεις και η πιθανότητα να μπορεί να επιδιορθωθεί από μια εφεδρική λέξη της bank-1 είναι:

$$p_1(x \leq 1) = p_w^m + \binom{m}{1} p_w^{m-1} (1 - p_w) \quad (6.2)$$

Επομένως, μια MUR είναι δυνατό να επιδιορθωθεί μόνο από την κύρια cache-bank μόνο αν όλα τα n blocks της που απεικονίζονται στις εφεδρικές λέξεις είναι δυνατό να επιδιορθωθούν. Η πιθανότητα αυτή δίνεται από την (6.3).

$$P_1 = p_1^n(x \leq 1) \quad (6.3)$$

Μια εφεδρική λέξη της bank-2 απεικονίζει δύο εφεδρικές λέξεις της bank-1 ή αλλιώς δύο MUR blocks. Το ζευγάρι αυτό των blocks μπορεί να επιδιορθωθεί από μια εφεδρική λέξη της bank-2 μόνο αν κάθε ένα από τα blocks έχει το πολύ μια ελαττωματική λέξη ή ένα από τα δύο περιέχει δύο ελαττωματικές λέξεις και το άλλο το πολύ μια. Η πιθανότητα αυτή είναι:

$$p_2(x \leq 1) = p_1^2(x \leq 1) + \binom{2}{1} p_1(x \leq 1)p_1(x = 2) \quad (6.4)$$

όπου η πιθανότητα ενός block να έχει ακριβώς δύο ελαττωματικές λέξεις είναι:

$$p_1(x = 2) = \binom{m}{2} p_w^{m-2}(1 - p_w)^2 \quad (6.5)$$

Σαν αποτέλεσμα, η πιθανότητα της MUR να επιδιορθώνεται πλήρως από τις δύο πρώτες cache-banks είναι:

$$P_2 = p_2^{n/2}(x \leq 1) \quad (6.6)$$

Ομοίως, η πιθανότητα μια εφεδρική λέξη της bank-q να παρέχει πλήρη επιδιόρθωση στα blocks που της αντιστοιχούν είναι:

$$p_q(x \leq 1) = p_{q-1}^2(x \leq 1) + \binom{2}{1} p_{q-1}(x \leq 1)p_{q-1}(x = 2) \quad (6.7)$$

Η πιθανότητα r ελαττωματικές λέξεις να απεικονίζονται σε μια εφεδρική λέξη της bank-q δίνεται από την (6.8).

$$p_q(x = r) = \sum_{i=2}^{\lfloor r/2 \rfloor + 1} c_i p_{q-1}(x = i)p_{q-1}(x = r + 2 - i) + \binom{2}{1} p_{q-1}(x \leq 1)p_{q-1}(x = r + 1) \quad (6.8)$$

Όπου $c_i=1$ αν το r είναι άρτιος και $i=1+r/2$ αλλιώς $c_i=2$ και

$$p_1(x = r) = \binom{m}{r} p_w^{m-r}(1 - p_w)^r \quad (6.9)$$

Καθώς το κύκλωμα BISR έχει $b = \log_2 n + 1$ cache-banks, η πιθανότητα της MUR να επιδιορθώνεται πλήρως όταν έχει f_w ελαττωματικές λέξεις είναι:

$$P_b = p_b(x \leq 1) \quad (6.10)$$

και υπολογίζεται χρησιμοποιώντας τις (6.1), (6.2), (6.7), (6.8) και (6.9).

Στην προτεινόμενη τεχνική BISR προτείνεται ένα κύκλωμα που επιδιορθώνει κομμάτια της λέξης της MUR. Κάθε λέξη έχει p κομμάτια των M/p bits και τα κομμάτια αυτά μοιράζονται το ίδιο index. Επομένως, ένα εφεδρικό κομμάτι της bank-1 απεικονίζεται σε $m' = pm = pN/n$ κομμάτια της MUR. Υποθέτοντας ότι η MUR έχει f_s ελαττωματικά κομμάτια, η πιθανότητα ένα κομμάτι της να μην είναι ελαττωματικό είναι:

$$p_s = 1 - f_s/(pN) \quad (6.11)$$

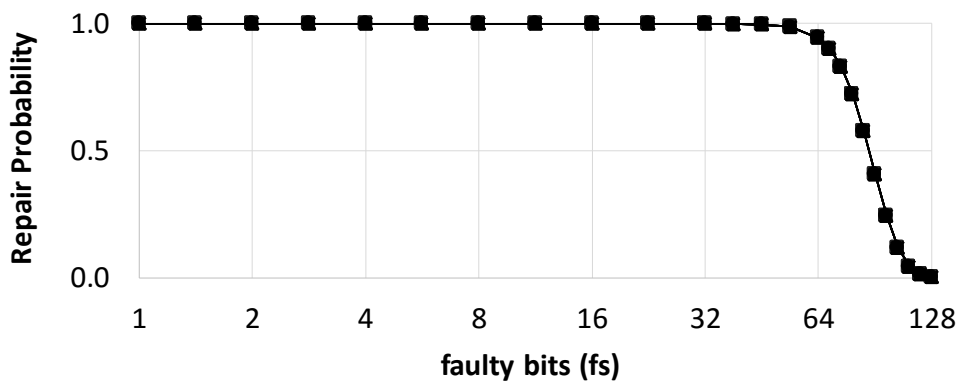
Επομένως, αντικαθιστώντας το m με m' και το p_w με p_s στις (6.2) και (6.9), μπορεί να υπολογιστεί η πιθανότητα του να μπορεί η προτεινόμενη παραμετρική BISR τεχνική να επιδιορθώσει πλήρως τη MUR. Στην περίπτωση αυτή το f_s αναφέρεται στο πόσα ελαττωματικά κομμάτια υπάρχουν και p_s είναι η πιθανότητα ενός κομματιού να μην είναι ελαττωματικό. Προκειμένου να συγκριθεί η πιθανότητα επιδιόρθωσης των τεχνικών BISR με και χωρίς κατάτμηση της λέξης, απαιτείται μια σχέση μεταξύ της πιθανότητας μιας λέξης χωρίς κατάτμηση να μην έχει ελάττωμα και του αριθμού των ελαττωματικών κομματιών f_s . Υποθέτοντας μια λέξη της MUR με p κομμάτια WP_1, WP_2, \dots, WP_p , η πιθανότητα p_w να μην έχει ελάττωμα είναι ίση με:

$$p_w = p_s \left(\prod_{i=1}^p WP_i \right) = p_s^p \quad (6.12)$$

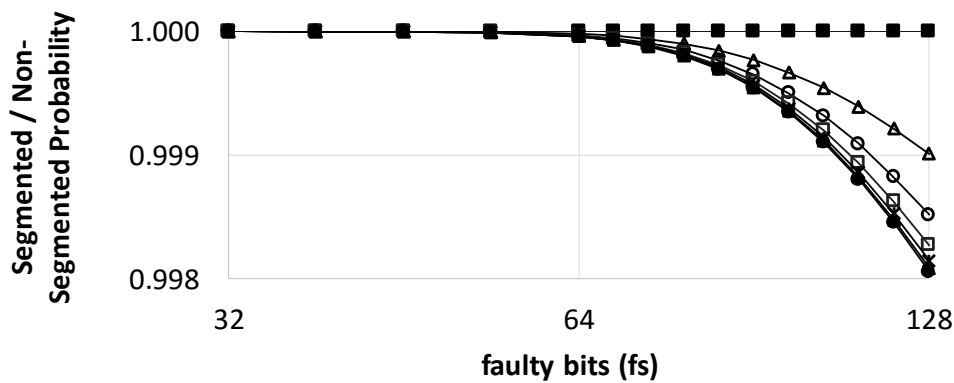
Επομένως, η πιθανότητα της MUR να είναι πλήρως επιδιορθώσιμη από την τεχνική BISR χωρίς κατάτμηση, έχοντας f_s ελαττωματικά M/p -bit κομμάτια μπορεί να υπολογιστεί με χρήση των (6.12), (6.2), (6.7), (6.8), (6.9) και (6.10). Έτσι, οι πιθανότητες επιδιόρθωσης από τις τεχνικές BISR με και χωρίς κατάτμηση μπορούν να συγκριθούν για οποιαδήποτε τιμή f_s . Επίσης, με τη χρήση των ίδιων εξισώσεων μπορούν να αξιολογηθούν τεχνικές BISR που κάνουν κατάτμηση της λέξης σε διαφορετικά επίπεδα. Για παράδειγμα, αν μια τεχνική BISR χωρίζει τη λέξη της MUR σε p_1 κομμάτια και μια άλλη σε p_2 κομμάτια με $p_1 < p_2$, τότε αν το pN αντικατασταθεί από p_2N στην (6.11) και ο εκθέτης p αντικατασταθεί από p_2/p_1 στην (6.12), μπορεί να υπολογιστεί η πιθανότητα του να επιδιορθωθεί η MUR και στις δύο περιπτώσεις, αν έχει f_s ελαττωματικά κομμάτια των M/p_2 bits.

Η πιθανότητα μια $1M \times 64$ MUR (χωρίς απώλεια της γενικότητας) να μπορεί να επιδιορθωθεί πλήρως από τεχνικές BISR με διαφορετικό βαθμό κατάτμησης της λέξης όταν υπάρχουν f_s ελαττωματικά bits απεικονίζεται στο Σχ. 6.2. Στο σχήμα αυτό φαίνονται οι γραφικές παραστάσεις της πιθανότητας διόρθωσης για όλες τις πιθανές κατατμήσεις μιας 64-bit λέξης (κομμάτια των 1, 2, 4, ..., 32 bits), καθώς και για την περίπτωση όπου δεν υπάρχει κατάτμηση. Όλες οι παραπάνω τεχνικές χρησιμοποιούν μια κύρια cache-bank με 64 γραμμές ($n=64$). Όπως απεικονίζεται στο Σχ. 6.2 η πιθανότητα μια MUR να μπορεί να επιδιορθωθεί πλήρως από μια τεχνική BISR δεν εξαρτάται από το βαθμό κατάτμησης της λέξης και είναι σχεδόν ίση με την πιθανότητα επιδιόρθωσης όταν γίνεται χρήση της τεχνικής χωρίς κατάτμηση (τα γραφήματα επικαλύπτονται). Η μοναδική προϋπόθεση για να επιτύχουμε ποσοστό διόρθωσης $\sim 100\%$ είναι ο αριθμός των ελαττωματικών bits να μην υπερβαίνει τα 32, δηλαδή το $n/2$.

Στο Σχ. 6.3 φαίνεται ο λόγος της πιθανότητας επιδιόρθωσης για διάφορα επίπεδα κατάτμησης της λέξης προς την πιθανότητα επιδιόρθωσης όταν δεν έχει γίνει κατάτμηση, προκειμένου να γίνει αντιληπτή η πολύ μικρή διαφορά που υπάρχει μεταξύ των γραφημάτων που απεικονίζονται στο Σχ. 6.2. Όταν υπάρχουν μέχρι και 32 ελαττωματικά bits (δηλαδή ο αριθμός ελαττωματικών bits για τον οποίο η πιθανότητα διόρθωσης όταν δεν υπάρχει κατάτμηση είναι ίση με 1), ο λόγος των πιθανοτήτων είναι ίσος με 1 δηλαδή δεν παρατηρείται καμία διαφορά. Μια ελάχιστη μείωση του λόγου των πιθανοτήτων παρατηρείται για περισσότερα των 32 ελαττωματικά bits, δηλαδή για αριθμό σφαλμάτων για τον οποίο ούτε η τεχνική που δεν χρησιμοποιεί κατάτμηση της λέξης μπορεί να προσφέρει $\sim 100\%$ πιθανότητα διόρθωσης. Επομένως, η πιθανότητα διόρθωσης είναι ανεξάρτητη του βαθμού κατάτμησης και η μοναδική προϋπόθεση για να επιτευχθεί $\sim 100\%$ επιδιόρθωση είναι η κύρια cache-bank να έχει αριθμό εφεδρικών στοιχείων διπλάσιο από τον αριθμό των ελαττωματικών κομματιών [149].



■ non-segmented ▲ 32-bit ○ 16-bit □ 8-bit * 4-bit ▲ 2-bit ● 1-bit
 Σχήμα 6.2: Πιθανότητα επιδιόρθωσης της MUR από την προτεινόμενη τεχνική BISR για διάφορα επίπεδα κατάτμησης της λέξης.



■ non-segmented ▲ 32-bit ○ 16-bit □ 8-bit * 4-bit ▲ 2-bit ● 1-bit
 Σχήμα 6.3: Λόγος της πιθανότητας επιδιόρθωσης για διάφορα επίπεδα κατάτμησης της λέξης προς την πιθανότητα επιδιόρθωσης χωρίς κατάτμηση.

6.4 Επιβάρυνση σε Επιφάνεια και Διερεύνηση για τη Βέλτιστη Κατάτμηση της Λέξης

Στην ενότητα 6.2 παρουσιάστηκε μια τεχνική BISR που προσφέρει επιδιόρθωση της λέξης σε παραμετρικό επίπεδο κατάτμησης (Σχ. 6.1). Χρησιμοποιώντας την προτεινόμενη τεχνική, κάθε λέξη της MUR μπορεί να χωριστεί εικονικά σε p κομμάτια και να επιδιορθωθεί σε αυτό το επίπεδο. Στην ενότητα 6.3 έγινε μια ανάλυση πιθανοτήτων και αποδείχθηκε ότι για μια μνήμη MUR συγκεκριμένου μεγέθους, ο αριθμός των γραμμών της κύριας cache-bank (και συνεπώς όλων των δευτερευόντων) που απαιτούνται προκειμένου να επιτύχουμε $\sim 100\%$ δυνατότητα επιδιόρθωσης, είναι ανεξάρτητος του βαθμού κατάτμησης. Επομένως, στην ενότητα αυτή διεξάγουμε μια διερεύνηση για να βρεθεί ο βέλτιστος βαθμός κατάτμησης.

Εφόσον η πιθανότητα επιδιόρθωσης παραμένει η ίδια, ένα από τα βασικά κριτήρια είναι το μέγεθος που καταλαμβάνει το κύκλωμα του BISR. Η κατάτμηση της λέξης σε επίπεδο bit μοιάζει να αποτελεί μια προφανή λύση, όμως το πρόσθετο κύκλωμα για την αναδρομολόγηση αυξάνεται πολύ σε μέγεθος. Επομένως, στην ενότητα αυτή κάνουμε μια λεπτομερή ανάλυση της επιφάνειας που καταλαμβάνει η προτεινόμενη τεχνική BISR σε αριθμό τρανζίστορ (transistor count) για όλα τα επίπεδα κατάτμησης, υποθέτοντας μια $N \times M$ MUR και b cache-banks με n γραμμές στην κύρια. Κάθε M -bit λέξη είναι

χωρισμένη σε p κομμάτια των $d=M/p$ bits. Στον Πίνακα 6.1 παρουσιάζεται ο αριθμός των τρανζίστορ για κάποιες βασικές μονάδες/πύλες ανάλογα με τον αριθμό των εισόδων τους. Σαν κύτταρο μνήμης στις εφεδρικές cache-banks θεωρούμε ότι χρησιμοποιείται το συμβατικό κύτταρο 6T.

Πίνακας 6.1: Αριθμός τρανζίστορ βασικών μονάδων/πυλών [151].

Μονάδα/Πύλη	Αριθμός εισόδων	Αριθμός τρανζίστορ
XNOR	2	8
AND	tag	$2 \times \text{tag} + 2$
NAND	2	4
NOT	1	2
NOR	banks	$2 \times \text{banks}$
Πολυπλέκτης (MUX)	2	6
Πύλη μετάδοσης (TG)	1	2
Αποκωδ/τής χωρίς επίτρεψη (Dec)	n	$n \times 2^n + 2(n + 2^n) - 2$
Αποκωδ/τής με επίτρεψη (DecEn)	n	$n \times 2^n + 2(n + 2^n) - 2 + 1 + 2^n$

6.4.1 Αριθμός Τρανζίστορ

Cache-banks και Αποκωδικοποιητές

Η πρώτη cache-bank έχει n εφεδρικές γραμμές και κάθε μια από τις επόμενες έχει τις μισές γραμμές από την προηγούμενή της, μέχρι την τελευταία που έχει μόνο μία γραμμή. Επομένως υπάρχουν συνολικά $2n-1$ γραμμές κάθε μία εκ των οποίων έχει ένα valid bit, ένα πεδίο part με μέγεθος $e = \log_2 p$ bits, ένα πεδίο tag και ένα πεδίο δεδομένων μεγέθους $d=M/p$ bits. Το πεδίο tag της κύριας cache-bank έχει μέγεθος $t = \log_2 N - \log_2 n$ bits και αυξάνεται κατά ένα bit σε κάθε επόμενη cache-bank. Ο συνολικός αριθμός των τρανζίστορ που απαιτούνται για τις cache-banks δίνεται στην (6.13).

$$T_{Caches} = \sum_{i=0}^{b-1} (1 + e + (t + i) + d) \cdot \frac{n}{2^i} \cdot 6 \quad (6.13)$$

Για κάθε cache-bank με k γραμμές υπάρχει ένας $\log_2 k$ -σε- k αποκωδικοποιητής. Ο τύπος αποκωδικοποιητή που χρησιμοποιείται είναι ο Lyon-Schediwy [151]. Ο αριθμός των τρανζίστορ για όλους τους αποκωδικοποιητές είναι:

$$T_{Decoders} = \sum_{i=0}^{b-1} Dec[\log_2(\frac{n}{2^i})] \quad (6.14)$$

Κύκλωμα Τοπικών Σημάτων Εύρεσης

Κάθε cache-bank απαιτεί έναν συγκριτή για να συγκρίνει το πεδίο tag που είναι αποθηκευμένο στην εφεδρική της γραμμή που ενεργοποιείται λόγω του index, με το tag της διεύθυνσης της λέξης στην οποία γίνεται πρόσβαση. Επίσης απαιτείται μια πύλη NAND η οποία οδηγείται από την έξοδο του συγκριτή και το valid bit προκειμένου να παράξει το σήμα ενεργοποίησης En_i και ένας αποκωδικοποιητής Lyon-Schediwy με

σήμα επίτρεψης [151], ο οποίος έχει είσοδο το πεδίο part και παράγει τα τοπικά σήματα εύρεσης $L_{i,j}$. Ένας $\log_2 k$ -σε- k αποκωδικοποιητής Lyon-Schediwy με επίτρεψη, απαιτεί $k+1$ πρόσθετα τρανζίστορ σε σχέση με αυτόν χωρίς επίτρεψη. Για k -bit tags, ο συγκριτής αποτελείται από k πύλες XNOR δύο εισόδων και μια πύλη AND k εισόδων. Ο αριθμός των τρανζίστορ για το τοπικό κύκλωμα εύρεσης δίνεται στην (6.15).

$$T_{Lhit} = \sum_{i=0}^{b-1} [NAND_2 + (t+i) \cdot XNOR_2 + AND_{(t+i)} + DecEn(e)] \quad (6.15)$$

Κύκλωμα Καθολικών Σημάτων Εύρεσης

Για την παραγωγή του σήματος $\overline{hit_j}$ απαιτείται μια πύλη NOR b εισόδων η οποία δέχεται σαν εισόδους τα τοπικά σήματα $L_{i,j}$. Δεδομένου ότι υπάρχουν p καθολικά σήματα εύρεσης (global hit), ο αριθμός των τρανζίστορ που απαιτούνται δίνεται στην (6.16).

$$T_{Ghit} = p \cdot NOR_b \quad (6.16)$$

Κύκλωμα Πυλών Μετάδοσης

Υπάρχουν p κυκλώματα πυλών μετάδοσης TG_i και κάθε ένα από αυτά αποτελείται από d πύλες μετάδοσης για την κάθε cache-bank. Επίσης για κάθε κύκλωμα TG_i υπάρχουν b πύλες NOT οι οποίες παράγουν τα σήματα $\overline{L_{i,j}}$. Επομένως, ο αριθμός των τρανζίστορ για τα κυκλώματα πυλών μετάδοσης δίνεται από την (6.17).

$$T_{TGC} = p \cdot TG_i = p \cdot (d \cdot b \cdot TG + b \cdot NOT) \quad (6.17)$$

Τελικό Στάδιο Πολυπλεκτών

Για κάθε bit της λέξης στην οποία γίνεται η πρόσβαση απαιτείται ένας 2-σε-1 πολυπλέκτης που επιλέγει αν το συγκεκριμένο bit θα οδηγηθεί στο διάδρομο δεδομένων από τη MUR ή από τις εφεδρικές cache-banks. Επομένως, υπάρχουν συνολικά M 2-σε-1 πολυπλέκτες και ο αντίστοιχος αριθμός των τρανζίστορ είναι:

$$T_{FMC} = p \cdot d \cdot MUX_{2:1} \quad (6.18)$$

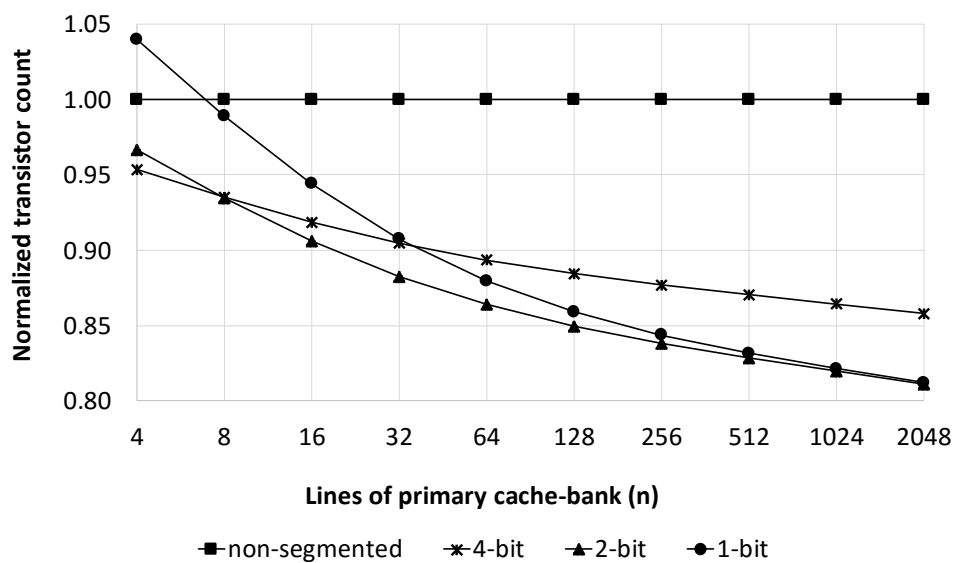
6.4.2 Αποτελέσματα και Σύγκριση

Οι παράμετροι που επηρεάζουν την επιφάνεια του κυκλώματος BISR είναι οι διαστάσεις της MUR (δηλαδή οι τιμές των N και M) καθώς και ο αριθμός των γραμμών της κύριας cache-bank (n). Αρχικά κάναμε μία εξαντλητική αναζήτηση πάνω στην επιρροή του αριθμού των γραμμών της MUR (N) στην επιφάνεια του κυκλώματος διόρθωσης και τα αποτελέσματα έδειξαν ότι η επιρροή είναι ελάχιστη. Αυτό είναι κάτι που αναμέναμε καθώς το μόνο που αλλάζει είναι το μέγεθος του πεδίου tag. Επομένως, στη διερεύνηση που ακολουθεί ο αριθμός των γραμμών της MUR έχει οριστεί χωρίς απώλεια της γενικότητας σε 2^{20} .

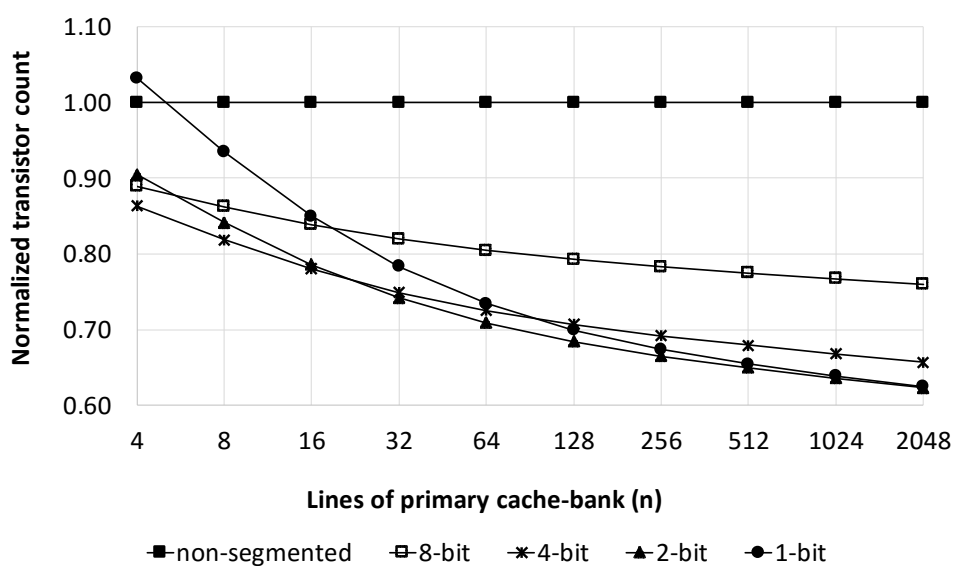
Τα πιο συνηθισμένα μήκη λέξης (M) είναι 8, 16, 32 και 64 bits. Για κάθε μια από αυτές τις τιμές και για εύρος γραμμών της κύριας cache-bank (n) από 4 μέχρι 2048 γίνεται ο υπολογισμός του αριθμού των τρανζίστορ που απαιτούνται για τις τεχνικές

BISR με διαφορετικά επίπεδα κατάτμησης της λέξης. Πρέπει να αναφέρουμε ότι για $p=1$ η προτεινόμενη παραμετρική τεχνική εκφυλίζεται στην τεχνική χωρίς κατάτμηση [149]. Οι γραφικές παραστάσεις του αριθμού των τρανζίστορ της προτεινόμενης τεχνικής BISR για λέξεις μήκους 8, 16, 32 και 64 παρουσιάζονται στα Σχ. 6.4, 6.5, 6.6 και 6.7 αντίστοιχα. Σε κάθε γράφημα, εκτός από όλες τις πιθανές κατατμήσεις απεικονίζεται και ο αριθμός τρανζίστορ της τεχνικής χωρίς κατάτμηση ως προς τα αποτελέσματα της οποίας έχουν κανονικοποιηθεί όλες οι μετρήσεις.

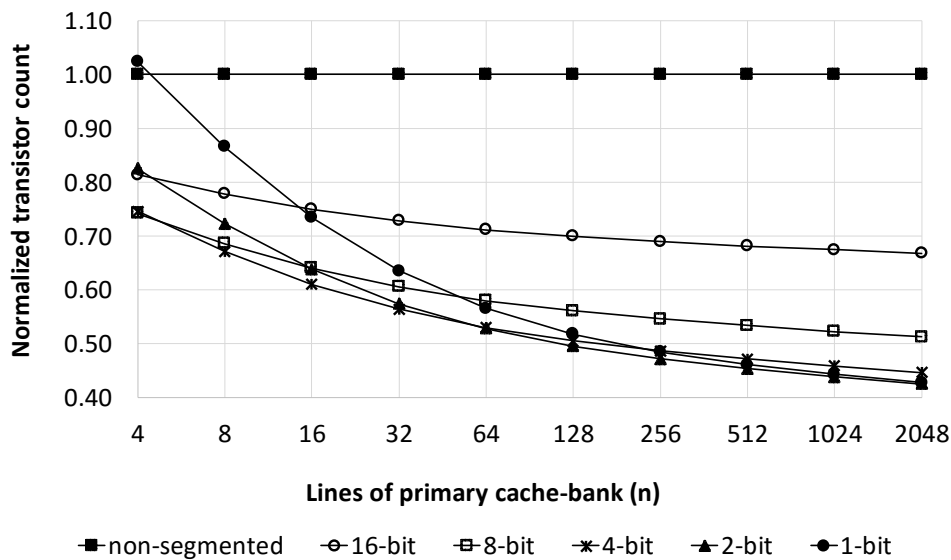
Σύμφωνα με το Σχ. 6.4, για 8 bits μήκος λέξης, η επιβάρυνση σε επιφάνεια ελαχιστοποιείται όταν η λέξη χωρίζεται σε κομμάτια των 2 bits, εκτός από την περίπτωση που το n είναι ίσο με 4. Όπως φαίνεται στο Σχ. 6.5, για 16-bit λέξη η ελάχιστη επιφάνεια για n μέχρι και 16 επιτυγχάνεται όταν ο χωρισμός γίνεται σε κομμάτια των 4 bits και για n από 32 μέχρι 2048 όταν ο χωρισμός γίνεται σε κομμάτια των 2 bits. Για 32-bit λέξη (Σχ. 6.6), η κατάτμηση σε 4-bit κομμάτια έχει τη μικρότερη επιφάνεια



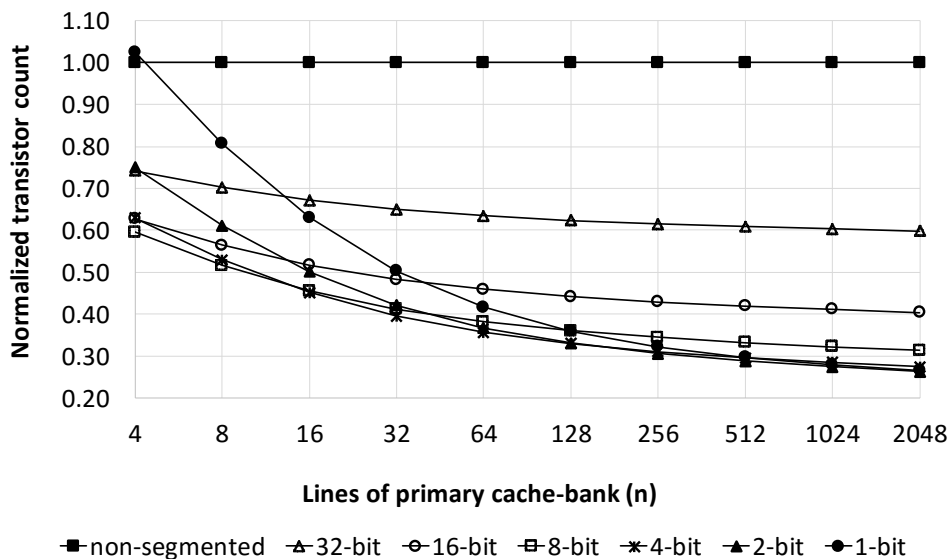
Σχήμα 6.4: Αριθμός τρανζίστορ της προτεινόμενης παραμετρικής τεχνικής BISR για όλες τις δυνατές κατατμήσεις και μήκος λέξης 8 bits.



Σχήμα 6.5: Αριθμός τρανζίστορ της προτεινόμενης παραμετρικής τεχνικής BISR για όλες τις δυνατές κατατμήσεις και μήκος λέξης 16 bits.



Σχήμα 6.6: Αριθμός τρανζίστορ της προτεινόμενης παραμετρικής τεχνικής BISR για όλες τις δυνατές κατατμήσεις και μήκος λέξης 32 bits.



Σχήμα 6.7: Αριθμός τρανζίστορ της προτεινόμενης παραμετρικής τεχνικής BISR για όλες τις δυνατές κατατμήσεις και μήκος λέξης 64 bits.

για n μέχρι και 32 ενώ για τις υπόλοιπες τιμές η βέλτιστη κατάτμηση είναι αυτή των 2 bits. Όταν το μήκος της λέξης είναι ίσο με 64 bits (Σχ. 6.7), η βέλτιστη κατάτμηση είναι αυτή των 8 bits για n από 4 μέχρι 8, αυτή των 4 bits για n από 16 μέχρι 64 και αυτή των 2 bits για n από 128 μέχρι 2048.

Παρατηρώντας τα αποτελέσματα συνολικά, βλέπουμε ότι η τεχνική χωρίς κατάτμηση έχει πάντα τη μεγαλύτερη επιφάνεια και πρέπει να αποφεύγεται. Η κατάτμηση ανά bit, παρόλο που μπορεί να μοιάζει ως η προφανής λύση, δεν είναι η βέλτιστη σε καμία από τις περιπτώσεις που εξετάστηκαν. Ξεκινά πάντα με μια μεγάλη επιβάρυνση σε επιφάνεια για μικρό n και όσο το n μεγαλώνει πλησιάζει τη βέλτιστη λύση. Η χωρισμός σε κομμάτια των 2 bits μοιάζει να είναι η καλύτερη δυνατή επιλογή όταν η MUR έχει μεγάλο αριθμό σφαλμάτων και όσο αυτός ο αριθμός μικραίνει και το μήκος της λέξης αυξάνει, πρέπει να προτιμάται η κατάτμηση σε μεγαλύτερα κομμάτια (π.χ. 4 ή 8 bits).

6.5 Επίλογος

Στο κεφάλαιο αυτό παρουσιάστηκε μια παραμετρική τεχνική BISR η οποία μπορεί να επιδιορθώσει τη MUR για όλες τις δυνατές κατατμήσεις της λέξης. Σύμφωνα με μια μαθηματική ανάλυση που παρουσιάστηκε, η πιθανότητα να μπορεί να επιδιορθωθεί η MUR σε ποσοστό $\sim 100\%$ δεν εξαρτάται από το βαθμό κατάτμησης της λέξης. Επομένως, έγινε μια διερεύνηση για να βρεθεί το βέλτιστο επίπεδο κατάτμησης όταν η λέξη έχει μέγεθος 8, 16, 32 και 64 bits. Ως κριτήριο επιλέχθηκε η ελαχιστοποίηση της επιφάνειας (σε αριθμό τρανζίστορ) του προτεινόμενου κυκλώματος, καθώς αποτελεί μια από τις σημαντικότερες επιβαρύνσεις. Σύμφωνα με τα πειραματικά αποτελέσματα, η τεχνική BISR χωρίς κατάτμηση καταλαμβάνει τη μεγαλύτερη επιφάνεια, ενώ για MUR με υψηλό αριθμό σφαλμάτων, ο χωρισμός σε κομμάτια των 2 bits έχει τη μικρότερη επιβάρυνση.

Κεφάλαιο 7

Σύνοψη και Συμπεράσματα

Στόχος της διατριβής αυτής ήταν να προταθούν λύσεις για σφάλματα που προκαλούνται σε στοιχεία μνήμης στις σύγχρονες νανοτεχνολογίες καθώς τα στοιχεία αυτά καταλαμβάνουν το μεγαλύτερο μέρος σε ένα σύγχρονο SoC και είναι ιδιαίτερα επιρρεπή σε σφάλματα, λόγω του βρόχου θετικής ανάδρασης που διαθέτουν. Οι κατηγορίες σφαλμάτων στις οποίες επικεντρωθήκαμε ήταν τα μεταβατικά σφάλματα λόγω ακτινοβολίας και τα μόνιμα σφάλματα. Μεγαλύτερη έμφαση δόθηκε στην αντιμετώπιση των μεταβατικών σφαλμάτων καθώς αποτελεί μια κατηγορία σφαλμάτων που εμφανίστηκε τα τελευταία χρόνια λόγω της συνεχούς αύξησης της κλίμακας ολοκλήρωσης. Η αύξηση αυτή, σε συνδυασμό με τις μικρότερες τάσεις τροφοδοσίας οδήγησε σε μεγάλη μείωση της χωρητικότητας των κόμβων των κυττάρων μνήμης, καθιστώντας τα επιρρεπή σε διαταραχές από ακτινοβολία. Όπως μπορεί να διαπιστώσει κανείς διαβάζοντας τη διατριβή αυτή, το πρόβλημα των μεταβατικών σφαλμάτων, αν και είναι σχετικά πρόσφατο, έχει ερευνηθεί αρκετά. Στη διεθνή βιβλιογραφία μπορούμε να συναντήσουμε πληθώρα λύσεων σε διαφορετικά επίπεδα. Το γεγονός όμως ότι η τεχνολογία μεταβαίνει σε όλο και μεγαλύτερες κλίμακες ολοκλήρωσης, καθιστά τις περισσότερες από τις λύσεις αυτές ανεπαρκείς στο να προσδώσουν την απαιτούμενη αξιοπιστία, ενώ όσες λύσεις είναι σε θέση να προσφέρουν υψηλά επίπεδα αξιοπιστίας, έχουν πολύ μεγάλες επιβαρύνσεις σε επιφάνεια, ισχύ και καθυστέρηση.

Οι λύσεις που προτάθηκαν, είχαν ως στόχο να προσφέρουν υψηλά επίπεδα ανθεκτικότητας με τις μικρότερες δυνατές επιβαρύνσεις λαμβάνοντας υπόψη τις απαιτήσεις και τις ιδιαιτερότητες των σύγχρονων νανοτεχνολογιών, όπως για παράδειγμα το φαινόμενο του διαμοιρασμού φορτίου. Ένα ακόμα πολύ σημαντικό χαρακτηριστικό των προτεινόμενων λύσεων είναι η ανεξαρτησία τους από την τεχνολογία κατασκευής σε αντίθεση με πολλές από τις υπάρχουσες λύσεις στη διεθνή βιβλιογραφία, που τους δίνει τη δυνατότητα να λειτουργήσουν με την ίδια αποτελεσματικότητα και σε μεγαλύτερες κλίμακες ολοκλήρωσης.

Στο κεφάλαιο 2 παρουσιάσαμε αρχικά το κύτταρο DICE, ένα κύτταρο SRAM που είναι ανθεκτικό σε διαταραχές ενός κόμβου λόγω ακτινοβολίας (SNU) και αποτελεί ένα από τα πιο γνωστά ανθεκτικά κύτταρα της διεθνούς βιβλιογραφίας. Με σκοπό όπως αναφέραμε και πριν, να βελτιώσουμε το trade-off μεταξύ αξιοπιστίας και επιβαρύνσεων, προτείναμε μια μετατροπή του κυττάρου DICE με χρήση της σύγχρονης τεχνολογίας IDG SOI FinFET που επιτρέπει ανεξάρτητο έλεγχο του καναλιού ενός τρανζίστορ από δύο πύλες, ώστε να μειώσουμε την επιβάρυνσή του σε επιφάνεια. Το προτεινόμενο κύτταρο ονομάζεται FFDICE και κάνοντας χρήση της τεχνολογίας IDG SOI FinFET καταλαμβάνει ~16% μικρότερη επιφάνεια σε σχέση με το κύτταρο DICE χωρίς να

επηρεάζεται η ανθεκτικότητά του σε SNU. Η καινοτομία του βασίζεται στη συγχώνευση των pull-down τρανζίστορ με τα τρανζίστορ πρόσβασης, αντικαθιστώντας ταυτόχρονα το σύνηθες κύκλωμα προφόρτισης των bitlines με ένα κύκλωμα αποφόρτισης. Εκτός από τη μείωση της επιφάνειας, το προτεινόμενο κύτταρο προσφέρει και μεγαλύτερη σταθερότητα, με το SNM να βελτιώνεται μέχρι και $\sim 18\%$ σε σύγκριση με το κύτταρο DICE.

Στο κεφάλαιο 3 επικεντρωθήκαμε στα κυκλώματα μανδαλωτών, που γίνονται όλο και πιο επιρρεπή σε μεταβατικά σφάλματα με τη σμίκρυνση των τεχνολογιών. Από την έρευνά μας στη διεθνή βιβλιογραφία διαπιστώσαμε ότι η διαταραχή ενός μόνο κόμβου λόγω ακτινοβολίας έχει πλέον μικρή πιθανότητα να συμβεί και οι περισσότερες διαταραχές επηρεάζουν τουλάχιστον δύο κόμβους του κυκλώματος (DNU). Το γεγονός ότι οι μανδαλωτές είναι διασκορπισμένοι εντός των λογικών κυκλωμάτων και όχι συγκεντρωμένοι σε πυκνούς πίνακες όπως τα κύτταρα SRAM επιτρέπει λύσεις μόνο σε επίπεδο κυκλώματος. Όμως, το σύνολο των λύσεων της διεθνούς βιβλιογραφίας που αφορούν σε μανδαλωτές ανθεκτικούς σε DNU, εισάγει πολύ μεγάλες επιβαρύνσεις σε δυναμική ενέργεια και καθυστέρηση διάδοσης. Έτσι προτείνουμε τρεις καινοτόμους μανδαλωτές που μειώνουν αισθητά τις επιβαρύνσεις αυτές. Οι δύο από αυτούς (DONUT και Delta DICE) βασίζονται στη χρήση του κυττάρου μνήμης DICE το οποίο και χρησιμοποιούν ως δομικό στοιχείο. Ο τρίτος προτεινόμενος μανδαλωτής (DIRT) βασίζει την ανθεκτικότητά του σε χρήση πλεοναζόντων κόμβων και σε έναν αναστροφέα διπλής εισόδου που είναι εγγενώς ανθεκτικός σε διαταραχές. Η μείωση των επιβαρύνσεων την οποία προσπαθήσαμε να επιτύχουμε, επιβεβαιώθηκε μέσω προσομοιώσεων σε μια τεχνολογία 65nm σε ονομαστικές συνθήκες και κάτω από διακυμάνσεις PVT. Τα αποτελέσματα έδειξαν ότι σε σχέση με γνωστούς ανθεκτικούς μανδαλωτές που παρουσιάστηκαν, οι προτεινόμενοι έχουν μειωμένη επιβάρυνση τόσο σε καθυστέρηση διάδοσης όσο και σε δυναμική ενέργεια, με το μανδαλωτή DIRT να έχει το χαμηλότερο κόστος. Σε σχέση με υπάρχοντες μανδαλωτές ανθεκτικούς σε DNU, ο μανδαλωτής DIRT προσφέρει τουλάχιστον $\sim 30\%$ βελτίωση στη μετρική δυναμική ενέργεια \times καθυστέρηση διάδοσης.

Στο κεφάλαιο 4, στόχος μας ήταν η αντιμετώπιση των διαταραχών πολλαπλών κόμβων σε κύτταρα SRAM. Καθώς οι πίνακες SRAM σχεδιάζονται με πολύ μεγάλη πυκνότητα, η οποία αυξάνεται με τη αύξηση της κλίμακας ολοκλήρωσης των σύγχρονων νανοτεχνολογιών, το φαινόμενο διαταραχών πολλαπλών (ακόμα και δεκάδων) κόμβων λόγω μίας και μόνο πρόσκρουσης ακτινοβολίας συγκεντρώνει πολύ μεγάλη πιθανότητα. Σε αντίθεση με τους μανδαλωτές, στους πίνακες SRAM μπορούν να εφαρμοστούν λύσεις σε αρχιτεκτονικό επίπεδο, όπως κώδικες διόρθωσης σφαλμάτων (ECC) οι οποίοι έχουν μικρότερες επιβαρύνσεις και είναι σε θέση να αντιμετωπίσουν μόνιμα σφάλματα εκτός από μεταβατικά. Όμως, μετά από εκτενή έρευνα που έγινε, παρατηρήσαμε ότι οι κώδικες διόρθωσης που είναι σε θέση να αντιμετωπίσουν μεγάλο αριθμό σφαλμάτων εντός της αποθηκευμένης λέξης, έχουν πολύ μεγάλες επιβαρύνσεις. Η μεγαλύτερη από αυτές αφορά στην καθυστέρηση του κυκλώματος, με τους κώδικες διόρθωσης να εισάγουν πολλούς πρόσθετους κύκλους για ανίχνευση και διόρθωση των μεταβατικών σφαλμάτων. Έτσι προτείνουμε την αρχιτεκτονική μνήμης RTSR που βασίζεται στη λογική του τριπλού πλεονασμού (TMR) αλλά εφαρμόζεται μόνο στον πίνακα μνήμης χωρίς να απαιτεί κύκλωμα πλειοψηφίας. Βασικό χαρακτηριστικό της προτεινόμενης λύσης είναι η αυτο-διόρθωση των μεταβατικών σφαλμάτων κατά τη διάρκεια του κύκλου ανάγνωσης, χωρίς να απαιτούνται πρόσθετοι κύκλοι για την ανίχνευση/διόρθωση. Η διόρθωση αυτή μπορεί να επιταχυνθεί με χρήση ενός κυκλώματος ανίχνευσης σφαλμάτων που ενσωματώνεται στη βελτιωμένη αρχιτεκτονική RTSR+. Ταυτόχρονα, σε

περίπτωση απουσίας σφάλματος η επιβάρυνση σε καθυστέρηση είναι μηδενική. Η προτεινόμενη τεχνική, εκτός από βελτίωση της καθυστέρησης, προσφέρει διόρθωση για αριθμό bits ίσο με το μήκος της λέξης (όπως και η τεχνική TMR), σε αντίθεση με την περιορισμένη προστασία των κωδίκων διόρθωσης. Επίσης προσφέρει τη δυνατότητα αναδιαμόρφωσης, έτσι ώστε σε περιβάλλοντα όπου είναι λιγότερο εχθρικά σε ακτινοβολία, τα πλεονάζοντα κύτταρα να μπορούν να χρησιμοποιηθούν για να αυξηθεί η χωρητικότητα της μνήμης. Όπως και οι τεχνικές ECC και TMR, έτσι και η προτεινόμενη τεχνική προσφέρει ανάγνωση της σωστής τιμής ακόμα και σε περίπτωση μόνιμου σφάλματος. Επιπλέον, οι προτεινόμενες λύσεις είναι πιο αποδοτικές από άποψη ισχύος σε σχέση με τη συμβατική τεχνική TMR όταν λειτουργούν στην ίδια συχνότητα και ανάλογα με τις διαστάσεις του πίνακα μνήμης μπορούν να εξοικονομήσουν επιφάνεια.

Στο κεφάλαιο 5, η έρευνά μας επικεντρώθηκε στις μνήμες CAM και TCAM που ενώ χρησιμοποιούν κύτταρα SRAM στους πίνακές τους, δεν μπορούν να χρησιμοποιήσουν τις ίδιες τεχνικές προστασίας λόγω του σχεδιασμού και της λειτουργίας τους ως μνήμες αναζήτησης. Λόγω της προδιαγραφής τους για γρήγορη αναζήτηση, η διαδικασία εκτελείται παράλληλα προς όλες τις λέξεις της μνήμης, με μεγάλο ενεργειακό κόστος ανά πρόσβαση. Συνεπώς, κυκλωματικές λύσεις όπως το κύτταρο DICE που είναι επαρκείς για προστασία από SNU, αυξάνουν ακόμα περισσότερο το ήδη επιβαρυνόμενο ενεργειακό κόστος λειτουργίας των μνημών αυτών. Παρατηρώντας ότι στη διεθνή βιβλιογραφία υπάρχει μια έλλειψη κυκλωματικών τεχνικών αξιοπιστίας με μικρό ενεργειακό κόστος για μνήμες CAM και TCAM, προτείναμε ένα κύτταρο μνήμης που μειώνει αισθητά την επιβάρυνση σε ρεύμα διαρροής και επιφάνεια, διατηρώντας ταυτόχρονα υψηλά επίπεδα αξιοπιστίας. Το προτεινόμενο κύτταρο είναι 100% ανθεκτικό σε SNU όταν χρησιμοποιείται σαν κύτταρο CAM και 75% ανθεκτικό όταν χρησιμοποιείται σαν κύτταρο TCAM. Η προστασία αυτή επιτυγχάνεται συνδυάζοντας την τεχνική των τρανζίστορ φρουρών και των τρανζίστορ περάσματος που διακόπτουν τη διάδοση διαταραχών εντός του βρόχου ανάδρασης.

Έχοντας παρουσιάσει λύσεις για ανθεκτικότητα σε μεταβατικά σφάλματα σε διάφορα στοιχεία μνήμης, στο κεφάλαιο 6 εστιάσαμε στην αντιμετώπιση των μόνιμων σφαλμάτων σε μνήμες SRAM, βελτιώνοντας μια υπάρχουσα τεχνική BISR. Όπως προέκυψε από τη βιβλιογραφική μας έρευνα, οι τεχνικές BISR είναι οι πιο αποδοτικές για αντιμετώπιση μόνιμων σφαλμάτων, καθώς η διόρθωση γίνεται on-chip μειώνοντας το κόστος. Η διαφορά μεταξύ των τεχνικών BISR που συναντήσαμε στη διεθνή βιβλιογραφία έγκειται στην αποδοτική χρησιμοποίηση των εφεδρικών πόρων που καταναλώνουν, σε συνδυασμό με την προστασία που προσφέρουν. Στο πλαίσιο αυτό, προτείναμε μια παραμετρική τεχνική BISR, η οποία μπορεί να επιδιορθώσει τη μνήμη για όλες τις δυνατές κατατμήσεις της λέξης (από επίπεδο λέξης μέχρι επίπεδο bit). Μέσω μιας μαθηματικής ανάλυσης, δείξαμε ότι η δυνατότητα επιδιορθωσης της μνήμης σε ποσοστό ~100% δεν εξαρτάται από το βαθμό κατάτμησης της λέξης. Επομένως, με στόχο την ελαχιστοποίηση της επιφάνειας του κυκλώματος διόρθωσης και την καλύτερη δυνατή αξιοποίηση των εφεδρικών πόρων, έγινε μια διερεύνηση για να βρεθεί ο βέλτιστος βαθμός κατάτμησης για διάφορα μήκη της λέξης. Σύμφωνα με τα αποτελέσματα, η τεχνική BISR χωρίς κατάτμηση καταλαμβάνει τη μεγαλύτερη επιφάνεια, ενώ για μνήμες με υψηλό αριθμό σφαλμάτων πρέπει να προτιμάται η διόρθωση της λέξης σε κομμάτια των 2 bits.

Παρατηρώντας τις προτεινόμενες λύσεις, βλέπουμε ότι παρουσιάζουν διαφορετικά χαρακτηριστικά ως προς το επίπεδο αξιοπιστίας που προσφέρουν. Συνεπώς, παραθέτουμε τον Πίνακα 7.1, που δίνει μια συνολική εικόνα των δυνατοτήτων προστασίας των προτεινόμενων τεχνικών απέναντι σε μεταβατικά και μόνιμα σφάλματα.

Πίνακας 7.1: Αξιολόγηση των προτεινόμενων λύσεων ως προς την προστασία που προσφέρουν.

Τεχνική προστασίας	Μεταβατικά σφάλματα			Μόνιμα σφάλματα
	SNU	DNU	MNU	
FFDICE	✓	✗	✗	✗
DONUT	✓	✓	✗	✗
Delta DICE	✓	✓	✗	✗
DIRT	✓	✓	✗	✗
RTSR/RTSR+	✓	✓	✓	✓
CAM/TCAM	✓	✗	✗	✗
BISR	✗	✗	✗	✓

Παράρτημα Α΄

Μνήμη SRAM 4kbit Βασισμένη στην Τεχνική RTSR

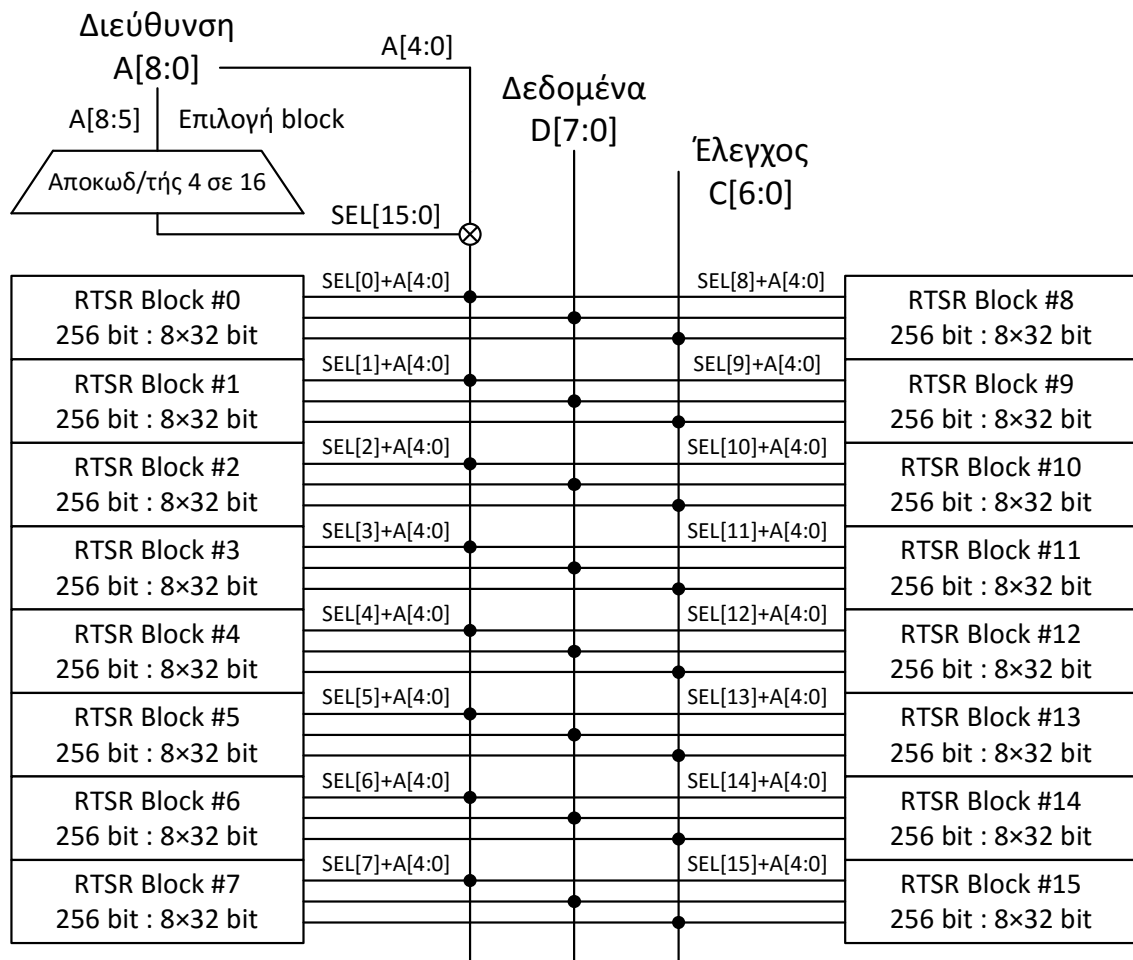
Α΄.1 Σχεδίαση Μνήμης RTSR

Η μνήμη RTSR που σχεδιάστηκε αποτελείται από 16 blocks, χωρητικότητας 256 bit το καθένα, όπως απεικονίζεται στο Σχ. Α΄.1. Η συνολική χωρητικότητα είναι 4 kbit και κάθε λέξη έχει μήκος 8 bit. Για τη διευθυνσιοδότηση απαιτείται ένας διάυλος διευθύνσεων των 9 bit (A[8:0]). Τα 4 MSB (A[8:5]) χρησιμοποιούνται για την επιλογή ενός εκ των 16 block μνήμης μέσω ενός αποκωδικοποιητή Lyon-Schediwy 4 σε 16. Οι 16 έξοδοι του αποκωδικοποιητή (SEL[15:0]) οδηγούνται στα αντίστοιχα block μνήμης μαζί με τα υπόλοιπα bits του διαύλου διευθύνσεων (A[4:0]) που χρησιμοποιούνται εσωτερικά σε κάθε block. Για τα δεδομένα σχεδιάστηκε ένας διάδρομος των 8 bits, ενώ για τον έλεγχο ανάγνωσης/εγγραφής σχεδιάστηκε ένας διάυλος των 7 bits με τα εξής σήματα ελέγχου:

- OE (Output Enable): Λειτουργία ανάγνωσης όταν OE='1' και εγγραφής όταν OE='0'.
- SE (Sense Enable): Σήμα σκανδαλισμού των ενισχυτών αίσθησης κατά την ανάγνωση.
- AC (Access): Σήμα πρόσβασης (AC='1') ή αναμονής (AC='0').
- EN[2:0] (Enable): Σήματα πρόσβασης (EN='1') ή απομόνωσης (EN='0') των τριών κυττάρων μνήμης 6T εντός ενός κυττάρου μνήμης RTSR, από τον τοπικό αποκωδικοποιητή ενός block.
- PC (Precharge): Σήμα προφόρτισης των bitlines σε τάση V_{DD} .

Τα παραπάνω σήματα, σε συνδυασμό με το αντίστοιχο σήμα επιλογής block SEL από την έξοδο του αποκωδικοποιητή 4 σε 16, οδηγούνται εντός των blocks ώστε να παραχθούν τα τοπικά σήματα ελέγχου.

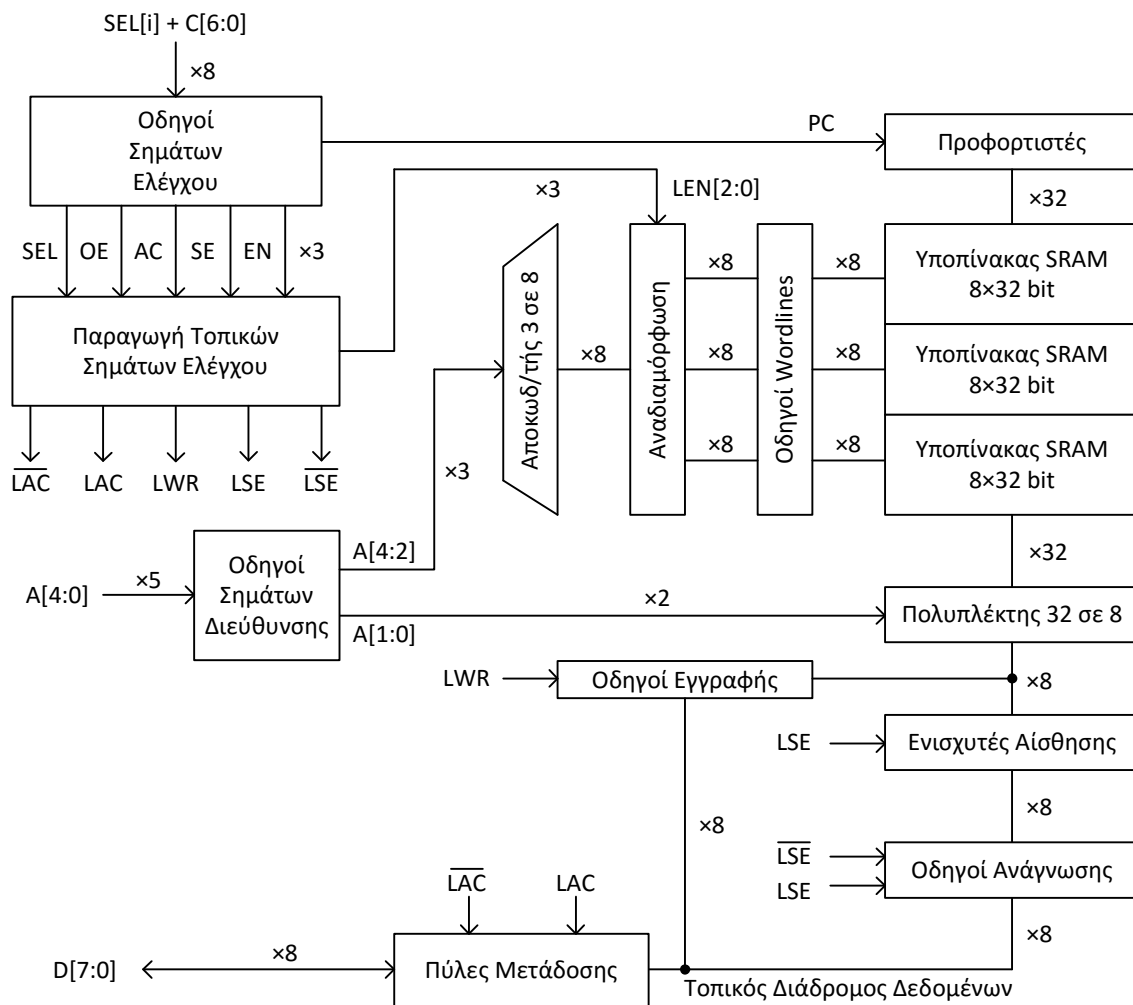
Η εσωτερική αρχιτεκτονική ενός block RTSR των 256 bit απεικονίζεται στο Σχ. Α΄.2, μαζί με τα επιμέρους περιφερειακά κυκλώματα και τα σήματα ελέγχου, ενώ στο Σχ. Α΄.3 φαίνεται το αντίστοιχο φυσικό σχέδιο. Ο πίνακας των κυττάρων RTSR είναι οργανωμένος σε τρεις υποπίνακες, με το καθένα από τα τρία επιμέρους 6T κύτταρα



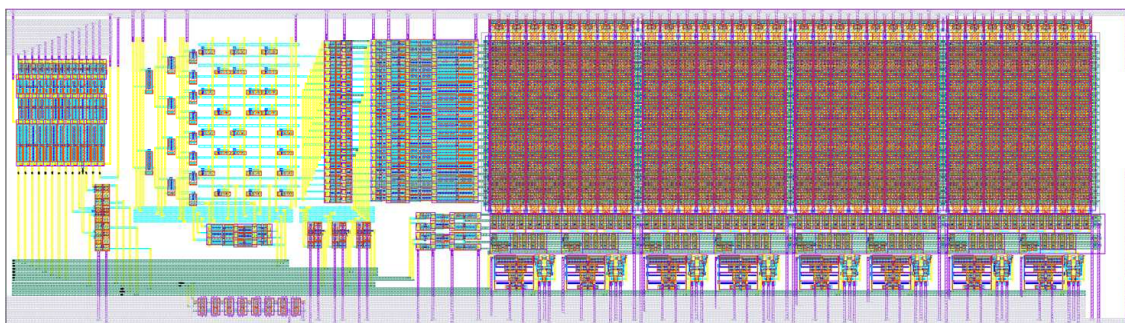
Σχήμα Α.1: Μνήμη SRAM 4kbit βασισμένη στην τεχνική RTSR σε υψηλό επίπεδο σχεδίασης.

μνήμης να βρίσκεται σε διαφορετικό υποπίνακα (κατακόρυφο interleaving), εξασφαλίζοντας μεγάλη απόσταση μεταξύ τους για προστασία από ακτινοβολία που επηρεάζει πολλαπλούς κόμβους στην περιοχή πρόσπτωσης. Σημειώνεται επίσης ότι εκτός από κατακόρυφο έχουμε και οριζόντιο interleaving, με τα bits των λέξεων να βρίσκονται σε modulo 4 θέσεις εντός μιας γραμμής (4 λέξεις των 8 bit σε γραμμή των 32 bit - 1^η λέξη στις θέσεις 4k, 2^η λέξη στις θέσεις 4k+1 κοκ.). Συνολικά ο πίνακας αποτελείται από 8x32 RTSR κύτταρα μνήμης (24x32 6T κύτταρα μνήμης) οργανωμένος σε λέξεις των 8 bits. Συνεπώς για τη διευθυνσιοδότησή του απαιτούνται 3 bits για την επιλογή γραμμής από το διάδρομο διευθύνσεων ($A[4:2]$) δίνοντας 4 λέξεις ανά γραμμή. Για την επιλογή της κατάλληλης λέξης από τη γραμμή χρησιμοποιούνται τα 2 LSB της διεύθυνσης ($A[1:0]$).

Ακολουθεί μια ανάλυση των περιφερειακών μονάδων της μνήμης SRAM. Περισσότερες λεπτομέρειες σχετικά με τα συμβατικά κυκλώματα του αποκωδικοποιητή γραμμής, του προφοριστή, του πολυπλέκτη στήλης και του ενισχυτή αίσθησης μπορούν να αναζητηθούν στο [152]. Τα εξειδικευμένα κυκλώματα που αναπτύχθηκαν αποκλειστικά για την προτεινόμενη αρχιτεκτονική RTSR περιγράφονται με λεπτομέρεια και σημειώνονται με * στον τίτλο.



Σχήμα Α'.2: Αρχιτεκτονική block μνήμης RTSR 256bit με απεικόνιση των περιφερειακών κυκλωμάτων και των σημάτων ελέγχου.



Σχήμα Α'.3: Φυσικό σχέδιο block μνήμης RTSR 256bit.

Μονάδα Οδήγησης Σημάτων Ελέγχου

Η μονάδα αυτή δέχεται σαν είσοδο τα σήματα ελέγχου $C[6:0]$ καθώς και το σήμα επιλογής του block (SEL) και τα ενισχύει. Η ενίσχυση αυτή εκτελείται από αλυσίδες αναστροφών. Η έξοδος προφόρτισης PC οδηγείται απευθείας στον προφορτιστή, ενώ οι υπόλοιπες (SEL, OE, AC, SE και EN[2:0]) οδηγούνται στο κύκλωμα παραγωγής των τοπικών σημάτων ελέγχου.

* Μονάδα Παραγωγής Τοπικών Σημάτων Ελέγχου

Η μονάδα αυτή παράγει τα τοπικά σήματα ελέγχου LAC (Local Access), LSE (Local Sense Enable), LWR (Local Write) και LEN (Local Enable) από τα εξωτερικά σήματα ελέγχου της μνήμης RTSR (SEL, OE, AC, SE και EN) με σκοπό την πρόσβαση (ανάγνωση/εγγραφή) ή την απομόνωση ενός block μνήμης. Τα τοπικά σήματα παράγονται ως εξής:

- $LAC = SEL \& AC$
- $LSE = OE \& SE \& LAC$
- $LWR = \overline{OE} \& LAC$
- $LEN[2:0] = LAC \& EN[2:0]$

Μονάδα Οδήγησης Σημάτων Διεύθυνσης

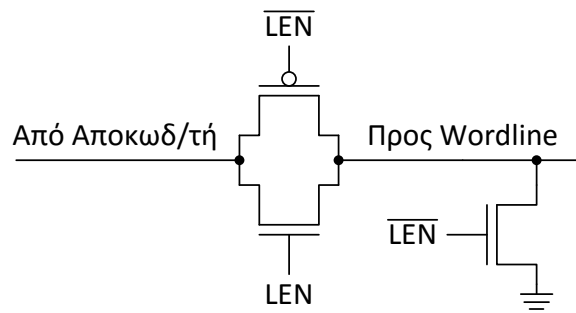
Η μονάδα αυτή δέχεται σαν είσοδο τα σήματα διεύθυνσης A[4:0] και τα ενισχύει χρησιμοποιώντας αλυσίδες αναστροφών. Στη συνέχεια τα σήματα A[4:2] οδηγούνται στον αποκωδικοποιητή γραμμής και τα σήματα A[1:0] στον πολυπλέκτη στήλης.

Αποκωδικοποιητής Γραμμής 3 σε 8

Σαν αποκωδικοποιητής γραμμής έχει επιλεγθεί ένας αποκωδικοποιητής Lyon-Schediwy που δέχεται 3 bits ως είσοδο από τη μονάδα οδήγησης σημάτων διεύθυνσης (A[4:2]) και επιλέγει μια από τις 8 RTSR γραμμές του πίνακα μνήμης του block. Οι έξοδοι του οδηγούνται στη μονάδα αναδιαμόρφωσης.

* Μονάδα Αναδιαμόρφωσης

Η μονάδα αναδιαμόρφωσης επιτρέπει ξεχωριστή πρόσβαση σε καθέναν από τους τρεις υποπίνακες κυττάρων μνήμης 6T του block, όπου περιέχονται αντίστοιχα τα τρία κύτταρα μνήμης 6T που απαρτίζουν ένα κύτταρο μνήμης RTSR. Στη συνήθη λειτουργία για προστασία από ακτινοβολία απαιτείται πρόσβαση και στα τρία κύτταρα μνήμης ταυτόχρονα. Ωστόσο, αν η αξιοπιστία προσωρινά ή μόνιμα δεν είναι απαραίτητη, το σύστημα μπορεί να χρησιμοποιήσει τα bits EN[2:0] σαν πρόσθετα bits διεύθυνσης και να ελέγχει τα τρία κύτταρα μνήμης 6T ανεξάρτητα, τριπλασιάζοντας με αυτόν τον τρόπο τη χωρητικότητα. Στη συγκεκριμένη περίπτωση, η μνήμη που σχεδιάστηκε μπορεί να αποκτήσει χωρητικότητα $3 \times 4\text{kbit} = 12\text{kbit}$. Η επιλογή των επιμέρους κυττάρων μνήμης γίνεται με τριπλή διακλάδωση των εξόδων του αποκωδικοποιητή 3 σε 8, με κάθε κλάδο να οδηγείται σε ένα κύκλωμα όπως αυτό που απεικονίζεται στο Σχ. Α'4. Όταν η πύλη μετάδοσης ενεργοποιείται (LEN='1') το κύκλωμα οδηγεί την έξοδο του αποκωδικοποιητή στην αντίστοιχη wordline κάθε υποπίνακα. Όταν LEN='0', ο αποκωδικοποιητής απομονώνεται και ένα NMOS τρανζίστορ ελεγχόμενο από το σήμα \overline{LEN} οδηγεί τη wordline στο '0'.



Σχήμα Α'.4: Κύκλωμα πρόσβασης σε κάθε μια από τις γραμμές της μνήμης. Ο κάθε υποπίνακας 6T 8×32 έχει το δικό του σήμα LEN. Η μονάδα αναδιαμόρφωσης αποτελείται από 24 (3×8) τέτοια κυκλώματα.

Μονάδα Οδήγησης Wordlines

Η μονάδα αυτή αποτελείται από αλυσίδες αναστροφών που ενισχύουν τις εξόδους της μονάδας αναδιαμόρφωσης (και κατ' επέκταση του αποκωδικοποιητή 3 σε 8) ώστε να οδηγήσουν το μεγάλο RC φορτίο που έχουν οι wordlines λόγω των διαστάσεών τους.

Μονάδα Προφόρτισης

Η μονάδα προφόρτισης αποτελείται από 32 τυπικά κυκλώματα προφόρτισης τύπου PMOS, ελεγχόμενα από το σήμα PC. Όταν PC='0', τα PMOS τρανζίστορ οδηγούν τις bitlines στην τάση τροφοδοσίας V_{DD} , ενώ όταν PC='1' το κύκλωμα αποκόπτει τις bitlines από την τάση τροφοδοσίας.

Πολυπλέκτης Στήλης 32 σε 8

Ο πολυπλέκτης στήλης 32 σε 8 σχεδιάστηκε σαν δυαδικό δέντρο πολυπλεκτών 2 σε 1. Επιτρέπει την επιλογή μιας εκ των τεσσάρων λέξεων που περιέχονται σε μια γραμμή όπου έχει γίνει πρόσβαση. Στην περίπτωση ανάγνωσης τα φορτία οδηγούνται στους ενισχυτές αίσθησης. Σε περίπτωση εγγραφής, οι bitlines συνδέονται με τον τοπικό διάδρομο δεδομένων μέσω της μονάδας οδήγησης εγγραφής. Η επιλογή της λέξης πραγματοποιείται από τα δύο LSB της διεύθυνσης (A[1:0]).

Μονάδα Ενισχυτών Αίσθησης

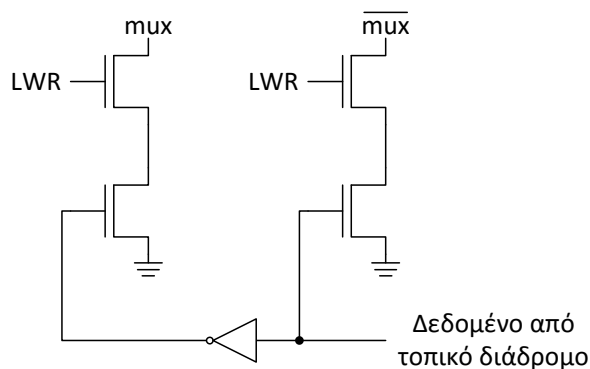
Η μονάδα αυτή αποτελείται από 8 ενισχυτές αίσθησης που ενισχύουν την ασθενή διαφορά δυναμικού μεταξύ των bitlines κατά τη λειτουργία ανάγνωσης και τη μετατρέπουν σε ψηφιακή πληροφορία '0' ή '1'. Δέχονται τις εισόδους τους από τις bitlines μέσω των πολυπλεκτών στήλης 32 σε 8 και οι έξοδοι τους συνδέονται με το κύκλωμα οδήγησης ανάγνωσης για περαιτέρω ενίσχυση. Ελέγχονται από το τοπικό σήμα LSE.

Μονάδα Οδήγησης Ανάγνωσης

Η μονάδα αυτή αποτελείται από 8 αλυσίδες C^2 MOS αναστροφών που ενισχύουν τις εξόδους των ενισχυτών αίσθησης ώστε να οδηγήσουν το μεγάλο RC φορτίο που παρουσιάζει ο διάδρομος δεδομένων. Όπως και οι ενισχυτές αίσθησης, ελέγχονται από το τοπικό σήμα LSE. Όταν LSE='1', οδηγούν τα δεδομένα στον τοπικό διάδρομο, ενώ όταν LSE='0', απομονώνουν τους ενισχυτές αίσθησης από τον τοπικό διάδρομο.

* Μονάδα Οδήγησης Εγγραφής

Η μονάδα οδήγησης εγγραφής αποτελείται από 8 κύκλωμα όπως αυτό του Σχ. Α'.5. Δέχονται δεδομένα από τον τοπικό διάδρομο δεδομένων και όταν $LWR=1$ οδηγούν την κατάλληλη bitline στο '0', ενώ απομονώνουν την άλλη bitline η οποία παραμένει προφορτισμένη στο V_{DD} . Η οδήγηση των bitlines πραγματοποιείται μέσω του πολυπλέκτη 32 σε 8. Όταν $LWR=0$, η μονάδα οδήγησης εγγραφής απομονώνεται από το υπόλοιπο κύκλωμα.



Σχήμα Α'.5: Κύκλωμα εγγραφής. Όταν $LWR=1$, το δεδομένο από τον τοπικό διάδρομο δεδομένων οδηγεί την κατάλληλη bitline στο '0' μέσω του πολυπλέκτη στήλης.

Μονάδα Πυλών Μετάδοσης

Η μονάδα αυτή αποτελείται από 8 πύλες μετάδοσης οι οποίες ελέγχονται από το τοπικό σήμα πρόσβασης LAC. Όταν $LAC=1$, ο τοπικός διάδρομος δεδομένων του block ενώνεται με τον εξωτερικό διάδρομο δεδομένων, ενώ σε αντίθετη περίπτωση ($LAC=0$) απομονώνεται.

Α'.2 Λειτουργία Μνήμης RTSR

Αναμονή

Σε κατάσταση αναμονής βρισκόμαστε όταν $SEL=0$ ή $AC=0$. Στις περιπτώσεις αυτές απενεργοποιούνται όλες οι περιφερειακές μονάδες των αντίστοιχων block μνήμης και αποκόπτονται οι τοπικοί διάδρομοι δεδομένων από τον εξωτερικό διάδρομο δεδομένων της μνήμης RTSR.

Ανάγνωση

Προϋπόθεση για πρόσβαση ανάγνωσης είναι η επιλογή του συγκεκριμένου block από τον αποκωδικοποιητή 4 σε 16 της μνήμης RTSR. Έστω ότι το block έχει επιλεγθεί και συνεπώς το αντίστοιχο σήμα SEL είναι ίσο με '1'. Για πρόσβαση ανάγνωσης ακολουθούνται τα παρακάτω βήματα:

- Αρχική κατάσταση σημάτων: $AC=0$, $EN[2:0]=000$, $OE=1$ (λειτουργία ανάγνωσης), $SE=0$ και $PC=0$ (προφόρτιση bitlines).
- Απενεργοποίηση του προφορτιστή θέτοντας $PC=1$.

- Επιλογή των υποπινάκων μνήμης που επιθυμούμε θέτοντας τα κατάλληλα σήματα EN στο '1'.
- Ενεργοποίηση πρόσβασης στη μνήμη θέτοντας AC='1'.
- Ανάλογα με τη διεύθυνση και τους υποπίνακες που έχουν επιλεχθεί, ενεργοποιούνται οι αντίστοιχες wordlines και η διαδικασία ανάγνωσης ξεκινά με ανάπτυξη διαφοράς δυναμικού στις bitlines.
- Ενεργοποίηση ενισχυτών αίσθησης και κυκλωμάτων οδήγησης ανάγνωσης θέτοντας SE='1'.
- Τα δεδομένα οδηγούνται στον εξωτερικό διάδρομο της μνήμης RTSR.
- Απενεργοποίηση των σημάτων με την ανάποδη σειρά, δηλαδή SE='0', AC='0', EN[2:0]='000' και PC='0'.

Εγγραφή

Προϋπόθεση για πρόσβαση εγγραφής είναι η επιλογή του συγκεκριμένου block από τον αποκωδικοποιητή 4 σε 16 της μνήμης RTSR. Έστω ότι το block έχει επιλεχθεί και συνεπώς το αντίστοιχο σήμα SEL είναι ίσο με '1'. Για πρόσβαση εγγραφής ακολουθούνται τα παρακάτω βήματα:

- Αρχική κατάσταση σημάτων: AC='0', EN[2:0]='000', OE='0' (λειτουργία εγγραφής), SE='0' και PC='0' (προφόρτιση bitlines).
- Απενεργοποίηση του προφορτιστή θέτοντας PC='1'.
- Επιλογή των υποπινάκων μνήμης που επιθυμούμε θέτοντας τα κατάλληλα σήματα EN στο '1'.
- Ενεργοποίηση πρόσβασης στη μνήμη θέτοντας AC='1'.
- Στο σημείο αυτό το κύκλωμα οδήγησης εγγραφής έχει οδηγήσει τις κατάλληλες bitlines στο '0' και τα δεδομένα εγγράφονται στα αντίστοιχα κύτταρα μνήμης.
- Κλείδωμα της νέας λέξης με απενεργοποίηση της πρόσβασης στους υποπίνακες της μνήμης (EN[2:0]='000').
- Απενεργοποίηση των υπόλοιπων σημάτων με την ανάποδη σειρά, δηλαδή AC='0' και PC='0'.

Βιβλιογραφία

- [1] B. Parhami, “Defect, fault, error,..., or failure?” *Reliability, IEEE Transactions on*, vol. 46, no. 4, pp. 450–451, 1997.
- [2] R. C. Baumann, “Radiation-induced soft errors in advanced semiconductor technologies,” *IEEE Trans. Dev. Mat. Rel.*, vol. 5, no. 3, pp. 305–316, 2005.
- [3] T. Heijmen, P. Roche, G. Gasiot, K. R. Forbes, and D. Giot, “A Comprehensive Study on the Soft-Error Rate of Flip-Flops From 90-nm Production Libraries,” *IEEE Trans. Dev. Mat. Rel.*, vol. 7, no. 1, pp. 84–96, 2007.
- [4] P. E. Dodd, M. R. Shaneyfelt, J. R. Schwank, and J. A. Felix, “Current and Future Challenges in Radiation Effects on CMOS Electronics,” *IEEE Trans. Nucl. Sci.*, vol. 57, no. 4, pp. 1747–1763, 2010.
- [5] C. Constantinescu, “Trends and challenges in vlsi circuit reliability,” *IEEE micro*, no. 4, pp. 14–19, 2003.
- [6] J. Srinivasan, S. V. Adve, P. Bose, and J. A. Rivers, “The impact of technology scaling on lifetime reliability,” in *Dependable Systems and Networks, 2004 International Conference on*. IEEE, 2004, pp. 177–186.
- [7] A. S. Leon, B. Langley, and J. L. Shin, “The ultrasparc t1 processor: Cmt reliability,” in *Custom Integrated Circuits Conference, 2006. CICC’06. IEEE*. IEEE, 2006, pp. 555–562.
- [8] O. Khan and S. Kundu, “A self-adaptive system architecture to address transistor aging,” in *Design, Automation & Test in Europe Conference & Exhibition, 2009. DATE’09*. IEEE, 2009, pp. 81–86.
- [9] S. Borkar, “Designing reliable systems from unreliable components: the challenges of transistor variability and degradation,” *Micro, IEEE*, vol. 25, no. 6, pp. 10–16, 2005.
- [10] R. Baumann, “Soft errors in advanced computer systems,” *IEEE Des. Test Comput.*, vol. 22, no. 3, pp. 258–266, 2005.
- [11] P. Roche, J.-L. Autran, G. Gasiot, and D. Munteanu, “Technology downscaling worsening radiation effects in bulk: SOI to the rescue,” in *Int. Electron Devices Meeting*, 2013, pp. 31.1.1–31.1.4.
- [12] J. Oberg, “Did Bad Memory Chips Down Russia’s Mars Probe?” *IEEE Spectrum*, 2012. [Online]. Available: <http://spectrum.ieee.org/aerospace/space-flight/did-bad-memory-chips-down-russias-mars-probe>

- [13] J. Yoshida, "Toyota Case: Single Bit Flip That Killed," *EETimes*, 2013. [Online]. Available: http://www.eetimes.com/document.asp?doc_id=1319903
- [14] M. Haselman and S. Hauck, "The future of integrated circuits: A survey of nanoelectronics," *Proceedings of the IEEE*, vol. 98, no. 1, pp. 11–38, 2010.
- [15] H. Iwata and T. Ohzone, "Numerical simulation of single event latchup in the temperature range of 77–450 k," *Nuclear Science, IEEE Transactions on*, vol. 42, no. 3, pp. 148–154, 1995.
- [16] L.-T. Wang, C. E. Stroud, and N. A. Touba, *System-on-chip test architectures: nanometer design for testability*. Morgan Kaufmann, 2010.
- [17] M. Bushnell and V. D. Agrawal, *Essentials of electronic testing for digital, memory and mixed-signal VLSI circuits*. Springer Science & Business Media, 2000, vol. 17.
- [18] M. Sachdev and J. P. De Gyvez, *Defect-oriented testing for nano-metric CMOS VLSI circuits*. Springer Science & Business Media, 2007, vol. 34.
- [19] P. E. Dodd and L. W. Massengill, "Basic mechanisms and modeling of single-event upset in digital microelectronics," *IEEE Trans. Nucl. Sci.*, vol. 50, no. 3, pp. 583–602, 2003.
- [20] M. Nicolaidis, "Design for soft error mitigation," *IEEE Trans. Dev. Mat. Rel.*, vol. 5, no. 3, pp. 405–418, 2005.
- [21] B. S. Gill, C. Papachristou, F. G. Wolff, and N. Seifert, "Node sensitivity analysis for soft errors in CMOS logic," in *Int. Test Conf.*, 2005, pp. 9 pp. –972.
- [22] C. Lage, D. Burnett, T. McNelly, K. Baker, A. Bormann, D. Dreier, and V. Soorholtz, "Soft error rate and stored charge requirements in advanced high-density SRAMs," in *Tech. Dig. Int. Electron Devices Meeting*, 1993, pp. 821–824.
- [23] V. Chandra and R. Aitken, "Impact of voltage scaling on nanoscale SRAM reliability," in *Design Automation and Test Europe Conf.*, 2009, pp. 387–392.
- [24] A. Dixit and A. Wood, "The impact of new technology on soft error rates," in *Int. Rel. Physics Symp.*, 2011, pp. 5B.4.1–5B.4.7.
- [25] L. Zeng and P. Beckett, "Soft Error Rate Estimation in Deep Sub-micron CMOS," in *Pacific Rim Int. Symp. Dependable Computing*, 2007, pp. 210–216.
- [26] L. B. Freeman, "Critical charge calculations for a bipolar SRAM array," *IBM J. Research and Develop.*, vol. 40, no. 1, pp. 119–129, 1996.
- [27] J. Keane, A. Drake, A. J. KleinOowski, E. H. Cannon, F. Gebara, and C. Kim, "Method for Qcrit Measurement in Bulk CMOS Using a Switched Capacitor Circuit," in *NASA Symp. VLSI Des.*, 2007.

- [28] D. Radaelli, H. Puchner, S. Wong, and S. Daniel, "Investigation of multi-bit upsets in a 150 nm technology SRAM device," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2433–2437, 2005.
- [29] N. Seifert, B. Gill, K. Foley, and P. Relangi, "Multi-cell upset probabilities of 45nm high-k+metal gate SRAM devices in terrestrial and space environments," in *Int. Rel. Physics Symp.*, May 2008, pp. 181–186.
- [30] D. F. Heidel, P. W. Marshall, J. A. Pellish, K. P. Rodbell, K. A. LaBel, J. R. Schwank, S. E. Rauch, M. C. Hakey, M. D. Berg, C. M. Castaneda, P. E. Dodd, M. R. Friendlich, A. D. Phan, C. M. Seidleck, M. R. Shaneyfelt, and M. A. Xapsos, "Single-Event Upsets and Multiple-Bit Upsets on a 45 nm SOI SRAM," *IEEE Trans. Nucl. Sci.*, vol. 56, no. 6, pp. 3499–3504, Dec. 2009.
- [31] B. D. Olson, D. R. Ball, K. M. Warren, L. W. Massengill, N. F. Haddad, S. E. Doyle, and D. McMorrow, "Simultaneous single event charge sharing and parasitic bipolar conduction in a highly-scaled SRAM design," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2132–2136, 2005.
- [32] O. A. Amusan, A. F. Witulski, L. W. Massengill, B. L. Bhuvva, P. R. Fleming, M. L. Alles, A. L. Sternberg, J. D. Black, and R. D. Schrimpf, "Charge Collection and Charge Sharing in a 130 nm CMOS Technology," *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3253–3258, 2006.
- [33] Y. Yahagi, H. Yamaguchi, E. Ibe, H. Kameyama, M. Sato, T. Akioka, and S. Yamamoto, "A novel feature of neutron-induced multi-cell upsets in 130 and 180 nm srams," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 4, pp. 1030–1036, Aug 2007.
- [34] R. Naseer and J. Draper, "Parallel double error correcting code design to mitigate multi-bit upsets in srams," in *Solid-State Circuits Conference, 2008. ESSCIRC 2008. 34th European*, Sept 2008, pp. 222–225.
- [35] E. Ibe, H. Taniguchi, Y. Yahagi, K. Shimbo, and T. Toba, "Impact of scaling on neutron-induced soft error in srams from a 250 nm to a 22 nm design rule," *Electron Devices, IEEE Transactions on*, vol. 57, no. 7, pp. 1527–1538, July 2010.
- [36] O. A. Amusan, L. W. Massengill, M. P. Baze, A. L. Sternberg, A. F. Witulski, B. L. Bhuvva, and J. D. Black, "Single Event Upsets in Deep-Submicrometer Technologies Due to Charge Sharing," *IEEE Trans. Dev. Mat. Rel.*, vol. 8, no. 3, pp. 582–589, 2008.
- [37] H. Puchner, D. Radaelli, and A. Chatila, "Alpha-particle SEU performance of SRAM with triple well," *IEEE Trans. Nucl. Sci.*, vol. 51, no. 6, pp. 3525–3528, 2004.
- [38] T. Roy, A. F. Witulski, R. D. Schrimpf, M. L. Alles, and L. W. Massengill, "Single Event Mechanisms in 90 nm Triple-Well CMOS Devices," *IEEE Trans. Nucl. Sci.*, vol. 55, no. 6, pp. 2948–2956, 2008.

- [39] P. Roche, G. Gasiot, K. Forbes, V. O’Sullivan, and V. Ferlet, “Comparisons of soft error rate for SRAMs in commercial SOI and bulk below the 130-nm technology node,” *IEEE Trans. Nucl. Sci.*, vol. 50, no. 6, pp. 2046–2054, 2003.
- [40] E. H. Cannon, D. D. Reinhardt, M. S. Gordon, and P. S. Makowenskyj, “SRAM SER in 90, 130 and 180 nm bulk and SOI technologies,” in *Annu. Int. Rel. Physics Symp.*, 2004, pp. 300–304.
- [41] J. Baggio, V. Ferlet-Cavrois, D. Lambert, P. Paillet, F. Wrobel, K. Hirose, H. Saito, and E. W. Blackmore, “Neutron and proton-induced single event upsets in advanced commercial fully depleted SOI SRAMs,” *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2319–2325, 2005.
- [42] G. Gasiot, D. Soussan, M. Glorieux, C. Bottoni, and P. Roche, “SER/SEL performances of SRAMs in UTBB FDSOI28 and comparisons with PDSOI and BULK counterparts,” in *Int. Rel. Physics Symp.*, 2014, pp. SE.6.1–SE.6.5.
- [43] R. C. Lacoë, “Improving integrated circuit performance through the application of hardness-by-design methodology,” *Nuclear Science, IEEE Transactions on*, vol. 55, no. 4, pp. 1903–1925, 2008.
- [44] L. T. Clark, K. C. Mohr, K. E. Holbert, X. Yao, J. Knudsen, and H. Shah, “Optimizing radiation hard by design sram cells,” *Nuclear Science, IEEE Transactions on*, vol. 54, no. 6, pp. 2028–2036, 2007.
- [45] M. Nicolaidis, R. Perez, and D. Alexandrescu, “Low-Cost Highly-Robust Hardened Cells Using Blocking Feedback Transistors,” in *VLSI Test Symp.*, Apr. 2008, pp. 371–376.
- [46] T. Calin, M. Nicolaidis, and R. Velazco, “Upset hardened memory design for submicron CMOS technology,” *IEEE Trans. Nucl. Sci.*, vol. 43, no. 6, pp. 2874–2878, 1996.
- [47] D. Bessot and R. Velazco, “Design of seu-hardened cmos memory cells: the hit cell,” *RADECS-93*, pp. 563–570, 1994.
- [48] M. Omana, D. Rossi, and C. Metra, “Novel transient fault hardened static latch,” in *ITC*, 2003, pp. 886–892.
- [49] M. Omaña, D. Rossi, and C. Metra, “Latch susceptibility to transient faults and new hardening approach,” *IEEE Transactions on Computers*, no. 9, pp. 1255–1268, 2007.
- [50] S. Mitra, M. Zhang, N. Seifert, T. M. Mak, and K. S. Kim, “Built-In Soft Error Resilience for Robust System Design,” in *Int. Conf. IC Design and Technology*, May 2007, pp. 1–6.
- [51] M. Haghi and J. Draper, “The 90 nm Double-DICE storage element to reduce Single-Event upsets,” in *Int. Midwest Symp. Circuits and Syst.*, 2009, pp. 463–466.

- [52] S. M. Jahinuzzaman, D. J. Rennie, and M. Sachdev, "A Soft Error Tolerant 10T SRAM Bit-Cell With Differential Read Capability," *IEEE Trans. Nucl. Sci.*, vol. 56, no. 6, pp. 3768–3773, 2009.
- [53] H. Nan and K. Choi, "Low cost and highly reliable hardened latch design for nanoscale CMOS technology," *Microelectronics Reliability*, vol. 52, no. 6, pp. 1209–1214, 2012.
- [54] R. Rajaei, M. Tabandeh, and M. Fazeli, "Low cost soft error hardened latch designs for nano-scale CMOS technology in presence of process variation," *Microelectronics Reliability*, vol. 53, no. 6, pp. 912–924, 2013.
- [55] C. Qi, L. Xiao, J. Guo, and T. Wang, "Low cost and highly reliable radiation hardened latch design in 65nm CMOS technology," *Microelectronics Reliability*, vol. 55, no. 6, pp. 863–872, 2015.
- [56] A. Balasubramanian, B. L. Bhuvu, J. D. Black, and L. W. Massengill, "RHBD techniques for mitigating effects of single-event hits using guard-gates," *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2531–2535, 2005.
- [57] M. C. Casey, B. L. Bhuvu, J. D. Black, L. W. Massengill, O. A. Amusan, and A. F. Witulski, "Single-Event Tolerant Latch Using Cascode-Voltage Switch Logic Gates," *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3386–3391, 2006.
- [58] B. S. Gill, C. Papachristou, and F. G. Wolff, "A New Asymmetric SRAM Cell to Reduce Soft Errors and Leakage Power in FPGA," in *Design Automation and Test Europe Conf.*, 2007, pp. 1–6.
- [59] S. Lin, Y.-B. Kim, and F. Lombardi, "A novel design technique for soft error hardening of nanoscale cmos memory," in *Circuits and Systems, 2009. MWS-CAS'09. 52nd IEEE International Midwest Symposium on*. IEEE, 2009, pp. 679–682.
- [60] S. Lin, Y. Kim, and F. Lombardi, "A 11-Transistor Nanoscale CMOS Memory Cell for Hardening to Soft Errors," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 19, no. 5, pp. 900–904, May 2011.
- [61] W. Wang, "RC hardened FPGA configuration SRAM cell design," *IET Electronics Letters*, vol. 40, no. 9, pp. 525–526, 2004.
- [62] Y. Shiyanovskii, F. Wolff, and C. Papachristou, "SRAM Cell Design Protected from SEU Upsets," in *Int. On-Line Testing Symp.*, 2008, pp. 169–170.
- [63] A. Avizienis, "Faulty-Tolerant Computing: An Overview," *Computer (Long Beach, Calif.)*, vol. 4, no. 1, pp. 5–8, 1971.
- [64] P. K. Samudrala, J. Ramos, and S. Katkoori, "Selective triple Modular redundancy (STMR) based single-event upset (SEU) tolerant synthesis for FPGAs," *IEEE Trans. Nucl. Sci.*, vol. 51, no. 5, pp. 2957–2969, 2004.
- [65] K. S. Morgan, D. L. McMurtrey, B. H. Pratt, and M. J. Wirthlin, "A Comparison of TMR With Alternative Fault-Tolerant Design Techniques for FPGAs," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2065–2072, 2007.

- [66] J. Teifel, “Self-Voting Dual-Modular-Redundancy Circuits for Single-Event-Transient Mitigation,” *IEEE Trans. Nucl. Sci.*, vol. 55, no. 6, pp. 3435–3439, 2008.
- [67] O. Ruano, J. A. Maestro, and P. Reviriego, “A fast and efficient technique to apply Selective TMR through optimization,” *Microelectronics Reliability*, vol. 51, no. 12, pp. 2388–2401, 2011.
- [68] V. Petrović, G. Schoof, and Z. Stamenković, “Fault-tolerant TMR and DMR circuits with latchup protection switches,” *Microelectronics Reliability*, vol. 54, no. 8, pp. 1613–1626, 2014.
- [69] F. L. Kastensmidt, L. Sterpone, L. Carro, and M. S. Reorda, “On the optimal design of triple modular redundancy logic for SRAM-based FPGAs,” in *Design Automation and Test Europe Conf.*, Mar. 2005, pp. 1290–1295 Vol. 2.
- [70] P. Reviriego, C. Argyrides, and J. A. Maestro, “Efficient error detection in Double Error Correction BCH codes for memory applications,” *Microelectronics Reliability*, vol. 52, no. 7, pp. 1528–1530, 2012.
- [71] T. Suzuki, Y. Yamagami, I. Hatanaka, A. Shibayama, H. Akamatsu, and H. Yamauchi, “A sub-0.5-V operating embedded SRAM featuring a multi-bit-error-immune hidden-ECC scheme,” *IEEE J. Solid-State Circuits*, vol. 41, no. 1, pp. 152–160, 2006.
- [72] A. Dutta and N. Touba, “Multiple bit upset tolerant memory using a selective cycle avoidance based sec-ded-daec code,” in *VLSI Test Symposium, 2007. 25th IEEE*, 2007, pp. 349–354.
- [73] C. Argyrides, H. R. Zarandi, and D. K. Pradhan, “Matrix codes: Multiple bit upsets tolerant method for sram memories,” in *Defect and Fault-Tolerance in VLSI Systems, 2007. DFT’07. 22nd IEEE International Symposium on*. IEEE, 2007, pp. 340–348.
- [74] T. Uemura, Y. Tosaka, H. Matsuyama, K. Shono, C. J. Uchibori, K. Takahisa, M. Fukuda, and K. Hatanaka, “SEILA: Soft error immune latch for mitigating multi-node-SEU and local-clock-SET,” in *Int. Rel. Physics Symp.*, May 2010, pp. 218–223.
- [75] S. Xuan, N. Li, and J. Tong, “Seu hardened flip-flop based on dynamic logic,” *Nuclear Science, IEEE Transactions on*, vol. 60, no. 5, pp. 3932–3936, 2013.
- [76] A. KleinOsowski, E. H. Cannon, M. S. Gordon, D. F. Heidel, P. Oldiges, C. Plettner, K. P. Rodbell, R. D. Rose, and H. H. K. Tang, “Latch Design Techniques for Mitigating Single Event Upsets in 65 nm SOI Device Technology,” *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2021–2027, 2007.
- [77] P. Oldiges, K. Rodbell, T. Ning, J. Cai, D. Heidel, H. Tang, L. Wissel, and M. Gordon, “Stacked devices for SEU immune design,” in *Int. SOI Conf.*, 2010, pp. 1–2.

- [78] S. Yoshimoto, T. Amashita, S. Okumura, K. Yamaguchi, M. Yoshimoto, and H. Kawaguchi, "Bit error and soft error hardenable 7T/14T SRAM with 150-nm FD-SOI process," in *Int. Rel. Physics Symp.*, 2011, pp. SE.3.1—SE.3.6.
- [79] K. Kobayashi, K. Kubota, M. Masuda, Y. Manzawa, J. Furuta, S. Kanda, and H. Onodera, "A Low-Power and Area-Efficient Radiation-Hard Redundant Flip-Flop, DICE ACFF, in a 65 nm Thin-BOX FD-SOI," *IEEE Trans. Nucl. Sci.*, vol. 61, no. 4, pp. 1881–1888, 2014.
- [80] T. Chiarella, L. Witters, A. Mercha, C. Kerner, M. Rakowski, C. Ortolland, L.-A. Ragnarsson, B. Parvais, A. De Keersgieter, S. Kubicek, A. Redolfi, C. Vrancken, S. Brus, A. Lauwers, P. Absil, S. Biesemans, and T. Hoffmann, "Benchmarking SOI and bulk FinFET alternatives for PLANAR CMOS scaling succession," *Solid-State Electronics*, vol. 54, no. 9, pp. 855–860, Sep. 2010.
- [81] Y. X. Liu, M. Masahara, K. Ishii, T. Tsutsumi, T. Sekigawa, H. Takashima, H. Yamauchi, and E. Suzuki, "Flexible threshold voltage FinFETs with independent double gates and an ideal rectangular cross-section Si-Fin channel," in *Tech. Dig Int. Electron Devices Meeting*, 2003, pp. 18.8.1–18.8.3.
- [82] L. Mathew, Y. Du, S. Kaipat, M. Sadd, M. Zavala, T. Stephens, R. Mora, R. Rai, S. Becker, C. Parker, D. Sing, R. Shimer, J. Sanes, A. V.-Y. Thean, L. Prabhu, M. Moosa, B.-Y. Nguyen, J. Mogah, G. O. Workman, A. Vandoreen, Z. Shi, M. M. Chowdhury, W. Zhang, and J. G. Fossum, "Multiple independent gate field effect transistor (MIGFET) - multi-fin RF mixer architecture, three independent gates (MIGFET-T) operation and temperature characteristics," in *Tech. Dig. Symp. VLSI Technology*, 2005, pp. 200–201.
- [83] M. Rostami and K. Mohanram, "Dual- Vth Independent-Gate FinFETs for Low Power Logic Circuits," *IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst.*, vol. 30, no. 3, pp. 337–349, 2011.
- [84] W. Zhao and Y. Cao, "New Generation of Predictive Technology Model for Sub-45 nm Early Design Exploration," *IEEE Trans. Electron Devices*, vol. 53, no. 11, pp. 2816–2823, Nov. 2006.
- [85] L. Artola, G. Hubert, and R. D. Schrimpf, "Modeling of radiation-induced single event transients in SOI FinFETS," in *Int. Rel. Physics Symp.*, 2013, pp. SE.1.1–SE.1.6.
- [86] B. S. Amrutur and M. A. Horowitz, "Speed and power scaling of SRAM's," *IEEE J. Solid-State Circuits*, vol. 35, no. 2, pp. 175–185, Feb. 2000.
- [87] E. Grossar, M. Stucchi, K. Maex, and W. Dehaene, "Read Stability and Write-Ability Analysis of SRAM Cells for Nanometer Technologies," *IEEE J. Solid-State Circuits*, vol. 41, no. 11, pp. 2577–2588, 2006.
- [88] M. Zhang, S. Mitra, T. M. Mak, N. Seifert, N. J. Wang, Q. Shi, K. S. Kim, N. R. Shanbhag, and S. J. Patel, "Sequential Element Design With Built-In Soft Error Resilience," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 14, no. 12, pp. 1368–1378, 2006.

- [89] M. Fazeli, S. G. Miremadi, A. Ejlali, and A. Patooghy, "Low energy single event upset/single event transient-tolerant latch for deep subMicron technologies," *IET Computers Digital Techniques*, vol. 3, no. 3, pp. 289–303, May 2009.
- [90] M. Omana, D. Rossi, and C. Metra, "High-Performance Robust Latches," *IEEE Trans. Comput.*, vol. 59, no. 11, pp. 1455–1465, 2010.
- [91] H.-H. K. Lee, K. Lilja, M. Bounasser, P. Relangi, I. R. Linscott, U. S. Inan, and S. Mitra, "LEAP: Layout Design through Error-Aware Transistor Positioning for soft-error resilient sequential cell design," in *Int. Rel. Physics Symp.*, 2010, pp. 203–212.
- [92] M. D'Alessio, M. Ottavi, and F. Lombardi, "Design of a nanometric cmos memory cell for hardening to a single event with a multiple-node upset," *Device and Materials Reliability, IEEE Transactions on*, vol. 14, no. 1, pp. 127–132, 2014.
- [93] K. Namba, M. Sakata, and H. Ito, "Single event induced double node upset tolerant latch," in *Defect and Fault Tolerance in VLSI Systems (DFT), 2010 IEEE 25th International Symposium on*. IEEE, 2010, pp. 280–288.
- [94] K. Katsarou and Y. Tsiatouhas, "Double node charge sharing SEU tolerant latch design," in *Int. On-Line Testing Symp.*, 2014, pp. 122–127.
- [95] K. Katsarou and Y. Tsiatouhas, "Soft error interception latch: double node charge sharing seu tolerant design," *Electronics Letters*, vol. 51, no. 4, pp. 330–332, 2015.
- [96] D. R. Blum and J. G. Delgado-Frias, "Hardened by design techniques for implementing multiple-bit upset tolerant static memories." in *ISCAS*, 2007, pp. 2786–2789.
- [97] Y. Li, H. Wang, S. Yao, X. Yan, Z. Gao, and J. Xu, "Double node upsets hardened latch circuits," *Journal of Electronic Testing*, vol. 31, no. 5-6, p. 537, Dec. 2015.
- [98] M. Tsuno, M. Suga, M. Tanaka, K. Shibahara, M. Miura-Mattausch, and M. Hirose, "Physically-based threshold voltage determination for mosfet's of all gate lengths," *Electron Devices, IEEE Transactions on*, vol. 46, no. 7, pp. 1429–1434, 1999.
- [99] M. J. Pelgrom, H. P. Tuinhout, M. Vertregt *et al.*, "Transistor matching in analog cmos applications," *IEDM Tech. Dig*, vol. 34, pp. 1–4, 1998.
- [100] T. Nakauchi, N. Mikami, A. Oyama, H. Kobayashi, H. Usui, and J. Kase, "A novel technique for mitigating neutron-induced multi -cell upset by means of back bias," in *Reliability Physics Symposium, 2008. IRPS 2008. IEEE International*, April 2008, pp. 187–191.
- [101] G. Gasiot, D. Giot, and P. Roche, "Multiple Cell Upsets as the Key Contribution to the Total SER of 65 nm CMOS SRAMs and Its Dependence on Well Engineering," *IEEE Trans. Nucl. Sci.*, vol. 54, no. 6, pp. 2468–2473, 2007.

- [102] C. Argyrides, D. Pradhan, and T. Kocak, "Matrix codes for reliable and cost efficient memory chips," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 19, no. 3, pp. 420–428, 2011.
- [103] J. Kim, N. Hardavellas, K. Mai, B. Falsafi, and J. C. Hoe, "Multi-bit Error Tolerant Caches Using Two-Dimensional Error Coding," in *Annu. Int. Symp. Microarchitecture*, 2007, pp. 197–209.
- [104] P. Reviriego and J. A. Maestro, "Efficient error detection codes for multiple-bit upset correction in srams with bics," *ACM Transactions on Design Automation of Electronic Systems (TODAES)*, vol. 14, no. 1, p. 18, 2009.
- [105] Z. Wang, M. Karpovsky, and K. Kulikowski, "Replacing linear Hamming codes by robust nonlinear codes results in a reliability improvement of memories," in *Dependable Systems & Networks, 2009. DSN '09. IEEE/IFIP International Conference on*, 2009, pp. 514–523.
- [106] R. Datta and N. Touba, "Exploiting unused spare columns to improve memory ECC," in *VLSI Test Symposium, 2009. VTS '09. 27th IEEE*, 2009, pp. 47–52.
- [107] A. Neale and M. Sachdev, "A new sec-ded error correction code subclass for adjacent mbu tolerance in embedded memory," *IEEE Trans. Dev. Mat. Rel.*, vol. 13, no. 1, pp. 223–230, 2013.
- [108] A. Alameldeen, I. Wagner, Z. Chishti, W. Wu, C. Wilkerson, and S.-L. Lu, "Energy-efficient cache design using variable-strength error-correcting codes," in *Computer Architecture (ISCA), 2011 38th Annual International Symposium on*, 2011, pp. 461–471.
- [109] B. Chen, X. Zhang, and Z. Wang, "Error correction for multi-level NAND flash memory using Reed-Solomon codes," in *Signal Processing Systems, 2008. SiPS 2008. IEEE Workshop on*, 2008, pp. 94–99.
- [110] W. Liu, J. Rho, and W. Sung, "Low-power high-throughput BCH error correction VLSI design for multi-level cell NAND flash memories," in *Signal Processing Systems Design and Implementation, 2006. SIPS '06. IEEE Workshop on*, 2006, pp. 303–308.
- [111] S.-F. Liu, P. Reviriego, and J. A. Maestro, "Efficient majority logic fault detection with difference-set codes for memory applications," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 20, no. 1, pp. 148–156, 2012.
- [112] P. Reviriego, M. Flanagan, S.-F. Liu, and J. Maestro, "Multiple cell upset correction in memories using difference set codes," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 59, no. 11, pp. 2592–2599, 2012.
- [113] P. Reviriego, M. Flanagan, and J. Maestro, "A (64,45) triple error correction code for memory applications," *IEEE Trans. Dev. Mat. Rel.*, vol. 12, no. 1, pp. 101–106, 2012.
- [114] M. Demirci, P. Reviriego, and J. A. Maestro, "Optimized parallel decoding of difference set codes for high speed memories," *Microelectronics Reliability*, vol. 54, no. 11, pp. 2645–2648, 2014.

- [115] Z. Chishti, A. Alameldeen, C. Wilkerson, W. Wu, and S.-L. Lu, “Improving cache lifetime reliability at ultra-low voltages,” in *Microarchitecture, 2009. MICRO-42. 42nd Annual IEEE/ACM International Symposium on*, 2009, pp. 89–99.
- [116] P. Reviriego, S. Pontarelli, A. Sanchez-Macian, and J. Maestro, “A method to extend orthogonal latin square codes,” *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 22, no. 7, pp. 1635–1639, 2014.
- [117] P. Reviriego, S. Liu, J. Maestro, S. Lee, N. Touba, and R. Datta, “Implementing triple adjacent error correction in double error correction orthogonal latin squares codes,” in *Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), 2013 IEEE International Symposium on*, 2013, pp. 167–171.
- [118] P. Reviriego, S. Pontarelli, A. Evans, and J. Maestro, “A class of sec-ded-daec codes derived from orthogonal latin square codes,” *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 23, no. 5, pp. 968–972, 2015.
- [119] A. Neale, M. Jonkman, and M. Sachdev, “Adjacent-mbu-tolerant sec-ded-taecaed codes for embedded SRAMs,” *IEEE Trans. Circuits Syst. II, Express Briefs*, vol. 62, no. 4, pp. 387–391, 2015.
- [120] G. Yalcin, E. Islek, O. Tozlu, P. Reviriego, A. Cristal, O. Unsal, and O. Ergin, “Exploiting a fast and simple ECC for scaling supply voltage in level-1 caches,” in *On-Line Testing Symposium (IOLTS), 2014 IEEE 20th International*, 2014, pp. 1–6.
- [121] T. Miller, R. Thomas, J. Dinan, B. Adcock, and R. Teodorescu, “Parichute: Generalized turbocode-based error correction for near-threshold caches,” in *Microarchitecture (MICRO), 2010 43rd Annual IEEE/ACM International Symposium on*, 2010, pp. 351–362.
- [122] Y. Cui and X. Zhang, “Research and implementation of interleaving grouping Hamming code algorithm,” in *Signal Processing, Communication and Computing (ICSPCC), 2013 IEEE International Conference on*, 2013, pp. 1–4.
- [123] C. Argyrides, P. Reviriego, D. Pradhan, and J. A. Maestro, “Matrix-based codes for adjacent error correction,” *IEEE Trans. Nucl. Sci.*, vol. 57, no. 4, pp. 2106–2111, 2010.
- [124] S. Tam, “Multiple bit error correction,” Technical report, Xilinx, Tech. Rep., 2004.
- [125] I. A. Danilov, M. S. Gorbunov, and A. A. Antonov, “SET Tolerance of 65 nm CMOS Majority Voters: A Comparative Study,” *IEEE Trans. Nucl. Sci.*, vol. 61, no. 4, pp. 1597–1602, 2014.
- [126] P. Reviriego, J. A. Maestro, and C. Cervantes, “Reliability Analysis of Memories Suffering Multiple Bit Upsets,” *IEEE Trans. Dev. Mat. Rel.*, vol. 7, no. 4, pp. 592–601, 2007.
- [127] E. Seevinck, F. J. List, and J. Lohstroh, “Static-noise margin analysis of MOS SRAM cells,” *IEEE J. Solid-State Circuits*, vol. 22, no. 5, pp. 748–754, 1987.

- [128] E. Ibe, K. Shimbo, H. Taniguchi, T. Toba, K. Nishii, and Y. Taniguchi, "Quantification and mitigation strategies of neutron induced soft-errors in CMOS devices and components," in *Int. Rel. Physics Symp.*, Apr. 2011, pp. 3C.2.1–3C.2.8.
- [129] H. Noda, K. Inoue, M. Kuroiwa, F. Igaue, K. Yamamoto, H. J. Mat-
tausch, T. Koide, A. Amo, A. Hachisuka, S. Soeda, I. Hayashi, F. Morishita,
K. Dosaka, K. Arimoto, K. Fujishima, K. Anami, and T. Yoshihara, "A cost-
efficient high-performance dynamic TCAM with pipelined hierarchical search-
ing and shift redundancy architecture," *IEEE J. Solid-State Circuits*, vol. 40,
no. 1, pp. 245–253, Jan. 2005.
- [130] H. Noda, K. Dosaka, F. Morishita, and K. Arimoto, "A soft-error-immune
maintenance-free TCAM architecture with associated embedded DRAM," in
Custom Integrated Circuits Conf., 2005, pp. 451–454.
- [131] N. Azizi and F. N. Najm, "A family of cells to reduce the soft-error-rate in
ternary-CAM," in *Design Automation and Test Europe Conf.*, 2006, pp. 779–
784.
- [132] K. Pagiamtzis, N. Azizi, and F. N. Najm, "A Soft-Error Tolerant Content-
Addressable Memory (CAM) Using An Error-Correcting-Match Scheme," in
Custom Integrated Circuits Conf., 2006, pp. 301–304.
- [133] H.-J. Lee, "Immediate soft error detection using pass gate logic for content
addressable memory," *IET Electronics Letters*, vol. 44, no. 4, p. 269, Feb.
2008.
- [134] K. Pagiamtzis and A. Sheikholeslami, "Content-addressable memory (CAM)
circuits and architectures: a tutorial and survey," *IEEE J. Solid-State Cir-
cuits*, vol. 41, no. 3, pp. 712–727, 2006.
- [135] E. J. Marinissen, B. Prince, D. Kettel-Schulz, and Y. Zorian, "Challenges
in embedded memory design and test," in *Design, Automation and Test in
Europe, 2005. Proceedings.* IEEE, 2005, pp. 722–727.
- [136] S. Hamdioui, G. Gaydadjiev, and A. J. Van de Goor, "The state-of-art and
future trends in testing embedded memories," in *Memory Technology, Design
and Testing, 2004. Records of the 2004 International Workshop on.* IEEE,
2004, pp. 54–59.
- [137] Y. Zorian, "Embedded memory test and repair: infrastructure ip for soc yield,"
in *Test Conference, 2002. Proceedings. International.* IEEE, 2002, pp. 340–
349.
- [138] I. Kim, Y. Zorian, G. Komoriya, H. Pham, F. P. Higgins, and J. L.
Lewandowski, "Built in self repair for embedded high density sram," in *Test
Conference, 1998. Proceedings., International.* IEEE, 1998, pp. 1112–1119.
- [139] H.-C. Kim, D.-S. Yi, J.-Y. Park, and C.-H. Cho, "A bisr (built-in self-repair)
circuit for embedded memory with multiple redundancies," in *VLSI and CAD,
1999. ICVC'99. 6th International Conference on.* IEEE, 1999, pp. 602–605.

- [140] V. Schöber, S. Paul, and O. Picot, “Memory built-in self-repair using redundant words,” in *Proceedings of the 2001 IEEE International Test Conference*. IEEE Computer Society, 2001, p. 995.
- [141] A. Benso, S. Chiusano, G. Di Natale, and P. Prinetto, “An on-line bist ram architecture with self-repair capabilities,” *Reliability, IEEE Transactions on*, vol. 51, no. 1, pp. 123–128, 2002.
- [142] J.-F. Li, J.-C. Yeh, R.-F. Huang, and C.-W. Wu, “A built-in self-repair design for rams with 2-d redundancy,” *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 13, no. 6, pp. 742–745, 2005.
- [143] J. Lee, Y. J. Lee, and Y. B. Kim, “Sram word-oriented redundancy methodology using built in self-repair,” in *SOC Conference, 2004. Proceedings. IEEE International*. IEEE, 2004, pp. 219–222.
- [144] R. Zappa, C. Selva, D. Rimondi, C. Torelli, M. Crestan, G. Mastrodomenico, and L. Albani, “Micro programmable built-in self repair for srams,” in *Memory Technology, Design and Testing, 2004. Records of the 2004 International Workshop on*. IEEE, 2004, pp. 72–77.
- [145] T.-W. Tseng, C.-H. Wu, Y.-J. Huang, J.-F. Li, A. Pao, K. Chiu, and E. Chen, “A built-in self-repair scheme for multiport rams,” in *VLSI Test Symposium, 2007. 25th IEEE*. IEEE, 2007, pp. 355–360.
- [146] C.-D. Huang, J.-F. Li, and T.-W. Tseng, “Protar: an infrastructure ip for repairing rams in system-on-chips,” *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 15, no. 10, pp. 1135–1143, 2007.
- [147] J. D. Segal, S. Bakarian, J. E. Colburn, M. Kumar, C. Hong, and A. Shubat, “Determining redundancy requirements for memory arrays with critical area analysis.” in *mtdt*, 1999, pp. 48–53.
- [148] S. Shoukourian, V. Vardanian, and Y. Zorian, “An approach for evaluation of redundancy analysis algorithms,” in *mtdt*. IEEE, 2001, p. 0051.
- [149] N. Axelos, K. Pekmestzi, and D. Gizopoulos, “Efficient memory repair using cache-based redundancy,” *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 20, no. 12, pp. 2278–2288, 2012.
- [150] N. Axelos and K. Pekmestzi, “A bit level area aware cache-based architecture for memory repairs,” in *On-Line Testing Symposium (IOLTS), 2010 IEEE 16th International*. IEEE, 2010, pp. 154–158.
- [151] I. E. Sutherland, R. F. Sproull, and D. F. Harris, *Logical effort: designing fast CMOS circuits*. Morgan Kaufmann, 1999.
- [152] N. Weste, D. Harris, and A. Banerjee, “Cmos vlsi design,” *A circuits and systems perspective*, vol. 11, p. 739, 2005.

Κατάλογος δημοσιεύσεων του συγγραφέα

Δημοσιεύσεις σε διεθνή περιοδικά

- Π1. **Eftaxiopoulos N.**, Axelos N., Pekmestzi K., "Low latency radiation tolerant self-repair reconfigurable SRAM architecture", in *Microelectronics Reliability*, Vol. 56, Pages 202-211, Jan. 2016.
- Π2. **Eftaxiopoulos N.**, Axelos N., Pekmestzi K., "DIRT latch: A novel low cost double node upset tolerant latch", in *Microelectronics Reliability*, υπό κρίση της αναθεώρησης.

Δημοσιεύσεις σε διεθνή συνέδρια

- Σ1. **Eftaxiopoulos N.**, Zervakis G., Tsoumanis K., Pekmestzi K., "A radiation tolerant and self-repair memory cell", in *IEEE 19th International On-Line Testing Symposium (IOLTS)*, Pages 210-215, 8-10 Jul. 2013.
- Σ2. Zervakis G., **Eftaxiopoulos N.**, Tsoumanis K., Axelos N., Pekmestzi K., "A segmentation-based BISR scheme", in *19th Asia and South Pacific Design Automation Conference (ASP-DAC)*, Pages 652-657, 20-23 Jan. 2014.
- Σ3. Axelos N., **Eftaxiopoulos N.**, Zervakis G., Tsoumanis K., Pekmestzi K., "FF-DICE: An 8T soft-error tolerant cell using Independent Dual Gate SOI FinFETs", in *IEEE 20th International On-Line Testing Symposium (IOLTS)*, Pages 200-201, 7-9 Jul. 2014.
- Σ4. **Eftaxiopoulos N.**, Axelos N., Zervakis G., Tsoumanis K., Pekmestzi K., "An independent dual gate SOI FinFET soft-error resilient memory cell", in *9th International Design & Test Symposium (IDT)*, Pages 39-44, 16-18 Dec. 2014.
- Σ5. Zervakis G., **Eftaxiopoulos N.**, Tsoumanis K., Axelos N., Pekmestzi K., "A high radix montgomery multiplier with concurrent error detection", in *9th International Design & Test Symposium (IDT)*, Pages 199-204, 16-18 Dec. 2014.
- Σ6. **Eftaxiopoulos N.**, Zervakis G., Pekmestzi K., Efstathiou C., "High performance MAC designs", in *9th International Design & Test Symposium (IDT)*, Pages 30-35, 16-18 Dec. 2014.

- Σ7. **Eftaxiopoulos N.**, Axelos N., Pekmestzi K., "Low leakage radiation tolerant CAM/TCAM cell", in IEEE 21st International On-Line Testing Symposium (IOLTS), Pages 206-211, 6-8 Jul. 2015.
- Σ8. **Eftaxiopoulos N.**, Axelos N., Pekmestzi K., "DONUT: A Double Node Upset Tolerant Latch", in IEEE Computer Society Annual Symposium on VLSI (ISVLSI), Pages 509-514, 8-10 Jul. 2015.
- Σ9. **Eftaxiopoulos N.**, Axelos N., Zervakis G., Tsoumanis K., Pekmestzi K., "Delta DICE: A Double Node Upset resilient latch", in IEEE 58th International Midwest Symposium on Circuits and Systems (MWSCAS), Pages 1-4, 2-5 Aug. 2015.